

Progetto per il corso di Progetto Automatico di Sistemi Digitali

Filippo Landi

2 agosto 2021

Sommario

Il mio progetto per il corso di Progetto Automatico di Sistemi Digitali (PASD in breve) consiste nello studio statistico del comportamento di un circuito "multiply and accumulate" (o "mac" in breve) in presenza di alcuni difetti di produzione.

1 Introduzione al progetto

Il progetto riguarda il collaudo dei sistemi digitali, argomento del corso di PASD.

Al fine di simulare i guasti del circuito userò "HOPE" un simulatore di guasto per circuiti digitali sequenziali sviluppato dall'università VirginiaTech, anche questo proposto durante il corso.

HOPE legge i circuiti attraverso delle descrizioni della rete (netlist) in formato .bench, quindi il primo punto del progetto sarà studiare la struttura del circuito per implementarlo in questo formato.

Ho deciso di usare Python per aiutarmi con i diversi passaggi del progetto.

Partiamo quindi dalla descrizione del circuito da studiare, passeremo poi alla sua implementazione e in fine ad alcuni studi statistici.

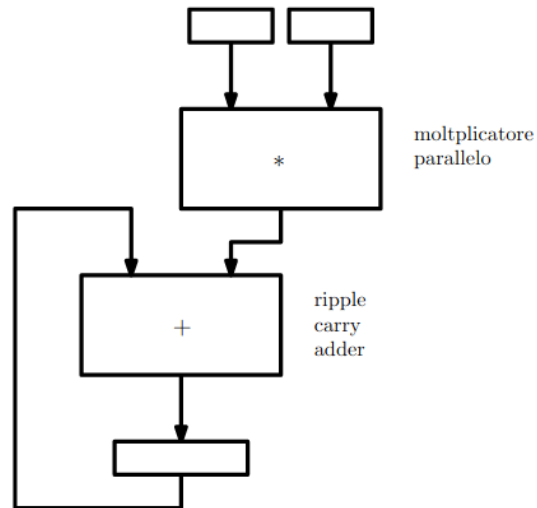
2 Circuito multiply and accumulate

Mi è stato richiesto di realizzare un circuito multiply and accumulate (mac) a 8 bit, esso è composto da un moltiplicatore con un sommatore in cascata e un registro per retroazionare le uscite in modo da accumulare i risultati.

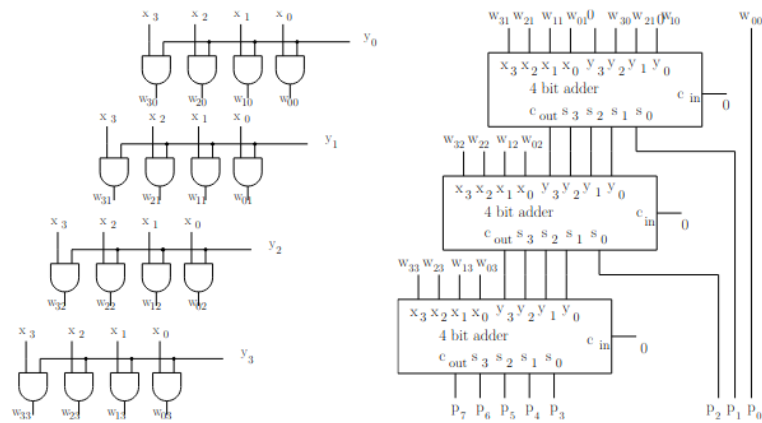
Alla pagina seguente riporto un documento inviatomi dal professore che illustra gli schemi di un circuito di questo tipo a 4 bit.

Multiply and accumulate

È un'unità ampiamente utilizzata nei DSP e nel machine learning per realizzare funzioni del tipo $s = \sum x_i y_i$. La dimensione degli ingressi sia n , per cui quella dell'uscita del moltiplicatore sia $2n$.



Qui c'è lo schema di un moltiplicatore parallelo a 4 bit che può essere esteso per valori più grandi di n



2.1 Moltiplicatore

La struttura del moltiplicatore è ben illustrata nella documentazione:

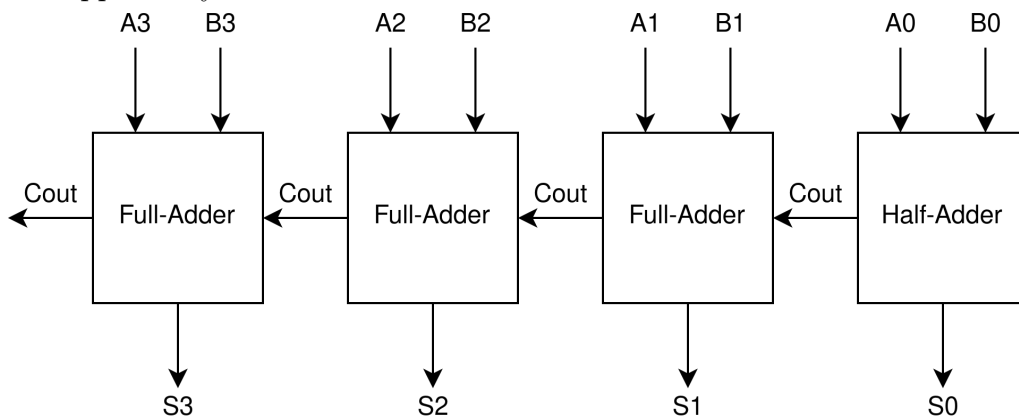
- Ogni segnale X è messo in AND con ogni Y , generando i segnali W .
- I segnali W vengono usati da degli adder strutturati su più livelli: si può notare che il numero di livelli è $n-1$ in quanto al primo livello vengono usati $WX1$ e $WX0$, poi i rimanenti WXY nei livelli successivi.

2.2 Ripple Carry Adder

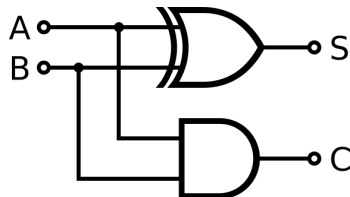
Usiamo dei ripple carry adder sia per la cascata di adder del moltiplicatore oltre che per il ripple carry adder successivo con dimensione degli ingressi $2n$.

I ripple carry adder nella precedente documentazione erano illustrati a livello register transfer level (RTL) per ovvie ragioni di chiarezza, però per l'implementazione del circuito ci serve vedere come sono fatti a livello di porte logiche.

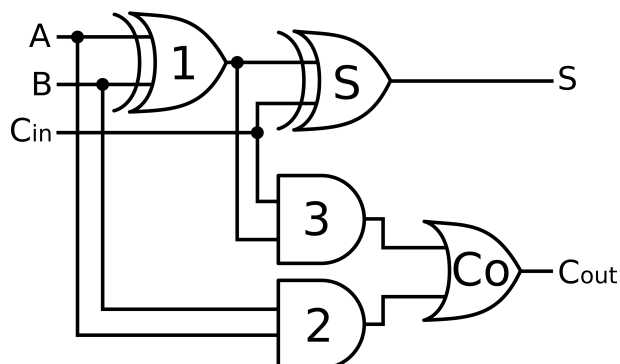
I ripple carry adder sono circuiti formati da una serie di adder in cascata:



Questo è lo schema che uso del half-adder:



Questo è lo schema che uso del full-adder:



Opportunamente collegando le varie porte logiche quindi si ottiene un ripple carry adder.

2.2.1 Sommatore

Come già detto è un ripple carry adder con dimensione degli ingressi $2n$: un ingresso è dato dall'uscita del moltiplicatore mentre l'altra è data dalle uscite stesse del sommatore retroazionate attraverso dei flip flop tipo D (circuiti già integrati in HOPE).

3 Realizzazione del circuito in .bench

La stesura manuale del file .bench del circuito ad 8 bit non mi sembrava un approccio furbo vista l'architettura piuttosto complessa da rappresentare. Probabilmente proseguire con tale metodologia avrebbe portato a vari errori: sia banalmente di battitura, sia dovuti alla complessità e quindi errori nel collegamento dei vari segnali. Per questo ho pensato ad una metodologia stile "dividi et impera".

In partenza ho scritto alcuni circuiti di prova per esplorare i vari adder e la prima parte del moltiplicatore. Li trovate nella cartella "circuiti_prova", non sono fondamentali per il progetto però possono aiutare alla comprensione della metodologia usata.

Appurata la struttura dei circuiti base ho creato un singolo file che li mettesse insieme in maniera opportuna (vari cicli for più certe condizioni). Questo approccio ha portato allo script "mac_generator.py" che permette di generare il circuito con una dimensione arbitraria degli ingressi da passare come argomento: per generare un mac 4 bit si può scrivere da terminale questo comando Python: "python3 mac_generator.py 4".

Il passo successivo sarebbe un approccio più modulare, che otterrebbe lo stesso risultato chiamando sottofunzioni per la varie parti del circuito: per i miei scopi uno script monolitico è più che sufficiente quindi mi fermo con questa versione.

Il codice è ampiamente commentato quindi consiglio di leggerlo per comprenderne il funzionamento.

L'unico punto che potrebbe infastidire è la comprensione dei vari segnali, proprio per questo un approccio manuale avrebbe portato ad errori a mio avviso. Descrivo la struttura dei vari segnali sperando di fare un po' di chiarezza:

- Gli input sono facilmente individuabili e sono X e Y seguiti dal rispettivo peso del bit, es. X0,Y0,X1,Y1 etc.
- I segnali W ottenuti dagli AND di X e Y sono scritti come "W_XnYn" (n indica il peso del bit), es. W_X0Y0.
- I ripple carry adder contengono half-adder e full-adder:
 - Gli half-adder, come dagli schemi, hanno uscita S e Co (il carry out) e sono usati in generale (con qualche eccezione) per il bit di minor peso (bit 0):
 - * Nel moltiplicatore gli rca sono strutturati in livelli:
 - SL0D0 indica l'uscita dell'half-adder al livello (L) 0 del bit di peso (D) 0.
 - CoL0D0 indica il carry out dell'half-adder al livello (L) 0 del bit di peso (D) 0, questo carry out sarà il carry in del full-adder successivo.
 - * Nel sommatore invece non ci sono più i livelli:
 - S0 indica l'uscita dell'half-adder per il bit di peso 0.
 - C0 il suo carry out.
 - I full-adder, come dagli schemi, hanno uscita S e Co con l'aggiunta rispetto gli half-adder dei segnali interni 1,2,3:
 - * Nel moltiplicatore gli rca sono strutturati in livelli:
 - SL0D1 indica l'uscita del full-adder al livello (L) 0 del bit di peso (D) 1

- lo stesso full-adder avrà CoL0D1, 1L0D1, 2L0D1 e 3L0D1 (carry out e segnali interni).
- * Nel sommatore invece non ci sono più i livelli:
 - S1 indica l'uscita del full-adder per il bit di peso 1
 - Lo stesso full-adder avrà Co1, 11, 21 e 31 (carry out e segnali interni) sempre legati al primo bit.

Probabilmente i segnali interni dei full-adder potrebbero creare un po' di confusione essendo numerici, nella mia prima analisi li avevo assegnati così e li ho mantenuti così, in caso basta cambiarli con una qualche lettera non assegnata.

Spero che questa spiegazione dei segnali sia esaustiva alla comprensione della struttura del circuito risultante da questo primo script Python.

Al momento sul mio computer ho installato Python 3.8.10, quindi credo che una qualsiasi versione di Python 3.8 non dovrebbe dare problemi col mio codice.

4 Studio statistico del circuito

Work in Progress.