



**Centro de Informática**  
**Universidade Federal da Paraíba**

**Relatório Final**  
**Washing Machine**

Matheus Gama dos Santos - 20170015353

Jackson de Araujo Limeira - 20170017518

Honny Leonardo Silveira Souza - 20170025716

João Pessoa, 2018



**Centro de Informática**  
**Universidade Federal da Paraíba**

## Washing Machine

Relatório elaborado para o projeto final da disciplina Circuito Lógicos II, ministrada pelo Professor Eudisley Gomes dos Anjos do Centro de Informática da Universidade Federal da Paraíba.

## Resumo

Este projeto consiste na simulação dos processos de uma máquina de lavar através do FPGA DE2 da Altera, utilizando a linguagem VHDL Verilog. Seu funcionamento consiste na utilização de *Switches* que irão simular os botões que selecionam os tipos de lavagem de uma máquina, enquanto serão utilizados os LEDs para a representação de estados.

**Palavras-chave:** FPGA, Verilog, LED, estados.

## Lista de siglas

Alguns exemplos de siglas

VHDL - *Hardware Description Language* (Linguagem de descrição de hardware)

FPGA - *Field Programmable Gate Array* (Arranjo de portas programáveis em campo)

IDE - *Integrated Development Environment* (Ambiente de desenvolvimento integrado)

LED - *Light-Emitting Diode* (Diodo Emissor de Luz)

LCD - *Liquid-Crystal Display* (Display de Cristal Líquido)

## Lista de Figuras

Imagem 1 - FPGA Altera DE2.....	6
Imagem 2 - Máquina de Estados da Lavagem Padrão.....	7
Imagem 3 - Máquina de Estados da Lavagem Rápida.....	7
Imagem 4 - Diagrama de Fluxo do funcionamento da máquina.....	8

## Sumário

1. Introdução .....	6
2. Metodologia .....	6
2.1 Quartus II .....	6
2.2 FPGA DE2 .....	6
3. Descrição do Projeto .....	7
4. Execução do Projeto, Testes e Resultados .....	8
4.1 Dificuldades encontradas .....	8
4.2 Sugestões para trabalhos futuros .....	9
5. Conclusões .....	9
6. Referências .....	9

## 1. Introdução

As máquinas de lavar possuem uma sequência de procedimentos utilizados no processo de lavagem de roupas. Tais procedimentos possuem um tempo específico para serem concluídos e são controlados através de módulos, geralmente selecionados por botões.

Os FPGAs possuem diversas funcionalidades, simulando uma placa de circuito impresso, que pode ser reprogramada e testada sem a necessidade de reconstruí-la. Essa característica faz com que esse equipamento seja uma ferramenta de programação de hardware que torna a produção muito mais econômica e eficiente.

Nas próximas seções iremos focar em detalhar o funcionamento do FPGA DE2, em conjunto com a linguagem Verilog, para simular uma máquina de lavar, de forma simples, compacta e de fácil replicação.

## 2. Metodologia

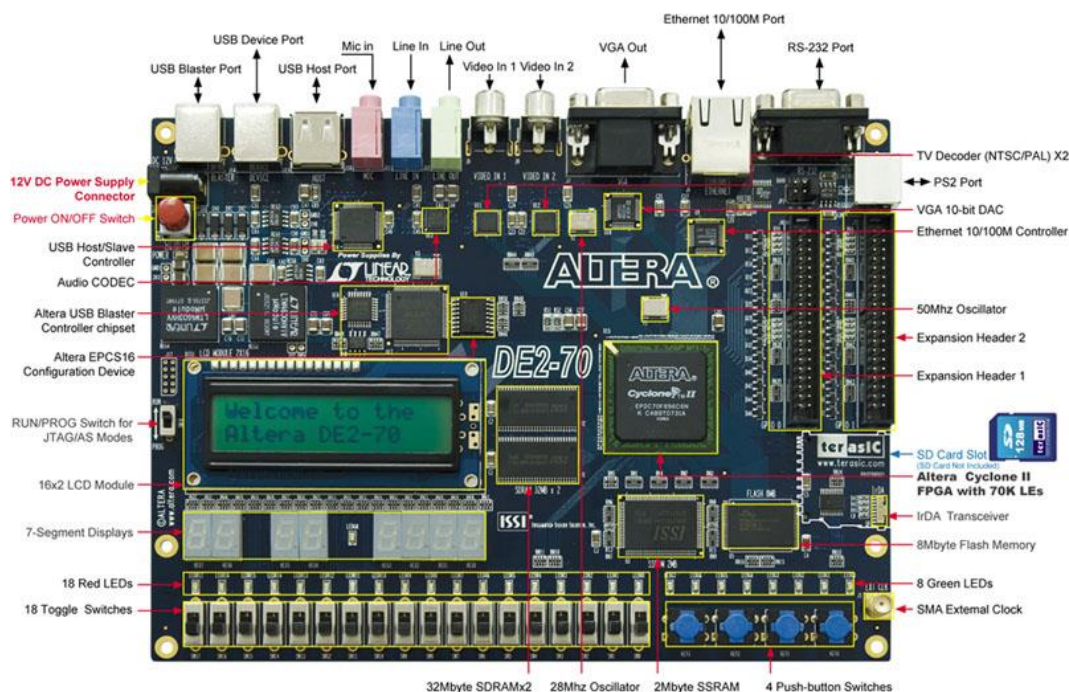
Neste projeto foi utilizada a linguagem de descrição de hardware (HDL) Verilog para escrever o código exemplo a seguir, na IDE Quartus II, e é carregado no FPGA DE2 da Altera.

### 2.1 Quartus II

A IDE Quartus II, da Altera, na versão 9.1 *Web Edition*, foi utilizada para desenvolver, compilar e carregar o código para o FPGA.

### 2.2 FPGA DE2

Imagem 1 - FPGA Altera DE2



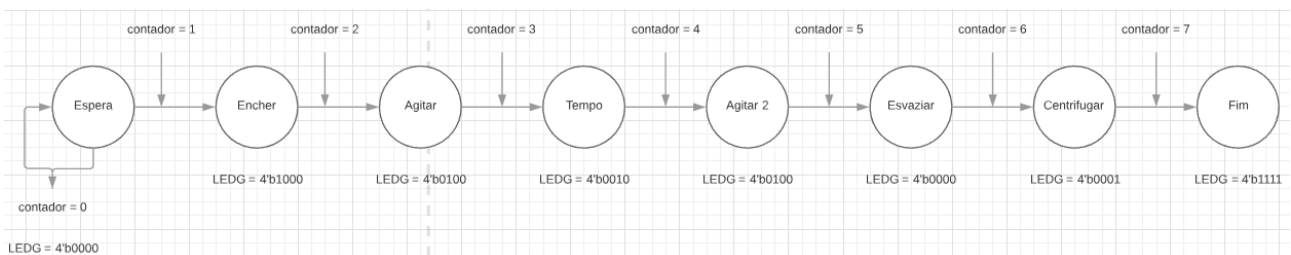
Os *switches* e os LEDs verdes do FPGA foram utilizados para representar os estados e modos da máquina de lavar.

### 3. Descrição do Projeto

Os *switches* foram utilizados para dizer se a máquina está ligada e configurada para executar os dois modos de lavagem. Os modos de lavagem foram definidos em padrão e rápida. A padrão se dá por passos comuns à maioria das máquinas de lavar da realidade, sendo os passos: encher, agitar, molho, agitar novamente, esvaziar e centrifugar. E o modo de lavagem rápida tem os passos: encher, agitar, esvaziar e centrifugar. O *switch* (0) ativo determina a lavagem padrão e o *switch* (1) determina a rápida. Existe uma configuração de LEDs, acesos ou apagados, que informa ao usuário o estado do processo em que a máquina se encontra atualmente. Quando *switch* (0) e *switch* (1) estiverem desativados, a máquina se encontra em estado de espera e seus LEDs se encontram desligados.

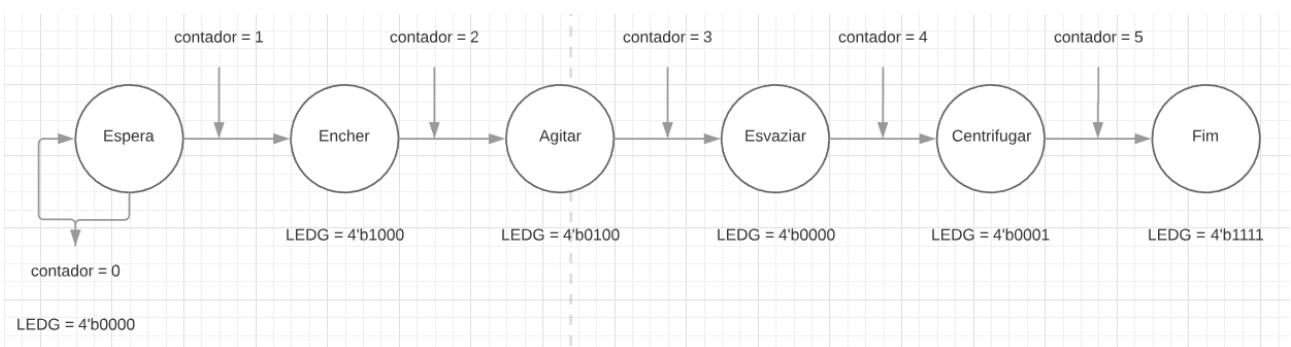
No código foram utilizados contadores para contar o tempo, em segundos, que é baseado nas bordas de subida do Clock\_27 do FPGA e outro para a mudança de estados, que por sua vez é baseado no anterior. Os estados passam de um para outro de acordo com o valor assumido pelo contador, que será melhor visualizada nas Máquina de Estados apresentadas a seguir nas Imagens 2 e 3.

Imagem 2 – Máquina de Estados da Lavagem Padrão



A Máquina de Estados acima é referente a lógica utilizada caso o *Switch* (0) esteja ativo.

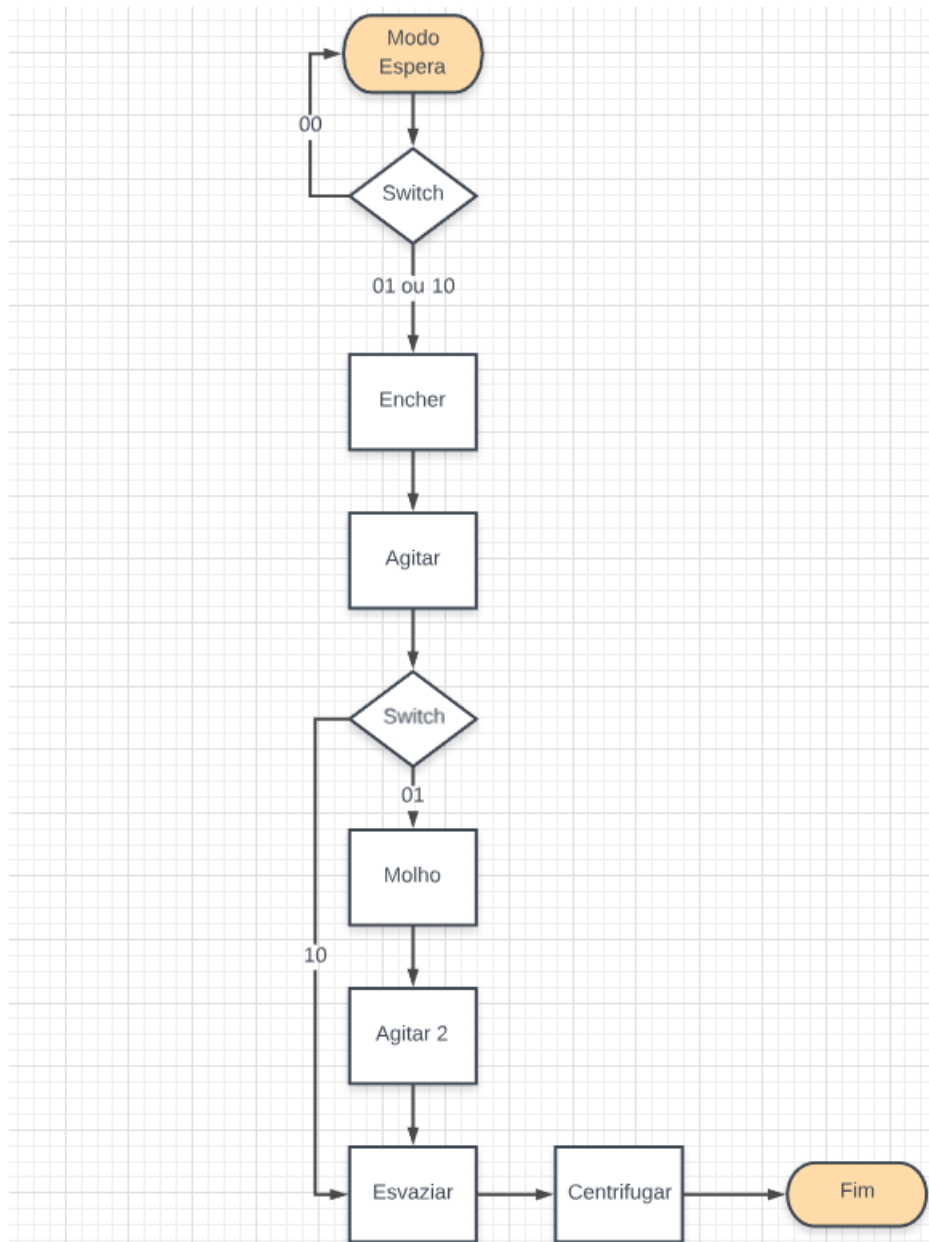
Imagem 3 - Máquina de Estados da Lavagem Rápida



A Máquina de Estados acima é referente a lógica utilizada caso o *Switch* (0) esteja ativo.

Os números binários nas Máquinas de Estado acima são referentes aos LEDs verdes do FPGA. 1 significa que o LED da posição está aceso e 0 que está apagado. Exemplo, o binário 0100 quer dizer que o terceiro LED da direita para a esquerda está aceso e os demais estão apagados.

Imagem 4 – Diagrama de Fluxo do funcionamento da máquina



## 4. Execução do Projeto, Testes e Resultados

### 4.1 Dificuldades encontradas

Foram encontrados 2 problemas, um funcional e uma limitação. O primeiro se refere ao contador que controla a passagem de estados. Inicialmente o contador era incrementado dentro de um



*loop always* controlado pelo pulso do Clock\_27, sendo incrementado quando o contador de segundos assumia valor 9. Porém, devido à velocidade dos pulsos de *clock*, o contador acrescentava diversas vezes neste segundo, pois o *clock* pulsava 27 vezes durante o segundo em que o *Always* era executado, fazendo com que o contador fosse de 0 a 27 e não progressivamente como era esperado. O problema foi resolvido com a adição de uma *flag* chamada “jaContou” que mudava seu valor no primeiro pulso de *clock* dos 27, permitindo que o contador tivesse o funcionamento correto.

O segundo problema foi referente ao pouco tempo com o equipamento para a realização do projeto, devido ao compartilhamento dele com outro grupo. Por conta disso, não houve tempo para realizar testes suficientes para aplicar as devidas correções e a implementação do LCD. Portanto o tempo passado com o FPGA serviu apenas para testar e corrigir o código já feito, que por sua vez estava longe de sua finalização.

## 4.2 Sugestões para trabalhos futuros

Evitar ao máximo a divisão da turma de forma que o número de integrantes seja pequeno o suficiente para que haja a necessidade de compartilhamento de equipamentos.

## 5. Conclusões

O projeto final consistiu em simular os processos da Máquina de Lavar. Mesmo com as dificuldades, o objetivo básico foi alcançado, visto que todos os processos da máquina foram representados visivelmente através dos LEDs. Entretanto, a implementação do LCD, que tinha como objetivo exibir os estados na tela para fácil compreensão, não foi realizada.

## 6. Referências

[1] - <https://www.fpga4fun.com/> <Acesso em: 6 de junho de 2018>

[2] – *Washing Machine* (Código do Projeto) < [https://github.com/HonnyLeonardo/Projeto\\_CL2](https://github.com/HonnyLeonardo/Projeto_CL2) >