

Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Алтайский государственный технический
университет им. И. И. Ползунова»

В.Г.ЛУКОЯНЫЧЕВ

МИКРОЭЛЕКТРОНИКА

Цифровые микросхемы

Учебное пособие

Барнаул 2012

УДК 621.3

Лукоянычев В.Г. Микроэлектроника. Цифровые микросхемы : Учебное пособие / Алт. госуд. технич. ун-т им. И.И.Ползунова. - Барнаул: 2012. - 83 с.

Данное учебное пособие предназначено для изучения дисциплины "Физические основы электроники" по направлению "Программная инженерия"

Пособие предназначено для приобретения теоретических знаний и практических навыков по курсу «Физические основы электроники».

Цель пособия - дать конкретную информацию для самостоятельной работы студента.

Рекомендовано - заседанием
кафедры Прикладная Математика
Протокол №1 от 24.09.12.

Рецензент: С.А.Кантор - зав.кафедрой Прикладной математики АлтГТУ.

ВВЕДЕНИЕ

Учебное пособие предназначено для студентов не электротехнических специальностей, в первую очередь учащимся по направлению «Программная инженерия». Пособие рассчитано на работу в одном семестре, то есть на 16-17 учебных недель. Основной материал разбит на три модуля, изучение одного модуля занимает 2 недели.

В учебном пособии основное внимание уделяется практическим применяемым электронным схемам и физическому обоснованию работоспособности того или иного выбранного решения, рассматриваются основные свойства и характеристики этих схем. Задачей данного пособия является объяснение и аргументация применяемых сегодня электронных схемных решений и технологических процессов, а также оказание помощи в осмыслении принципов работы электронных схем, встречающейся на практике.

Всё это определило структуру и содержание представленного материала.

Учебное пособие, которое можно назвать «Основы полупроводниковой цифровой микроэлектроники», открывает модуль, посвященный базовым логическим элементам, как базису большинства современных микросхем, а затем рассматриваются типы выходных каскадов современных микросхем и примеры их конкретного применения. В заключительном разделе рассматривается история создания современных технологий изготовления сверхбольших интегральных микросхем и тенденции дальнейшего развития микроэлектроники.

1 БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

1.1 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ЭЛЕМЕНТОВ

1.1.1 Общие сведения

Логические функции и их аргументы принимают значение лог.0 и лог.1. При этом следует иметь в виду, что в устройствах лог.0 и лог.1 соответствует напряжению определенного уровня (либо формы). Наиболее часто используется два способа физического представления лог.0 и лог.1: *потенциальный* и *импульсный*.

При потенциальной форме (рис. 1.1,а и 1.1,б) для представления лог.0 и лог.1 используется напряжение двух уровней: высокий уровень соответствует лог.1 (*уровень лог.1*) и низкий уровень соответствует лог.0 (*уровень лог.0*). Такой способ представления значений логических величин называется *положительной логикой*. Относительно редко используют так называемую *отрицательную логику*, при которой лог.1 ставят в соответствии низкий уровень напряжения, а лог.0 - высокий уровень. В дальнейшем, если это не оговаривается особо, будем пользоваться только *положительной логикой*.

При импульсной форме лог.1 соответствует наличие импульса, логическому 0 - отсутствие импульса (рис.1.1, в).

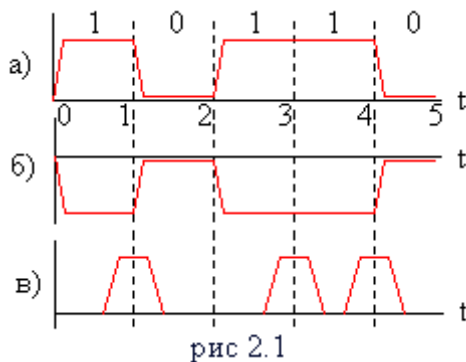
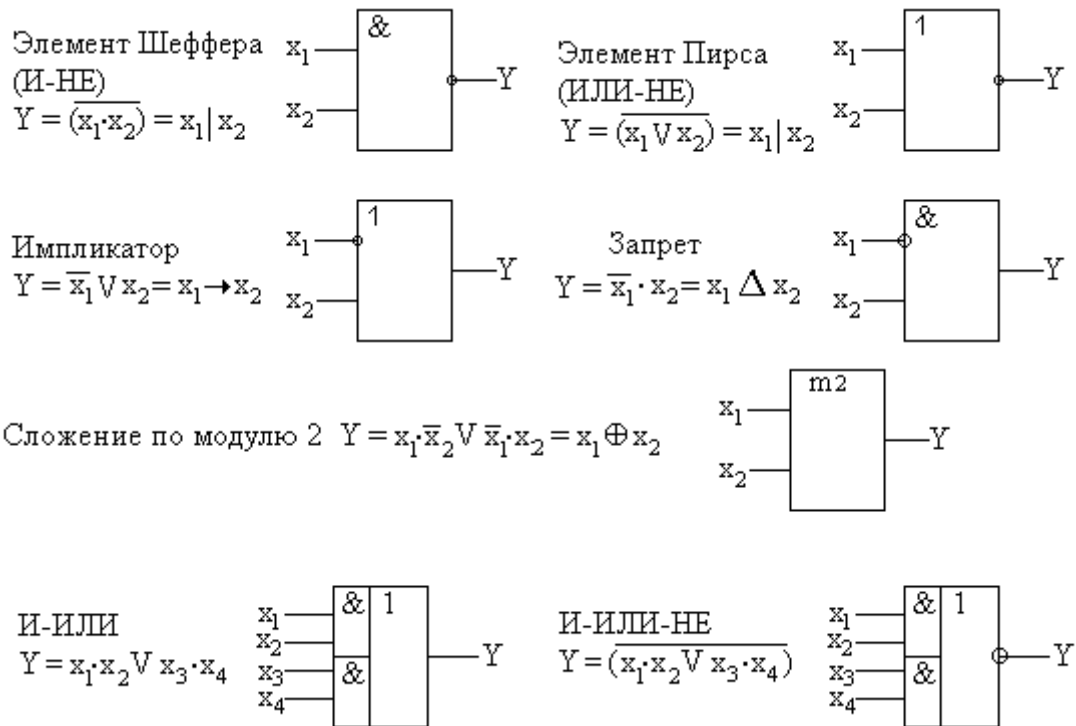


рис 2.1

При потенциальной форме соответствующая сигналу информация (лог.1 либо лог.0) может быть определена практически в любой момент времени, то при импульсной форме соответствие между уровнем напряжения и значением логической величины устанавливается в определенные дискретные моменты времени (так называемые *такты* или *такты времени*), обозначенные на рис.2.1, в целыми числами $t = 0, 1, 2, \dots$

1.1.2 Общие обозначения логических элементов.



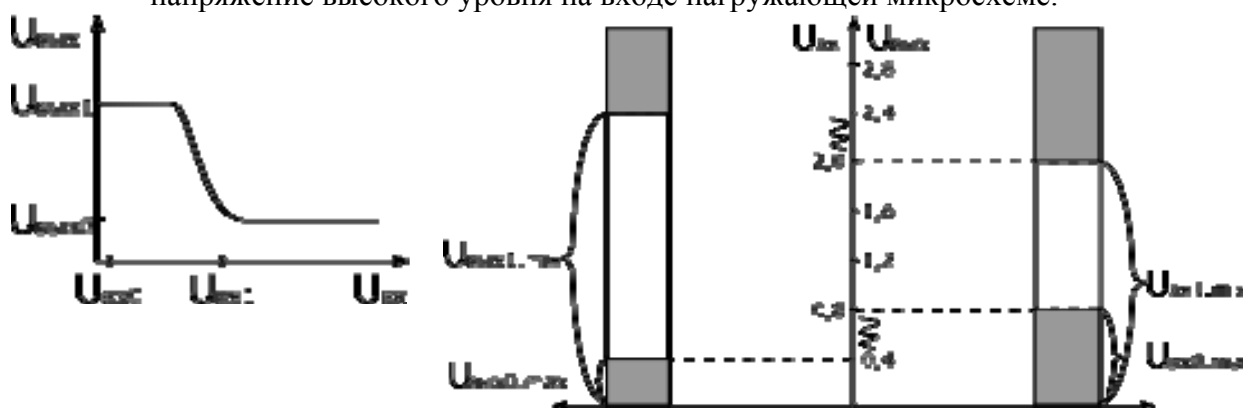


1.1.3 Электрические параметры микросхем

Регламентировано ГОСТ. Для всех микросхем.

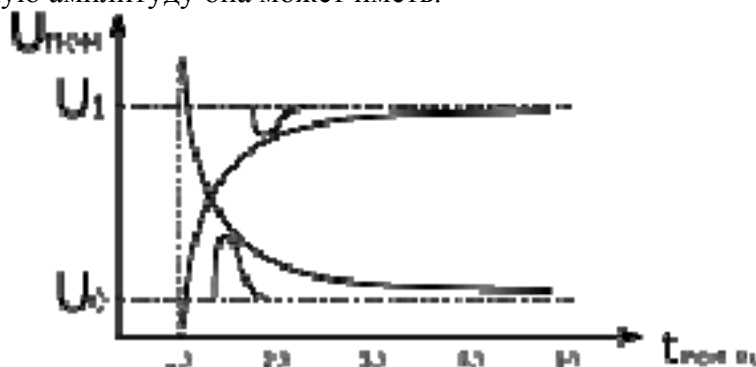
- Коэффициент разветвления. Характеризует нагрузочную способность микросхемы. Численно равен максимальному числу входов элементов данной серии, которым можно нагрузить выход данной микросхемы без нарушения его электрического режима. Обычно коэффициент разветвления 10. В большинстве случаев, этого достаточно, но иногда необходимо раздавать сигнал на большее число входов (30). Поэтому в каждой выпускаются элементы с повышенной нагрузочной способностью. Повышенная нагрузочная способность требуется, если выходы работают на шины. Шина — это способ и конструкция для передачи информации в параллельном виде, когда источником сигнала является один узел, а приемников несколько. Передатчики — только одни, приемников несколько. Повышенная нагрузочная способность элемента требует увеличения площадей транзистора.
- Коэффициент объединения по входу. Этот коэффициент равен числу входов по которым выполняется данная логическая функция (2И, 4И).
- Мощность потребления микросхемы. Эта мощность зависит от режима работы микросхемы (параллельная запись информации, работа АЛУ, передача информации на шину). Указывают также среднюю мощность потребления.
- Статическая передаточная характеристика. Рассматривается обычно для элементов малой степени интеграции, а также при расчетах электрической части интерфейса. Логический интерфейс — коды. Электрический интерфейс — линии связи (электрические). Конструктивная часть интерфейса.
- Статическая помехоустойчивость. Рассматривается по отношению к сигналу, длительность которых значительно превышает длительность переходных процессов. Различают статическую помехоустойчивость по высокому и низкому уровню.
 1. Статическая помехоустойчивость по низкому уровню. $U_{0\text{пом}} = |U_{0\text{вых.макс}} - U_{0\text{вх.макс}}|$, где $U_{0\text{вых.макс}}$ — максимально допустимое напряжение низкого уровня на выходе нагруженной микросхемы. $U_{0\text{вх.макс}}$ — максимально допустимое входное напряжение низкого уровня на входе нагружающей микросхемы.

2. Статическая помехоустойчивость по высокому уровню. $U_{1\text{пом}} = |U_{1\text{вых.мин}} - U_{1\text{вх.мин}}|$. $U_{1\text{вых.мин}}$ — минимальное допустимое напряжение низкого уровня на выходе нагруженной микросхемы. $U_{1\text{вх.мин}}$ — минимально допустимое напряжение высокого уровня на входе нагружающей микросхемы.



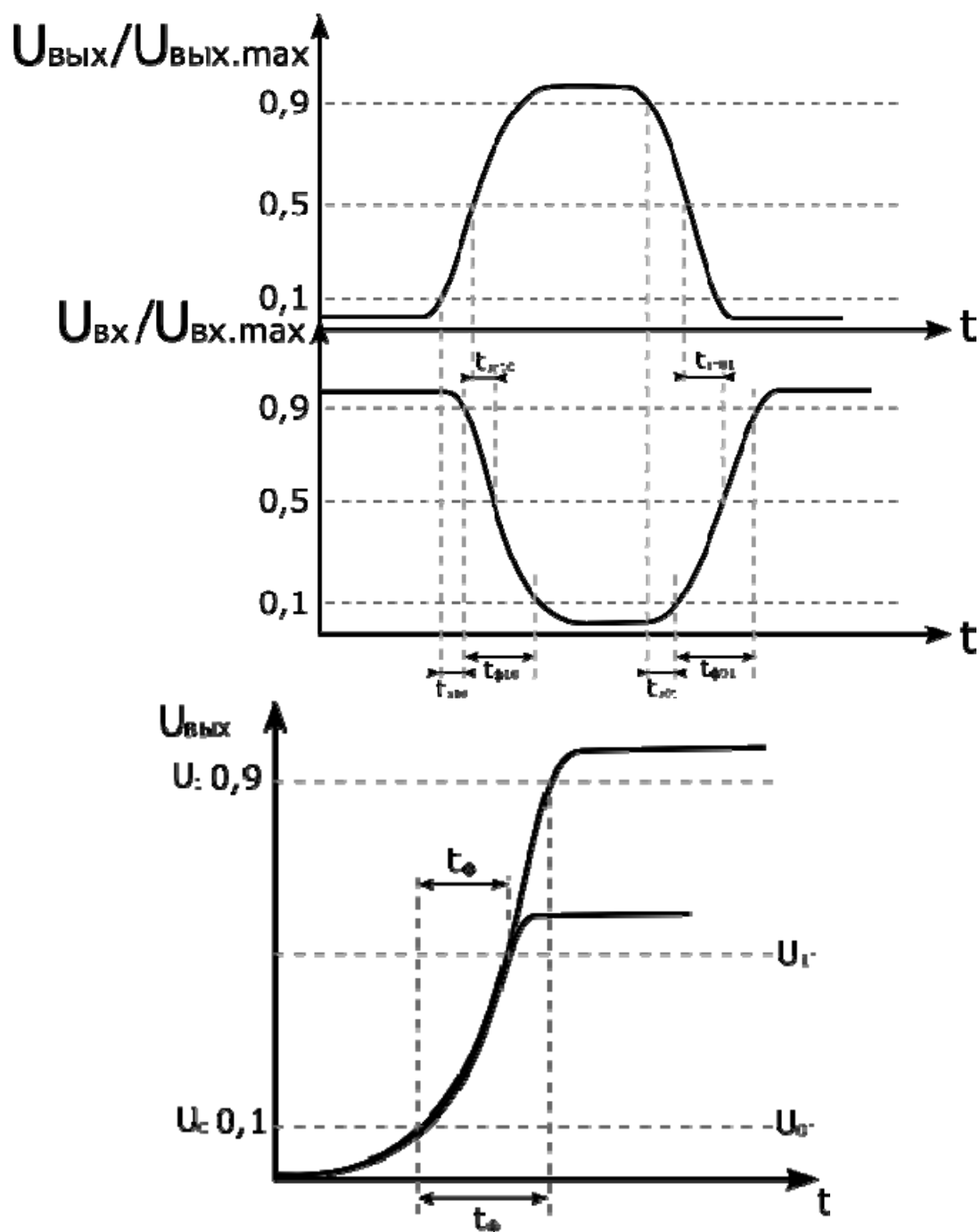
1.1.4 Динамические параметры микросхем

- Энергия переключения. $A = P \cdot t_{\text{зрф}}$. P - Мощность потребления микросхемы. t — среднее время задержки.
- Диаграмма динамической помехоустойчивости. Если длительность импульса помеха мала (20 нс), то амплитуда импульса может его превышать. Такие диаграммы строятся экспериментально для каждой серии микросхем. По оси абсцисс откладывается длительность помехи, по оси ординат — допустимая амплитуда. Смысл такой реакции микросхемы на импульсные помехи: для того чтобы переключить микросхему нужно переключить транзистор. Для этого необходимо в его базу сообщить заряд. Ток конечен — время конечно. Чем меньше длительность помехи, тем большую амплитуду она должна иметь, чтобы сообщить в базу транзистора заряд, необходимый для его переключения. Чем короче помеха, тем большую амплитуду она может иметь.



1.1.5 Параметры импульсных сигналов

- T задержки включения. Выход микросхемы считается включенным, если на нем низкий уровень. Соединение с нулем обеспечивает большую определенность уровня, в отличие от нестабильного высокого уровня при соединении с питанием.
- T задержки выключения. $T_{\text{к}}$. Время задержки фронтов на входе и выходе может сильно отличаться, используют параметр t задержки распространения.
- Длительность фронтов выходного сигнала не связана с длительностью фронтов входного сигнала и определяется собственными динамическими параметрами микросхемы.
- Времена переключения микросхем определяют предельные рабочие частоты.



Основой каждой серии цифровых микросхем является базовый логический элемент (ЛЭ). Как правило, базовые логические элементы выполняют операции И—НЕ либо ИЛИ—НЕ и по принципу построения делятся на следующие основные типы: элементы резистивно-транзисторной логики (РТЛ), с непосредственной связью транзисторной логики (НСТЛ), диодно-транзисторной логики (ДТЛ), транзисторно-транзисторной логики (ТТЛ), транзисторно-транзисторной логики с диодами Шотки (ТТЛШ), эмиттерно-связанной транзисторной логики (ЭСТЛ), интегральной инжекционной логики (ИИЛ), микросхемы на рМОП, nМОП и комплементарных МОП структурах (КМОП). Элементы МОП цифровых микросхем используют МОП- транзисторы (со структурой металл — окисел (диэлектрик)—полупроводник) — с каналами р- и п- типов. Базовые элементы остальных типов выполнены на биполярных транзисторах.

1.2 ОСНОВНЫЕ ТИПЫ БАЗОВЫХ ЛЭ

1.2.1 Резисторно-транзисторный ЛЭ (РТЛ)

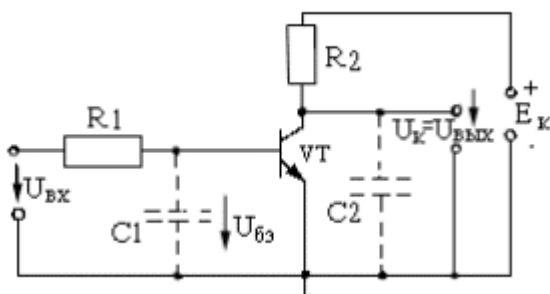


Рис. 1.2

Технология изготовления ЛЭ РТЛ была реализована в виде интегральных микросхем одной из первых.

Простейшим элементом, выполняющим функцию отрицания НЕ, является транзисторный ключ.

Транзисторы в интегральных схемах обычно изображают без окружности (для экономии места).

Схема базового элемента РТЛ изображена на рис. 1.3. Ее основой является простейший ключ – инвертор, а операция ИЛИ реализуется входной сборкой резисторов R1, R2, R3. Схема относительно проста, но обладает рядом недостатков, основным из которых является сильная зависимость глубины насыщения транзистора VT1 от числа логических единиц на входе, что приводит к ухудшению динамических характеристик транзистора. Эта же причина ограничивает функциональную сложность

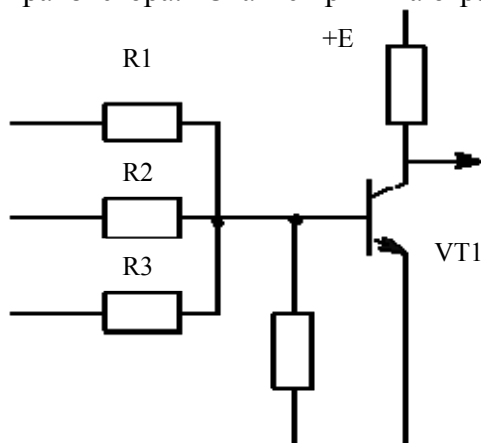


Рис.1.3

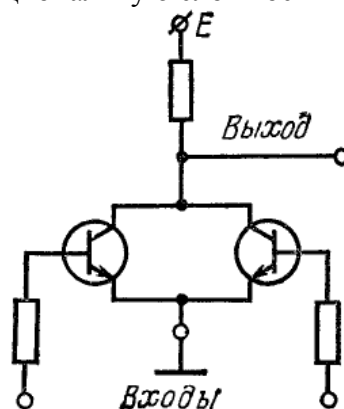


Рис.1.4

Другой вариант базового элемента РТЛ представлен на рис. 1.4. Он выполняет логическую операцию ИЛИ — НЕ. Управление его работой осуществляется подачей сигналов в базовые цепи транзисторов - присутствие сигнала 1 хотя бы на одном входе приводит к открыванию соответствующего транзистора и обеспечению состояния 0 на выходе элемента.

К выходу логического элемента можно подключить несколько входов таких же элементов. Для выравнивания входных токов элементов-нагрузок в базовые цепи транзисторов включены резисторы

Многовходовой вариант базового элемента ИЛИ-НЕ реализует цепь из M транзисторных ключей, работающих на общую нагрузку (рис.2).

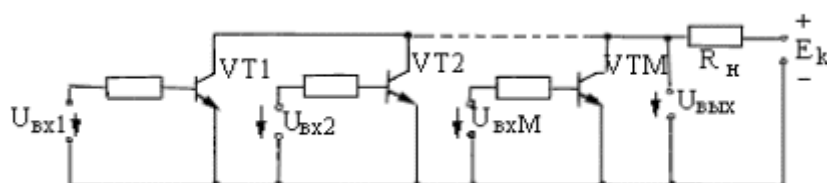


Рис. 1.5

Если все транзисторы закрыты, то $U_{ВЫХ} = U_{ВЫХ}^1 \gg E_k$. Чтобы получить $U_{ВЫХ} = U_{ВЫХ}^0 > 0$ необходимо открыть хотя бы один транзистор, т.е. $U_{ВХ} = U_{ВХ}^1$ (до насыщения!).

Т.о. строится элемент ИЛИ-НЕ для любого количества входных переменных, который образует функционально – полную систему логических элементов, т.е. с помощью него можно в полном объёме реализовать Булеву алгебру. Что и привело к созданию ЭВМ на базе транзисторов.

Недостаток РТЛ - резисторы занимают много места на подложке и снижают степень интеграции ИС, существенным их недостатком является влияние одной переменной на другие, что не позволяет создавать быстродействующие устройства.

1.2.2 Транзисторные элементы с непосредственной связью (НСТЛ)

Схема НСТЛ-элемента приведена на рис. 1.6.

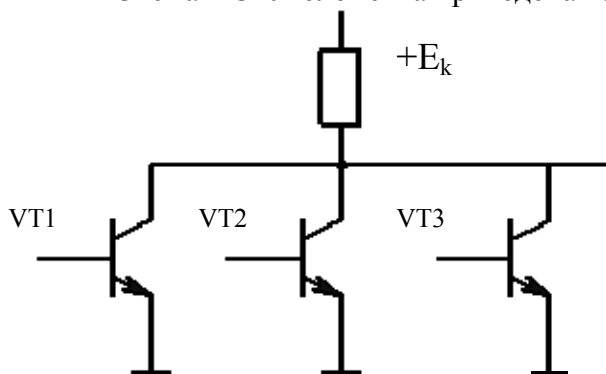


Рис.1.6

Схема ЛЭ образована соединением коллекторов нескольких (на рисунке – трех) транзисторов. Здесь применена непосредственная связь выхода предыдущего каскада со входом последующего. Если на все входы поступают низкие уровни напряжения (логический нуль), то все три транзистора VT1 – VT3 закрыты и на выходе напряжение равно $+E_k$ (без учета подключения ЛЭ к нагрузке), что соответствует уровню логической единицы.

Если хотя бы на один вход поступает высокий уровень напряжения (логическая единица), то соответствующий транзистор открывается и насыщается и выходное напряжение снижается до $U_{кн}$, что соответствует логическому нулю.

При подаче логической единицы на большее число входов насыщается большее число транзисторов, но уровень выходного потенциала почти не изменяется и остается близким к нулю. Таким образом здесь реализуется операция ИЛИ-НЕ. При работе схемы на однотипные элементы уровень логической единицы определяется значением напряжения насыщения базы равным примерно 0,7–0,8 В кремниевых транзисторов, а значение напряжения насыщения коллектора равно 0,2–0,3 В. Такая малая разница уровней напряжения между логической единицей и нулем снижает помехоустойчивость данной схемы, но схема элемента НСТЛ отличается простотой и требует относительно небольшого числа компонентов, в результате чего эти элементы имеют преимущества для миниатюризации.

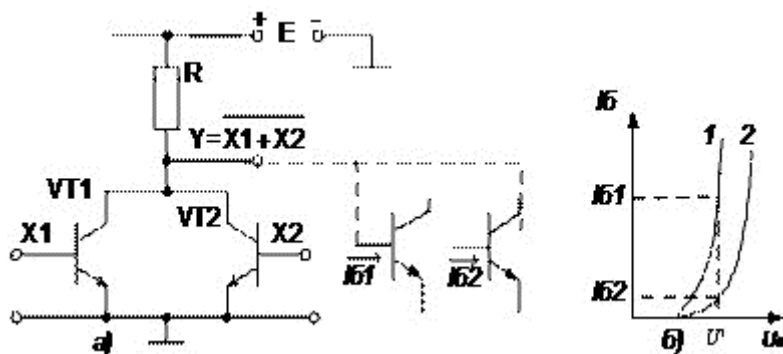


Рис. 1.7

Схема элемента НСТЛ предельно проста, однако у неё есть ещё один существенный недостаток. Когда на выходе элемента установлен потенциал лог.«1», на базы транзисторов нагрузок, как показано на рисунке 1.7,а пунктиром, подаётся постоянный потенциал U^1 . Из-за разброса параметров транзисторов (рис.1.7,б), токи баз транзисторов могут существенно различаться. В результате один из транзисторов может войти в глубокое насыщение, а другой — находиться в линейном режиме. При этом уровни «лог.1» будут существенно различаться, что неизменно приведёт к сбоям в работе

устройства в целом. Поэтому схема ЛЭ НСТЛ применяется только на транзисторах, управляемых напряжением.

1.2.3 Диодно-транзисторные ЛЭ (ДТЛ).

Следующим шагом в плане размещения логических элементов на кристаллах и увеличения их быстродействия является создание диодно-транзисторной логики. В результате этой работы появились два базовых элемента данной логики:

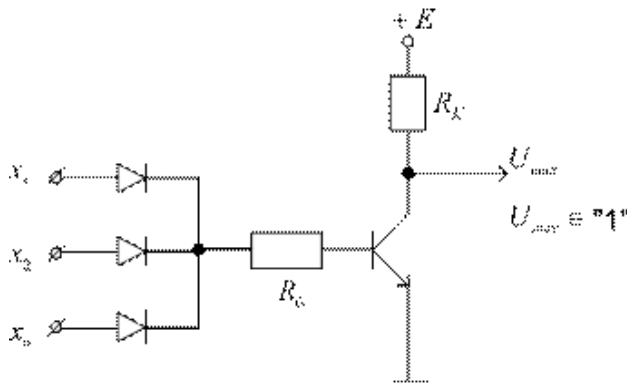


рис.1.8

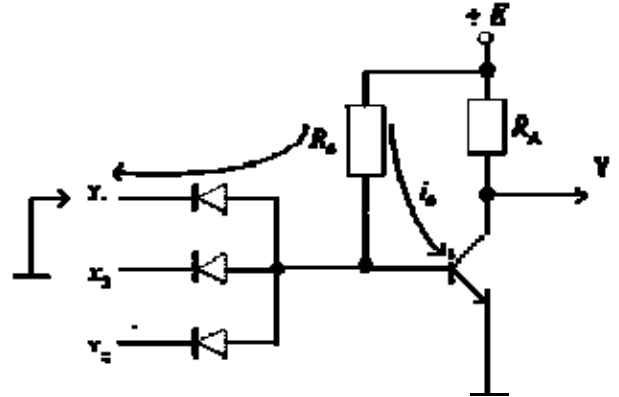


рис.1.9

Принцип действия (рис.1.8) полностью аналогичен принципу действия РТЛ – логики. Преимущество – все элементы можно изготовить интегральным способом. Влияние одной переменной на другую полностью исключено.

Как видно из рисунка, реализуется функция:

$$Y = \overline{x_1 + x_2 + \dots + x_n}, \text{ т.е. ИЛИ – НЕ}$$

Второй базовый элемент представлен на рис.1.9. Им реализуется функция И – НЕ, т.е. $Y = \overline{x_1 \cdot x_2}$. Если заземлить хотя бы один вход (например X1), то весь ток пойдёт обратно. В данном случае принцип работы транзистора принципиально иной. Если к диодам ничего не подключать или подать логическую единицу, то они закрыты и ток i_b открывает до насыщения транзистора. В результате $Y = 0$. Если на любой из диодов подать логический 0, то диод откроется и весь ток пойдёт через него, т.е. $i_b = 0$, и транзистор окажется в режиме отсечки, т.е. $Y = 1$.

Таким образом, в рамках ДТЛ была решена задача создания сразу двух логических элементов, каждый из которых образует функционально-полную систему таких элементов, что существенно увеличило степень интеграции, компактность и эффективность создания цифровых устройств и увеличило быстродействие.

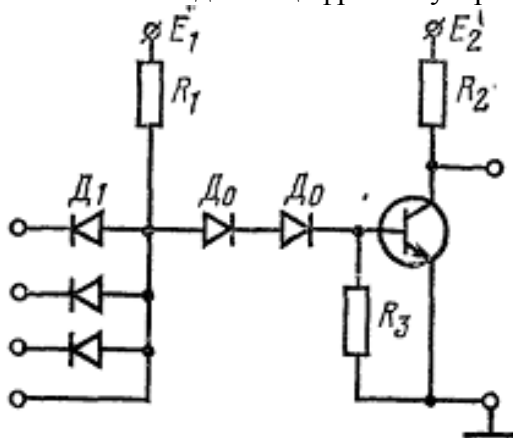


Рис. 1.10а Базовые элементы ДТЛ со смещающими диодами;

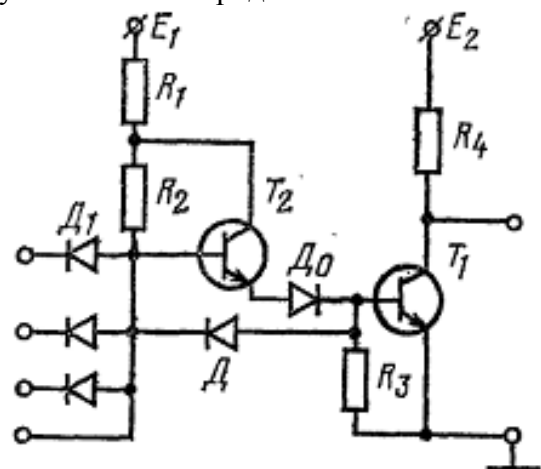


Рис. 1.10б. Базовые элементы ДТЛ с дополнительным транзистором

Число различных вариантов построения элементов ДТЛ велико. Рассмотрим тех из них, которые получили наиболее широкое распространение. Элемент, схема которого

представлена на рис. 1.10,а, является базовым для микросхем серии 217. Он содержит несколько входных диодов, которые вместе с резистором R_1 служат для выполнения логической операции И и выходной инвертор. Два диода D_0 в цепи базы транзистора, часто называемые смещающими, предназначены для увеличения порога срабатывания инвертора. Нередко предусматривается возможность подключения ко входу дополнительной диодной сборки для расширения логических возможностей элемента по выполнению операции И (свободный вход).

Два диода смещения D_0 повышают помехоустойчивость системы. Если используют стабилитроны, порог открывания и помехоустойчивость выше.

Работает элемент следующим образом. Если на все входы поданы сигналы с уровнем 1, входные диоды закрыты, и ток от источника E_1 поступает в базу транзистора. Он открывается и входит в режим насыщения, при этом выходное напряжение уменьшается до уровня 0.

Выключается транзистор обратным током базы, протекающим через диоды D_0 , представляющие некоторое время малое сопротивление обратному току, диод D_1 и выход открытого транзистора предыдущего элемента. Время восстановления диодов D_0 должно быть больше времени рассасывания накопленного в транзисторе заряда: в противном случае диоды D_0 закроются, и процесс выключения транзистора существенно замедлится. В варианте ДТЛ элемента, показанном на рис. 1.10,б (базовый элемент для микросхем серий 109, 121, 156 и др.), вместо одного из смещающих диодов используется транзистор T_2 , усиливающий ток, включающий выходной транзистор T_1 . В результате использования дополнительного транзистора удастся уменьшить требуемое значение напряжения E_1 до 5 В и снизить требования к усилению выходного транзистора, что способствует увеличению выхода годных схем при их изготовлении.

Другая особенность элемента — наличие диода между базой выходного транзистора и входными диодами. Этот диод, называемый ускоряющим, постоянно закрыт и играет роль конденсатора. Емкостью конденсатора является емкость электронно-дырочного перехода этого диода. Благодаря ей ускоряется включение выходного транзистора и его выключение, так как на этапе включения емкость способствует более быстрому пропусканию тока в базу транзистора, а при выключении создает дополнительный выключающий ток за счет накопленного ею заряда.

Существенный недостаток рассмотренных элементов заключается в том, что они имеют большое выходное сопротивление в закрытом состоянии, поскольку коллекторное сопротивление выходного транзистора составляет обычно тысячи ом. Это уменьшает ток, отдаваемый в нагрузку, и, как следствие, увеличивает время заряда емкости на выходе элемента.

1.2.4 Транзисторно-транзисторные ЛЭ (ТТЛ)

Базовый элемент диодно-транзисторной логики И-НЕ послужил основой для создания нового перспективного направления в развитии логических элементов – ТТЛ. В настоящее время это один из основных типов логики, используемых в цифровой электронике. Основу для её построения составляют многоэмиттерные транзисторы, работающие в режиме переключателя токов:

Элементы транзисторно-транзисторной логики (ТТЛ) составляют базу микросхем среднего и высокого быстродействия. Разработано и используется несколько вариантов схем, имеющих различные параметры.

1.2.4.1 ТТЛ элемент И-НЕ с простым инвертором

В состав такого элемента входит многоэмиттерный транзистор VT_1 (рис. 1.11,а), осуществляющий логическую операцию И и транзистор VT_2 , реализующий операцию НЕ.

Многоэмиттерный транзистор (МЭТ) является основой ТТЛ. При наличии на входах схемы т.е. эмиттерах МЭТ сигнала $U^0 = U_{KЭ.нас}$ эмиттерные переходы смещены в прямом направлении и через VT1 протекает значительный базовый ток $I_{B1} = (E - U_{БЭ.нас} - U_{KЭ.нас}) / R_B$, достаточный для того, чтобы транзистор находился в режиме насыщения. При этом напряжение коллектор-эмиттер VT1 $U_{KЭ.нас} = 0,2$ В. Напряжение на базе транзистора VT2, равное $U^0 + U_{KЭ.нас} = 2U_{KЭ.нас} < U_{БЭ.нас}$ и транзистор VT2 закрыт. Напряжение на выходе схемы соответствует уровню логической «1». В таком состоянии схема будет находиться, пока хотя бы на одном из входов сигнал равен U^0 .

Если входное напряжение повышать от уровня U^0 на всех входах одновременно, или на одном из входов при условии, что на остальные входы подан сигнал логической «1», то входное напряжение на базе повышается и при $U_б = U_{вх} + U_{KЭ.нас} = U_{БЭ.нас}$ и транзистор VT2 откроется. В результате увеличится ток базы VT2, который будет протекать от источника питания через резистор $R_б$ и коллекторный переход VT1, и транзистор VT2 перейдет в режим насыщения. Дальнейшее повышение U_{BX} приведет к запираанию эмиттерных переходов транзистора VT1, и в результате он перейдет в режим, при котором коллекторный переход смещен в прямом направлении, а эмиттерные — в обратном (Инверсный режим включения). Напряжение на выходе схемы $U_{ВЫХ} = U_{KЭ.нас} = U^0$ (транзистор VT2 в насыщении).

Таким образом, рассмотренный элемент осуществляет логическую операцию И-НЕ. Из логики работы следует, что если ко входу никакого сигнала не подаётся, то это эквивалентно логической «1» на входе элемента.

Простейшая схема элемента ТТЛ имеет ряд недостатков. При последовательном включении таких элементов, когда к выходу элемента подключаются эмиттеры других таких же элементов, ток, потребляемый от ЛЭ, увеличивается, уменьшается напряжение высокого уровня (лог. «1»). Поэтому элемент обладает низкой нагрузочной способностью. Это обусловлено наличием больших эмиттерных токов многоэмиттерного транзистора в инверсном режиме, которые потребляются от ЛЭ транзисторами-нагрузками.

Кроме того, эта схема имеет малую помехоустойчивость по отношению к уровню положительной помехи: $U_{ПМ}^+ = U_{БЭ.нас} - U^0 = U_{БЭ.нас} - 2U_{KЭ.нас}$. Для устранения указанных недостатков используют схемы ТТЛ со сложным инвертором (рис.1.11,б).

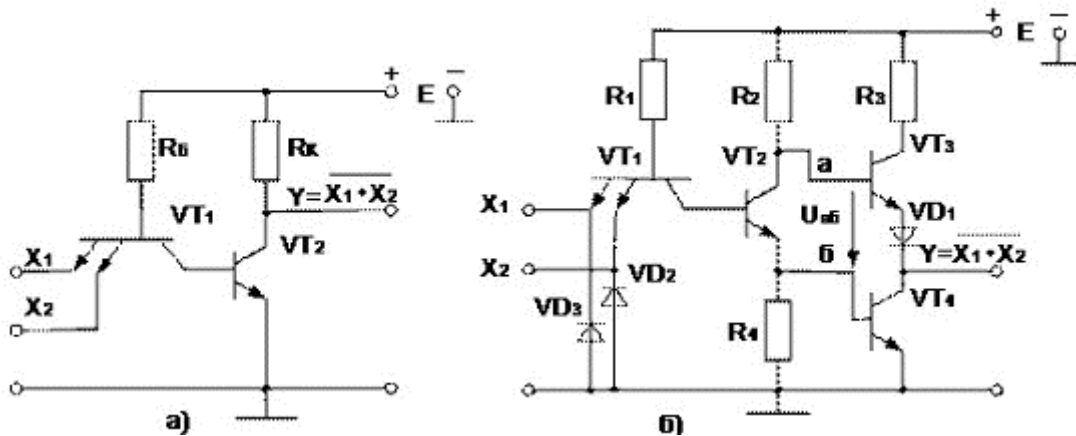


Рис. 1.11 Логические элементы И-НЕ с простым а) и сложным б) инвертором

1.2.4.2 ТТЛ элемент И-НЕ с сложным инвертором

Схема ТТЛ со сложным инвертором (рис. 1.11,б) также, как и схема с простым инвертором, осуществляет логическую операцию И-НЕ. При наличии на входах напряжения лог. «0» многоэмиттерный транзистор VT1 находится в режиме насыщения, а транзистор VT2 закрыт. Следовательно, закрыт и транзистор VT4, поскольку ток через резистор R_4 не протекает и напряжение на базе VT4 $U_{б4} = 0$. Транзистор VT3 открыт, так как его база подключена к источнику питания E через резистор R_2 . Сопротивление резистора R_3 невелико, поэтому VT3 работает как эмиттерный повторитель. Через транзистор VT3 и открытый диод VD протекает ток нагрузки логического элемента и

выходное напряжение, соответствующее уровню лог. «1», равно напряжению питания за минусом падения напряжения $U_{БЭ.нас}$, падения напряжения на открытом диоде $U_d = U_{БЭ.нас}$ и небольшого падения напряжения на сопротивлении R_2 от тока базы VT2: $U^1 = E - 2U_{КЭ.нас} - R_2 I_{Б2} = U_n - 2U_{БЭ.нас}$.

Рассмотренному режиму соответствует участок 1 передаточной характеристики логического элемента ТТЛ (рис. 1.12.а)

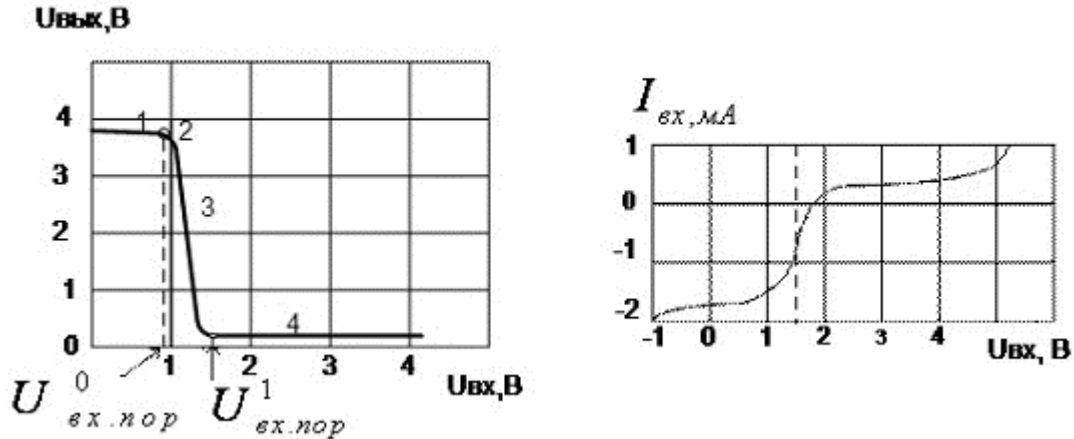


Рис. 1.12 Характеристики базового ЛЭ серии 155:

а – передаточная, б – входная.

При увеличении напряжения на всех входах потенциал базы VT2 возрастает и при $U_{ВХ} = U_{пор}^0$ транзистор VT2 открывается, начинает протекать коллекторный ток $I_{К2}$ через резисторы R_2 и R_4 . В результате базовый ток VT3 уменьшается, падение напряжения на нём увеличивается и выходное напряжение снижается (участок 2 на рис. 1.12). Пока на резисторе R_4 падение напряжения $U_{R4} < U_{БЭ.нас}$ транзистор VT4 закрыт. Когда $U_{ВХ} = U_{пор}^1 = 2U_{БЭ.нас} - U_{КЭ.нас}$ открывается транзистор VT4. Дальнейшее увеличение входного напряжения приводит к насыщению VT2 и VT4 и переходу VT1 в инверсный режим (участок 3 на рис. 1.12). При этом потенциал точки «а» (см. рис. 1.11,б) равен $U_a = U_{БЭ.нас} + U_{КЭ.нас}$, а точки «б» — $U_b = U_{КЭ.нас}$, следовательно, $U_{аб} = U_a - U_b = U_{БЭ.нас}$. Для отпирания транзистора VT3 и диода VD1 требуется $U_{аб} \geq 2U_{БЭ.нас}$. Так как это условие не выполняется, то VT3 и VD1 оказываются закрытыми и напряжение на входе схемы равно $U_{КЭ.нас} = U^0$ (участок 4 на рис. 1.12).

При переключении имеются промежутки времени, когда оба транзистора VT3 и VT4 открыты и возникают броски тока. Для ограничения амплитуды этого тока в схему включают резистор с небольшим сопротивлением ($R_3 = 100 - 160 \text{ Ом}$).

При отрицательном напряжении на эмиттерах МЭТ больше 2 В развивается туннельный пробой и входной ток резко увеличивается. Для защиты ЛЭ от воздействия отрицательной помехи в схему введены диоды VD2, VD3, которые ограничивают её на уровне 0,5–0,6В.

При положительном напряжении больше (4–4,5) В входной ток также увеличивается, поэтому для подачи на входы ЛЭ лог. «1» нельзя подключать входы к напряжению питания +5 В.

При практическом применении ЛЭ ТТЛ неиспользованные входы можно оставлять свободными. Однако при этом снижается помехоустойчивость из-за воздействия наводок на свободные выводы. Поэтому их обычно или объединяют между собой, если это не ведёт к превышению для предшествующего ЛЭ, или подключают к источнику питания +5 В через резистор $R = 1 \text{ кОм}$, ограничивающий входной ток. К каждому резистору можно подключать до 10 входов. Таким методом уровень лог. «1» создаётся искусственно.

Помехоустойчивость элемента ТТЛ со сложным инвертором:

$$U_{ном}^+ = U_{пор}^1 - U^0 = 2U_{БЭ.нас} - 2U_{КЭ.нас}$$

$$U_{ном}^- = U^1 - U_{пор}^1 = E - 4U_{БЭ.нас} + U_{КЭ.нас}$$

Быстродействие элементов ТТЛ, определяемое временем задержки распространения сигнала при включении $t_{зад.p}^{1,0}$ и выключении $t_{зад.p}^{0,1}$, зависит от

длительности процессов накопления и рассасывания неосновных носителей в базах транзисторов, перезарядки емкостей коллекторных СК и эмиттерных СЭ ёмкостей переходов. Поскольку при работе элемента ТТЛ открытые транзисторы находятся в состоянии насыщения, то существенный вклад в увеличение инерционности ТТЛ вносит время рассасывания неосновных носителей при запираании транзисторов.

Элементы ТТЛ со сложным инвертором имеют большой логический перепад, малую потребляемую мощность, высокое быстродействие и помехоустойчивость. Типичные значения параметров ТТЛ следующие: $U_{пит}=5\text{ В}$; $U^1 \geq 2,4\text{ В}$; $U^0 \leq 0,4\text{ В}$; $t_{зд.ср}=10\dots 20\text{ нс}$; $P_{ном.ср}=10\dots 20\text{ мВт}$; $K_{раз}=10$.

1.2.4.3 Логические уровни ТТЛ микросхем

В настоящее время применяются два вида ТТЛ микросхем — с пяти и с трёхвольтовым питанием, но, независимо от напряжения питания микросхем, логические уровни нуля и единицы на выходе этих микросхем совпадают. Поэтому дополнительного согласования между ТТЛ микросхемами обычно не требуется. Допустимый уровень напряжения на выходе цифровой ТТЛ микросхемы показан на рисунке 1.13.

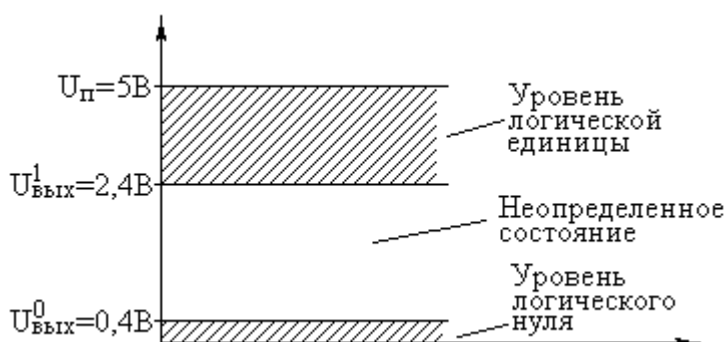


Рис. 1.13 Уровни логических сигналов на выходе цифровых ТТЛ микросхем

Напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Границы уровней логического нуля и единицы для ТТЛ микросхем приведены на рисунке 1.14.

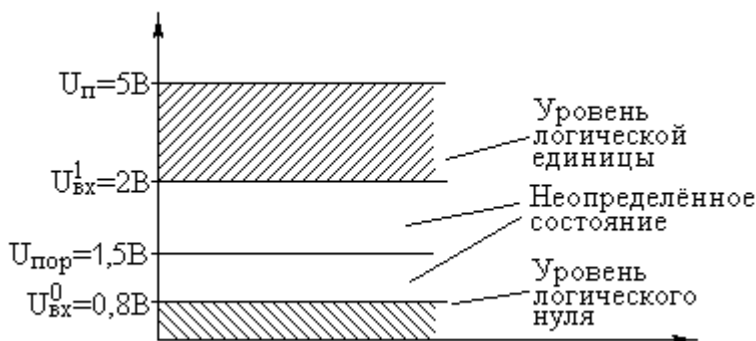
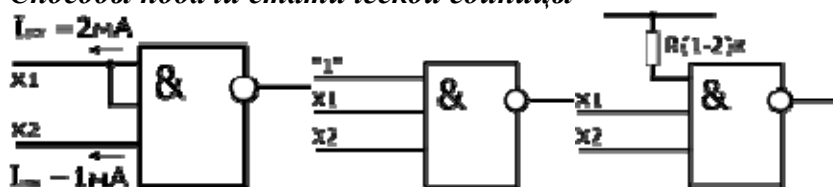


Рис.1.14 Уровни логических сигналов на входе цифровых ТТЛ микросхем

1.2.4.4 Способы подачи статических логических уровней на входы ТТЛ

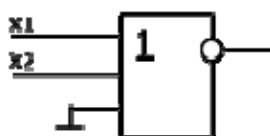
Используется для уменьшения числа входов (если нужно 5 входов, а есть 8).

Способы подачи статической единицы



1. Оставить не подключенным. На не подключенном входе высокий уровень. Помехоустойчивость элемента оказывается низкой. Поскольку помехи, проникающие по цепям питания и другим входам, могут привести к ложным переключениям.
2. Подключить к вспомогательному источнику питания напряжение $U=+(2.4...3.6)V$. Однако он требует разведения по всей печатной плате или по всему кристаллу специальной цепи этого источника.
3. Подать статический уровень через специальный резистор. До 10 входов стандартной серии можно подключить к специальному резистору. Если входные токи элемента другой серии меньше или больше, то сопротивление резистора можно увеличить или уменьшить. Подключать неиспользуемый вывод к цепи +5 недопустимо. Потому что, при включении источника питания, на их выходе допускается бросок напряжения до 7,5 вольт, и переход база-эмиттер МЭТ может быть пробит, также могут образовываться колебательные движения.

Способы подачи статического нуля



Проблем не возникает. Ноль подключается напрямую ко входам микросхемы

1.2.4.5 Семейства ТТЛ микросхем

Первые ТТЛ микросхемы оказались на редкость удачным решением, поэтому их можно встретить в аппаратуре, работающей до сих пор. Это семейство микросхем серии К155. Стандартные ТТЛ микросхемы — это микросхемы, питающиеся от источника напряжения +5 В. Зарубежные ТТЛ микросхемы получили название SN74. Конкретные микросхемы этой серии обозначаются цифровым номером микросхемы, следующим за названием серии. Например, в микросхеме SN74S00 содержится четыре логических элемента "И-НЕ". Аналогичные микросхемы с расширенным температурным диапазоном получили название SN54 (отечественный вариант — серия микросхем К133).

За рубежом производится трехвольтовый вариант ТТЛ микросхем — SN74ALB

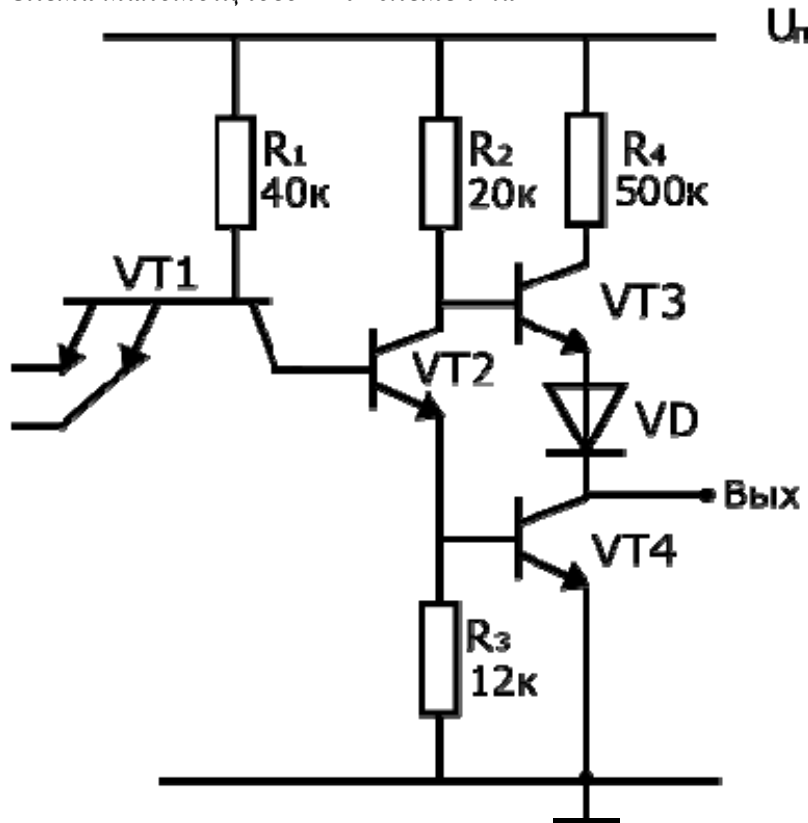
Модификации элементов ТТЛ

Целью модификаций являются изменения соотношений потребляемой мощности и времени переключения. Этот параметр называется энергией переключения. Была создана микромощная серия (для маломощных систем) и мощная серия (для максимального увеличения быстродействия для стационарных систем). Отличаются параметрами сопротивлений.

Отечественные микросхемы, совместимые с SN74 выпускались в составе серий К134 (низкое быстродействие низкое потребление — SN74L), К155 (среднее быстродействие среднее потребление — SN74) и К131 (высокое быстродействие и большое потребление — SN74H).

Параметр	Маломощные	Стандартные	Мощные
Название	134 74L	133/155 74	131 74H
Ипотр, мА	0.2	2	4
tз.распротр.ф., нс	33	13	6
А (энергия переключения), пДж	6,6	26	24

Схема малоомощного ТТЛ элемента



1.2.5 Транзисторно-транзисторные ЛЭ с диодами Шотки (ТТЛШ)

С целью увеличения быстродействия элементов ТТЛ, в элементах ТТЛШ используются транзисторы Шотки, представляющие собой сочетание обычного транзистора и диода Шотки, включённого между базой и коллектором транзистора (рис.1.15).

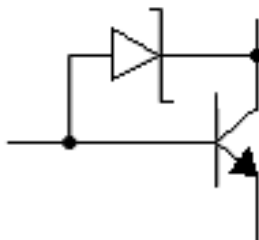


Рис.1.15а Транзистор с диодом Шотки

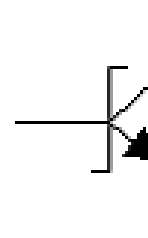


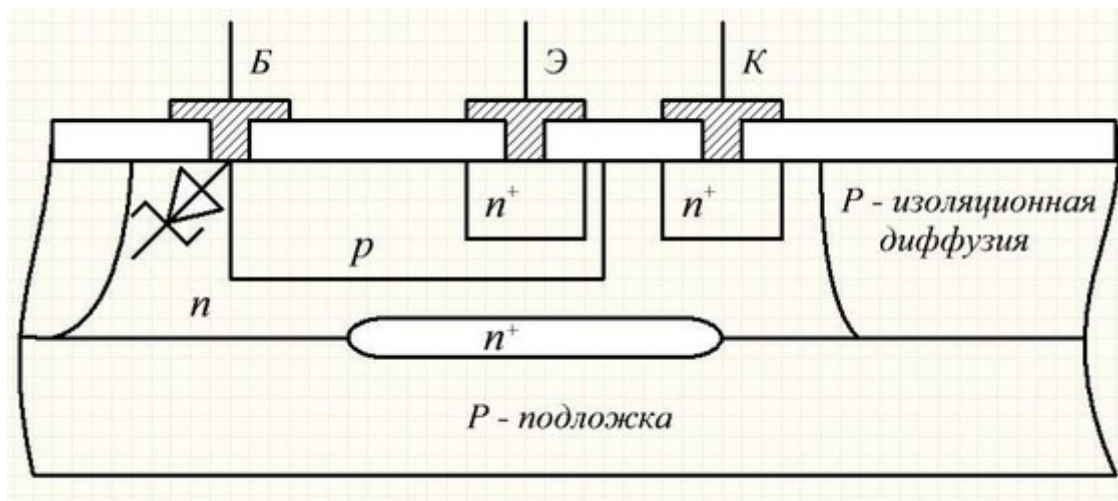
Рис.1.15б Условное обозначение транзистора с диодом Шотки

Диод Шотки, открываясь при напряжении 0,2 — 0,3 В, фиксирует этот уровень напряжения на коллекторном переходе. Большая часть входного тока протекает через диод и только его малая доля втекает в базу. Поэтому транзистор не входит в режим глубокого насыщения

Следовательно, накопление носителей в базе из-за их инжекции через коллекторный переход практически не происходит. В связи с этим имеет место увеличение быстродействия транзисторного ключа с барьером Шотки в результате уменьшения времени нарастания тока коллектора при включении и времени рассасывания при выключении.

Среднее время задержки распространения сигнала элементов ТТЛ с диодами Шотки (ТТЛШ) примерно в два раза меньше по сравнению с аналогичными элементами ТТЛ. Недостатком ТТЛШ является меньшая по сравнению с аналогичными элементами ТТЛ помехоустойчивость $U_{ном}^+$ из-за большего значения U^0 и меньшего $U_{пор}$.

1.2.5.1 Конструкция транзистора Шоттки



Выполнен на основе эпитаксиально-планарной структуры. Контакт алюминий — p — слой базы является не выпрямляющим. Омический контакт. Эмиттер контактирует с n слоем, металл с полуметаллом образует невыпрямляющий контакт, аналогично коллектор. Al - n^+ - не выпрямляющий. Al — n с малой степенью легирования является выпрямляющим. Транзисторы Шоттки приобрели необходимые электрические параметры при внедрении в технологию в процессах ионного легирования, ионной очистки поверхности.

1.2.5.2 Элементы ТТЛШ

Примером схемной реализации базового элемента ТТЛШ является схема элемента КР1533 (аналог — *SN74ALS00*), показанная на рис.1.16.

На этой схеме транзисторы $VT1$ и $VT2$ реализуют функцию И, $VT3$ — повторитель, $VT5$ — выполняет инвертирование на своем коллекторе, $VT4$, $VT6$ и $VT7$, $VT8$ составляют каскадный выход. Такое построение схемы позволило по сравнению с базовым элементом ТТЛ снизить входной ток в 2 раза, увеличить нагрузочную способность в 4 раза; время задержки и мощность потребления уменьшить в 2 раза. Подобные изменения схем базовых элементов происходят от серии к серии.

В настоящее время элементы ТТЛШ почти полностью заменили элементы ТТЛ. Замена произошла безболезненно, т.к. их функциональные параметры аналогичны. Серии элементов ТТЛШ выпускаются в тех же корпусах, что и ТТЛ и с теми же выводами. Электрически и функционально взаимозаменяемы. К555/74LS — общего применения (рис. 1.17).

Логическую функцию выполняют диоды $VD1$ - $VD3$. Эта схема является аналогом МЭТ. $VT3$ $VT4$ $VT5$ выходной транзисторный каскад (составной транзисторный ключ). Его функции во-первых: увеличение коэффициента передачи → улучшается фронт. Переход база-эмиттер $VT4$ выполняет функцию диодосмещения. Элемент серии 555 имеет такое же быстрое действие как и элемент серии 155, но его потребление в 5 раз меньше.

В табл.1.1 приведен перечень отечественных серий ТТЛШ и соответствующих зарубежных аналогов, которые применяются наиболее часто.

В названии зарубежных микросхем в обозначении серии появилась буква S. Отечественные серии микросхем сменили цифру 1 на цифру 5. В обозначениях серий S — Schottky, LS — Low power Schottky, ALS — Advanced Low power Schottky, AS —

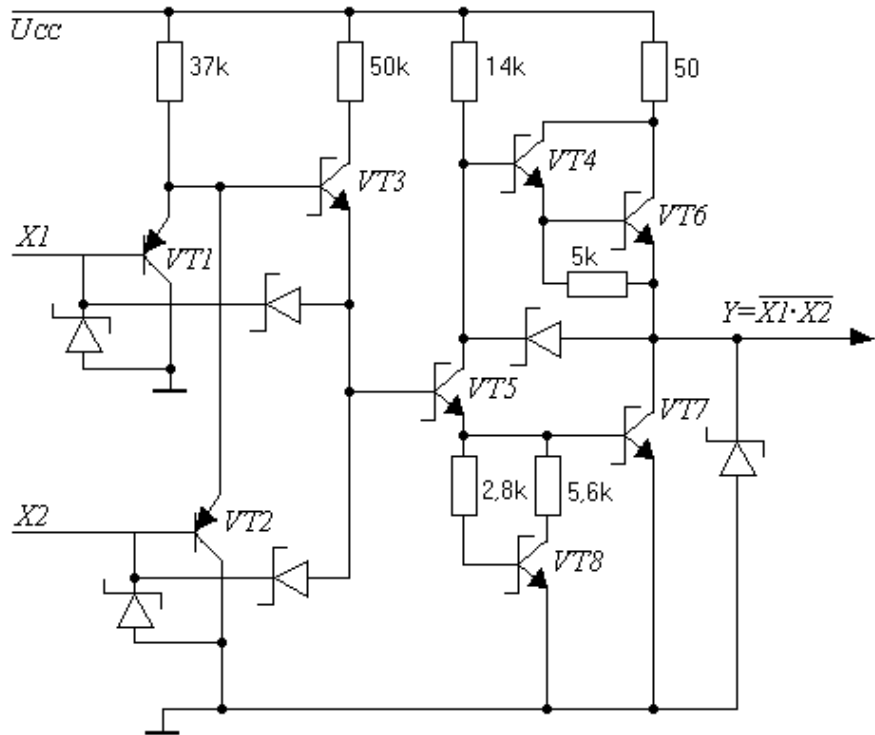


Рис.1.16

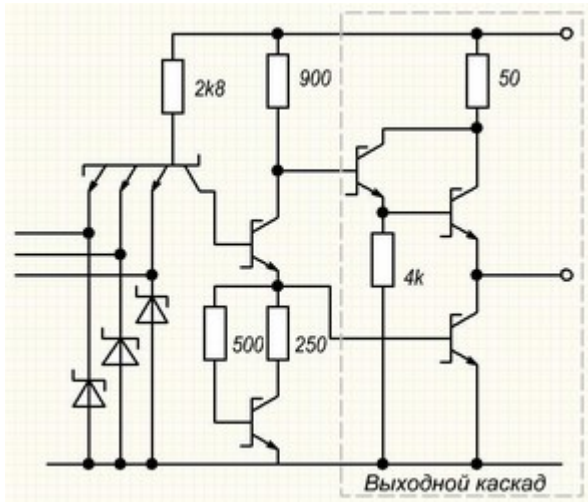


Рис. 1.17

Schottky TTL, 74 — коммерческая, 54 — для военных применений. 1531 FAST Fairchild - имеют такую же схемотехнику как и ТТЛШ, однако в их схеме использован дополнительный эмиттерный повторитель. Для уменьшения $I_{вх0}$. $I_{вх0} = 0.15$ мА (за счет использования эмиттерного повторителя). Использована новая технология Изопланар 2. В табл.1.1 приведены параметры некоторых отечественных серий элементов ТТЛ и ТТЛШ.

Таблица 1.1

Отечественные серии	Зарубежные серии	Отечественные серии	Зарубежные серии
530	SN54S	531	SN74S
533	SN54LS	555	SN74LS
1533	SN54ALS	KP1533	SN74ALS
1530	SN54AS	KP1530	SN74AS
1531	SN54F	KP1531	SN74F

Таблица Параметры некоторых серий логических элементов ТТЛ и ТТЛШ

ПАРАМЕТРЫ	СЕРИИ				
	Универ- сальные	Высокого быстродействия		Микромощные	
		133, 155	К531	КР1531	К555
Входной ток I_{BX}^0 , мА	-1,6	-2,0	-0,6	-0,36	-0,2
Входной ток I_{BX}^1 , мА	0,04	0,05	0,02	0,02	0,02
Выходное напряжение $U_{ВЫХ}^0$, В	0,4	0,5	0,5	0,5	0,4
Выходное напряжение $U_{ВЫХ}^1$, В	2,4	2,7	2,7	2,7	2,5
Коэффициент разветвления по выходу $K_{РАЗ}$	10	10	10	20	20
Коэффициент объединения по входу $K_{ОБ}$	8	10	—	20	—
Время задержки распространения сигнала $t_{ЗАД.ср}$	19	4,8	3,8	20	20
Потребляемый ток, мА:					
$I_{ПОТ}^0$ (при $U_{ВЫХ}^0$)	22	36	10,2	4,4	3
$I_{ПОТ}^1$ (при $U_{ВЫХ}^1$)	8	16	2,8	1,6	0,85
Допустимое напряжение помехи, В	0,4	0,3	0,3	0,3	0,4
Напряжение питания, В	5	5	5	5	5
Выходные токи, мА:					
$I_{ВЫХ}^0$	16	20	20	8	4
$I_{ВЫХ}^1$	-0,4	-1	-1	-0,4	-0,4
Средняя потребляемая мощность на элемент, мВт	10	19	4	2	1,2

1.2.6 Эмиттерно-связные ЛЭ (ЭСЛ)

Цифровые элементы эмиттерно-связанной логики (ЭСЛ) основаны на переключателях тока и отличаются от других типов ИМС наибольшим быстродействием и большой потребляемой мощностью. Большое быстродействие ЭСЛ-элементов обусловлено тем, что биполярные транзисторы в этих схемах работают без насыщения, т. е. могут находиться либо в активном режиме, либо в режиме отсечки. Вторым важным фактором, обеспечивающим увеличение быстродействия, является использование в элементах низкоомных резисторов, обеспечивающих быстрый перезаряд паразитных емкостей, но ценой увеличения потребляемой энергии, снижения перепада логических сигналов, а значит, и помехоустойчивости ЭСЛ-элементов. Схемным средством увеличения быстродействия является использование на выходах эмиттерных повторителей, обеспечивающих перезаряд емкостей в цепях нагрузки через малые выходные сопротивления. Одновременно улучшается и статическая нагрузочная способность.

Основой эмиттерно-связанной логики (ЭСЛ) является быстродействующий переключатель тока (рис. 1.18,а). Он состоит из двух транзисторов, в коллекторную цепь которых включены резисторы нагрузки R_K , а в цепь эмиттеров обоих транзисторов — общий резистор $R_Э$, по величине значительно больший R_K . На вход одного из транзисторов подаётся входной сигнал $U_{ВХ}$, а на вход другого — опорное напряжение $U_{ОП}$. Схема симметрична, поэтому в исходном состоянии ($U_{ВХ}=U_{ОП}$) и через оба транзистора протекают одинаковые токи. Через сопротивление $R_Э$ протекает общий ток I_0 .

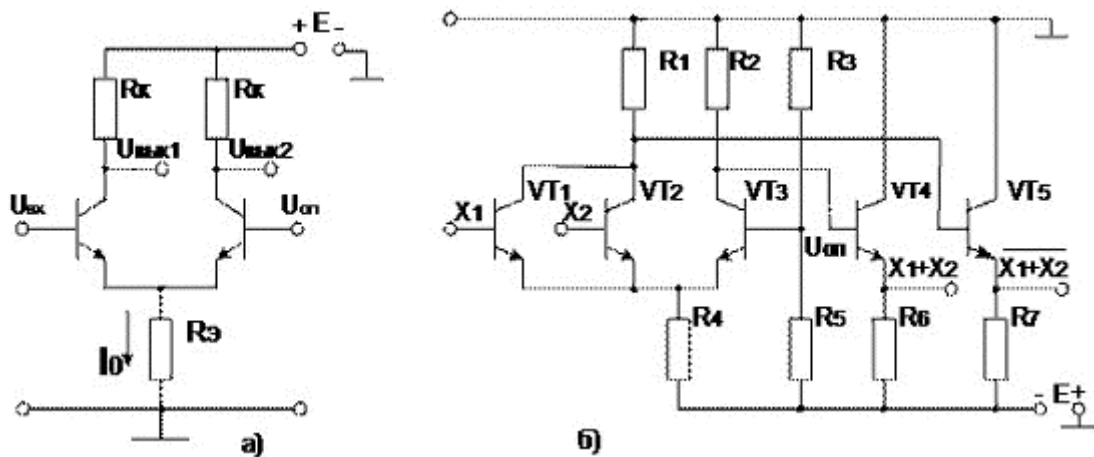


Рис. 1.18 Эмиттерно-связанная логика: а) переключатель тока; б) упрощенная принципиальная схема

При увеличении U_{ex} ток через транзистор VT1 увеличивается, возрастает падение напряжения на сопротивлении R_3 , транзистор VT2 подзакрывается и ток через него уменьшается. При входном напряжении, равном уровню лог «1» ($U_{ex}=U^1$), транзистор VT2 закрывается и весь ток протекает через транзистор VT1. Параметры схемы и ток I_0 выбирают таким образом, чтобы транзистор VT1 в открытом состоянии работал в линейном режиме на границе области насыщения.

При уменьшении U_{ex} до уровня лог. «0» ($U_{ex}=U^0$), наоборот, транзистор VT1 закрыт, а транзистор VT2 находится в линейном режиме на границе с областью насыщения.

В схеме ЭСЛ (рис. 1.18,б) параллельно транзистору VT1 включается ещё один или несколько транзисторов (в зависимости от коэффициента объединения по входу), которые составляют одно из плеч переключателя тока. К выходам ЛЭ для повышения нагрузочной способности подключены два эмиттерных повторителя VT4 и VT5.

При подаче на все входы или на один из них, например, первый, сигнала $U_{BX1}=U^1$, транзистор VT1 открывается и через него протекает ток I_0 , а транзистор VT3 закрывается.

$$U_{ВЫХ1} = U^1 - U_{БЭ.нас} = U^0$$

$$U_{ВЫХ2} = U_{ПИТ} - U_{БЭ.нас} = U^1$$

Таким образом, по первому выходу данная схема реализует логическую операцию ИЛИ-НЕ, а по второму — операцию ИЛИ. Нетрудно видеть, что пороговое напряжение $U_{ПОР}=U_{ОН}$, логический перепад $\Delta U=U^1-U^0=U_{БЭ.нас}$ и помехоустойчивость схемы $U_{ПОМ}^+=U_{ПОМ}^-=0,5U_{БЭ.нас}$.

Входные токи элемента, а следовательно, и токи нагрузки ЭСЛ малы: $I_{ВХ}^0 \approx 0$, ток $I_{ВХ}^1$ равен базовому току транзистора, работающего на границе области насыщения, а не в области насыщения. Поэтому нагрузочная способность элемента велика и коэффициент разветвления достигает 20 и более.

Поскольку логический перепад невелик, то нестабильность напряжения источника питания существенно влияет на помехоустойчивость ЭСЛ. Для повышения помехоустойчивости в схемах ЭСЛ заземляют не отрицательный полюс источника питания, а положительный. Это делается для того, чтобы большая доля напряжения помехи падала на большом сопротивлении R_3 и только малая её доля попадала на входы схемы.

При совместном использовании ЛЭ ЭСЛ и ТТЛ между ними приходится включать специальные микросхемы, которые согласуют уровни логических сигналов. Их называют преобразователями уровней (ПУ).

Высокое быстродействие ЭСЛ обусловлено следующими основными факторами:

1. Открытые транзисторы не находятся в насыщении, поэтому исключается этап рассасывания неосновных носителей в базах.
2. Управление входными транзисторами осуществляется от эмиттерных повторителей предшествующих элементов, которые, имея малое выходное сопротивление,

обеспечивают большой базовый ток и, следовательно, малое время открывания и закрывания входных и опорного транзисторов.

3. Малый логический перепад сокращает до минимума время перезарядки паразитных емкостей элемента.

Все эти факторы в комплексе обеспечивают малое время фронта и среза выходного напряжения элементов ЭСЛ.

Для ЭСЛ характерны следующие средние параметры: $U_{num} = -5\text{В}$; $U^1 = -(0,7-0,9)\text{В}$; $U^0 = -(1,5-2)\text{В}$; $t_{3д.ср} = 3-7\text{ нс}$; $P_{ном} = 10-20\text{ мВт}$.

Имея высокое быстродействие, схемы ЭСЛ имеют и недостатки: низкая помехоустойчивость и большая потребляемая мощность, т. к. для достижения быстрого перезаряда паразитных емкостей в схеме используются резисторы с малым сопротивлением, через которые текут большие токи.

Перспективными считаются серии К500 и К1500, причём серия К1500 относится к числу субнаносекундных и имеет время задержки распространения менее 1 нс. (Таблица 1.2).

Таблица 1.2 Параметры основных отечественных серий ЛЭ ЭСЛ

Параметры	Серии	
	К500	К1500
Входной ток I_{BX}^0 , мА	0,265	0,35
Входной ток I_{BX}^1 , мА	0,0005	0,0005
Выходное напряжение $U_{BЫX}^0$, В	-1,85...-1,65	-1,81...-1,62
Выходное напряжение $U_{BЫX}^1$, В	-0,96...-0,81	-1,025...-0,88
Выходное пороговое напряжение, В:		
$U_{BЫX,пор}^0$	-1,63	-1,61
$U_{BЫX,пор}^1$	-0,98	-1,035
Время задержки распространения, нс	2,9	1,5
Допустимое напряжение помехи, В	0,125	0,125
Коэффициент разветвления $K_{РАЗ}$	15	—
Напряжение питания, В	-5,2; -2,0	-4,5; -2,0
Потребляемая мощность на элемент, мВт	8...25	40

1.2.7 Интегральные инжекционные ЛЭ ($I^2Л$)

Элементы интегральной инжекционной логики ($I^2Л$) не имеют аналогов в дискретной схемотехнике и могут быть реализованы только в интегральном исполнении (рис. 1.19,а). Элемент $I^2Л$ состоит из двух транзисторов: горизонтальный р-п-р-транзистор выполняет роль инжектора, а вертикальный многоколлекторный п-р-п-транзистор работает в режиме инвертора. Общая область п-типа служит базой р-п-р-транзистора, а также эмиттером п-р-п-транзистора и подключается к «заземлённой» точке. Коллектор р-п-р-транзистора и база п-р-п-транзистора также являются общей областью. Эквивалентная схема приведена на рисунке 1.19,б.

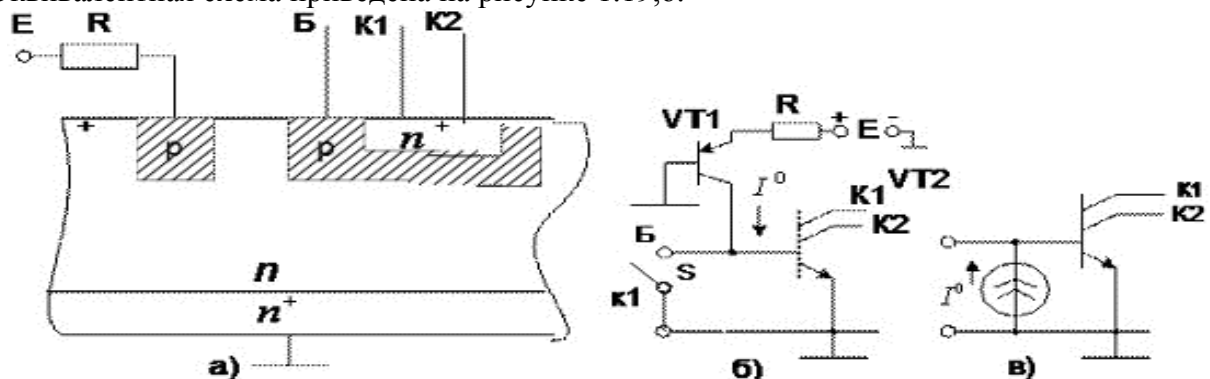


Рис. 1.19 Транзистор с инжекционным питанием: а — структурная схема, б — эквивалентная схема, в — эквивалентная схема с генератором тока.

В цепь эмиттер-база инжектора подаётся напряжение питания $U_{пит}$. Минимальное напряжение источника определяется падением напряжения на эмиттерном переходе: $U_{КЭ.нас}=0,7$ В. Но для стабилизации тока эмиттера I^0 последовательно с источником включается резистор R и берут напряжение источника питания $U_{пит}=1...1,2$ В. При этом р-п-переход эмиттер-база VT1 открыт и имеет место диффузия дырок к коллекторному переходу. По мере движения к коллектору часть дырок рекомбинируют с электронами, но их значительная часть достигает коллекторного перехода и, пройдя через него, попадают в р-базу инвертора (транзистора VT2). Этот процесс диффузии, т.е. инжекции дырок в базу идёт постоянно, независимо от входного воздействия.

Если напряжение на базе VT2 $U_{бх}=U^0$, что соответствует замкнутому состоянию ключа S, дырки, попадающие в р-базу инвертора, беспрепятственно стекают к отрицательному полюсу источника питания. В цепи коллектора транзистора VT2 ток не протекает и это эквивалентно разомкнутому состоянию коллекторной цепи VT2. Такое состояние выходной цепи соответствует напряжению лог. «1».

При $U_{бх}=U^1$ (ключ S разомкнут) дырки в р-базе инвертора накапливаются. Потенциал базы начинает повышаться и соответственно понижаются напряжения на переходах VT2 до тех пор, пока эти переходы не откроются. Тогда в коллекторной цепи транзистора VT2 будет протекать ток и разность потенциалов между эмиттером и коллектором инвертора (транзистора VT2) будет близка к нулю, т.е. этот транзистор представляет собой короткозамкнутый участок цепи, и это состояние будет соответствовать уровню лог. «0». Таким образом, рассмотренный элемент выполняет роль ключа.

Как известно, коллекторный ток транзистора, включённого в схему с общей базой, не зависит от изменения напряжения на коллекторе в широких пределах. Транзистор VT1 включён в схему с ОБ. Из теории работы биполярного транзистора известно, что его выходная характеристика, снятая при постоянном токе эмиттера, почти горизонтальна, то есть ток коллектора не зависит от напряжения на коллекторе. Поэтому он может быть заменён эквивалентным генератором тока. В соответствии с теоремой об эквивалентном генераторе тока, прибавление или вычитание от источника тока постоянного напряжения не влияет на величину тока этого генератора. В соответствии с этим схема транзистора с инжекционным питанием представляется более простой эквивалентной схемой, приведённой на рисунке 1.19,в.

Если $U_{бх}=U^1$, то ток I^0 от генератора тока втекает в базу VT2, открывая его. При этом $U_{бх}=U^0$. Если $U_{бх}=U^0$, то ток I^0 замыкается на «землю», транзистор VT2 закрыт и $U_{вых}=U^1$.

Сила тока инжекции I^0 невелика (10 нА...100 мкА), поэтому транзистор работает в активном режиме. Среднее время задержки распространения сигнала определяется лишь длительностью процесса рассасывания избыточных зарядов в базе инвертора и временем перезарядки паразитных емкостей, поэтому ключ является быстродействующим. Быстродействие ключа возрастает в при увеличении тока инжекции.

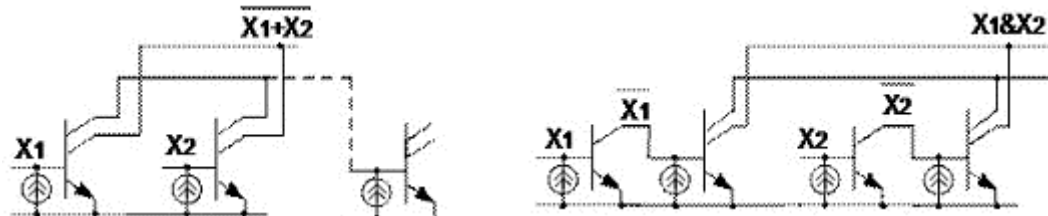


Рис. 1.20 Интегральная инжекционная логика (И²Л): схема элемента ИЛИ-НЕ а) и реализация логической функции И б).

Применение многоколлекторного транзистора позволяет поделить общий коллекторный ток VT2 на несколько одинаковых порций, достаточных для управления входом одного аналогичного элемента. Благодаря этому становится возможным применение простейшей схемы логического элемента ИЛИ-НЕ, приведённой на рисунке 1.20,а. Эта схема подобна схеме элемента НСТЛ (см. рис. 1.7). В отличие от схемы

элемента ИЛИ-НЕ НСТЛ, в элементе ИЛИ-НЕ И²Л не требуется даже резистор в цепи объединённых коллекторов, поскольку питание коллекторная цепь получает от генератора тока последующего каскада.

На рисунке 1.20,б приведена схема, реализующая логическую функцию И. При подаче на оба входа (X1 и X2) сигнала лог. «0» на объединённых коллекторах инверторов (VT3 и VT4) будет уровень лог. «1». Когда на один из входов, или на оба входа одновременно, подаётся сигнал лог. «1», на выходе схемы имеем сигнал лог. «0», что соответствует выполнению логической операции И.

Элементы И²Л занимают малую площадь на подложке, имеют незначительные потребляемую мощность и энергию переключения. Для них характерны следующие параметры: $U_{пит}=1$ В; $t_{зад.ср}=10...100$ нс; $K_{раз}=3,5$; $K_{об}=1$. Они широко используются в маломощных запоминающих устройствах, микропроцессорах и ИС с высокой степенью интеграции.

1.2.8 Логические элементы на однотипных МОП-транзисторах (МОП)

Наряду с биполярными *n-p-n* и *p-n-p* транзисторами в интегральных схемах широко применяются униполярные полевые *n*- и *p*-канальные транзисторы, которые называются *МОП – транзисторами* (металл-окисел-полупроводник) или *MOS – транзисторами* (*metal-oxide-semiconductor*). Часто их называют *МДП-транзисторами* (металл-диэлектрик-полупроводник).

Логические элементы на МОП-транзисторах изготавливаются по *p*-МОП, *n*-МОП, КМОП-технологиям. В первых используются *p*-канальные транзисторы, во вторых *n*-канальные транзисторы, а в третьих – используются комплементарные МОП-схемы, где в одной схеме применяются как *p*-канальные, так и *n*-канальные транзисторы. Схемы на МОП-транзисторах имеют меньшее быстродействие, чем схемы на биполярных транзисторах, что объясняется значительными емкостями между затвором, стоком, истоком и подложкой, на перезаряд которых требуется определенное время. Схемы на МОП-транзисторах потребляют малую мощность, имеют высокую нагрузочную способность и высокую помехоустойчивость, занимают малую площадь на поверхности кристалла, они технологичны и дешевы. Их применяют в тех случаях, где нужна большая степень интеграции и небольшое быстродействие. Особенность микросхем на МОП-структурах заключается в том, что в их схемах отсутствуют резисторы, а роль нелинейных резисторов выполняют соответствующим образом включенные транзисторы.

1.2.8.1 Логические элементы на *p*-канальных МОП-транзисторах (*p*МОП)

В основе всех логических схем на МОП-структурах лежит инвертор (рис. 1.21). При подаче Е (логическая единица), транзистор VT2 – на вход X напряжения открывается, его сопротивление становится малым и на выходе мы получаем напряжение близкое к нулю (логический нуль). При подаче на вход напряжения логического нуля транзистор VT2 закрывается и на выходе мы имеем напряжение –Е.

Для реализации функции И-НЕ ключевые транзисторы включают последовательно с нагрузочным транзистором VT1 (рис. 1.22). Если на каком-либо входе напряжение равно нулю (логический нуль), то соответствующий транзистор закрыт и напряжение на выходе равно –Е (логическая единица).

Если на все входы подать напряжение, соответствующее логической единице (–Е), то транзисторы VT2 и VT3 будут открыты и иметь низкое сопротивление, выходное напряжение будет близко к нулю (логический нуль). Схема ИЛИ-НЕ образуется параллельным соединением переключающих транзисторов VT2 и VT3 и подсоединением их объединенных стоков к истоку нагрузочного транзистора VT1 (рис. 1.23).

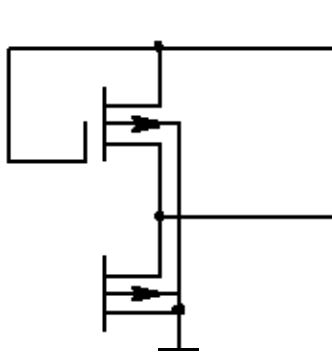


Рис. 1.21.

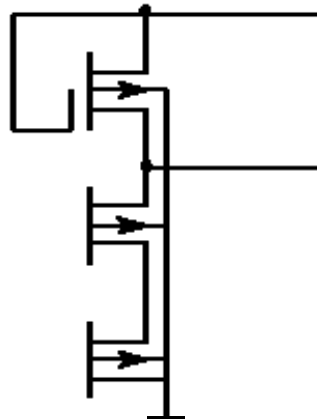


Рис. 1.22.

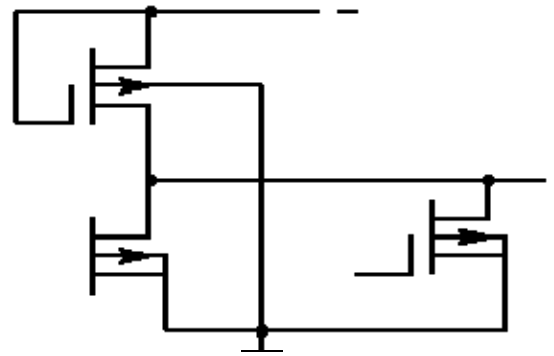


Рис. 1.23.

Если на любом из двух входов схемы напряжение соответствует логической единице ($-E$), то соответствующий транзистор открыт и имеет низкое сопротивление. При этом на выходе будет напряжение близкое к нулю (логический нуль). Если на все входы поданы логические нули, то все транзисторы будут закрыты и на выходе будет напряжение $-E$.

1.2.8.2 Логические элементы на n-канальных МОП-транзисторах (nМОП)

Если управляющие транзисторы включены параллельно, то элемент осуществляет логическую операцию ИЛИ-НЕ (рис. 1.24,а), а при последовательном соединении — операцию И-НЕ (рис. 1.24,б).

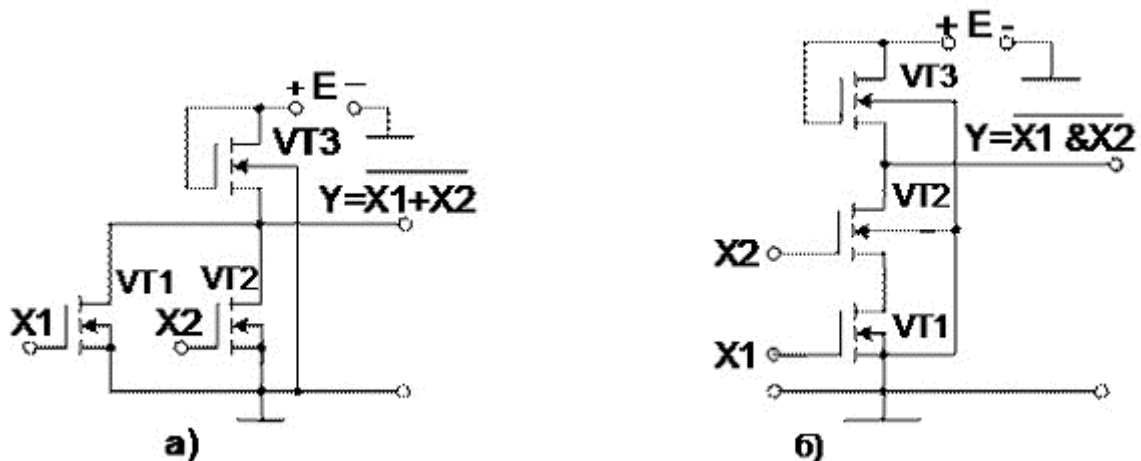


Рис. 1.24 Схема ЛЭ на n-МОП-транзисторах а) – ИЛИ-НЕ, б) – И-НЕ.

При наличии на входах $X1$ и $X2$ напряжения $U_{BX} = U^0 < U_{3И.нор}$ управляющие транзисторы $VT1$ и $VT2$ закрыты. При этом напряжение на выходе соответствует уровню лог. «1». Когда на одном или на обоих входах элемента действует напряжение $U_{BX} = U^1 > U_{3И.нор}$, то на выходе имеем лог. «0», что соответствует выполнению логической операции ИЛИ-НЕ.

В схеме элемента И-НЕ управляющие транзисторы включены последовательно, поэтому уровень лог. «0» на выходе схемы имеет место только при единичных сигналах на обоих входах.

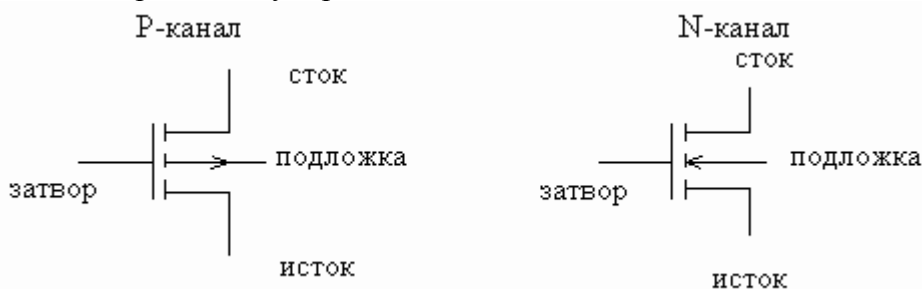
Элементы МОП имеют высокую помехоустойчивость, большой логический перепад, малую потребляемую мощность и сравнительно низкое быстродействие. Для элементов на низкопороговых МОП-транзисторах обычно $U_{ППТ} = 5 \dots 9$ В, а на высокопороговых $U_{ППТ} = 12,6 \dots 27$ В. Основные параметры МОП ТЛ: $P_{ном} = 0,4 \dots 5$ мВт, $t_{зд.ср} = 20 \dots 200$ нс; $U^0 \leq 1$ В; $U^1 \approx 7$ В.

В логических элементах на МОП-транзисторах используется два типа транзисторов: управляющие и нагрузочные. Иногда их называют - логические элементы на ключах с динамической нагрузкой. Управляющие— имеют короткий, но достаточно широкий канал и поэтому имеют высокое значение крутизны и управляются малым напряжением. Нагрузочные, наоборот, имеют более длинный, но узкий канал, поэтому имеют более высокое выходное сопротивление и выполняют роль большого активного сопротивления.

Существенным преимуществом логических элементов на МОП-транзисторах перед логическими элементами на биполярных транзисторах является малая мощность, потребляемая входной цепью. Однако по быстродействию они уступают схемам на биполярных транзисторах. Это обусловлено тем, что у них имеются сравнительно большие паразитные ёмкости $C_{зи}$ и $C_{си}$, на перезарядку которых затрачивается определённое время. Кроме того, выходное сопротивление у открытого МОП-транзистора больше, чем у биполярного, что увеличивает время заряда конденсаторов нагрузки и ограничивает нагрузочную способность ЛЭ.

1.2.9 Логические элементы на комплементарных МОП-транзисторах (КМОП)

Недостаток - сложность изготовления в одном кристалле структур с p и n каналами. При построении логических элементов применяются полевые транзисторы с изолированным затвором и индуцированным каналом.



При этом используются пары транзисторов с каналом n - и с каналом p - типа. Транзисторы различного типа электропроводности с близкими характеристиками называют комплементарными. Логические элементы, построенные на комплементарных полевых транзисторах с изолированным затвором, называют элементами КМОП - типа. (компонент - металл - окисел - полупроводник).

Особенностью полевых транзисторов с индуцированным каналом является то, что при нулевом входном напряжении между затвором и истоком канал между истоком и стоком не существует, цепь “исток- сток” разомкнута и только при некотором значительном напряжении на затворе, называемом пороговым напряжением, образуется индуцированный канал (рис. 1.25). Цепь “исток-сток” замыкается и может возникать ток стока.

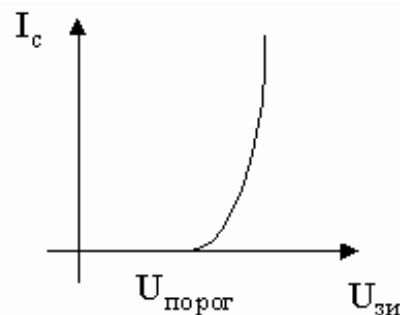


Рис.1.25.Стокзатворная характеристика

При низком напряжении на затворе (меньше порогового) транзистор закрыт и при $U_{зи} > U_{п}$ транзистор открывается.

Такие ключевые свойства полевых транзисторов и позволяют применять их при построении логических схем .

Технология производства комплементарных МОП структур заключается в формировании n - и p - канальных транзисторов на одном кристалле. По сравнению с n - канальными МОП ИС КМОП схемы имеют ряд преимуществ. Они потребляют меньшую

мощность, имеют большую помехоустойчивость и высокую нагрузочную способность по выходу. К их недостаткам следует отнести несколько меньшую степень интеграции и большее время переключения, т. к. на каждый функциональный элемент приходится дополнительная площадь. Используются КМОП СБИС в основном в качестве цифровых логических элементов. Рассмотрим основные технологические этапы производства КМОП СБИС на примере создания инвертора. Схема инвертора и его поперечное сечение приведены на рис.1.26а и б. В подложке n - типа проводимости формируют p - каналный транзистор. Комплементарный n - каналный транзистор формируют в p - области, которая создается на той же самой подложке. Область p - типа проводимости, выступающая в роли подложки n - канального транзистора, называется карманом. Затворы обоих транзисторов соединяются друг с другом и образуют вход инвертора. Соединенные стоки транзисторов являются выходом инвертора. Транзисторы имеют пороговые напряжения $V_{tn} > 0$ и $V_{tp} < 0$. При отсутствии напряжения на входе $V_i = 0$ n - канальный транзистор закрыт ($V_i \ll V_{tn}$), а p - каналный транзистор открыт, т. к. его затвор находится под более отрицательным потенциалом, чем сток и подложка. Следовательно, при $V_i = 0$ напряжение на выходе инвертора V_0 равно напряжению питания $V_0 = V_{dd}$. Увеличивая напряжение на входе инвертора, мы закрываем p - каналный транзистор ($V_i - V_{dd} > -|V_{tp}|$) и открываем n - каналный. Таким образом при $V_i > (V_{dd} - |V_{tp}|)$ напряжения на выходе инвертора и общей шине V_{ss} будут равны друг другу, что соответствует логическому нулю. Обратите внимание, что в любом логическом состоянии один из транзисторов всегда закрыт и ток через инвертор не протекает, а, следовательно, потребляемая им мощность крайне незначительна.

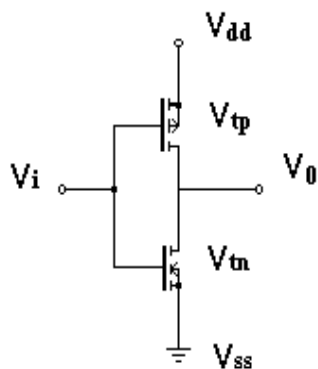


рис. 1.26а

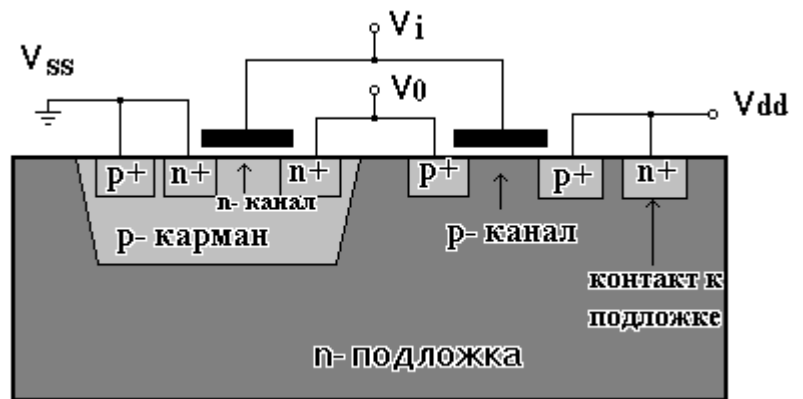


рис. 1.26б

Схема логического элемента И-НЕ, выполненного на комплементарных МОП транзисторах (КМОП), приведена на рисунке 1.27.



Рис. 1.27. Принципиальная схема логического элемента "И-НЕ", выполненного на комплементарных МОП транзисторах (КМОП)

В этой схеме можно было бы применить в верхнем плече обыкновенный резистор, однако при формировании низкого уровня сигнала схема постоянно потребляла бы ток. Вместо этого, в качестве нагрузки используются p -МОП транзисторы. Эти транзисторы

образуют активную нагрузку. Если на выходе требуется сформировать высокий потенциал, то транзисторы открываются, а если низкий — то закрываются.

В приведённой на рисунке 2 схеме логического КМОП элемента "И", ток от источника питания на выход КМОП микросхемы будет поступать через один из транзисторов, если хотя бы на одном из входов (или на обоих сразу) будет присутствовать низкий потенциал (уровень логического нуля). Если же на обоих входах логического КМОП элемента "И" будет присутствовать уровень логической единицы, то оба р-МОП транзистора будут закрыты и на выходе КМОП микросхемы сформируется низкий потенциал. В этой схеме, так же как и в схеме, приведенной на рисунке 1, если транзисторы верхнего плеча будут открыты, то транзисторы нижнего плеча будут закрыты, поэтому в статическом состоянии ток КМОП микросхемой от источника питания потребляться не будет.

Логический элемент ИЛИ-НЕ, выполненного на комплементарных МОП-транзисторах приведена на рисунке 1.28.

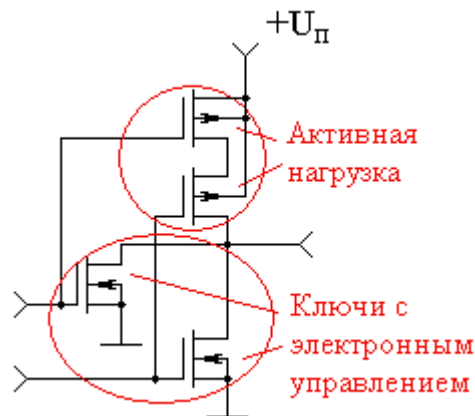


Рис. 1.28. Принципиальная схема логического элемента "2ИЛИ-НЕ", выполненного на комплементарных МОП транзисторах

В схеме КМОП логического элемента "2ИЛИ-НЕ" в качестве нагрузки используются последовательно включенные р-МОП транзисторы. В ней ток от источника питания на выход КМОП микросхемы будет поступать только если все транзисторы в верхнем плече будут открыты, т.е. если сразу на всех входах будет присутствовать низкий потенциал (уровень логического нуля). Если же хотя бы на одном из входов будет присутствовать уровень логической единицы, то верхнее плечо двухтактного каскада, собранного на КМОП транзисторах, будет закрыто и ток от источника питания поступать на выход КМОП микросхемы не будет.

Как отмечалось, особенностью логических элементов на полевых транзисторах является то, что сам логический элемент не потребляет тока от источника питания.

Потребление тока происходит только в момент переключения КМОП микросхемы из единичного состояния в нулевое и наоборот. Этот ток вызван двумя причинами — одновременным переходом верхнего и нижнего МОП транзисторов в активный режим работы и перезарядом паразитной ёмкости нагрузки.

В результате этой особенности КМОП микросхем, они обладают преимуществом перед рассмотренными ранее видами цифровых микросхем — потребляют ток в зависимости от поданной на вход тактовой частоты. Примерный график зависимости потребления тока КМОП микросхемы в зависимости от частоты ее переключения приведен на рисунке 1.29

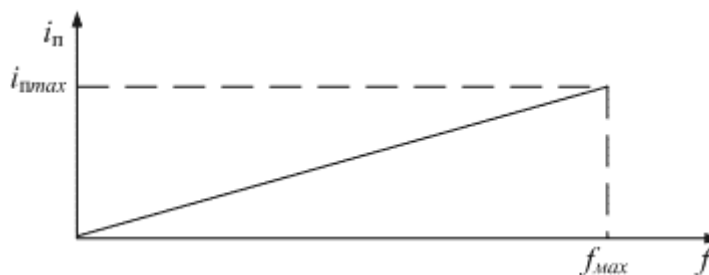


Рис. 1.29. Зависимость тока потребления КМОП микросхемы от частоты

Но в целом мощность, потребляемая КМОП, меньше, чем элементами ТТЛ, на несколько порядков.

В некоторых случаях возможны такие состояния, характерные как для КМОП, так и ТТЛ элементов, когда возникает, так называемый, сквозной ток. При работе на высокой частоте, когда за счет инерционности транзисторов нижние транзисторы еще не успели закрыться, а верхние уже открылись и наоборот.

Тогда в схеме может возникать сквозной ток от источника питания через цепь последовательно включенных транзисторов. Величина этого сквозного тока может быть довольно существенной, но протекает он очень короткое время, определяемое быстродействием транзисторов. За счет этого сквозного тока могут возникать провалы напряжения в цепи питания короткой длительности.

Эти импульсные помехи по цепи питания могут передаваться на другие элементы схемы, вызывая ложное их срабатывание.

Для борьбы с такими импульсными помехами по техническим условиям рекомендуется на каждый корпус микросхемы ставить блокирующую емкость между “+” и “-” выводами в цепи питания. Емкость должна обладать микроскопически малой собственной индуктивностью, следовательно, применяют керамические емкости небольшой величины (10 нФ).

В настоящее время именно КМОП микросхемы получили наибольшее развитие. Причём наблюдается постоянная тенденция к снижению напряжения питания. Первые серии микросхем такие как К1561 (иностранный аналог С4000В) обладали достаточно широким диапазоном изменения напряжения питания (3..18В). При этом при понижении напряжения питания у конкретной микросхемы понижается её предельная частота работы. В дальнейшем, по мере совершенствования технологии производства, появились улучшенные КМОП микросхемы с лучшими частотными свойствами и меньшим напряжением питания, например, SN74НС.

1.2.9.1 Особенности применения КМОП микросхем

Первой и основной особенностью КМОП микросхем является большое входное сопротивление этих микросхем. В результате на вход КМОП микросхемы может наводиться любое напряжение, в том числе и равное половине напряжения питания, и храниться на нём достаточно долго. При подаче на вход КМОП микросхемы половины питания открываются транзисторы как в верхнем, так и в нижнем плече выходного каскада микросхемы, в результате КМОП микросхема начинает потреблять недопустимо большой ток и может выйти из строя. Вывод: **входы цифровых КМОП микросхем ни в коем случае нельзя оставлять неподключенными!**

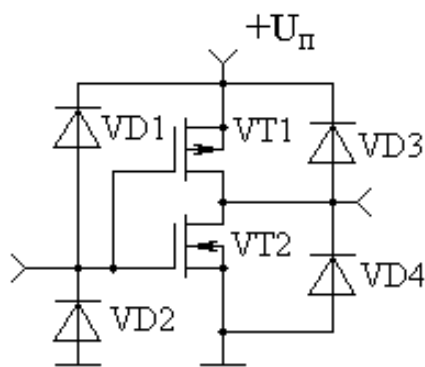


Рис. 1.30.

В то же самое время при подаче на вход КМОП микросхемы высокого потенциала он через диод VD1 попадёт на шину питания микросхемы, и так как она потребляет достаточно малый ток, то КМОП микросхема начнёт работать. Однако в ряде случаев этого тока может не хватить для питания микросхем. В результате КМОП микросхема может работать неправильно. Вывод: **при неправильной работе КМОП микросхемы тщательно проверьте питание микросхемы**, особенно выводы корпуса. При плохо пропаянном выводе отрицательного питания его потенциал будет отличаться от потенциала общего провода схемы.

Третья особенность КМОП микросхем связана с паразитными диодами VD3 и VD4, которые могут быть пробиты при неправильно подключенном источнике питания (микросхемы TTL выдерживают кратковременную переполюсовку питания). **Для защиты КМОП микросхем от переполюсовки питания следует в цепи питания предусмотреть защитный диод.**

Четвёртая особенность КМОП микросхем - это протекание импульсного тока по цепи питания при ее переключении из нулевого состояния в единичное и наоборот. В результате при переходе с TTL микросхем на КМОП микросхемы-аналоги резко увеличивается уровень помех. В ряде случаев это важно, и приходится отказываться от применения КМОП микросхем в пользу TTL или BiCMOS микросхем.

1.2.9.2 Логические уровни КМОП микросхем

Логические уровни КМОП микросхем существенно отличаются от логических уровней TTL микросхем. При отсутствии тока нагрузки напряжение на выходе КМОП микросхемы совпадает с напряжением питания (логический уровень единицы) или с потенциалом общего провода (логический уровень нуля). При увеличении тока нагрузки напряжение логической единицы может уменьшаться до 2,8В ($U_{п}=15В$) от напряжения питания. Допустимый уровень напряжения на выходе цифровой КМОП микросхемы (серия микросхем K561) при пятивольтовом питании показан на рисунке 1.31.

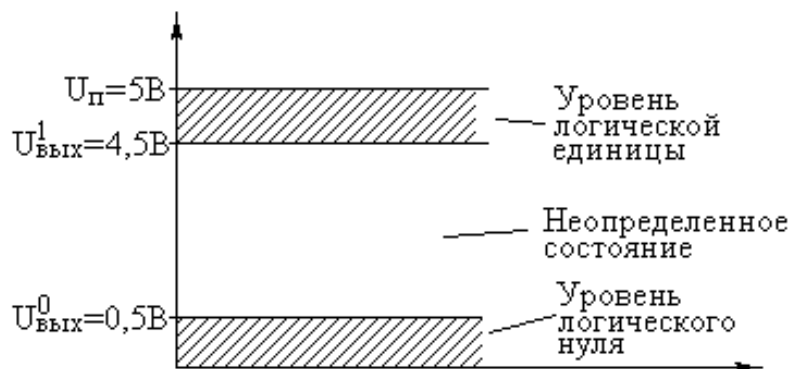


Рис. 1.31. Уровни логических сигналов на выходе цифровых КМОП микросхем

Как уже говорилось ранее, напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Для КМОП микросхем договорились о 30% запасе. Границы уровней логического нуля и единицы для КМОП микросхем при пятивольтовом питании приведены на рисунке 1.32.

При уменьшении напряжения питания границы логического нуля и логической единицы можно определить точно так же (разделить напряжение питания на 3).

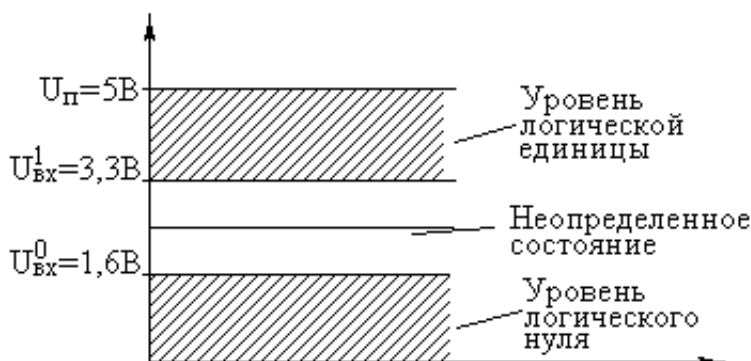


Рис. 1.32 Уровни логических сигналов на входе цифровых КМОП микросхем

1.2.9.3 Особенности элементов КМОП

На основе КМОП элементов выполняются большие интегральные схемы (БИС), которые являются основой вычислительных узлов.

Преимущество КМОП:

1. Меньшая потребляемая мощность до частот порядка 1 ГГц. При больших частотах мощности сравниваются.
2. Большой диапазон напряжений питания. Возможность питания от нестабилизированного источника. (ТТЛ — не допустимо, U питания = +5В \pm 5% (\pm 10%).
3. Большое входное сопротивление (10^6 — 10^8 Ом). Поэтому статические токи ничтожно малы.
4. Отсутствие потребления мощности от источника питания в статическом режиме.
5. В связи с малыми входными токами, большая нагрузочная способность. До 100 входов в статике и на НЧ.
6. Слабая зависимость статических характеристик от температуры.

Недостатки КМОП:

1. Большое выходное сопротивление (1-10 кОм) (у биполярных 5-20 Ом).
2. Поэтому большое влияние на динамические параметры емкостей нагрузки и монтажа.
3. Чувствительность к статическому электричеству и потенциальная опасность эффекта защелкивания.

На входах всех микросхем устанавливаются защитные цепочки.

Функции защитных цепочек:

1. Защищают от статического электричества и выбросов входного напряжения обоих полярностей. На схемах не изображаются никогда.
2. Внутри БИС цепочки не используются. Они включаются только к выводам, ко входам.

3. Защита от статики — обязательна при работе с МОП элементами!
4. Уменьшение входных сопротивлений МОП микросхем и, что существенно, увеличение входной мощности на два порядка.

1.2.9.4 Семейства КМОП микросхем

Первые КМОП микросхемы не имели защитных диодов на входе, поэтому их монтаж представлял значительные трудности. Это семейство микросхем серии К172. Следующее улучшенное семейство КМОП микросхем серии К176 получило эти защитные диоды. Оно достаточно распространено и в настоящее время. Серия К1561 завершает развитие первого поколения КМОП микросхем. В этом семействе было достигнуто быстродействие на уровне 90 нс и диапазон изменения напряжения питания 3 ... 15В. Так как в настоящее время распространена иностранная аппаратура, то приведу иностранный аналог этих КМОП микросхем — С4000В.

Дальнейшим развитием КМОП микросхем стала серия SN74НС. Эти микросхемы отечественного аналога не имеют. Они обладают быстродействием 27 нс и могут работать в диапазоне напряжений 2 ... 6 В. Они совпадают по цоколёвке и функциональному ряду с ТТЛ микросхемами, но не совместимы с ними по логическим уровням, поэтому одновременно были разработаны КМОП микросхемы серии SN74НСТ (отечественный аналог — К1564), совместимые с ТТЛ микросхемами и по логическим уровням.

В это время наметился переход на трёхвольтовое питание. Для него были разработаны КМОП микросхемы SN74ALVC с временем задержки сигнала 5,5 нс и диапазоном питания 1,65 ... 3,6 В. Эти же микросхемы способны работать и при 2,5 вольтовом питании. Время задержки сигнала при этом увеличивается до 9 нс.

Наиболее перспективным семейством КМОП микросхем в настоящее время считается семейство SN74AUC с временем задержки сигнала 1,9 нс и диапазоном питания 0,8 ... 2,7 В.

Параметры некоторых серий ЛЭ КМОП типа приведены в таблице 1.3.

Таблица 1.3 Параметры некоторых серий отечественных ЛЭ КМОП типа

Параметры	серия	
	176, 561, 564	1554
Напряжение питания $U_{пит}$, В	3...15	2...6
Выходные напряжения, В:		
низкого уровня $U_{вых}^0$	<0,05	<0,1
высокого уровня $U_{вых}^1$	$U_{пит}-0,05$	$U_{пит}-0,01$
Среднее время задержки сигнала, нс:		
для $U_{пит}=5$ В	60	3,5
для $U_{пит}=10$ В	20	—
Допустимое напряжение помехи, В	$0,3 U_{пит}$	—
Мощность, потребляемая в статическом режиме, мВт/корпус	0,1	0,1...0,5
Входное напряжение, В	$0,5...(U_{пит}+0,5$ В)	$0,5...(U_{пит}+0,5$ В)
Выходные токи, мА	1...2,6	>2,4
Мощность, потребляемая при частоте переключения $f=1$ МГц, $U_{пит}=10$ В, $C_n=50$ пф, мВт/корпус	20	—
Тактовая частота, МГц	—	150

В табл.1.4 приведены основные отечественные и соответствующие им зарубежные КМОП – серии.

Таблица 1.4

Отечественные серии ИС	Зарубежные серии ИС	Фирма	Напряжение питания, В
564, 561	CD4000A, MC14000A	RCA, Motorola	3...15
KP1561	CD4000B, MC14000B	RCA, Motorola	3...18
1564	54HC, 74HC	National Semiconductor, Motorola	2...6
KP1554, KP1594	74ACT, 74AC	Texas Instruments	3...5,5

1.3 СРАВНЕНИЕ ПАРАМЕТРОВ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ОСНОВНЫХ СЕМЕЙСТВ

Для рационального выбора элементной базы при проектировании цифровой аппаратуры можно воспользоваться сравнением параметров однотипных базовых элементов разных семейств. В табл. 1.5 сведены параметры типовых базовых логических элементов с двумя входами для разных семейств.

Таблица 1.5

Тип элемента	Напряжение питания	Средняя потребляемая мощность, Р, мВт	Среднее время задержки $t_{3,CP}$, нс	Работа переключения $A_{П}$, пДЖ	Нагрузочная способность К раз
РТЛ	3	5	25	125	4
ДТЛ	5	9	25	225	7
ТТЛ	5	10	10	100	10
ТТЛШ	5	2	10	20	10
ЭСЛ	5	40	0,75	30	10
p-МОП	+4, -12	0,5	100	50	20
n-МОП	+12, ± 5	0,5	30	15	20
КМОП	+3 до 15	$(0,2...0,3) \cdot 10^3$	90...30	0,05	50
И ² Л	1	$(1...10) \cdot 10^3$	1000...10	1	3

Из таблицы видно, что наименьшее время задержки имеют элементы с малым перепадом логических уровней и повышенным энергопотреблением. Комплексным показателем качества элемента является работа переключения $A_{П} = P_{ПOT.CP} t_{3,CP}$. Сравнение логических элементов по этому показателю позволяет сделать вывод, что наиболее перспективными семействами логических элементов являются И²Л и КМОП. Показатели средней мощности и работы переключения для КМОП логических элементов соответствуют частоте переключения $f_{П} = 1$ кГц

1.4 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 1

1. Что из себя представляют ТТЛ- и КМОП-серии цифровых ИМС?
2. Что позволило радикально повысить быстродействие ТТЛ-серии?
3. В чем заключаются особенности работы с цифровыми ИМС КМОП?
4. Какое основное преимущество имеют цифровые КМОП-микросхемы по сравнению с ТТЛ и на каких частотах оно проявляется?
5. Какие функции выполняет многоэмиттерный транзистор в ИМС ТТЛ-серии?

Выполнить лабораторную работу по теме «Базовые элементы интегральных микросхем», используя соответствующие моделирующие программы.

2 ВЫХОДНЫЕ КАСКАДЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ [2,4,6]

2.1. ТРИГГЕРЫ ШМИТТА

Схемы, имеющие разные *пороги срабатывания* (уровни включения и выключения), называют *триггерами Шмитта*. Чаще всего триггеры Шмитта используются для формирования прямоугольного напряжения (сигналов с крутыми фронтами и спадами) из аналоговых (синусоидальных) сигналов и увеличения помехоустойчивости ИС. Эти триггеры в зависимости от построения входа и выхода могут выполнять логические функции НЕ, И-НЕ, ИЛИ-НЕ (инвертирующие) и И, ИЛИ (неинвертирующие). Благодаря этим логическим возможностям и высокой помехоустойчивости триггеры Шмитта получили широкое распространение. На рис.2.1 приведена схема элемента 2И-НЕ, построенная на основе такого триггера. На входных диодах $VD1$ и $VD2$ реализуется функция 2И (в зависимости от построения этого входа может реализовываться функция ИЛИ, или функция одной переменной).

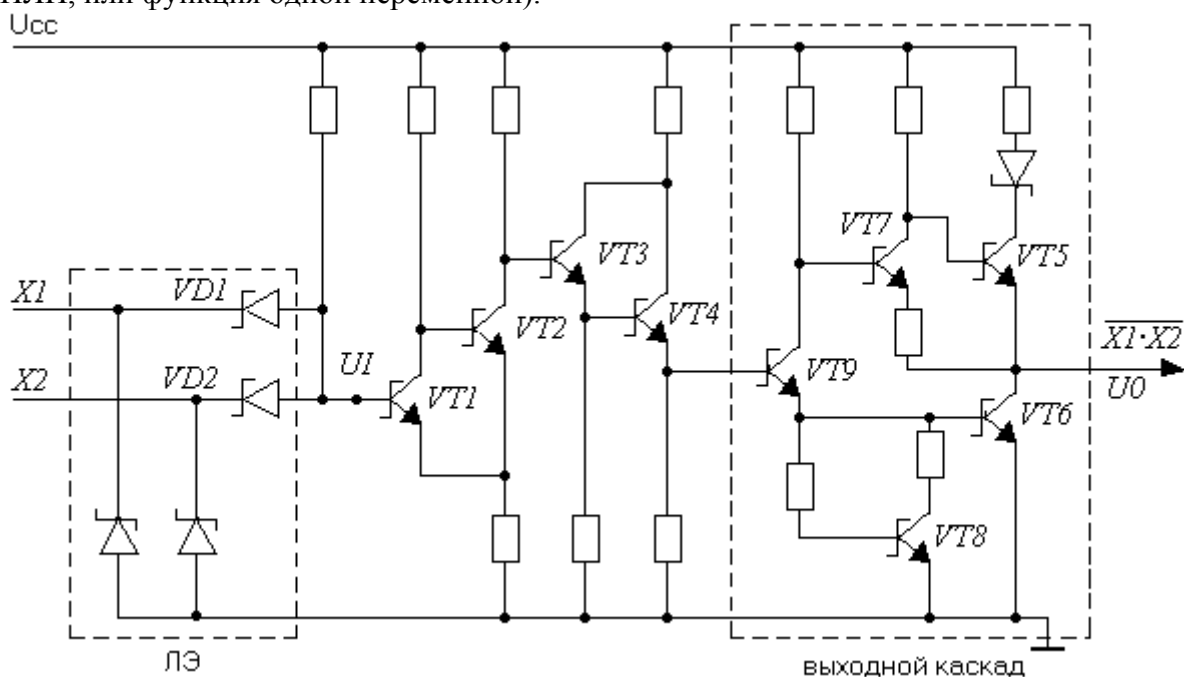


Рис.2.1

Усилитель, выполненный на транзисторах $VT1$ и $VT2$ с обратной связью по току, обеспечивает разные пороги срабатывания схемы при увеличении и уменьшении входного сигнала UI . Транзисторы $VT3$ и $VT4$ образуют выход эмиттерного повторителя-усилителя тока. Выходной каскад, построенный на транзисторах $VT5 \div VT9$, реализует функцию инвертирования или построенный по другой схеме – функцию усиления сигнала без инвертирования. На рис.2.2а представлена временная диаграмма формирования выходного инвертированного сигнала UO . Выходное напряжение UO скачком изменяется от 1 до 0 при достижении входным напряжением UI порога срабатывания U_P и от 0 до 1 при уменьшении входного сигнала UI до нижнего порога U_N .

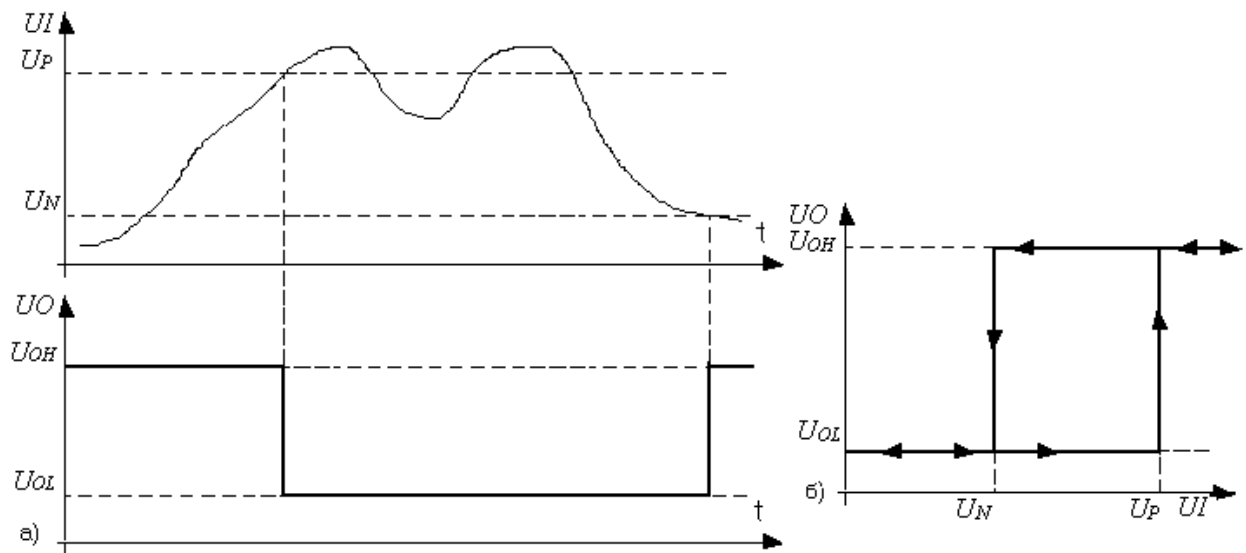


Рис.2.2

На рис.2.2,б показана его передаточная характеристика – петля гистерезиса. Разность напряжений $\Delta U = U_P - U_N$ называется шириной петли гистерезиса. В зоне порогов срабатывания ΔU триггер Шмитта не чувствителен к изменениям входного напряжения UI .

На рис.2.3 показано условное графическое обозначение триггера Шмитта 155ТЛ1. В табл.2.1 приведены основные параметры некоторых триггеров Шмитта.

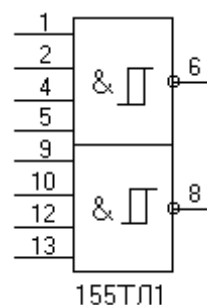


Рис.2.3

Таблица 2.1

Зарубежные	Отечественные	Уровни срабатывания, В		$t_{PD, HC}$	$I_{CC1}/I_{CCN}, mA$	Функция
		U_N	U_P			
SN7413	155ТЛ1	1,1	1,5	27	32/23	4И-ТШ-НЕ*2
SN7414	155ТЛ2	1,1	1,5	28	60/36	ТШ-НЕ*6
SN74LS14	555ТЛ2	0,86	1,66	27	6/3,5	ТШ-НЕ*6
SN74132	155ТЛ3	1,1	1,5	28	40/24	2И-ТШ-НЕ*4
SN74S132	531ТЛ3	1,22	1,77	13	68/44	2И-ТШ-НЕ*4

У триггеров Шмитта, изготавливаемых по КМДП-технологии, пороги срабатывания и, следовательно, ширина петли гистерезиса зависят от значения напряжения питания, например, у триггера 564ТЛ (зарубежный аналог – CD4093):

$$\begin{aligned}
 U_P &= 2,9V, U_N = 1,9V \text{ при } U_{CC} = 5V; \\
 U_P &= 5,9V, U_N = 3,9V \text{ при } U_{CC} = 10V; \\
 U_P &= 8,8V, U_N = 5,8V \text{ при } U_{CC} = 15V.
 \end{aligned}$$

В некоторых ИС пороги срабатывания триггера Шмитта U_P и U_N можно изменять независимо изменением значений сопротивлений двух резисторов $R1$ и $R2$ или изменением значения сопротивления одного резистора R оба порога одновременно.

На рис.2.4 приведено условное графическое обозначение ИС MC14583.

ИС содержит два триггера Шмитта А и В, которые имеют входы RPA , RNA и RPB , RNB . Эти входы используются для независимого управления порогами срабатывания U_P и U_N соответствующим подключением резисторов $R1$ и $R2$.

Подключение резистора R к входу RA или RB изменяет оба порога срабатывания одновременно (значком * помечают нелогические входы, т.е. входы не влияющие на логическую функцию).

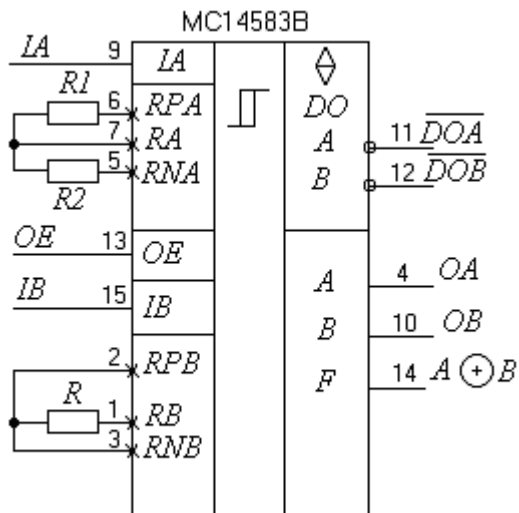


Рис.2.4

В состав этой схемы входит и фазовый детектор, выполняющий функцию $F=A \oplus B$, что позволяет использовать ее в качестве элемента, чувствительного к изменению временного смещения между сигналами IA и IB , например, в системах автоподстройки частоты.

2.2. ОСНОВНЫЕ ТИПЫ ВЫХОДНЫХ КАСКАДОВ ЛЭ

Выходные параметры логического элемента зависят от построения его выходного каскада, а использование мощных или высоковольтных транзисторов в нем предопределяет область применения элементов. В логических элементах в основном используются четыре типа выходов: каскадный или стандартный, открытый эмиттерный, открытым коллекторным выходом и выхода с тремя состояниями.

2.2.1 Стандартный выходной каскад

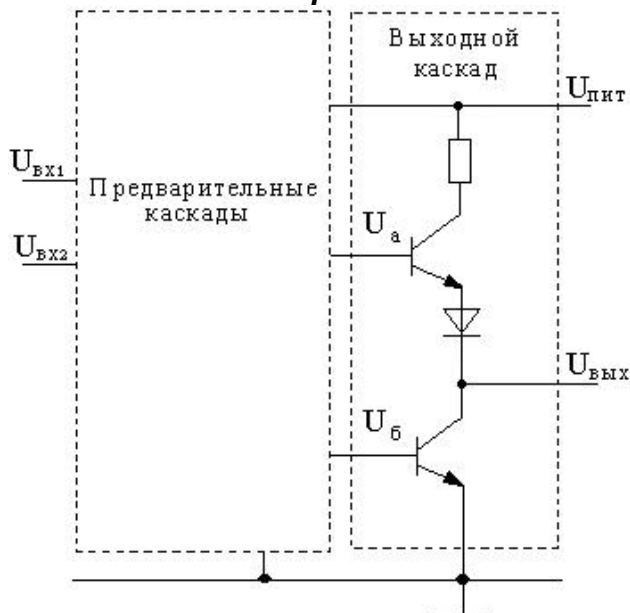


Схема реализована так, что напряжения U_a и U_b всегда изменяются в противофазе. Это означает, что в паре транзисторов выходного каскада всегда один закрыт, а другой открыт.

Такой выходной каскад обеспечивает большой выходной (втекающий) ток при логическом 0 на выходе ($I_{ВЫХ}^0$), когда открыт нижний транзистор, и значительно меньший выходной (вытекающий) ток при логической 1 на выходе ($I_{ВЫХ}^1$), когда открыт верхний транзистор.

Поскольку такая схема выходного каскада является стандартной, то на ее условно-графическом обозначении это никак не обозначается.

2.2.2 Выходной каскад с открытым коллектором

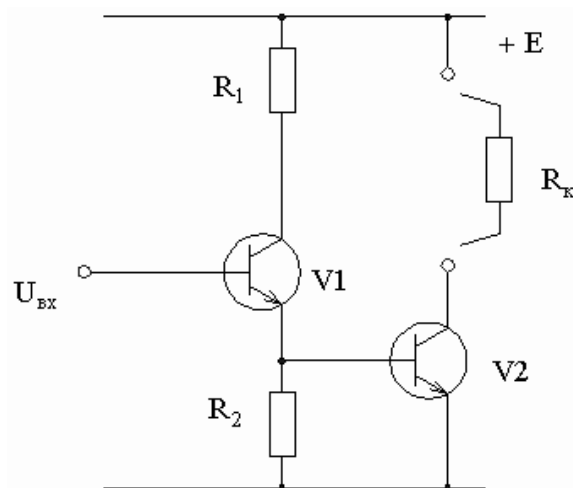
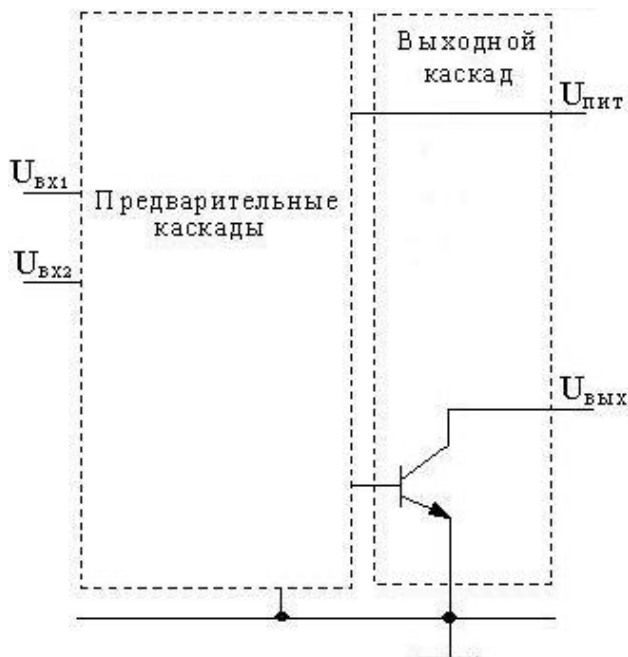


Рис. 2.5

В такой схеме в качестве выходного каскада используется транзистор, коллектор которого не подключен к источнику питания, а подключен только к внешнему выводу микросхемы, поэтому ее выход должен быть подключен с помощью внешнего резистора к соответствующему источнику питания. Транзисторы выходного каскада могут быть рассчитаны на разное допустимое напряжение питания, отличное от напряжения питания остальной части схемы.

Выходной каскад с открытым коллектором обеспечивает большой выходной (втекающий) ток при логическом нуле на выходе ($I_{\text{ВЫХ}}^0$).

На условно-графическом обозначении такие микросхемы обозначаются значком

На рис. 2.5. изображен ЛЭ с открытым коллектором. В схемах выходного инвертора этих логических элементов отсутствует эмиттерный повторитель. Непосредственно выходной сигнал с коллектора V2 снять нельзя, поскольку цепь коллектора не замкнута. Для получения выходного сигнала нужно в цепь V2 коллектора уже за пределами микросхемы включить коллекторное сопротивление. При этом максимальный возможный ток коллектора V2 имеет повышенное значение по сравнению с обычными логическими элементами и поэтому в качестве R_K может включаться относительно низкоомная нагрузка. Могут включаться элементы индикации (лампы), обмотки реле, низкоомные входы других логических элементов. С помощью нескольких элементов с открытым коллектором реализуется, так называемая, монтажная схема И.

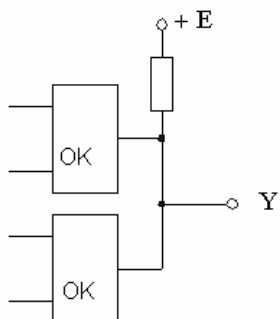


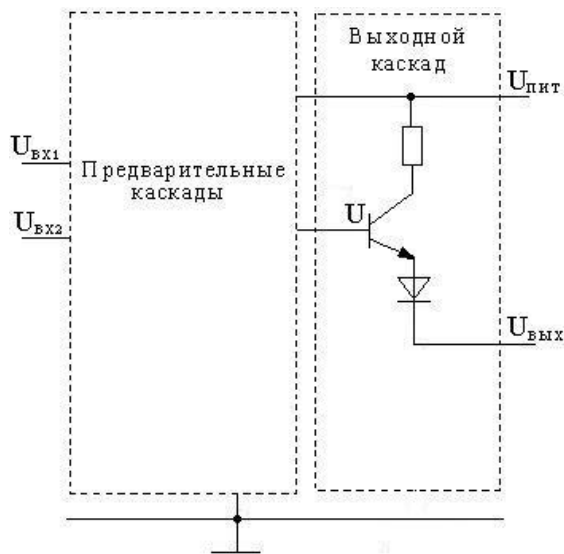
Рис. 2.6

При этом выходе элементов с открытым коллектором объединяются и через общий резистор R подключаются к источнику питания (рис. 2.6). При этом, если оба выхода транзистора в элементах 1 и 2 будут закрыты, то на общем выходе будет высокий уровень напряжения. Стоит хотя бы одному из выходных транзисторов в первом или во втором элементе открыться, как на выходе Y будем иметь низкий уровень напряжения, соответствующий логическому нулю, т.е. в выходных цепях элементов при их объединении на резистор R реализуется функция “ИЛИ-НЕ”.

Сами эти объединяемые элементы могут реализовывать различные логических функции и иметь различное количество информационных входов. А результат каждого объединяется в логическую функцию “ИЛИ-НЕ”. Таким образом может объединяться

значительное количество логических элементов на общий выход. Это возможно только для элементов с открытым коллектором. Другие элементы так объединять нельзя.

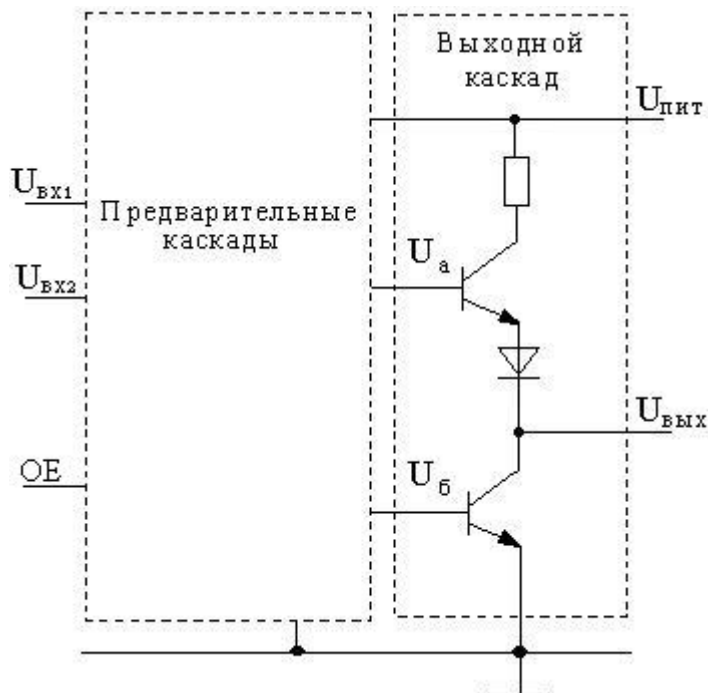
2.1.3 Выходной каскад с открытым эмиттером



В такой схеме коллектор подключен внутри микросхемы обычным образом, а эмиттер не подключен к общему проводу, а соединен только с одним из внешних выводов.

Нагрузка к таким микросхемам подключается между выводами эмиттера и общим проводом, т.е. выходной каскад будет представлять собой эмиттерный повторитель, обеспечивающий большой выходной (вытекающий) ток при логической 1 на выходе ($I_{ВЫХ}^1$). На условно-графическом обозначении такие микросхемы обозначаются значком \diamond .

2.1.4 Схема с тремя состояниями на выходе



Данная схема отличается от схемы со стандартным выходом тем, что в ней напряжения U_a и U_b могут быть как в противофазе (тогда она работает как схема со стандартным выходом), так и в фазе, когда оба напряжения U_a и U_b принимают низкий (закрывающий) уровень, что делает невозможным протекание выходных токов через транзисторы.

Фактически это равносильно состоянию, когда вывод выхода микросхемы отключен от остальной ее части. В этом случае говорят, что выход находится в третьем состоянии (высокоимпедансном, высокоомном, Z-состоянии).

Управление переходом выхода из стандартного режима в третье состояние осуществляется специальным управляющим сигналом OE (Output Enable – разрешение выхода). На условно-графическом обозначении такие микросхемы отмечаются значком \diamond (или Z). На рис.2.7а изображен элемент ТТЛ с тремя выходными состояниями.

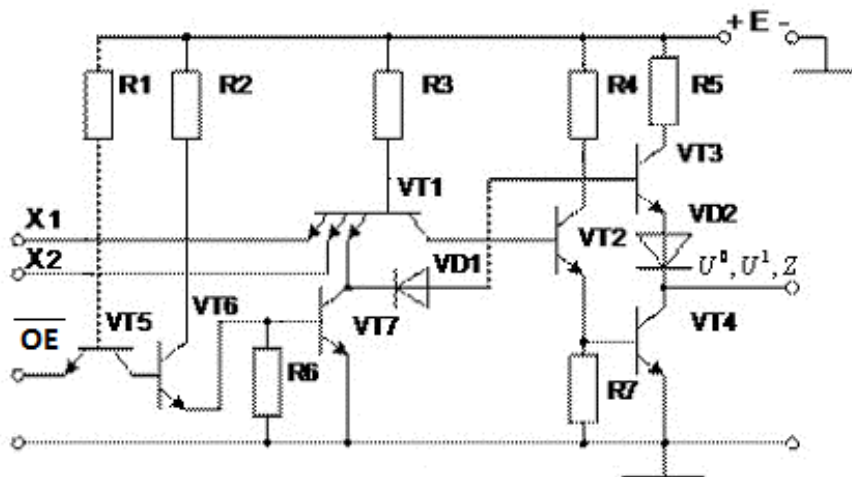


Рис.2.7а

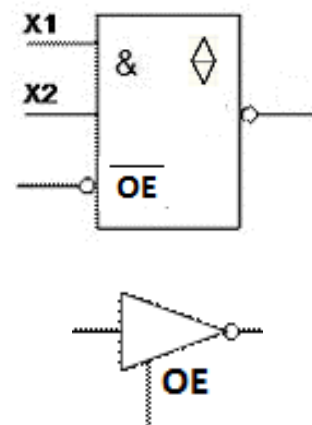


Рис. 2.7б

При подаче на вход OE напряжения U^0 транзистор VT5 открыт и насыщен, а транзисторы VT6 и VT7 закрыты и поэтому не влияют на работу логического элемента. В зависимости от комбинации сигналов на информационных входах на выходе ЛЭ может быть сигнал с уровнем «лог. 0» или «лог. 1». При подаче на вход OE напряжения с уровнем «лог. 1» транзистор VT5 закрывается, а транзисторы VT6 и VT7 открываются, напряжение на базе транзистора VT3 уменьшается до уровня $U_{БЭ.нас} + U_d$, транзисторы VT2, VT3, VT4 закрываются и ЛЭ переходит в высокоимпедансное (третье) состояние, то есть отключается от нагрузки.

На рисунке 2.7,б показано УГО этого элемента. Значок \diamond указывает на то, что выход имеет три состояния. Значок OE «Разрешение третьего состояния» указывает, что сигналом OE = 0 ЛЭ переводится в третье (высокоомное) состояние.

Если выходные транзисторы обеспечивают более мощный выход (выходной ток), чем стандартный, то условное обозначение микросхемы дополняется знаком \triangleright .

Выпускаются и интерфейсные ИС с выходными каскадами в виде изолированных мощных транзисторов с открытыми базами, коллектором и эмиттером. Подобная ИС показаны на рис. 2.8

Усилитель тока с большой нагрузочной способностью принято называть *буфером* или *драйвером*.

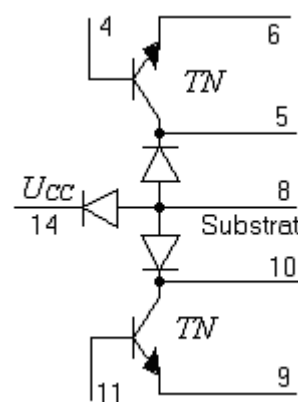


Рис.2.8

Для уменьшения помех по цепи питания в точках подключения к шинам групп ЛЭ устанавливают развязывающие керамические конденсаторы ёмкостью порядка 0,1 мкФ на один корпус. На каждой плате между цепью питания и общей шиной 1–2 электролитических конденсатора ёмкостью 4,7–10 мкФ.

С помощью таких элементов создаются устройства, которые называются шинными формирователями или приемо-передатчиками. С их помощью можно менять направление передачи данных.

2.3. ПРИМЕНЕНИЕ ЛЭ С ТРЕМЯ СОСТОЯНИЯМИ ВЫХОДА

2.3.1. Реализация операции МОНТАЖНОЕ ИЛИ

На рис.2.9 показана реализация МОНТАЖНОГО ИЛИ на ЛЭ 531ЛА17. При применении ЛЭ с тремя состояниями выхода (в отличие от реализации МОНТАЖНОГО ИЛИ на ЛЭ с открытым коллекторным выходом) следует учитывать весьма важное ограничение: в любой момент времени может быть включен *только один* ЛЭ. Выходы остальных элементов должны находиться в Z-остоянии.

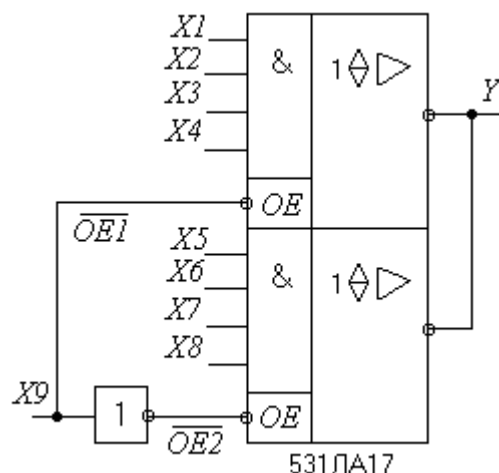


Рис.2.9

Это связано с тем, что при нахождении двух ЛЭ в противофазном состоянии выходной ток элемента с уровнем сигнала U_{OH} на выходе будет протекать через выходной каскад элемента с уровнем сигнала U_{OL} .

Данное обстоятельство может привести к разогреву и выходу из строя одного из ЛЭ. Во избежание этого на один из входов разрешения ставится инвертор. Он обеспечивает подачу сигнала $\overline{OE}=0$ только на один из ЛЭ.

2.3.2. Шинные формирователи с тремя состояниями выхода

Подобные формирователи или драйверы нашли широкое применение в микропроцессорных системах для подключения микропроцессора, памяти и внешних устройств к системным шинам адреса, данных и управления. Подключение может осуществляться с помощью МОНТАЖНОГО ИЛИ. В настоящее время выпускается довольно широкий ассортимент подобных формирователей.

Их можно разделить на две группы: линейные (LD – *Line Driver*) и шинные (BD – *Bus Driver*) драйверы. По структуре они отличаются незначительно: в линейном формирователе каждый разряд управляется своим сигналом, а в шинном – одним сигналом управляются все разряды.

На рис.2.10 приведено условное графическое обозначение драйвера с Z-состоянием выхода 555ЛП8 (зарубежный аналог 74ALS425). Микросхема содержит четыре линейных формирователя.

Формирователь выполняет функцию $DO_i = DI_i$ при $OE=0$ и Z-состояние в противном случае.

Аналогичной является микросхема SN74LS126 с той разницей, что сигнал управления OE должен быть неинвертированным.

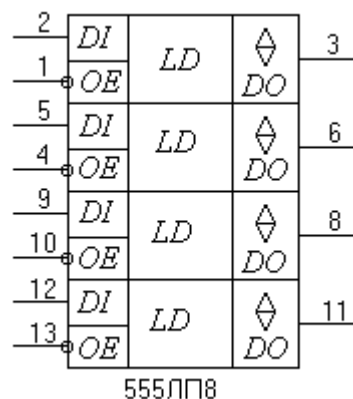


Рис.2.10

Шинные формирователи имеют более широкое применение. На рис.2.11 приведено условное графическое обозначение шестиразрядного шинного формирователя (*BD* - Bus Driver) с инверсными выходами и сигналом управления в виде конъюнкции *OE1·OE2*.

Выпускаются 2, 4, 6, 8 и 10-разрядные шинные формирователи с различными функциональными схемами, позволяющими использовать разные логические сигналы для управления формирователями и рассчитанные на разные нагрузки.

Условное графическое обозначение формирователей показано на рис.2.12.

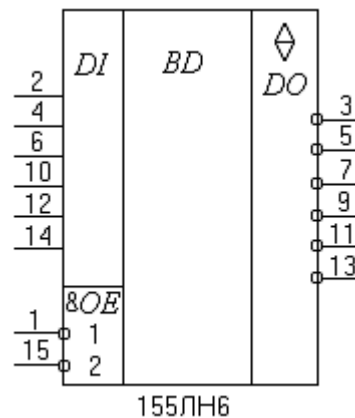


Рис.2.11

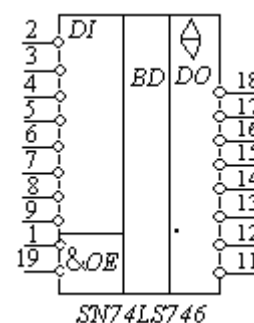


Рис. 2.12

2.4. ШИННЫЕ ПРИЁМОПЕРЕДАТЧИКИ

Рассмотренные ранее шинные драйверы с *Z*-состоянием выхода передают сигналы только в одном направлении и обладают небольшой нагрузочной способностью. Они предназначены для передачи управляющих сигналов между шинами адреса и микропроцессорами, изготовленными по МДП – технологии, но могут использоваться в любых цифровых устройствах. Однако большинство микропроцессоров имеют помимо адресных шин (в большинстве своем однонаправленных) двунаправленные шины данных, которые требуют согласования по электрическим параметрам этой шины как со стороны микропроцессора, так и со стороны памяти и внешних устройств.

Это обстоятельство потребовало разработки довольно многочисленного класса ИС – двунаправленных драйверов, которые принято называть *приемопередатчиками* (Transceivers). Данный вид шинных формирователей широко используется при построении микропроцессорных систем для управления передачей данных в двух направлениях.

Устройства микропроцессорной системы могут иметь отдельные входные и выходные или двунаправленные шины данных. Это обстоятельство обусловило выпуск приемопередатчиков разных типов: с одной и двумя двунаправленными шинами. Разряды двунаправленной шины данных объединяются с соответствующими разрядами различных устройств с помощью МОНТАЖНОГО ИЛИ. Поэтому все приемопередатчики выпускаются либо с открытым коллекторным выходом, либо с *Z*-состоянием выхода.

2.4.1. Шинные приемопередатчики с тремя состояниями выхода

На основе приемопередатчиков с *Z*-состоянием выхода строятся многоразрядные ИС двунаправленных драйверов. На рис.2.13 приведено условное графическое

обозначение приемопередатчика с одной двунаправленной четырехразрядной шиной данных 589АП26 (SN74ALS623).

Здесь приняты обозначения:

DB (*Bi-directional Data Bus*) – двунаправленная шина данных, подключаемая к *CPU*;

Dli и *DOi* – входные и выходные данные ($i=0, 1, 2, 3$);

CS (*Chip Select* –выбор кристалла) – включение приемопередатчика;

DIEN (*Data Input Enable* – разрешение ввода данных) – указание направления передачи данных.

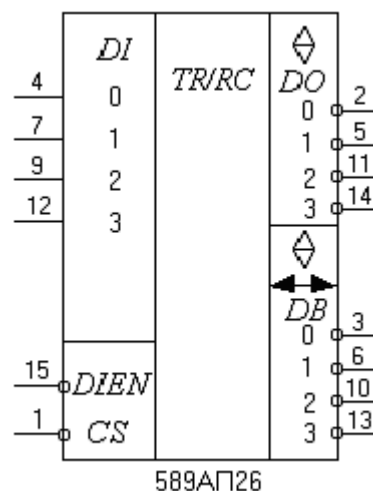


Рис.2.13

В каждый момент времени передача данных происходит только в одном направлении (например, из *CPU* и в *CPU*):

при вводе данных в *CPU*:

$$Dli \rightarrow DBi \text{ при } DIEN=0 \text{ и } \overline{CS}=0, \text{ т.е. } \alpha = DIEN \cdot \overline{CS},$$

при выводе данных из *CPU*:

$$DBi \rightarrow DOi \text{ при } DIEN=1 \text{ и } \overline{CS}=0, \text{ т.е. } \beta = DIEN \cdot \overline{CS}.$$

На рис.2.14 приведено условное графическое обозначение ИС 1533АП6 (SN74ALS645) с двумя двунаправленными шинами с общим управлением. Схема восьмиразрядная на элементах без инверсии, в качестве которых используются триггеры Шмитта.

В ИС 1533АП6 сигналы управления имеют значения:

OE – включение приемопередатчика;

T – указание направления передачи;

$\alpha = \overline{T} \cdot OE$, $\beta = T \cdot OE$ обеспечивают передачу данных только в одном из двух направлений в каждый момент времени.

Работа приемопередатчика описывается функциями:

$$DAi = \{DBi, \text{ если } T=0 \text{ и } OE=0; Z\text{-состояние в противном случае}\};$$

$$DBi = \{DAi, \text{ если } T=1 \text{ и } OE=0; Z\text{-состояние в противном случае}\}.$$

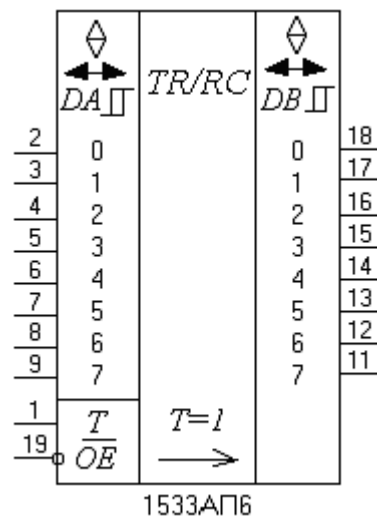


Рис.2.14

На рис.2.15 приведена ИС 1533ИП6 (SN74ALS1242), а на рис.2.16 ее функциональная схема, которая имеет две двунаправленные шины данных. В этой ИС используется управление с помощью двух независимых сигналов *OEA* (разрешение выходов *DA*) и *OEB* (разрешение выходов *DB*).

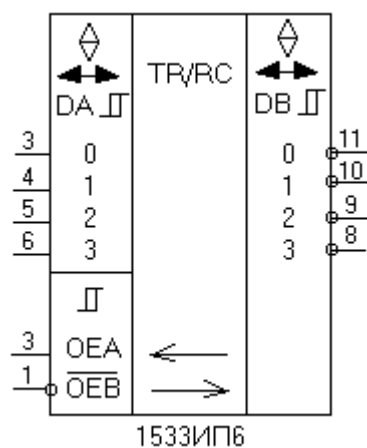


Рис.2.15

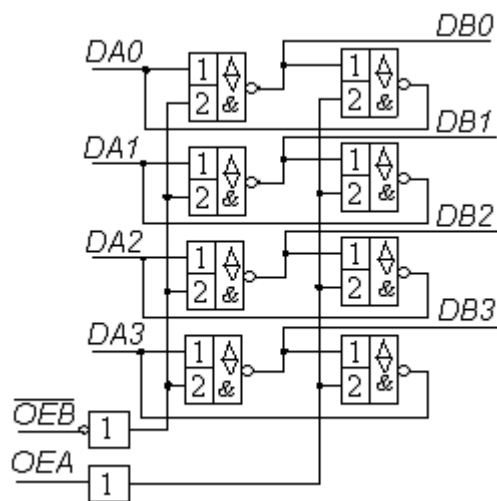


Рис.2.16

В табл.2.2 приведены значения их сочетаний.

Таблица 2.2

<i>OEA</i>	<i>OEB</i>	Результат
0	0	$DAi \rightarrow DBi$
0	1	приемопередатчик выключен
1	0	запрещенное сочетание
1	1	$DBi \rightarrow DAi$

В микросхеме 1533ИП6 в качестве элементов используются триггеры Шмитта. Основные параметры некоторых приемопередатчиков с Z-состоянием выходов приведены в табл.2.3.

Таблица 2.3

ИС	Аналог	I_{OL} , мА	I_{OH} , мА	t_{PD} , нс (при $C_L = 50$ пФ)	I_{CC} , мА
555ИП6	LS242	24	15	11	26
555АП6	LS245	24	15	12	55
1554АП6	74AC245	86	-75	19	130
1533ИП6	ALS242A	30	-112	11	22
1533ИП7	ALS243A	30	-112	10	32

Приемопередатчики типа 1533АП12, АП13 (аналог 74ALS2540, 2541), предназначенные для обслуживания ИС (например, запоминающих устройств) изготавливаемых по МДП - технологии, имеют на выходе резисторы 25 Ом, включенные последовательно. В некоторых приемопередатчиках выходы *DA* и *DB* имеют разную нагрузочную способность. К системной шине данных рекомендуется подключать выход с большей нагрузочной способностью.

2.4.2. Шинные приемопередатчики с открытым коллекторным выходом

Принцип построения элементов с открытым коллекторным выходом был рассмотрен ранее. На рис.2.17 приведены условное графическое обозначение и функциональная схема приемопередатчика 531АП2 с открытыми коллекторными выходами и одной двунаправленной четырехразрядной шиной данных.

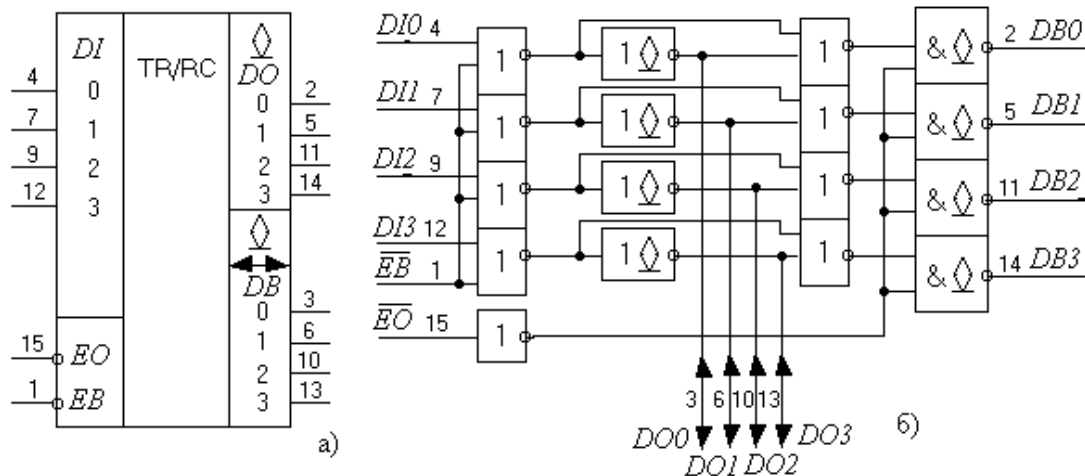


Рис.2.17

Значение сигналов $EB=0$, $EO=X$ (X-безразлично) разрешает передачу входных данных DI_i ($i=0,1,2,3$) на двунаправленную шину DI_i ($i=0,1,2,3$): $DI \rightarrow DB$.

При сигналах $EB=1$, $EO=0$ происходит передача данных с двунаправленной шины DB_i на выходы DO_i : $DB_i \rightarrow DO_i$.

Другой вид управления приемопередатчиком с одной двунаправленной шиной данных можно рассмотреть на примере микросхемы 559ИПЗ, условное графическое обозначение и функциональная схема которой приведены на рис.2.18.

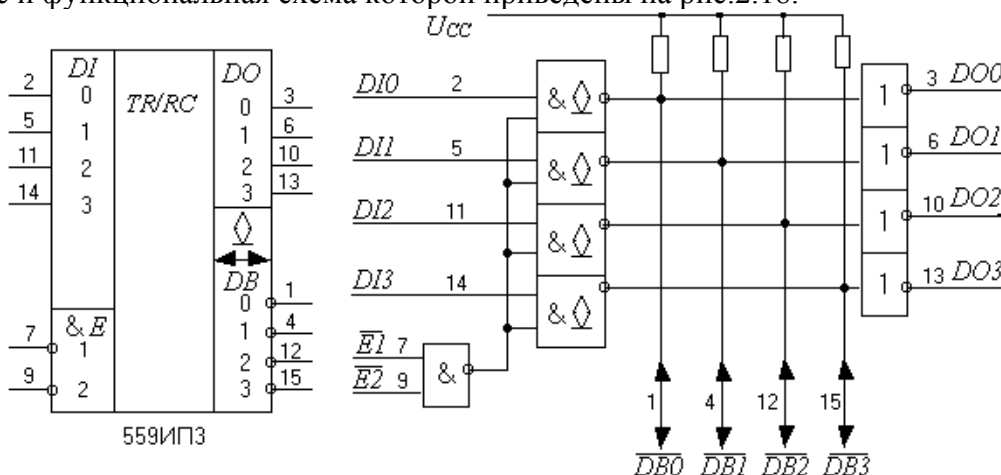


Рис.2.18

Функционирование этого приемопередатчика описывается соотношениями:

$$E1 \cdot E2 = 1, DI \rightarrow DB; \quad E1 \cdot E2 = 0, DB \rightarrow DO.$$

В некоторых приемопередатчиках к выходам элементов с открытым коллектором внутри ИС подключается нагрузка в виде резисторного делителя. В качестве примера можно привести ИС 559ИП6 с одной двунаправленной шиной данных, условное графическое обозначение и функциональная схема которой приведены на рис.2/19,а,б.

Наличие такого делителя позволяет объединять выходы DB_i сразу нескольких приемопередатчиков с помощью МОНТАЖНОГО ИЛИ. Такое объединение повлечет на нагрузку схемы. Выходы резисторных делителей 18 и 16 в этом случае соединяются соответственно с общим выводом и выводом питания U_{CC} .

Работа микросхемы, показанной на рис.2.19,а, описывается так же, как и работа микросхемы 559ИПЗ (по входам $DI0,1,2$).

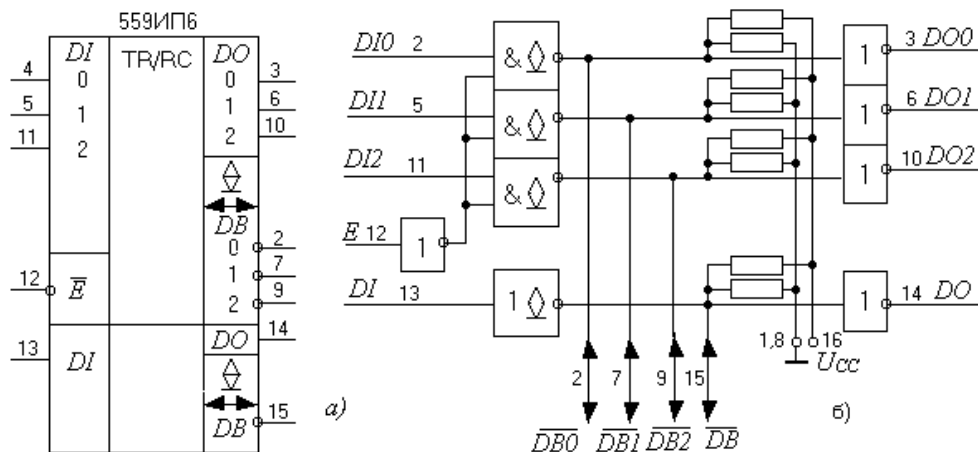


Рис.2.19

Часто используются приемопередатчики с двумя двунаправленными шинами на элементах с открытым коллекторным выходом. На рис.2.20 приведено условное графическое обозначение и функциональная схема одного разряда такого приемопередатчика (восьмиразрядная микросхема 559ИП15, аналог – SN74ALS638).

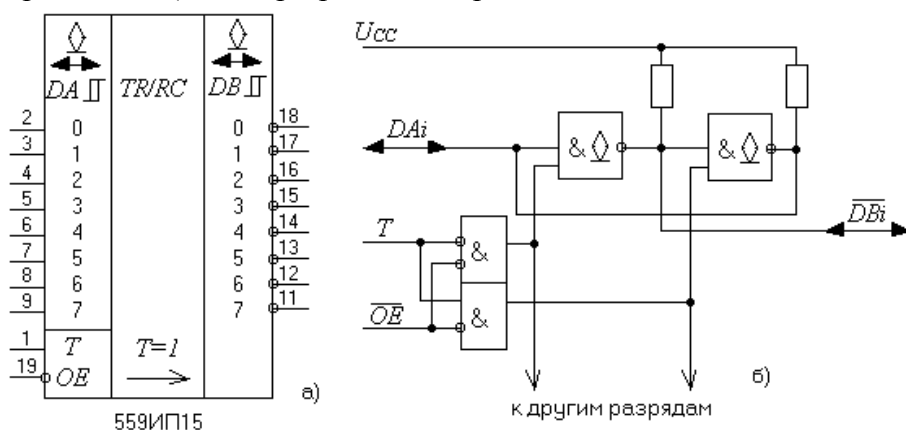


Рис.2.20

Функционирование приемопередатчика с открытым коллекторным выходом описывается соотношениями:

$$DA_i = DB_i, \text{ если } T = \overline{0} \text{ и } OE = 0,$$

$$DB_i = DA_i, \text{ если } T = \overline{1} \text{ и } OE = 0.$$

Приемопередатчики могут строиться на повторителях с открытым коллекторным выходом канала DA, на повторителях с Z-состоянием выхода канала DB, на инверторах с открытым коллекторным выходом, т.е. в самых разных сочетаниях различных управляемых элементов.

2.4.4. Шинные приемопередатчики с тремя направлениями передачи

Этот тип приемопередатчиков предназначен для двунаправленной передачи данных между тремя устройствами в сочетаниях: один передатчик – один приемник, один передатчик – два приемника.

В качестве выходных элементов приемопередатчиков используются элементы как с открытым коллектором, так и с тремя состояниями выхода, а в качестве входных – триггеры Шмитта. Выходные и входные элементы могут быть инвертирующие и неинвертирующие.

Условное графическое обозначение приемопередатчика с тремя направлениями передачи (SN74ALS440) приведено на рис.2.21.

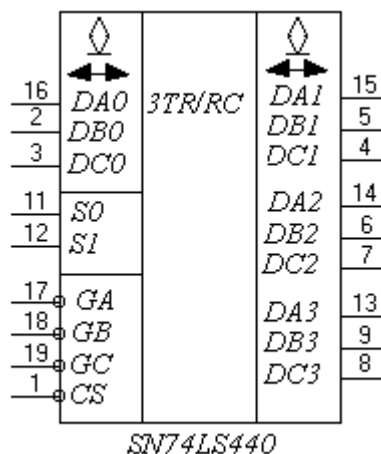


Рис.2.21

Режим работы приемопередатчика с тремя направлениями описывается в табл. 2.4.
Таблица 2.4

\overline{CS}	\overline{GA}	\overline{GB}	\overline{GC}	$S1$	$S0$	Операция
0	X	0	0	0	0	$DAi \rightarrow DBi$ $DAi \rightarrow DCi$
0	0	X	0	0	1	$DBi \rightarrow DAi$ $DBi \rightarrow DCi$
0	0	0	X	1	0	$DCi \rightarrow DAi$ $DCi \rightarrow DBi$
0	X	0	X	0	0	$DAi \rightarrow DBi$
0	1	X	0	0	1	$DBi \rightarrow DCi$
0	0	1	X	1	0	$DCi \rightarrow DAi$
0	X	1	X	0	0	$DAi \rightarrow DCi$
0	0	X	0	0	1	$DBi \rightarrow DAi$
0	1	0	X	1	0	$DCi \rightarrow DBi$

X – безразличное состояние.

При всех остальных сочетаниях значений сигналов \overline{CS} , \overline{GA} , \overline{GB} , \overline{GC} , $S1$ и $S0$, кроме указанных в табл.2.5, передача данных в приемопередатчике не происходит.

2.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 2

1. Основные характеристики стандартного выхода?
2. Для каких целей используются микросхемы с открытым коллектором?
3. Для каких целей можно использовать микросхемы с открытым эмиттером?
4. Где возможно применение микросхем с тремя состояниями на выходе?
5. Для каких целей можно использовать микросхемы приемо-передатчиков?

Выполнить лабораторную работу по теме «Виды выходов интегральных микросхем» и «Интегральные микросхемы приемопередатчиков», используя соответствующие моделирующие программы.

3. ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ЦИФРОВЫХ МС [5]

3.1 ЭВОЛЮЦИЯ ТЕХНОЛОГИЙ

3.1.1 Совершенствование транзисторов

В 1945 г. — когда вычислительная техника уже была электронной, но ещё релейно-ламповой (хотя британцы уже во Второй Мировой Войне использовали германиевые диоды) — руководство американской компании Bell Labs основало группу под руководством Уильяма Шокли по исследованию полупроводниковой замены вакуумным лампам, что и произошло через 2 года с изобретением транзистора. А в 1948 г. «transistron» был независимо изобретён работающими во Франции двумя немецкими физиками — Хэрбертом Матаре и Хайнрихом Велкером.

Правда, оба прибора были с неудобным в производстве точечным контактом к полупроводнику. В 1951 г. Шокли изобрёл биполярный транзистор с двумя р-п-переходами, полностью заменивший точечные уже к середине 50-х. К 1954 г. транзисторы уже стали обязательными компонентами в телефонных станциях и аппаратах фирмы Bell. Мудрейшим шагом компании было решение 1952 г. о продаже (за 25 000 долларов) лицензий на выпуск биполярных транзисторов 26 другим фирмам.



«Транзистрон» на просвет в рентгене

Уже через 2 года появились транзисторные радиоприёмники, на время ставшие сутью самого слова «транзистор» в массовом сознании. В 1956 г. за открытие транзисторного эффекта Уильям Шокли и его помощники Джон Бэрдин и Уолтер Брэттэйн получили Нобелевскую премию по физике.

После изобретения транзистора Шокли в 1956 г. основал компанию Shockley Semiconductor Laboratory, где изобрёл ещё один полупроводниковый прибор, названный им «диод Шокли». В отличие от транзистора, тут не 3, а 4 слоя полупроводника, что дало возможность блокировать прибор в открытом или закрытом состоянии без поддерживающего напряжения. Шокли был уверен, что это открытие не менее важно, чем транзистор, но на этот раз держал всё в секрете даже от своих сотрудников, что привело его к почти параноидальному поведению. В довесок, нерешительность Шокли при управлении проектами не давала возможность немедленно пустить идею в производство. Это так расстроило его коллег, что 8 наиболее молодых из них потребовали сменить главу компании. Когда стало ясно, что навстречу им не пойдут, «вероломная восьмёрка», как прозвала их жена Шокли, сама покинула компанию и в 1957 г. основала Fairchild Semiconductor для производства полупроводниковых транзисторов.

На тот момент под полупроводником электронщики понимали прежде всего германий. Транзисторы из него получались хорошие, но р-п-переходы были термически нестабильны (при том, что прибор заметно грелся), а дороговизна затрудняла распространение. Однако в 1952 г. впервые получен кристаллический кремний, а через 2 года Texas Instruments (TI) применила его в транзисторе. В 1955 г. всё в той же Bell Labs изобрели (точнее, впервые использовали для производственных целей) почти все основные технологические операции микроэлектроники: осаждение изолятора,

фотолитографию с масками (для деталей в 200 микрон!), травление и диффузию. Тогда же сделали и первый полевой транзистор — именно такие (в миллиардных количествах) находятся в современных чипах. И ещё одно малоизвестное, но совершенно революционное открытие: в 1954 г. Чарлз Ли из Bell Labs изготовил транзистор с базой толщиной всего в 1 микрон и обнаружил, что он может работать на частоте до 170 МГц, что вдесятеро быстрее тогдашних аналогов.

В 1952 г. британский электронщик Джэффри Даммер опубликовал идею об интегральной схеме (ИС) как о «твёрдом бруске без соединяющих проводов». В 1956 г. Даммер попытался сделать первую микросхему, но неудачно. Через 2 года недавно принятый в TI молодой инженер Джэк Килби почти в одиночку сидел всё лето в лаборатории миниатюризации, т.к. компания не отпустила его в пока ещё не заработанный отпуск.

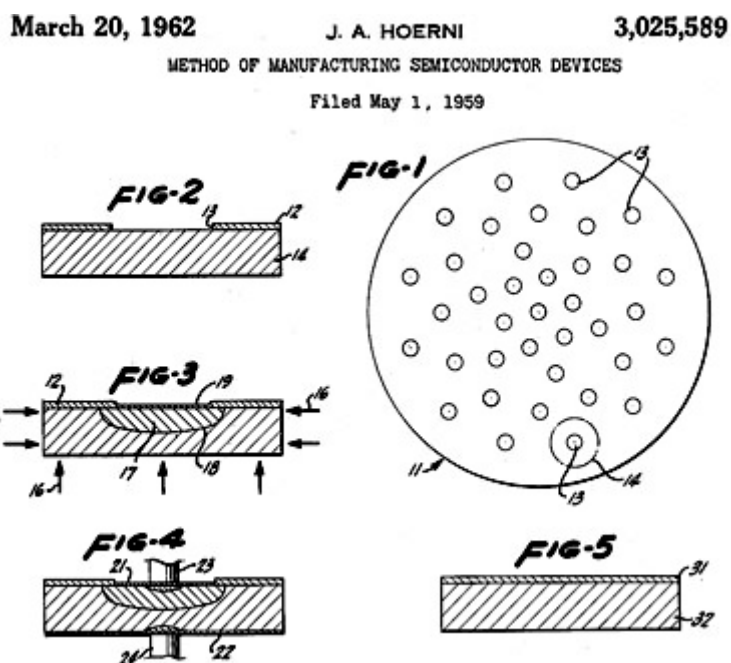
24 июля 1958 г. Килби написал в своей записной книжке, что если элементы электрической схемы (резисторы, конденсаторы и транзисторы) сделать из одного материала, то они могут быть помещены на общую пластинку (на сленге — «вафлю», причём в оригинале говорится только так: wafer)..



5-кристальный осциллятор Килби.

А 12 сентября Килби построил первую ИС из пяти элементов, выполняющую роль генератора — хотя она ещё не была однокристалльной. Странно, что «Нобелевской премии» за это достижение надо было ждать до 2000 г

Изобретение Килби имело большой недостаток — компоненты схемы соединялись золотыми проводками, что делало технологию малоприменимой к дальнейшему уменьшению, усложнению и массовому производству. Однако к концу этого же 1958 г. Жан Эрни из Fairchild продемонстрировал размещение в кремнии областей с избытком электронов и дырок, вместе составляющих р-n-переход, над которым располагался изолятор из диоксида кремния. В изоляторе протравлено отверстие, которое заполняется алюминием, образующим контакт. А чешский физик Курт Леховец из калифорнийской компании Sprague Electric догадался использовать р-n-переход как изолятор.



Патент Эрни на пригодный для массового производства планарный транзистор.

Наконец, в 1959 г. Роберт Нойс из Fairchild объединил обе идеи с возможностью напылять тонкий слой металла на схему. Этот слой потом выборочно вытравливался, получая одновременно все необходимые межсоединения, что сделало возможным

изготовление более сложной схемы за несколько шагов. Так был изобретён планарный технологический

Правда, пока этот процесс подходил лишь для изготовления отдельных кристаллов. Но уже тогда стало ясно, что микросхем понадобится не меньше, чем дискретных элементов, а значит их производство должно быть более массовым. К счастью, в 1958 г. Джэй Лэст и Роберт Нойс построили один из первых фотоповторителей, позволявших на одну пластину проецировать множество копий маски. процесс.

А в 1961 г. выпущены первые промышленные фотоповторители с уменьшением изображения — теперь маску можно сделать в 5–10 раз больше, что упрощало процесс её подготовки. Маски изготавливались переносом выполненных на прозрачной плёнке чертежей на лист рубилита, на котором координатограф полуручным способом гравировал оттиск.

Сами чипы изготавливались из пластин диаметром всего 13½ мм, введённых в 1960г..

Право называться первой коммерческой оспаривают микросхемы Fairchild и Texas Instruments. Кстати, Уильям Шокли также достиг массового производства своего диода, но так и не добился успеха — потому что появились микросхемы, где 3–6 транзисторов могли заменить такой диод

Все микросхемы пока делались с биполярными транзисторами, степень интеграции которых без дополнительного охлаждения невысокая.

В 1959 г. Джон Аталла и Дэвон Канг из Bell Labs изготовили полевой транзистор с изолированным затвором, чего не могли добиться с 1926 г., когда был открыт полевой эффект и указан его недостаток — поверхностные

волны в металле не позволяли проникать полю затвора в канал. Получился всем сегодня известный «бутерброд»: металлический (Al) затвор, подзатворный оксид (SiO₂) и канал-полупроводник (Si). И хотя первые два элемента уже давно делаются из других материалов, мы всё ещё называем это МОП-транзисторами.

April 25, 1961

R. N. NOYCE

2,981,877

SEMICONDUCTOR DEVICE-AND-LEAD STRUCTURE

Filed July 30, 1959

3 Sheets-Sheet 2

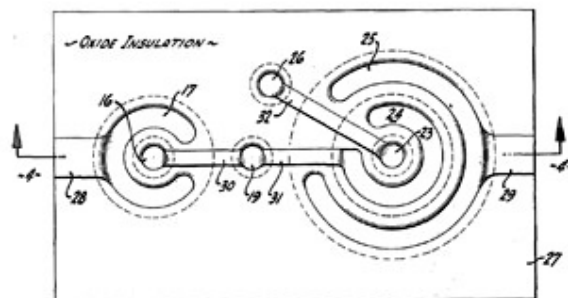


FIG. 3

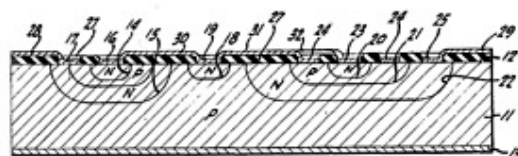
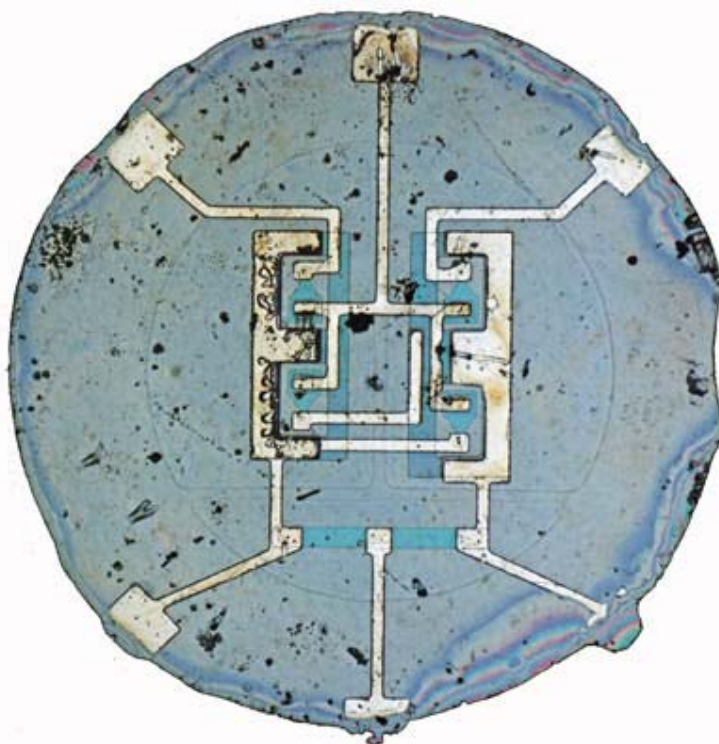


FIG. 4

Патент Нойса на планарную ИС. Тут все контакты находятся уже по одну сторону от кремниевой пластины.



Кристалл первой «современной» микросхемы (1960 г.) — триггера с 4 транзисторами и 5 резисторами.

В 1960 г. в Bell Labs изобрели ещё один нужный для массового производства процесс — эпитаксиальное осаждение тонкого слоя на кристаллической подложке, снова обнаружив, что малая толщина базы ускоряет биполярный транзистор.

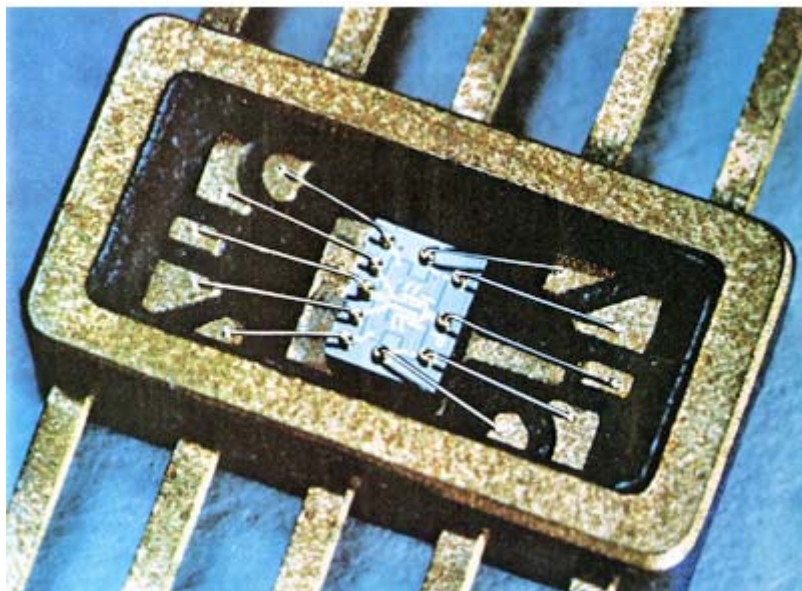
В 1958 г. инженер Сеймур Крэй (уже тогда прославившийся экспертом по компьютерам) устроился в компанию Control Data Corporation (CDC) на должность главного разработчика и сразу попросил фирму General Transistor изготовить быстрый германиевый транзистор для своей машины CDC 1604, ставшей в 1960 г. одним из первых коммерчески успешных диодно-транзисторных компьютеров (после IBM-овских моделей 1401 и 7090). Далее Крэй задался целью построить самый быстрый в мире компьютер (будущий CDC 6600), для чего ему нужен был транзистор со временем переключения менее 3 нс и способностью выдержать перегрев (ибо высокоплотный монтаж в электронике — тоже не сегодняшнее изобретение). Р-канальные полевые транзисторы (в большинстве из них канал между истоком и стоком открыт при *отрицательном* напряжении на затворе относительно истока) в то время получались медленнее биполярных, а производили их просто потому, что они получались дешевле. Более быстрые n-канальные (канал открыт при *положительном* напряжении на затворе) появились только в 1964 г. Крэй заплатил фирме Fairchild 500 000 долларов, и в 1961 г. Жан Эрн, используя легирование золотом и эпитаксиальное осаждение, получил кремниевый биполярный транзистор, работающий быстрее германиевых.

3.1.2 Совершенствование микросхем

В 1961 году на реализацию лунной программы были выделены астрономические деньги (в сегодняшних ценах — 170 млрд. долларов) и присвоен высший приоритет.

По микроэлектронной части роль главного героя отводилась навигационному компьютеру для Аполлонов (Apollo Guidance Computer, AGC). До того момента первые чипы были относительно медленные и продавались по цене в несколько раз больше аналогичного набора дискретных элементов.

И только в авиакосмических применениях миниатюрность и энергоэффективность оказались важнее недостатков, хотя ИС содержали лишь несколько компонентов. Уже в 1961 г. коллега Килби Харви Крэгон сделал демонстрационный “Молекулярный электронный компьютер” для ВВС США, в котором 587 ИС производства TI заменяли 8500 отдельных деталей. В этом же году чипы Fairchild уже применялись в простых компьютерах.



Логический вентиль производства Fairchild для AGC

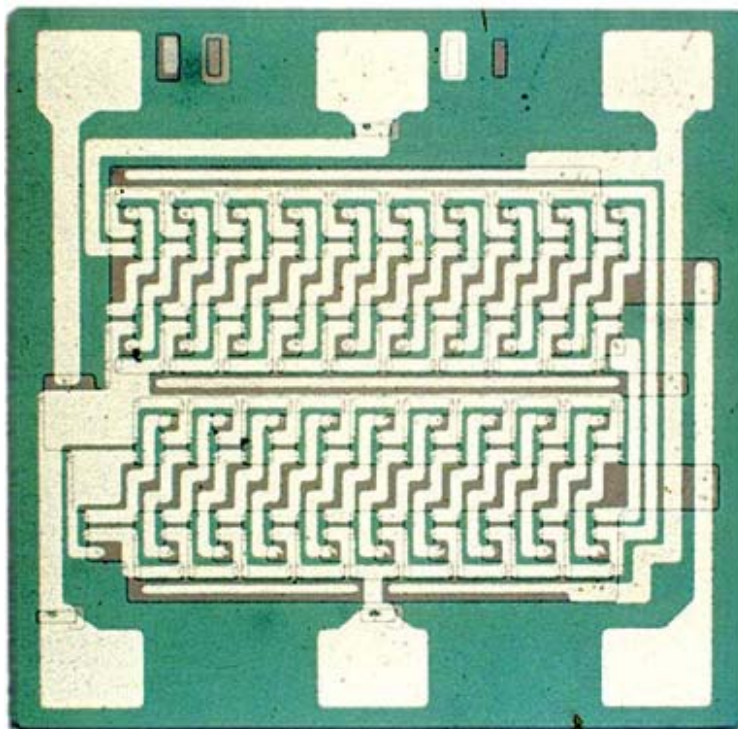
AGC оказался намного сложнее, требуя около 4000 логических вентилях по 20–30 долларов каждый. До 1965 г. AGC оставался самым большим потребителем чипов как по количеству (200 000), так и по общей цене. Боб Кук из TI изготовил первые экономные ИС для блока астронавигации. Одновременно (в 1962 г.) TI выиграла контракт на изготовление 22 видов заказных микросхем для системы наведения ракет Minuteman II. К этой же задаче присоединились и другие компании, так что в 1965 г. ракетчики стали

главными заказчиками ИС в США. Кстати, ещё в 1961 г. британская Ferranti Semiconductor стала производить одно из первых в Европе семейств цифровой логики для миниатюризации бортовых систем в британских ВМС. В этом же году Стивен Хофстайн из RCA сделал самую сложную на тот момент 16-транзисторную ИС — но лишь для лабораторных исследований.

В 1963 г. вышли первые ТТЛ-чипы (транзисторно-транзисторная логика, самая популярная до конца 70-х), но главное — Фрэнк Уанласс из Fairchild показал, что симметричное спаривание р- и n-канальных МОП-транзисторов уменьшает потребление энергии при простое (когда транзисторы не переключаются) в миллион раз, назвав этот вид логики «комплементарная (структура) МОП» (КМОП). Впервые изготовленная через 2 года, она сразу стала использоваться в авиации и космосе, но быстро добралась и до коммерческих устройств. Из-за использования медленных р-МОП-транзисторов на рекорды скорости поначалу такая логика не претендовала.

Когда массовое производство ИС стало исчисляться уже миллионами, оказалось, что с применением пластин большего диаметра себестоимость чипов падает, а массовость растёт — и в 1964 г. введены 25 мм пластины, а через 2 года — на 38 мм. Однако уменьшать интегральные МОП-транзисторы оказалось труднее, чем биполярные, из-за производственных сложностей и падения надёжности. В течение 1963–66 гг. специалисты из американских, европейских и японских компаний (в сотрудничестве и конкуренции) исследовали и решили большую часть вопросов надёжности МОП-схем.

В 1964 г. General Microelectronics выпустила первый коммерческий р-МОП-чип — 120-транзисторный 20-битный регистр сдвига. Через год сделаны ещё 23 заказных вида микросхем для первого настольного калькулятора на МОП-ИС (Victor Comptometer EC-3900), включая 600-транзисторный 100-битный регистр. К 1969 г. фирме Rockwell удалось сократить число калькуляторных чипов до 4, что позволило сделать портативные машины. В 1971 г. Mostek и TI представили однокристалльные калькуляторные ИС (не считая внешнего контроллера экрана). До этого, в 1968 г. RCA показала чип статической памяти (СОЗУ) на 288 бит (почти 2000 транзисторов) и первое семейство простой КМОП-логики общего назначения.



20-битный регистр сдвига производства General Microelectronics.

Таким образом, помимо военных заказов, во второй половине 60-х одним из локомотивов микроэлектроники стали простые настольные ЭВМ. Их было гораздо больше мэйнфреймов, хотя в последних ИС применялись тысячами.

Но главное — в течение 60-х гг. улучшения литографии позволяли увеличивать число транзисторов экспоненциальными темпами. Это заметил химик Гордон Мур, работавший тогда директором по НИОКР в Fairchild.

В 1965 г. он написал внутренний доклад «Будущее интегральной электроники» с графиком, соединяющим 5 точек и связывающим число компонентов ИС и их минимальную цену для периода 1959–1964, и предсказанием развития на следующие 10 лет. Последнее основывалось на том, что число компонентов на чипе будет продолжать удваиваться каждый год. Чуть позже отредактированная версия появилась в виде статьи в журнале Electronics 19 апреля 1965 г.

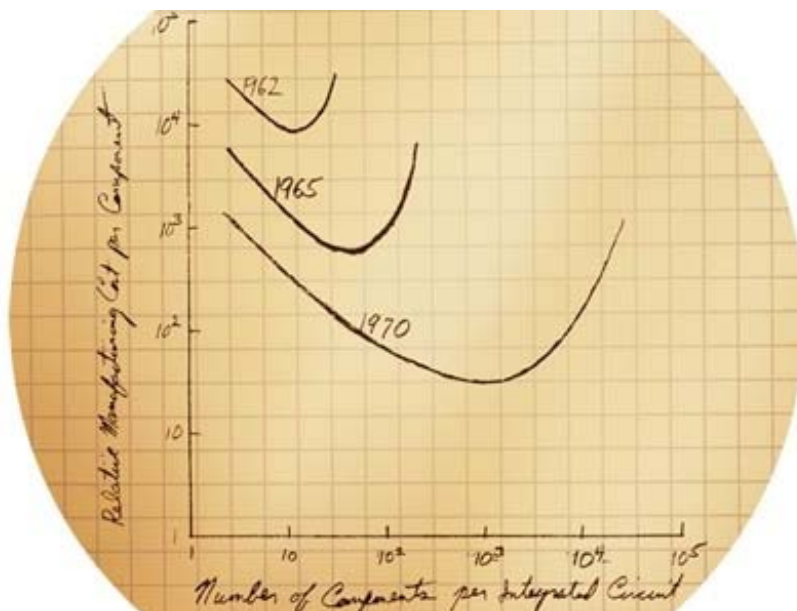
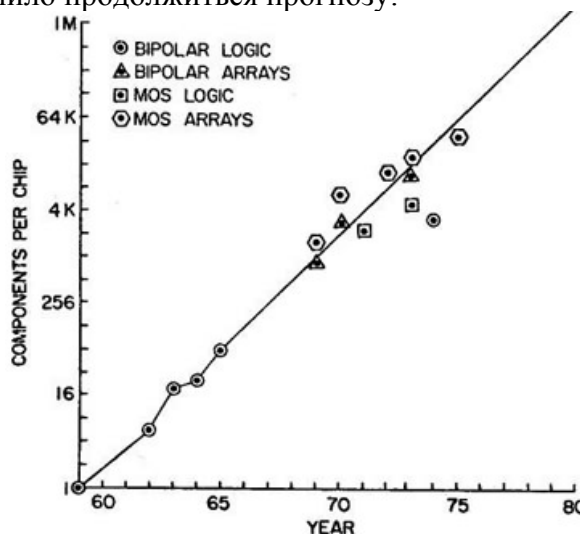


График из записной книжки Гордона Мура: зависимость относительной стоимости интегрального компонента от их числа на чипе в разные годы

Интересно, что в 1975 г. на ежегодной встрече Международной Организации Инженеров-Электронщиков (IEEE) Мур (уже как президент и исполнительный директор Intel) указал, что увеличение диаметра пластин, успехи в технологических процессах и “поумнение схем и устройств” позволило продолжиться прогнозу.

Впрочем, Мур скорректировал свою закономерность до удвоения каждые 2 года, добавив в последние данные большую долю микропроцессоров как наиболее сложных логических (т. е. нерегулярных) схем. Предсказание оказалось самоподдерживающимся: теперь Гордон Мур уже не наносит на свой график очередные достижения, зато многочисленные фирмы (и, конечно, сама Intel) до сих пор стараются идти в ногу с прогрессией. Кстати, титул закона ей дал известный информатик Карвер Мид в 1980 г.



В 1975 г. Мур добавил к первоначальным отметкам новые (биполярные и полевые логика и память), убедившись, что рост числа компонентов сохраняется.

Ещё раз публично проверяя своё предсказание в 1995 г., Мур сделал вывод, что оно “не скоро остановится”.

Поясним, почему делается разделение между регулярными и нерегулярными дизайнами (чаще всего под ними понимают память и процессоры, соответственно). Регулярный чип имеет в 5–10 раз большую плотность размещения транзисторов, чем в логических схемах, где относительно мало повторяющихся элементов. Однако прогресс последних более сложен и приносит больше пользы. Проще говоря, если вам мало памяти, то можно её набрать большим числом микросхем имеющегося объёма. А вот с недостатком производительности ЦП так просто не сделаешь.

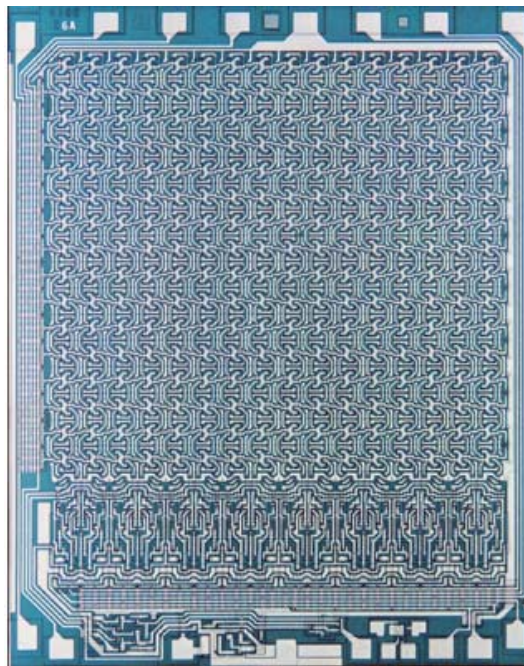
В 1963 г. Роберт Нормэн из Fairchild запатентовал то, что позже получило название статического ОЗУ (СОЗУ). Через 2 года кооперация фирм Scientific Data Systems и Signetics изготовила первый 8-битный биполярный чип памяти.

В 1966 г. команда Тома Лонго из Transitron сделала свою версию 16-битного ОЗУ для миниЭВМ Honeywell Model 4200, что стало первым применением интегральной полупроводниковой памяти в коммерческих компьютерах. 64-битные чипы появились в 1968 г. в IBM (для первого в мире кэша), Fairchild, Intel и TI. В 1969 г. IBM представила 128-битную схему уже для основного ОЗУ выпущенного через 2 года компьютера System/370 модели 145. В 1970 г. 256-битный чип Fairchild использован в машине Burroughs Illiac IV. Ну а суперкомпьютер Cray 1 в 1976 г. имел 65 536 килобитных ИС от Fairchild. Из этой прогрессии ясно, почему Муру поначалу казалось, что удвоение транзисторов будет ежегодным — для памяти это оказалось проще.

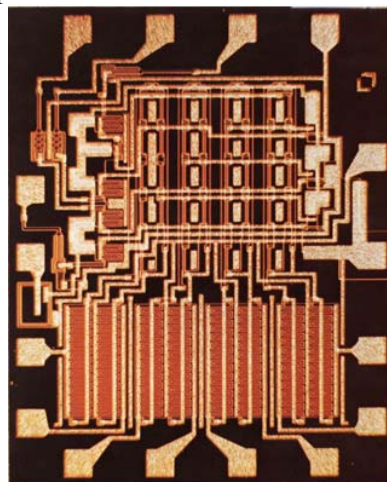
В 1968 г. сделан настолько важный прорыв, что за следующие 35 лет ничего подобного с транзистором не случилось: Роберт Кервин, Доналд Кляйн и Джон Сэрэс из Bell Labs сменили материал затвора с алюминия на поликремний (поликристаллическая форма кремния, сильно легированная проводящими примесями). Не смотря на то, что его сопротивление больше, чем у металла (и потому контакт к затвору по-прежнему металлический), осаждение и выборочное вытравливание кремния для затвора позволило использовать его в качестве маски для формирования истока и стока, идеально подогнанных к его краям, поэтому поликремневый затвор называется самосовмещённым (self-aligned). Это резко снижает разброс характеристик, вызванный неидеальным наложением масок при литографическом формировании истока и стока. Меньший разброс улучшает надёжность работы, а расположенные тесней части транзистора увеличивают скорость и плотность размещения самих транзисторов.

Некоторые микроэлектронные фабрики («фабы») до сих пор готовят чипы с почти тем же вариантом МОП-транзистора, что был изобретён в конце 60-х. В том же 1968 г. Федерико Фэггин и Том Кляйн из Fairchild переделали имеющуюся микросхему (8-канальный аналоговый мультиплексор) под новые транзисторы. Как часто бывает, не обошлось без обиженных: в 1965 г. Бойд Ваткинс представил почти такую же структуру на конференции General Microelectronics, но регистрация его патента почему-то задержалась до 1969 г.

Восьмёрка «молодых и дерзких» в 1968 г. ушла из Fairchild, и каждый основал свою компанию. В частности, Гордон Мур и Роберт Нойс основали Intel, а через год ещё 5 «fairchildren» («прекрасных детей», ещё одна кличка) основали AMD. Вообще, за 20 лет



Кристалл 256-битной ТТЛ-памяти для процессора суперкомпьютера Illiac IV — двухмерная регулярность топологии очевидна.



Fairchild 3708 — первая коммерческая ИС с поликремниевыми затворами, 1968 г

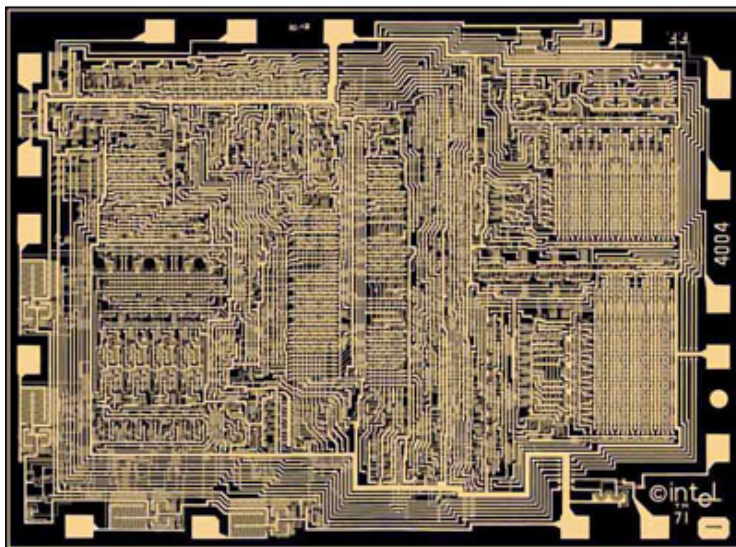
перебежчики из Fairchild зачали аж 65 разных компаний, но далеко не все оказались известными. После основания Intel сразу занялась производством памяти — оказалось, что поликремниевый затвор ускоряет доступ в 3–5 раз и уполовинивает площадь по сравнению с обычным МОП-чипом той же ёмкости. Так что первой микросхемой Intel была i1101 — 256-битное ОЗУ (1969 г.).

3.1.3 Эволюция микропроцессоров и БИС

Следующим знаменательным этапом в развитии компьютерной техники было появление первых микропроцессоров и их совершенствование. Конечно, активно продвигалась и память — в частности, динамическое ОЗУ (ДОЗУ, DRAM) стало не только ёмче и надёжней, но и дешевле памяти на магнитных кольцах. Но именно в дизайне логических микросхем произошёл прорыв: в 70-е годы процессоры из 4-битных стали 32-битными, и для многих применений этого хватает до сих пор. Отметим некоторые из самых первых.

«Центральный обработчик (компьютер) аэроданных» (Central Air Data Computer, CADC) — интегрированная система управления полётом для первых версий истребителя F-14 Tomcat. Её МОП-ИС MP944 — первый в мире многокристальный процессор. Система конструировалась командой Стива Геллера и Рэя Холта из Garrett AiResearch с 1968 по 1970 гг. CADC состоит из 20-битного аналого-цифрового преобразователя, ЦП и ещё нескольких отдельных деталей. Процессор состоял из микросхем шести разных видов: параллельный умножитель, параллельный делитель, логика спецфункций, логика управления (до 3 штук), ОЗУ (до 3) и ПЗУ (до 19). Холт написал об этом ЦП в журнале Computer Design в 1971 г., но ВВС США засекретило статью аж до 1998 г. Фото чипов недоступны до сих пор.

Всемирно известный Intel i4004 являлся первым одно - кристальным коммерчески доступным ЦП, продававшимся в т. ч. отдельно (в отличие от AL1), хотя разработан был для конкретной модели калькулятора. Дизайнеры чипа — Федерико Фэггин и Тед Хофф из Intel и Масатоши Шима из Busicom. Этот 4-битный ЦП не умел наращивать разрядность, зато обошёлся всего в 2300 транзисторов. Тем не менее, Фэггину пришлось применить разнообразные ухищрения, чтобы уместить чип в размерах, приемлемых для рентабельного производства и узкого 16-выводного корпуса.



4-битный ЦП Intel i4004.

Пока десяток фирм упражнялись в попытках уместить на микросхеме всё большее, IBM ещё с 1970 г. пыталась решить не менее важную проблему — уменьшение удельной цены чипов памяти (на каждый бит), чтобы они вытеснили магнитную память. Первая микросхема динамического ОЗУ Intel i1102 в 1970 г. стоила 21 доллар (позже подешевев вдвое), а ёмкость имела всего 1 килобит. Группа Дэйла Критчлоу в IBM пыталась достичь цены в 1 миллицент/бит. Для этого другой группе под руководством Боба Деннара (изобретателя самой компактной и до сих пор применяемой во всех чипах ДОЗУ 1-транзисторной ячейки) поручили сделать исследование, из которого оказалось, что самый верный способ — уменьшить площадь ячейки уменьшением не числа транзисторов, как было до сих пор (ДОЗУ начинались с 3 транзисторов/бит), а самих транзисторов. Ведь

ещё в 1962 г. Томас Стэнли из RCA опубликовал аналитический доклад о том, что уменьшение особенно благотворно для МОП-структур, т.е. затвор, длина которого ограничивает скорость, лежит вдоль прибора, а не поперёк.

На тот момент самый передовой техпроцесс имел технорму 5 мк. Критчлоу и Деннар пропорционально уменьшили все части транзисторов в 5 раз, обнаружив почти линейную зависимость основных параметров — скорости и потребления (помимо очевидного уменьшения площади). Результаты этих опытов были представлены на IEDM (International Electron Devices Meeting — международная встреча [разработчиков] электронных устройств, крупнейшая ежегодная конференция электронщиков) в 1972 г.; в этом же году похожую работу опубликовали Карвэр Мид и Брюс Хёнейсен из Калифорнийского Института Технологий.

В течение ещё двух лет были проведены дополнительные исследования, и в 1974 г. родилась ставшая классикой работа “Устройство ионно-имплантированных МОП-транзисторов очень малых физических размеров”. Хотя тогда это ещё не все поняли, но предложенная теория масштабирования (по сути — научное подтверждение до тех пор эмпирической закономерности Мура) поставила окончательный крест на биполярных транзисторах, всё ещё применявшихся в самых быстрых логических чипах типа ЭСЛ (эмиттерно-связанная логика) — так что в 80-е уже и суперкомпьютеры перешли на МОП-ИС. А всё потому, что биполярные транзисторы не масштабируют свои параметры также хорошо как полевые с уменьшением своих размеров.

Но чтобы всемирная борьба за микроны (а позже — и нанометры) началась, не хватало ещё одного: надо соответственно улучшить и параметры производящего оборудования. Ведь до тех пор все микросхемы делались контактным способом, когда маска буквально впечатывалась в пластину и только после этого облучалась. Это порождало большое число осколков и пыли, выбиваемых с поверхности и загрязнявших пластину. Но в 1973 г. фирма Perkin Elmer представила проекционный принтер — первый пример массовой фотолитографии. Применяя его с положительным фоторезистом (фоточувствительным материалом, растворяющимся после освещения), удалось добиться революционного прорыва в выходе годных (доля рабочих чипов среди изготовленных — важная характеристика реализации техпроцесса на конкретном фабрике): плотность дефектов на единицу площади резко уменьшилась, т.е. физического контакта маски с пластиной больше нет. Сама маска теперь — кварцевая пластина с хромовым слоем, содержащим нужный рисунок.

Дополнительно к этому фабрики не забывали ещё одну гонку — по уменьшению себестоимости пластины, что достигалось увеличением их массовости и диаметра. Последний вторую половину 60-х был на уровне 38 мм, но в 1970 г. внедрены пластины на 57 мм, в 1973 — на 76, в 1975 — на 100, а в 1979 — на 125 мм. Т.е. за 10 лет площадь пластин увеличилась в 5–7 раз, что сказалось и на числе производимых микросхем (как всё это время росла средняя площадь самих чипов, покажем чуть позже). Таким образом, у мировой микроэлектронной промышленности появилась возможность следовать закону Мура не в ущерб себе, а как раз наоборот — с коммерческой выгодой.

Из других достижений 70-х:

- появление программируемых пользователем ПЗУ: сначала однократных (1970 г.), потом стираемых ультрафиолетом (1971, придумал Дов Фроман из Intel);
- первые цифровые сигнальные процессоры: сначала — как сопроцессоры для ЦП (1978, хотя идея предложена в 1972), а затем и самостоятельные, с собственным ПЗУ и ОЗУ (1979);
- первые микроконтроллеры (TI TMS1000 в 1974 г. и Intel i8048 в 1975 г.), т.е. 1-кристальные компьютеры, которые в ещё более интегрированной форме ныне зовутся системами-на-чипе (SoC);
- первый фотолитографический степпер (1978) — этот аппарат экспонирует пластину по частям, что позволило далее расти её диаметру и увеличивать детализацию масок без побочных краевых эффектов.

3.1.4 Первые персональные компьютеры

Наверное, одно из самых больших событий в мировой микроэлектронике произошло в 1980 г., когда IBM, рассматривая ЦП Motorola и Intel, выбрала i8088 для выходящего через год IBM PC. Возможно, конкурент — 32-битный MC68000 — был слишком дорог (имея около 70 000 транзисторов против 29 300) или не был приспособлен для относительно дешёвых систем (имея 16-битную шину данных). Intel же к тому времени переделала 16-битный i8086 для 8-битных чипсетов в виде i8088. В 1982 г. Motorola также выпустила урезанную версию с 8-битной шиной (MC68008), но было уже поздно. Неясно, как бы развивалась микроэлектроника, если бы IBM не стала экономить и выбрала куда более прогрессивную архитектуру MC68000. Тем более, что Apple в 1984 г. выбрала её же для своих первых Макинтошей. Возможно, Intel по-прежнему бы выпускала микросхемы памяти и простые 8-битные контроллеры. Особенно после провала своего первого (и заранее широко разрекламированного) 32-битного ЦП iAPX432, который должен был заменить архитектуру x86.

Однако ажиотажный успех первых PC (неожиданный даже для самой IBM, где к проекту относились с сомнением и считали его экспериментальным) поставил всё на свои места: в Intel поняли, что миру будет нужно много «персональных процессоров», причём с регулярной сменой поколений. Непрофильные микросхемы постепенно отходили в сторону, уступая место процессорам x86. Интересно, что ещё до успеха PC Intel успела продать несколько лицензий на производство аналогов i8086 другим компаниям; AMD свою получила уже в 1982 г., по распространённому заблуждению — из-за политики IBM иметь нескольких поставщиков каждого важного компонента, чему Intel якобы вынужденно подчинилась. Так или иначе, потребовалось быстро обойти собственноручно созданных конкурентов, для чего выбрали улучшение не только микроархитектур ЦП, но и технологических процессов для их выпуска. Для Intel это не менее важно до сих пор, хотя большинство компаний (включая главного конкурента) давно перешли на модель «fabless + foundry», т.е. бесфабричного разработчика и контрактного завода-производителя.

Вроде бы, всё это должно было дать новый поток принципиальных достижений, продвигающих интегральную технику. Однако за следующие 10 лет таковых оказалось гораздо меньше, чем даже за 70-е, хотя количественный прогресс, диктуемый законом Мура, продолжался. Возможно, уже открытого хватало, чтобы двигаться вперёд с обновлениями, прежде всего, технормы и числа слоёв межсоединений. Помимо этого, промышленность не забывала наращивать и диаметр пластин: в 1981 г. — 150 мм, в 1985 — 200 (до сих пор используемые на не самых крутых фабах) и в 1996 — 300. Переход на пластины 450 мм сильно затянулся из-за чрезвычайной дороговизны оборудования, покупку которого до 2020 г. смогут потянуть лишь 5-6 компаний в мире.

3.1.5 Развитие технологий изготовления БИС

До 90-х гг. фотолитография использовала ртутные газоразрядные лампы, отсекая из их света всё, кроме нужной частоты, совпадающей с одним из пиков («линий») — G (436 нм), H (405) или I (365). После того, как мощности ламп стало не хватать для требуемой производительности, потребовалось внедрить **экцимерный лазер**, что сделали в 1982 г. в IBM (сам такой лазер изобретён в СССР в 1971 г.). В зависимости от газа он даёт длину волны 248 (KrF), 193 (ArF) и 157 нм (F₂). От фторовых лазеров, правда, отказались из-за чрезвычайных технических проблем, решение которых не окупится преимуществами — дело в том, что сам воздух начинает поглощать излучение с длиной волны меньше 186 нм, так что весь литограф надо переделать под вакуум. Это его усложняет и удорожает с 40 до 50 млн. долларов, а сканеров фабу требуется несколько. Поэтому даже самые современные техпроцессы с технормами менее 30 нм всё ещё используют аргон-фторовый лазер. При этом переход на так называемый экстремальный

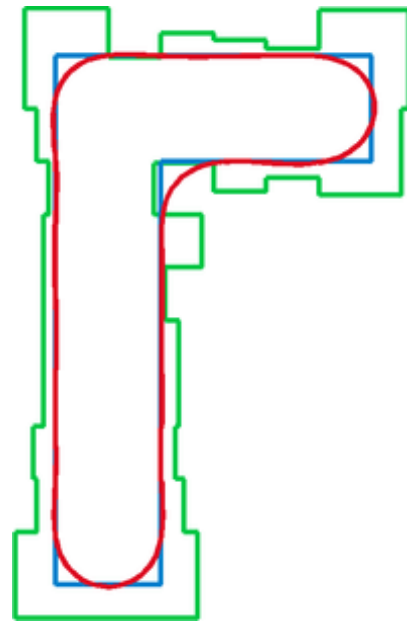
ультрафиолет (ЭУФ, EUV) с длинами волн 13,5 нм и менее рано или поздно всё равно состоится — и без вакуума тут точно не обойтись.

Формирование рисунка на поверхности приобретает большие сложности, когда его размер оказывается меньше длины волны экспонирующего света. Строго говоря, законы волновой оптики не запрещают формирование деталей с таким разрешением. Но начиная с этих размеров линейная оптика заменяется на куда более сложную дифракционную, требующую большую точность при всех операциях — с соответствующим влиянием на цены установок. С точки зрения теории стоит познакомиться с эмпирическим критерием разрешения Рэлея (о минимальном угловом расстоянии между точками), числовой апертурой (NA) и технологическим параметром k_1 . Тут укажем лишь, что этот k_1 в идеале может опускаться до 0,25, но насколько конкретная установка и техпроцесс приближены к идеалу — зависит от их продвинутости.

Одна из таких продвинутых методик — **вычислительная литография**: использование масок, рисунок которых вычислен с учётом волновых свойств света с целью добиться большего разрешения или меньших искажений при данной длине волны. Первые подобные программы были написаны в начале 80-х и использовались лишь для оптимизации рисунка маски, т.е. недостаток вычислительной мощности позволял моделировать площадь всего в несколько квадратных микрон. К 1998 г., когда замаячил переход на 180 нм (первый техпроцесс с технормой меньше длины волны), мощность компьютеров уже сильно возросла, что позволило использовать более точные алгоритмы и модели. Для современных технорм требуются уже тысячи процессоров и недели расчётов, чтобы вычислить рисунки для десятков масок, необходимых самым сложным ИС.

К основным методам вычислительной литографии относятся фазосдвигающие маски (PSM) и оптическая коррекция близости (OPC). Используемая с 90-нанометрового процесса (2006 г.) технология PSM — это коррекция толщины отдельных «пикселей» маски для изменения их прозрачности, что меняет фазу проходящего сквозь них света. Учитывая волновые свойства, это позволит (не считаясь с длиной волны) экспонировать на фоторезисте рисунок, отдельные элементы которого либо усилены синфазным наложением волновых пиков, либо удалены противофазным — это увеличивает разрешение, приближая тот самый параметр k_1 к идеалу. Более современная OPC искажает рисунок маски для компенсации ошибок получаемого изображения из-за дифракции падающих волн. OPC нужна уже не для увеличения разрешения, а для исправления искажений одиночных структур, форма которых при таких размерах получается куда хуже, чем если бы элементы были регулярными.

Микроэлектронщики давно хотели использовать **медные межсоединения** вместо алюминиевых, т.е. удельное сопротивление меди меньше. Это значит, что «медные» чипы меньше выделяют тепла и быстрее работают, т.е. меньшая часть коммутируемого транзисторами тока уйдёт в нагрев, а не в переключение других транзисторов. Однако если в линиях электропередач и прочих проводах медь применяется давно, то



OPC: требуется вычислить такую маску (зелёный контур), чтобы получаемый ею символ (красный) оказался как можно ближе к требуемому (синий). Без коррекции толщина линий символа окажется больше или меньше в разных частях, в т.ч. за счёт влияния соседних линий. Это может привести как к разрыву дорожки, так и к замыканию пары дорожек.

микроэлектроника не могла внедрить столь полезный металл десятки лет. Причина в том, что после осаждения меди при дальнейших процессах нагрева она диффундирует (внедряется) в подлежащие элементы, особенно в кремний, что даже получило термин «медное отравление».

В 1997 г. IBM наконец-то решила задачу. Сначала медь надо осадить. Но из-за её химической стойкости её нельзя протравить плазмой сквозь окна в фоторезисте (не удалив при этом оставшуюся, т.е. маскирующую часть самого резиста), как это делается для алюминия. Вместо это применяется «дамасская работа» (damascene): процесс, похожий на изготовление булатной стали с мелким орнаментом. Сначала в изоляторе протравливаются канавки для дорожек. Далее вся поверхность выстилается барьерным металлом (который чаще всего оказывается нитридом титана или вольфрама, что, строго говоря, относится к керамике), не допускающим диффузии, но пропускающим ток. Его толщина должна быть небольшой, т.к. его сопротивление всё же меньше, чем даже у алюминия.

Далее на всю поверхность осаждают толстый слой меди, переполняющий канавки. Т.к. плазмохимическое травление (оно же — реактивное ионное травление, RIE) не подходит, используется **химико-механическая планаризация (ХМП или CMP)**. До 90-х гг. она считалась слишком грязной и дефектной для тонкого производства, т.к. абразивные частицы полировальной пасты создавали острые осколки стираемого слоя, да и сама паста неидеально чистая. Но для медного слоя ХМП оказалась лучше имеющихся способов, т.к. процесс полировки металла останавливается на границе с изолятором (точнее, с его невытравленными частями, находящимися выше дна канавок). В результате на чипе остаётся очень плоский слой с внедрёнными медными дорожками, не выходящими по высоте из окружающего изолятора. Более того, так называемое двойное воронение позволяет одновременно получить ещё и вертикальные проводящие окна, соединяющие текущий слой с предыдущим. Сверху всё покрывается ещё одним барьерным слоем, излишки которого вытравливаются над внутрислойным изолятором, но не над дорожками. После этого можно осаждать уже межслойный изолятор для следующего проводящего слоя.

Ещё одно достижение изначально было связано с радиационно-стойкой электроникой, необходимой в авиакосмических и атомных отраслях. При уменьшении размера транзистора он оказывается всё более чувствителен к высокоэнергетическим частицам, способным вызвать ошибку в схеме. Чтобы усилить защиту, в 1963 г. придумали применять не кремниевую, а сапфировую пластину, на которую осаждён тонкий слой кремния — КНС (кремний на сапфире) или SOS. Оказалось, то такая конструкция сильно уменьшает подзатворные утечки, а значит — и потребление энергии, а также снижает паразитную ёмкость, что повышает частоту. Однако выращивание сверхчистой сапфировой болванки оказываться куда дороже выращивания кремниевой, поэтому «в массах» такой вариант не прижился.

Но в 1998 г. IBM анонсировала технологию **кремния на изоляторе (КНИ, silicon on insulator, SOI)**: на кремниевой пластине формируется слой оксида кремния (изолятора), а поверх него — тонкий слой кремния. Строго говоря, КНС тоже относится к КНИ, т.к. сапфир (оксид алюминия Al_2O_3) также является изолятором. Но кремниевый КНС дешевле и лучше приспособлен к имеющемуся оборудованию. Учитывая преимущества, можно предположить, что за 13 лет вся полупроводниковая промышленность давно перешла на КНИ-пластины. Однако мировой лидер этой самой промышленности, компания Intel, будто в упор их не замечает и продолжает использовать «bulk silicon», т.е. чистые кремниевые пластины, т.к. они дешевле.

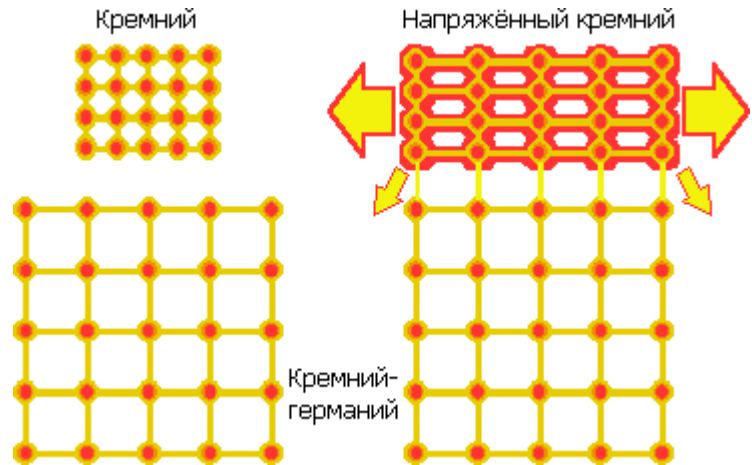
3.1.6 Совершенствование технологий изготовления БИС

В 2001 г. IBM изобретает **напряжённый кремний (strained silicon)** — формирование слоя кремния для канала, в котором расстояние между атомами (как минимум в направлении исток-сток) не равно естественному шагу кристаллической

решётки (543 пм). Для большего шага сначала внедряется «посевной» слой кремния-германия.

Кристалл германия имеет шаг атомов 566 пм (именно из-за большей подвижности носителей заряда его первым стали применять в электронике)

Смешанный полупроводник сохраняет это значение, даже если доля германия всего 17% (это для 90 нм; а для 32 нм — уже 40%). Осаждаемые поверх атомы кремния межатомными силами крепятся к атомам широкой решётки и остаются с её шагом, формируя затвор..



Кремний до и после осаждения на кремний-германиевый слой.

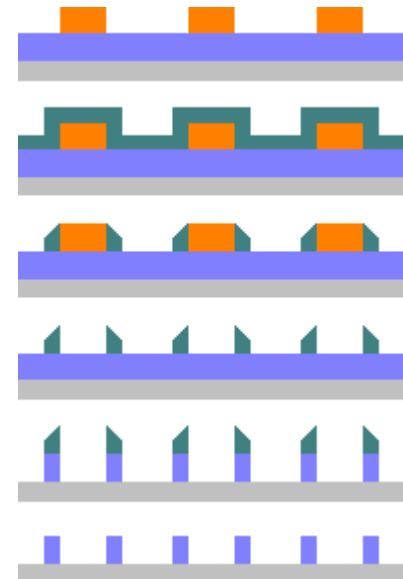
Разряжение атомов увеличивает подвижность электронов, что ускоряет транзистор на 20–30%.

В 2004 г. эту технологию применили Intel и AMD для техпроцесса 90 нм. Для 65 нм внедрена ионная имплантация германия и углерода в исток и сток. Германий раздувает концы транзистора, сжимая его канал, что увеличивает скорость дырок (т.е. основных носителей заряда в р-канальных транзисторах). Углерод, наоборот, сжимает исток и сток, что растягивает n-канал, увеличивая подвижность электронов. Также весь р-канальный транзистор покрывается сжимающим слоем нитрида кремния.

В 2006 г. только что внедрённый техпроцесс 65 нм уже не мог основываться лишь на вычислительной литографии, т.е. с длиной волны 193 нм её уже не хватало. Решение, основательно обновившее мировое чипостроение — множественное структурирование, более известное по своей простейшей реализации — **двойное структурирование** (double patterning). Это семейство технологий снижает минимальный экспонируемый размер увеличением числа экспонирований. Как правило, в самых современных техпроцессах применяются несколько приёмов из этого арсенала.

Самосовмещённые распорки (self-aligned spacers) позволяют получить вдвое большее разрешение формируемого рисунка при той же технорме: вначале на боковые стенки фоторезиста налипаёт специальная химическая маска, используемая далее как финальный шаблон травления после удаления резиста. Разумеется, этот приём можно повторять и далее, используя вторичный шаблон для изготовления третичного с ещё вдвое большим разрешением — насколько это позволит химическая устойчивость материалов и повторяемость процессов.

Второй случай, требующий применения нового резиста, — двойное (кратное) экспонирование (double (multiple) exposure): вторая маска экспонируется на тот же резист



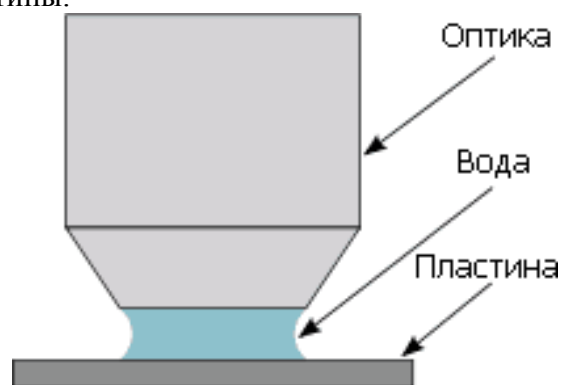
Шаблонирование распорками (сверху вниз): формирование первичного шаблона фоторезистом (оранжевый), осаждение химической маски (зелёная), формирование распорок травлением, удаление резиста, травление рабочего слоя (синий), удаление распорок.

со смещением относительно первой на величину технормы, причём пластина даже не покидает литограф. Чтобы второй рисунок добавился к первому (а не частично наложился на него), требуется, чтобы оба раза формировались детали шириной меньше технормы. Таким образом, например, формируются линии металла и поликремния — сначала все «вдоль», потом все «поперёк». Замена двухмерного рисунка двумя одномерными упрощает его нанесение.

Ещё один вариант двойного экспонирования (применяется начиная с 32 нм) использует два разных вида резиста. Второй наносится на рисунок, сформированный в первом, облучается через вторую маску, после чего удаляется незафиксированная часть второго резиста, но так, чтобы не повредить рисунок первого. И тут нужна продвинутая химия — новые резисты, боковое травление для уменьшения ширины и пр. Зато, теоретически, такая методика позволяет формировать сколь угодно мелкие детали. Например, 22-нанометровые элементы могут получаться перемежением двух масок на 45-нанометровом литографе, трёх масок на 65- или четырёх на 90-нанометровом. Т.е. текущий техпроцесс можно «разогнать» до следующего за счёт увеличения числа масок и производственных стадий — с очевидным удорожанием стоимости завода и внедрения производства новых микросхем. Но с недавних пор это всё равно оказывается дешевле «честного» уменьшения технормы через литографию.

Очевидными недостатками кратного экспонирования является кратное увеличение числа масок и технологических операций для формирования каждого критического слоя, а также очень высокие требования по точности совмещения масок. Небольшое смещение между двумя экспозициями слоя может привести, например, к асимметрии истока и стока (относительно затвора) у всех транзисторов пластины.

В 2006 г. появилось ещё одно улучшение — погружённая литография. Впрочем, в крайне неустойчивой и неполной русскоязычной терминологии по странной традиции прижилась транслитерированная форма оригинала — **иммерсионная литография**. Суть оной в том, что пространство между последней линзой и экспонируемой пластиной заполняется не воздухом, а жидкостью (на данный момент — водой).



Иммерсионная литография.

Это улучшает разрешение на 30–40% ввиду большего преломления жидкости, которое влияет на вышеуказанный параметр NA, равный 1 для воздуха и 1,33 для воды. Intel внедрила иммерсионную литографию вместо «сухой» с техпроцесса 32 нм, а AMD — ещё с 45 нм. Интересно, что первые «водные» сканеры появились ещё в 2005 г., но техпроцессы с ними пришлось дорабатывать около года после внедрения на фабках до применения в массовом производстве. И вот почему:

Мало того, что вода должна быть сверхчистая (она и так требуется почти в половине технических процессов производства ИС) — в ней не должно быть пузырьков, температура должна быть равномерной, она не должна загрязняться и поглощаться фоторезистом (сверх меры) или растворять его. Более того, 193-нанометровый ультрафиолет ионизирует воду — а электроны могут среагировать с фоторезистом. Решить все эти вопросы удалось внесением специального оптически прозрачного гидрофобного защитного покрытия для фоторезиста перед экспонированием. Таким образом плотность дефектов осталась примерно та же.

Не менее важная часть — производительность, ведь мало изготавливать чипы сложными и дешёвыми, их нужно много. Скорость пластины в литографическом сканере достигает 0,5 м/с, но держать её всю под слоем воды не выйдет — сверхточное позиционирование полагается на лазерные интерферометры, и малейшая рябь на поверхности воды всё испортит. Поэтому слой «привязали» к оптике. Чтобы пластина не уносила воду в сторону, вокруг оптики разместили водяные микросопла, половина из

которых по ходу движения впрыскивают воду, а противоположные им — высасывают. Всё это происходит с очень точным контролем, чтобы не внести пузыри при впрыске и не оставить позади капли после отсоса, что особенно трудно с краю пластины. Теперь ясно, почему иммерсионный сканер гораздо дороже сухого.

В 2007 г. (для техпроцесса 45 нм) в микроэлектронике появилось сокращение **HKMG — High-k [dielectric and] Metal Gate**, т.е. изолятор с высокой диэлектрической проницаемостью и металлический затвор. Сначала о первой половине формулы. Параметр k означает относительную диэлектрическую проницаемость (безразмерную величину, разную для разных веществ), однако в английском языке (и, к сожалению, в большинстве русских переводов) её почему-то называют диэлектрической константой. (Не говоря уже о том, что вместо « k » должна быть греческая буква каппа — κ ...) Настоящая же диэлектрическая константа (она же — электрическая постоянная, ϵ_0), как и полагается, неизменна. В микроэлектронике «нормальным k » считается 3,9, что соответствует проницаемости диоксида кремния (SiO_2), десятилетия использовавшегося в качестве боковых, межслойных и подзатворных изоляторов. Вещества с проницаемостью выше 3,9 относятся к классу high-k (высокопроницаемые), а ниже — к low-k (низкопроницаемые).

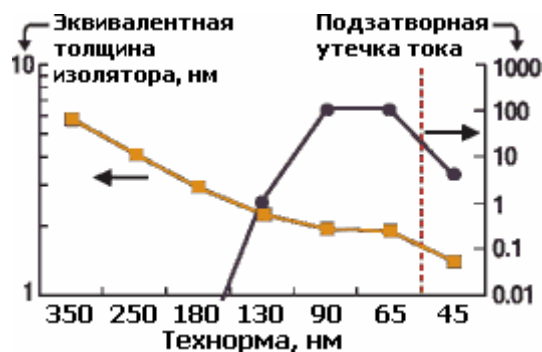
Последние нужны для межслойных и боковых диэлектриков, т.е. таким образом можно лучше изолировать металлические дорожки межсоединений, избегая диэлектрического пробоя из-за слишком тонкого слоя изоляции между ними. Сама же изоляция должна быть тонкой, т.е. иначе невозможно подвести дорожки к всё время уменьшающимся транзисторам, кроме как сделав такими же малыми и проводники, и разделяющие их изоляторы. К низкопроницаемым материалам относятся диоксид кремния-углерода (органосиликатное стекло с $k=3$ — самый популярный диэлектрик, используемый с 90 нм), он же, но пористый ($k=2,7$), нанокластерный кварц (2,25) и некоторые органические полимеры ($k<2,2$). По идее, изолятор, разделяющий затвор и канал транзистора, должен подчиняться этим же требованиям, но на деле оказывается всё наоборот — тут нужен как раз высокопроницаемый диэлектрик.

Всё дело в эффекте квантового туннелирования. К 90-нанометровому техпроцессу толщина затвора уменьшилась до величины от 1,2 (у Intel) до 1,9 нм (у Fujitsu; обе цифры — для n-каналов). А толщина кристаллической решётки кремния, напомним, равна 0,543 нм. При такой тонкости электроны начинают туннелировать сквозь изолятор, приводя к утечке тока. Дело обстоит настолько серьёзно, что для техпроцесса 65 нм уменьшились все параметры транзистора, кроме толщины затвора, т.е. если бы его сделали ещё тоньше, то ни о какой энергоэффективности не стоило бы и мечтать.

Высокопроницаемый диэлектрик позволяет электрическому полю затвора проникать на большую глубину или толщину, не снижая остальные электрические характеристики, влияющие на скорость переключения транзистора. Так что, заменив применявшийся с 90-х гг. оксинитрид кремния на новый оксинитрид кремния-гафния (HfSiON , $k=20\text{--}40$) толщиной в 3 нм, для процесса 45 нм удалось уменьшить утечки тока в 20–1000 раз. Для получения такой же скорости работы старый затвор пришлось бы делать толщиной в 1 нм, что было бы катастрофой. Встречающиеся сегодня цифры толщин подзатворных изоляторов менее чем в 1 нм являются как раз такими SiO_2 -эквивалентами и применяются только для вычисления частоты, но не утечки. Диоксид кремния, впрочем, до сих пор имеется в виде нижнего подзатворного слоя, но используется только как физический интерфейс для совместимости с текущими техпроцессами.

При анонсе нового материала Intel поблагодарила старого микроэлектронного соперника — IBM. Но не потому, что инженеры «синего гиганта» разработали для коллег с не менее синим логотипом новый материал — а потому, что детальное математическое моделирование, доказавшее, что именно гафний является оптимальным материалом, провели на суперкомпьютере IBM. Учитывать пришлось не только проницаемость, но и ширину запрещённой зоны (она должна быть согласована с кремнием), морфологию слоя, термостабильность, ненарушение высокой подвижности носителей заряда в канале и минимальность краевых дефектов.

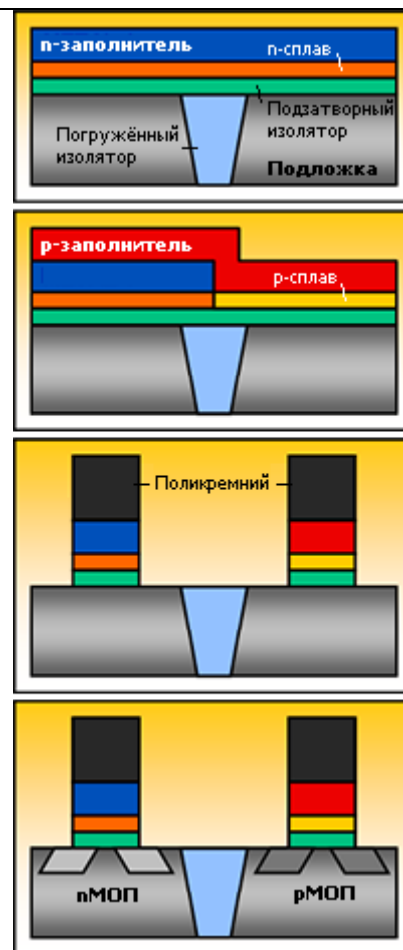
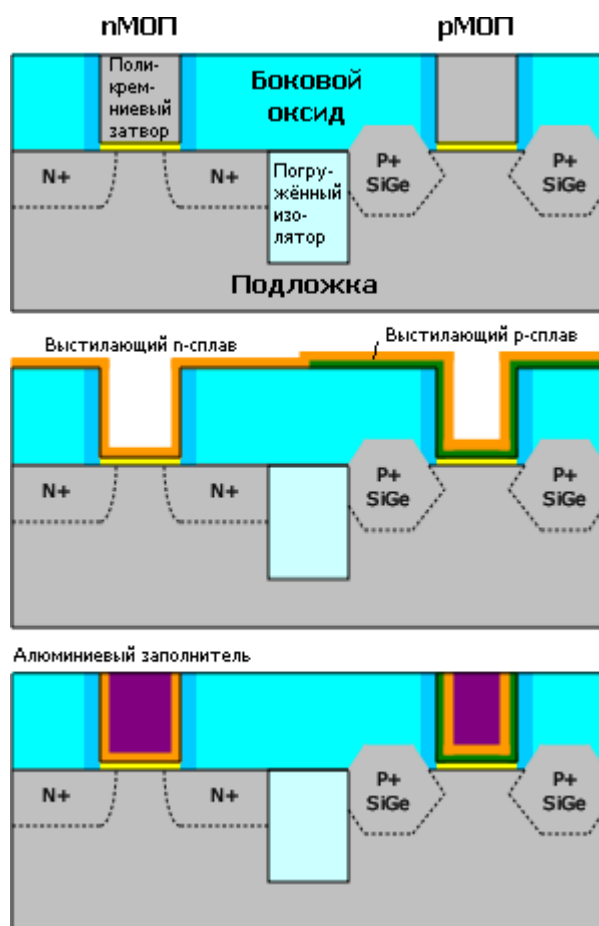
График толщины подзатворного изолятора в SiO_2 -эквиваленте и относительной утечки тока. Введение высокопроницаемых изоляторов для техпроцесса 45 нм позволило уменьшить эквивалентную толщину для улучшения скорости, увеличив физическую толщину для уменьшения утечек



Впрочем, одного недостатка избежать не удалось: гафниевый изолятор не совместим с поликремниевым затвором, так что пришлось менять и его — на металлический. Теперь ясно, почему эти две технологии идут парой. Однако новый затвор не алюминиевый, как это было в 60-х, а в виде сплава двух металлов. Его сопротивление ниже, что ускоряет переключение транзистора. Изначально было известно лишь то, что сплав отличается для р- и n-канальных транзисторов, причём Intel (которая первой всё это применила) держит оба состава в строгом секрете. Однако через год (в 2008-м) инженеры IBM (работа которых с тех пор используется в т.ч. на заводах GlobalFoundries, ранее принадлежавших AMD) сделали свою версию этой технологии, так что деталями пришлось делиться и Intel.

До сих пор использованию металлов мешал тот факт, что после имплантации примесей пластина проходит отжиг при температуре 900–1000 °C, что выше температуры плавления многих металлов (включая алюминий) и сплавов, но не поликремния. Хотя даже и без плавления при повышении температуры металл может диффундировать в подлежащие слои. Теперь ясно, почему точная формула сплавов держится в секрете — их действительно трудно подобрать. Не зря лично Гордон Мур назвал НКМГ наибольшим достижением с момента изобретения поликремниевого затвора в 1969 г. До этого момента алюминиевые затворы никому не мешали, т.к. не было ни высокотемпературного отжига, ни формирования истоков и стоков впрыток к затворам. Сегодня же приходится применять всё более экзотические материалы — например, Panasonic легирует сплав для n-каналов своих НКМГ-транзисторов редкоземельным элементом лантаном

Не меньше вопросов возникает при обсуждении двух версий технологии. Intel сначала формирует обычный поликремниевый затвор, работающий лишь как маска для создания истока и стока, затем вытравливает его, осаждает сплав для р-каналов, удаляет его из n-транзисторов, осаждает сплав для n-каналов и добавляет ко всем затворам алюминиевый наполнитель — этот вариант называется Gate last, «затвор последним». IBM и GF используют Gate first, «затвор первым»: на подзатворный изолятор осаждается р-сплав, удаляется над n-каналами, осаждается n-сплав, удаляется над р-каналами, осаждается поликремний в качестве наполнителя и маски — а далее как обычно.

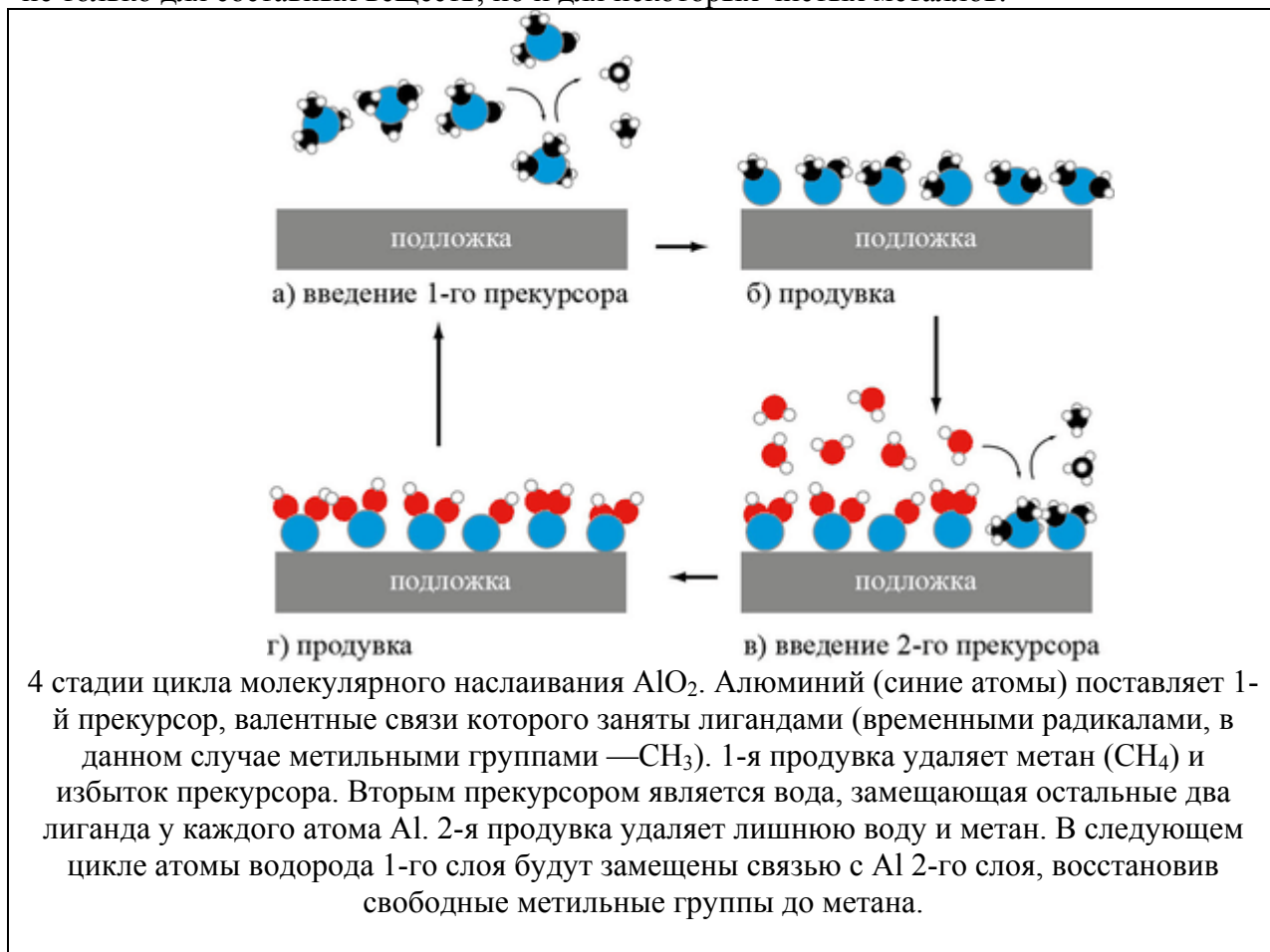


Варианты реализации металлического затвора — последним (слева, Intel) или первым (справа, общий случай). Стадии травления и полировки не показаны; также не указан барьерный слой между подзатворным изолятором и самим затвором (у Intel — TiN и TiAlN для p- и n-каналов, у GF — AlO). Версия IBM и GF для всех транзисторов использует одинаковый наполнитель (NiPtSi) и даже рабочий «металл» (TiN) — но для n-каналов он легируется мышьяком.

Intel утверждает, что её версия лучше совместима с напряжённым кремнием (потому что ему не мешает металл затвора) и позволяет использовать большее разнообразие металлов (потому что они осаждаются после высокотемпературных обработок), тогда как у конкурентов сложнее получить разные виды транзисторов (по нагрузке, скорости, напряжению и пр.), и они всё равно окажутся чуть медленнее и с меньшим выходом годных. IBM и GF отвечают, что их способ дешевле и требует меньших ограничений на расположение транзисторов, что позволяет разместить их на 10–20% плотней, а в Intel приходится мириться с жёсткими ограничениями на размеры и расположение. Причём Intel тут в меньшинстве, потому что «затвор первым» формируют и в Chartered, Freescale, Infineon и Samsung. Последняя, правда, недавно заявила, что для её 20-нанометрового процесса затвор всё же будет «последним».

Формирование широко применяемых в современных чипах тонких плёнок было бы невозможно без технологии молекулярного наплавления, она же — послойное **атомное осаждение (Atomic Layer Deposition, ALD)**. Её суть заключается в том, что за один цикл обработки, длящийся всего несколько секунд, образуется ровно один слой молекул, так что толщину откладываемой плёнки можно регулировать с максимальной возможной точностью (для самых простых веществ — ± 10 пм) лишь числом циклов. Каждый цикл состоит из двух стадий осаждения из газовой фазы прекурсоров (химических предшественников осаждаемого вещества) и двух продувок для удаления излишков. Прекурсоры подбираются так, чтобы лишь один их слой мог прилипнуть к уже осаждённому материалу — к подложке для 1-го осаждения, к предыдущему слою для

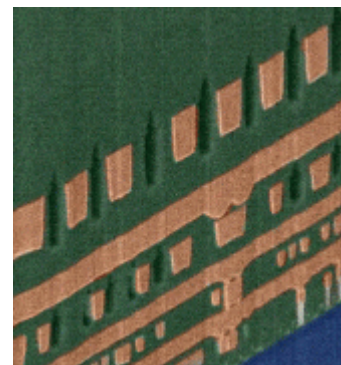
нечётных осадений (после 1-го) или к первому прекурсору для чётных. Способ подходит не только для составных веществ, но и для некоторых чистых металлов.



Молекулярное наслаивание впервые опробовано в начале 60-х профессором Станиславом Кольцовым из Ленинградского Технологического Института имени Ленсовета (ныне — СПбГТИ), а сама идея предложена профессором Валентином Алесковским в 1952 г. в его докторской диссертации «Остовная гипотеза и опыт синтеза катализаторов». Во всём остальном мире наслаивание появилось лишь в 1977 г. под именем «Atomic Layer Epitaxy» (ALE). Однако до микроэлектронного применения дело дошло лишь в середине 90-х — до этого очень тонкие плёнки были не нужны. Сейчас же, когда отдельные части транзистора исчисляются единичными атомными слоями, без ALD не обойтись.

Рассмотрим две любопытные техники, применяемые лишь некоторыми компаниями. Первая известна с начала 2000-х и в какой-либо форме применяется во всех современных сканерах — **структурный свет** (structured light), меняющий форму луча лазера. Его сечение при этом оказывается не круглым, а кольцевым, 4-полюсным или каким-то ещё. Однако в 2009 г. Toshiba и NEC использовали в своём 32-нанометровом процессе новый вид такого освещения (возможно, в комплексе с доводкой методов OPC под него), что позволило обойтись без дорогостоящего двойного структурирования (которое у этих фирм вызвало 25-процентное увеличение дефектности). Обычно на таких размерах одно экспонирование единственной маски на слой приводит к сильным искажениям прямых дорожек (не смотря на OPC). Но структурный свет решает эту проблему и даже позволяет уменьшить шаг между элементами. Поэтому у Toshiba и NEC получилась самая маленькая (среди 32-нанометровых процессов всех фирм) ячейка COZY — на $0,124 \text{ мк}^2$ (позже мы сравним эти цифры детальней), а плотность транзисторов в логике — $3,65 \text{ млн. вентилях/мм}^2$. И всё это по вдвое меньшей удельной цене, чем для своих же 45 нм, и на 9% дешевле, чем с применением двойного структурирования. Учись, Intel :)

В том же 2009 г. IBM реализовала в массовом производстве технологию **воздушных зазоров (Airgap)** в качестве внутрислойных изоляторов, разделяющих медные проводники одного слоя. Состоит такой диэлектрик из тонкостенных пузырей размером в 20 нм, стенки которых собираются из полимера методом самосборки. Пузыри содержат, вопреки названию, не воздух, а вакуум — идеальный изолятор с проницаемостью, равной 1 (впрочем, у воздуха почти столько же). По заявлению IBM, с уменьшением межпроводной ёмкости чип потребляет на 35% меньше энергии или работает на 15% быстрее. Впрочем, почувствовать это могли лишь покупатели серверов IBM с ЦП архитектуры POWER. «Могли», потому что в 32-нанометровом процессе IBM воздушные зазоры исчезли — видимо, механическая прочность «дырявого» слоя оказалась слишком малой для его достаточно низкодефектной планаризации.



«Воздушные» (т. е. вакуумные) зазоры между проводниками 5-го и 7-го металлических слоёв

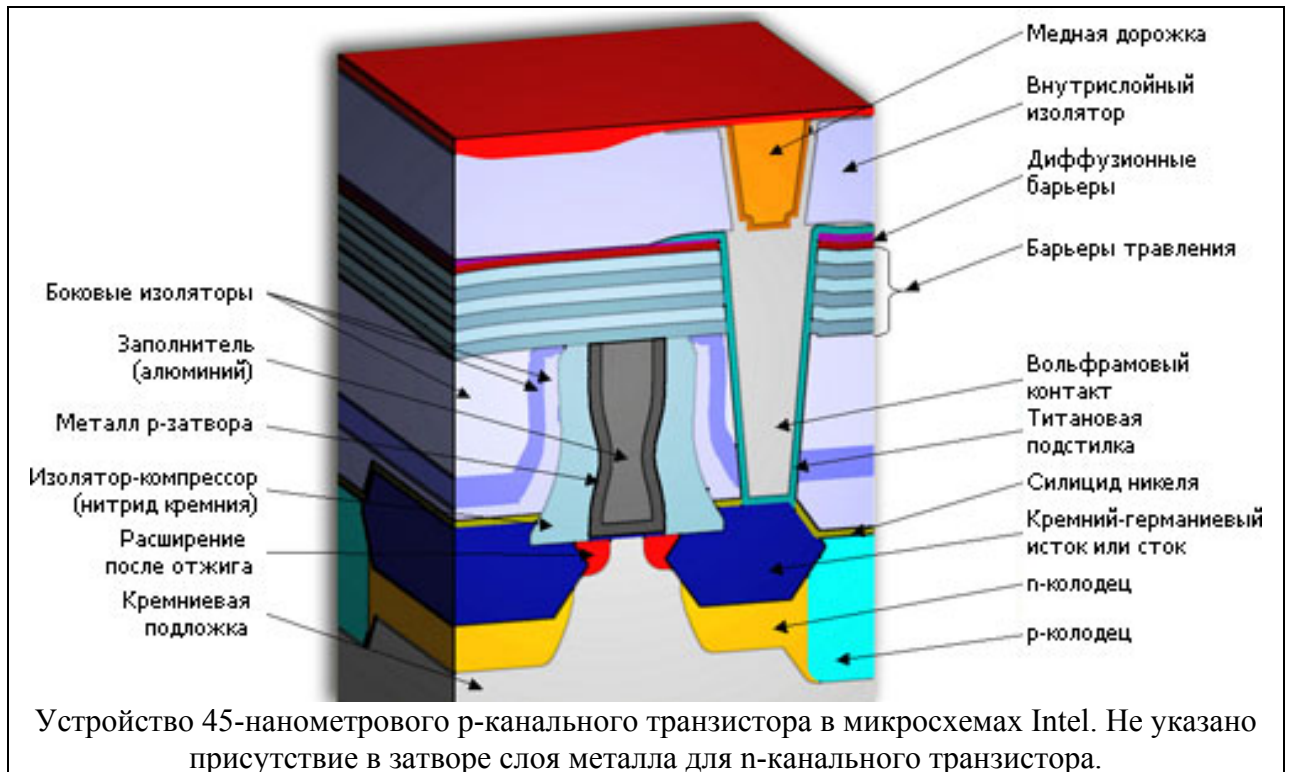
3.2 СОВРЕМЕННЫЙ ТЕХПРОЦЕСС

3.2.1 45-нанометровая технология

Все рассмотренные инновации воплотились в «скоростном» 45-нанометровом техпроцессе Intel. Приведём описание его как одного из наиболее изученных:

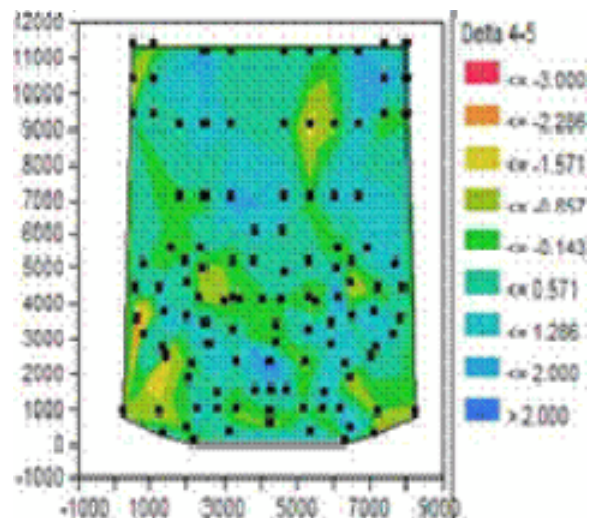
- используется пластина из цельного кремния (не КНИ) и сухая литография на 193 нм с двойным шаблонированием;
- длина затвора — 35 нм (как и в 65-нанометровом процессе);
- шаг затвора — 160 нм без изоляторов (на 27% меньше, чем в 65-нанометровом) и 200 нм с ними (на 9% меньше);
- осаждение металлического «затвора последним»;
- спрямление углов затвора с помощью покрытия вторым видом фоторезиста;
- эквивалентная толщина высокопроницаемого подзатворного изолятора — 1 нм;
- для улучшения подвижности дырок у р-канальных транзисторов легирование германием истока и стока увеличено с 23 до 30%, что в совокупности увеличило частоту на 51%;
- сонаправленные по всему чипу каналы;
- 10-слойные межсоединения (начиная со 2-го слоя — медные) с изолятором из легированного углеродом диоксида кремния, включая размещённый на истоках и стоках «нулевой» слой вольфрама, также служащий диффузионным барьером;
- почти везде чётные слои металла параллельны каналам, нечётные — перпендикулярны;
- последний, наиболее толстый слой металла работает как термо- и энергораспределитель для всего кристалла;
- обильное использование фиктивных структур (дорожек и затворов) для выравнивания локальной плотности и теплопроводности;

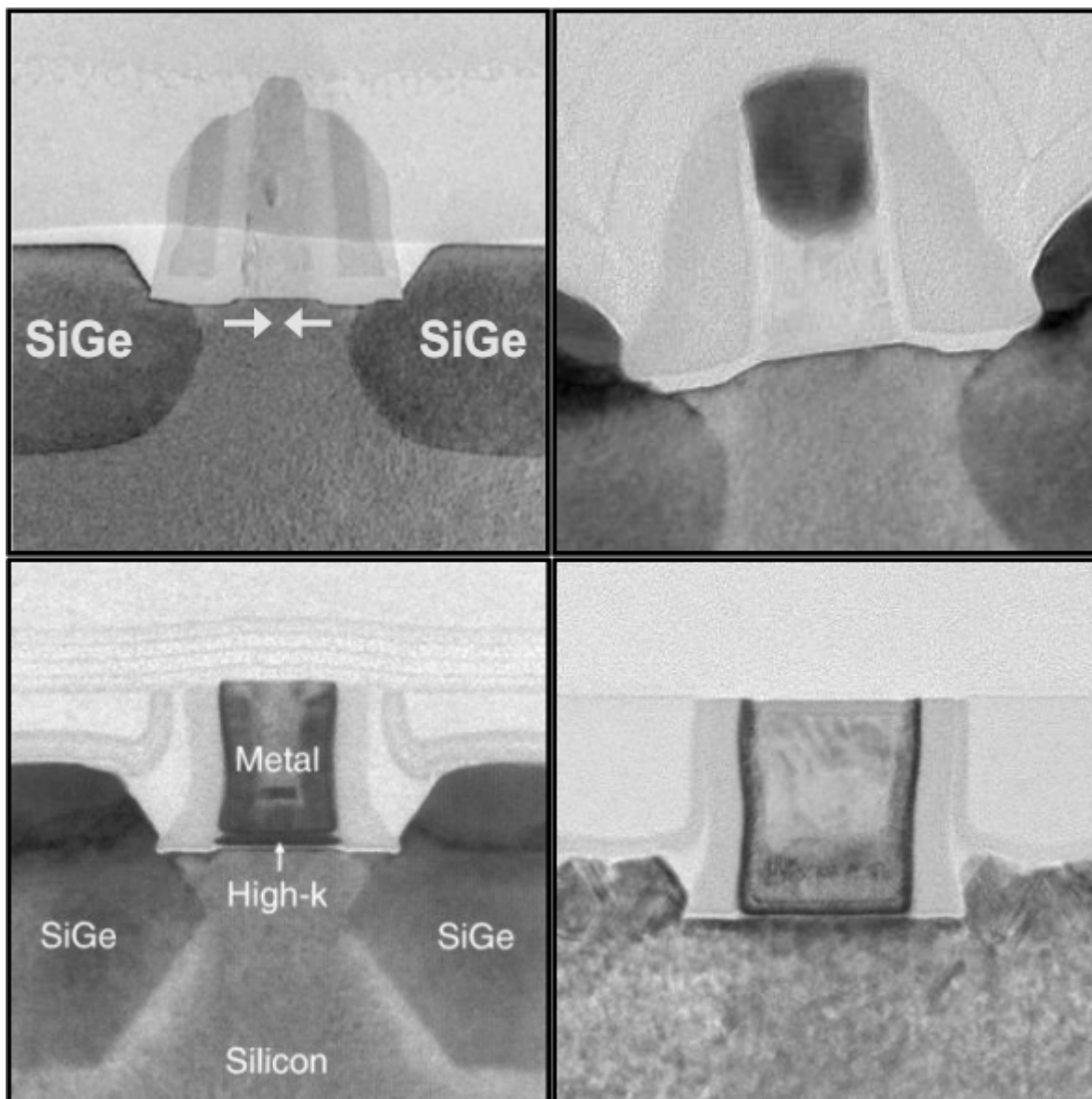
- бессвинцовая пайка кристалла в корпус.



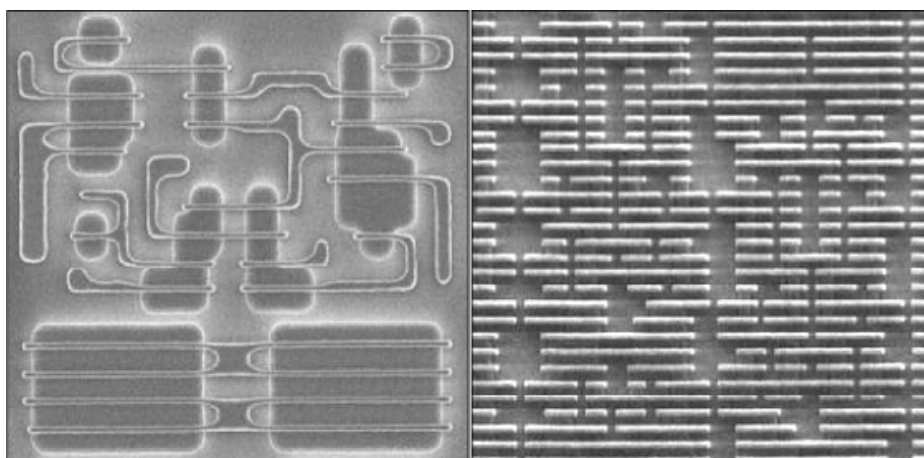
На одной 300-миллиметровой пластине умещается 568 процессоров Core 2 Duo с 6 МБ кэша L2, изготовленных по технорме 45 нм. Средний темп выхода пластин при производстве на фабриках Intel — ≈ 20 мин. на лот (25 пластин). Проверить пластину на сбойность менее чем за 50 секунд полностью не получится, поэтому применяется быстрая оценка состояния транзисторов.

Для этого в свободных местах каждого будущего кристалла расположены десятки простейших осцилляторов (чёрные точки), транзисторы которых имеют те же параметры, что и для окружающей логики или кэшей. Замерив частоты каждого осциллятора и зная их расположение, для каждого процессора строится карта отклонений параметров транзисторов. Тут на ней зелёным обозначены средние параметры, жёлтым и красным — замедленные, а голубым и синим — ускоренные. После разрезания пластины на отдельные кристаллы те, которые после оценочных тестов признаны хоть на что-то годными, отправляются на сборочный завод. Там они корпусируются, проходят программирование прошивки, детальное тестирование, отключение неработающих, медленных или слишком прожорливых частей (если требуется) и присваивание множителей и напряжений.





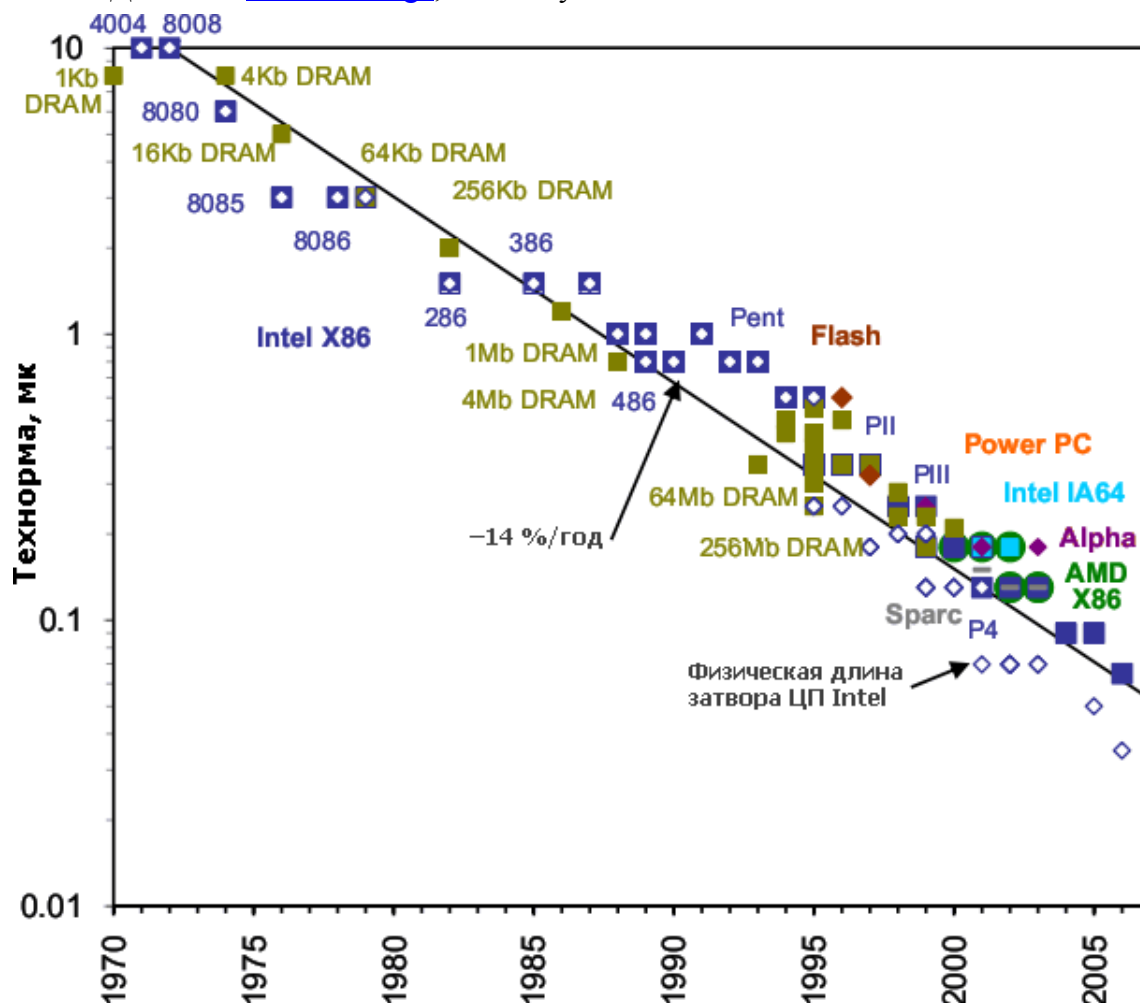
4 последних поколения транзисторов Intel (слева направо, сверху вниз) — 90 (2003 г., первое применение напряжённого кремния), 65 (2005), 45 (2007, первое применение комбинации HKMG) и 32 (2009) нм.



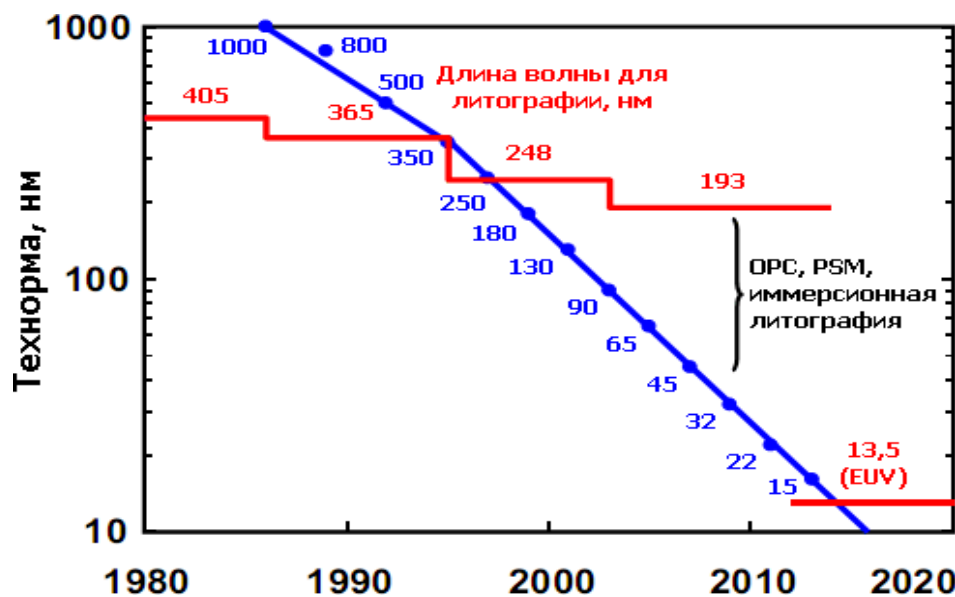
65-нанометровые транзисторы (слева) могли себе позволить такие роскошества как двунаправленные дорожки (вертикали и горизонталы) и переменные размеры затворов и их шагов. Для 32-нанометрового техпроцесса (справа) всё это запрещено.

3.2.2 Итоги и тенденции развития технологий

Данные с [IC Knowledge](#), если не указано иное.

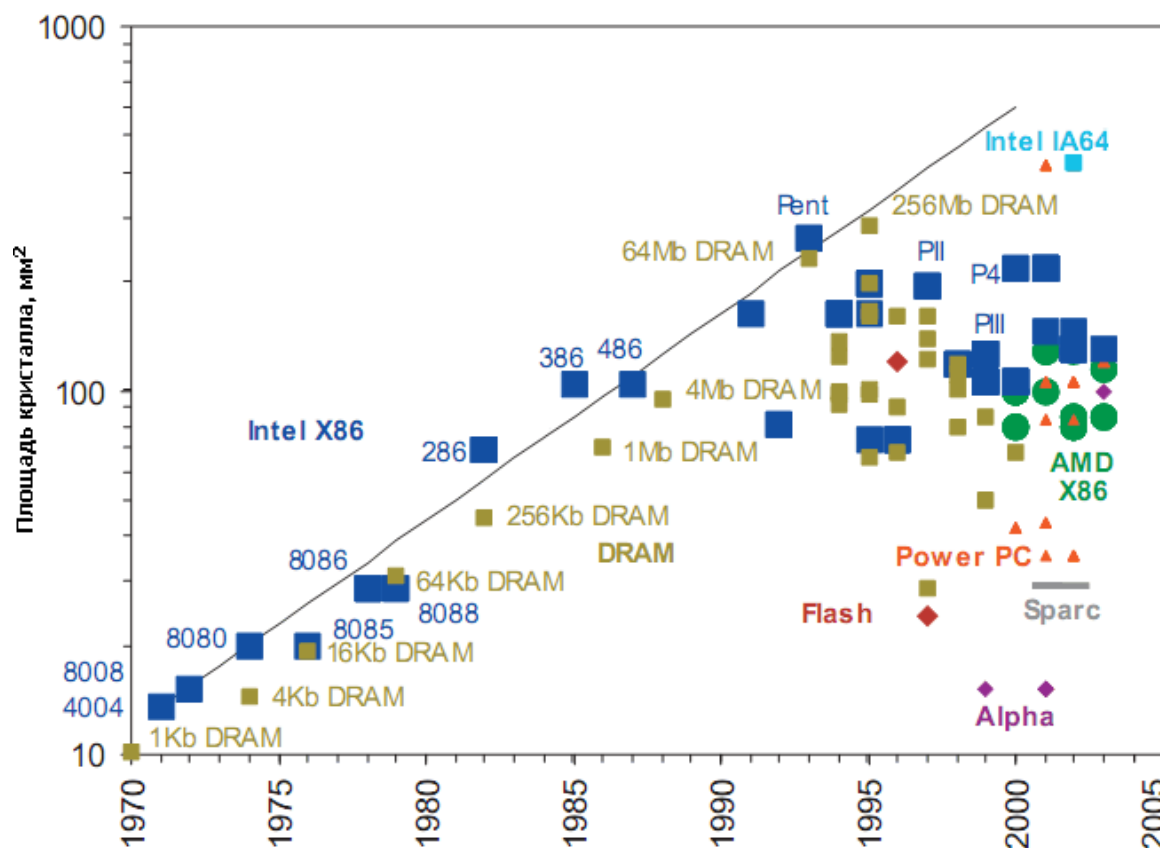


Технорма наиболее сложных микросхем. Падает также их цена — правда, не вдвое (исходя из примерно половинной площади чипа для данного числа транзисторов — за исключением последних техпроцессов...), а примерно в 1,5 раза при каждом переходе на очередной техпроцесс (т. к. он сложнее и дороже на каждую единицу площади). При этом физическая длина затвора (не только для ЦП Intel) остается меньше технормы.

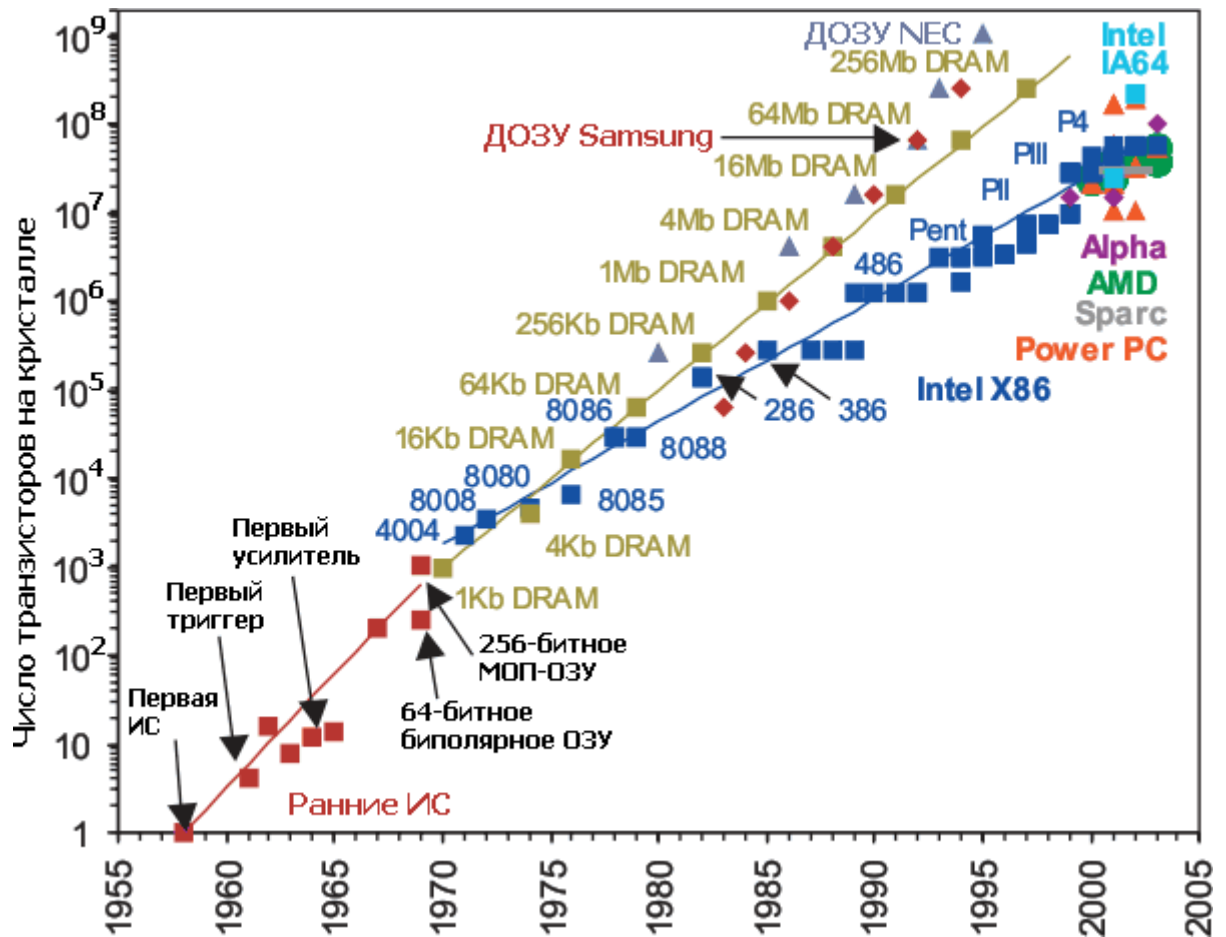


Технорма для ЦП Intel. По мнению компании, 15-нанометровый техпроцесс, возможно, станет первым, где будет применяться «экстремальный» ультрафиолет (EUV),

если он окажется экономически оправданным. До сих пор чрезвычайная дороговизна (даже по меркам фотолитографов) сдерживала его внедрение, которое 10 лет назад пророчили уже для 45-нанометрового процесса. Основные причины — необходимость в совершенно новом источнике излучения, новой зеркальной (а не линзовой) оптике и полном вакууме в рабочей зоне.



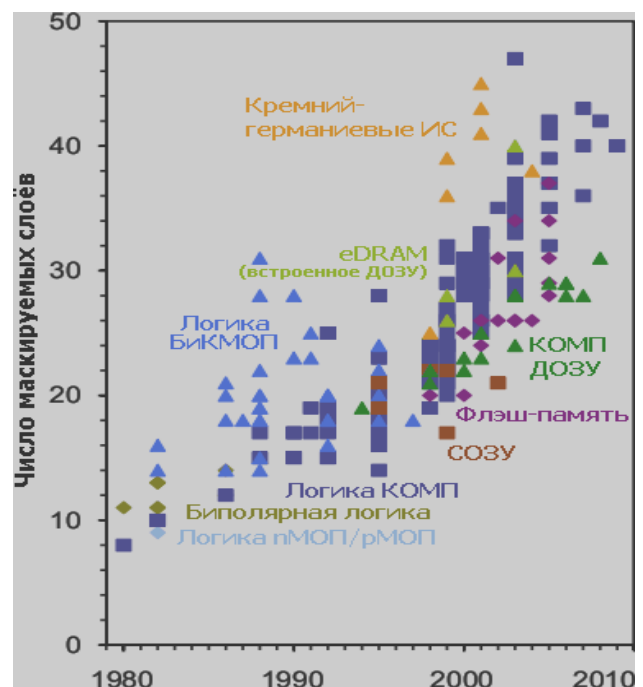
Площади кристаллов наиболее сложных микросхем процессоров и памяти на указанный год. В 1990-е годы тенденция увеличения площади на 14% в год (чёрная линия) остановлена. Впрочем, самые сложные кристаллы ГП и серверных ЦП достигают 400–500 мм², но и эта цифра не растёт уже лет пять, хотя почти все производители уже успели с 90-х перейти на 300-миллиметровые пластины, позволяющие производить с той же массовостью и ценой даже такие большие кристаллы.



Число транзисторов на кристалле ИС как следствие уменьшения технормы и увеличения площади кристалла. Видно, что первоначальная тенденция 2-кратного роста в год, по которой строил свои рассуждения Гордон Мур, была в прямом смысле весьма крутой. Но с 70-х и микросхемы ДОЗУ (теперь — и флэша), и процессоры продолжили её с меньшими темпами — 58% и 38% в год.

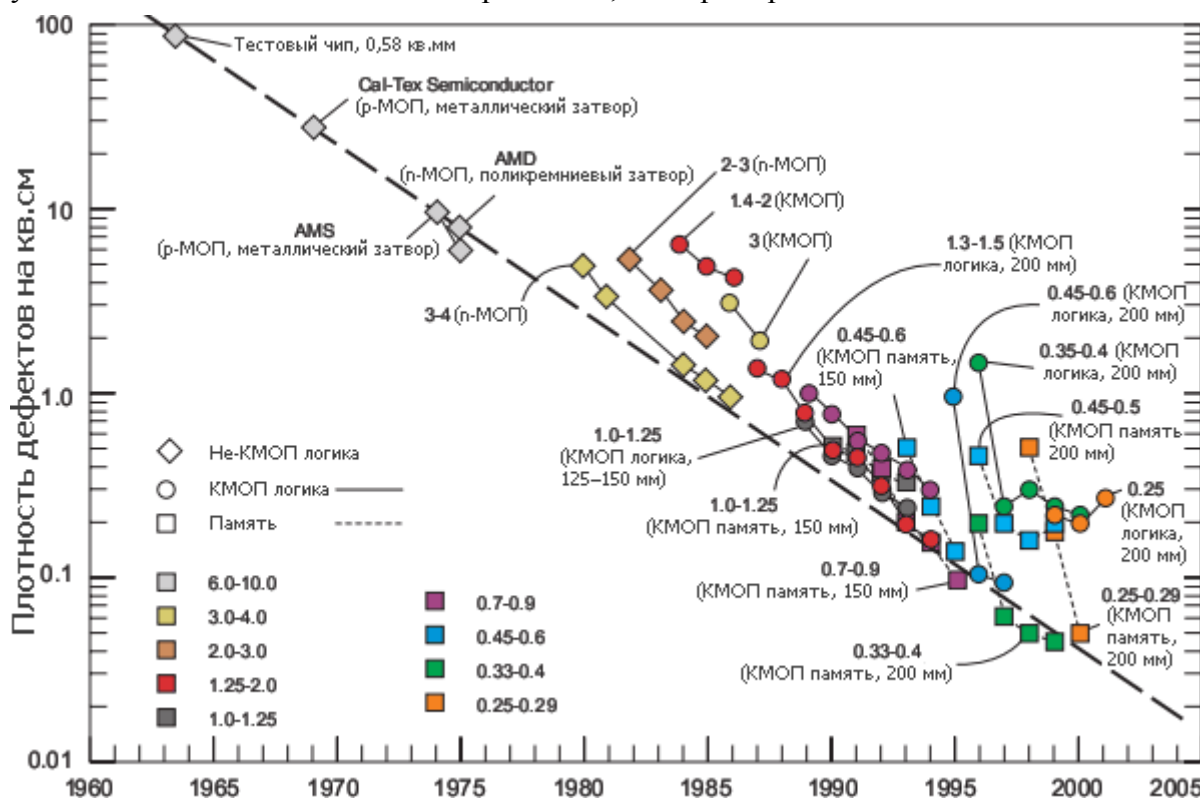
Число слоёв, требующих маски. До введения двойного шаблонирования равно числу самих масок.

Каждая маска требует 7–8 производственных операций, а также контрольно-измерительные и транспортные. Примерно 20% слоёв в каждом кристалле (элементы транзисторов и первые слои дорожек и изоляторов) являются «критическими» — т. е. выполнены с номинальной технормой для данного техпроцесса. Остальным достаточно быть всё более грубыми по мере удаления вверх от транзисторов (см. иллюстрацию воздушных зазоров), т. к. верхние уровни металла, как правило, поставляют питание и синхронизацию, так что особой плотности проводников им не требуется.

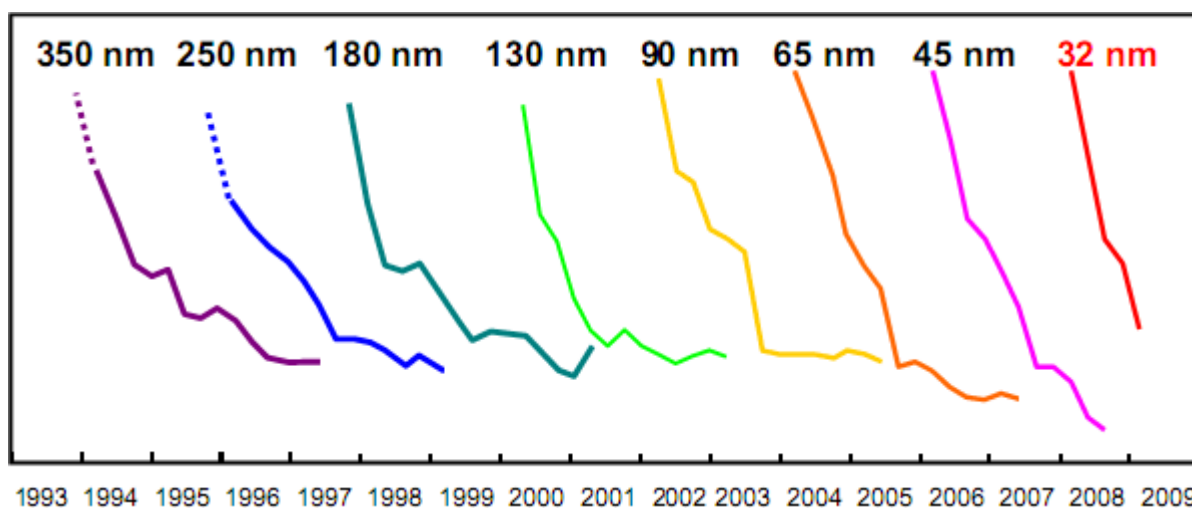


Таким образом наиболее дорогие технологии изготовления применяются только для части слоёв, но даже это не спасает от растущей сложности техпроцессов, особенно с

2000-х годов. 20 лет назад такое уже было с технологией БиКМОП (гибрид биполярной и КМОП), из-за чего от неё отказались (правда, Intel успела выпустить на ней 486DX4, Pentium и P.Pro, а Sun Microsystems — SuperSPARC). Сегодня от взрывного роста сложности не страдают пока только динамическая и (в меньшей степени) флеш-память. Сверхбыстрым SiGe-чипам высокая стоимость не сильно мешает, т.к. их изготавливают малыми партиями для военных и авиакосмических применений. В среднем число масок увеличивается на 2 с каждым техпроцессом, т.е. примерно за 2 года.



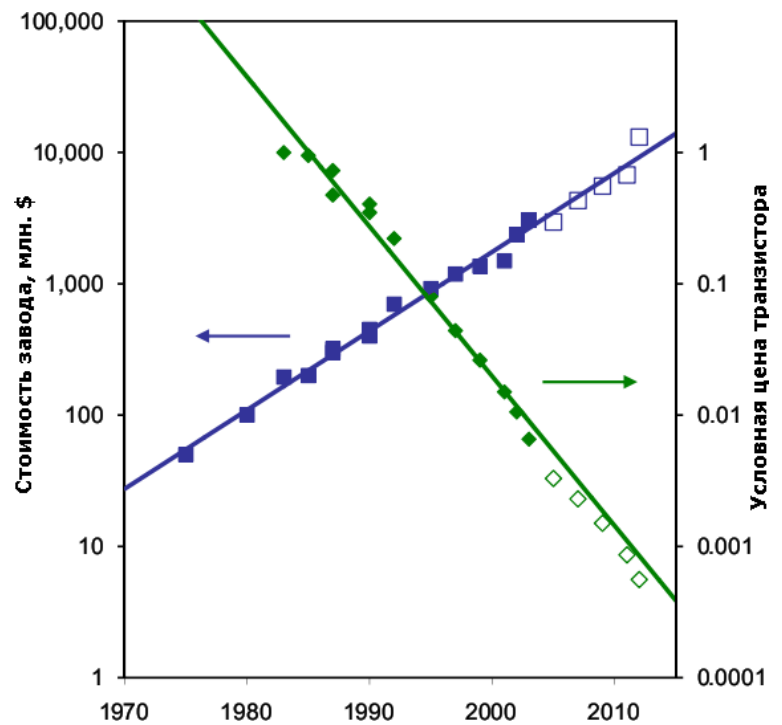
Плотность дефектов на 1 см² площади кристалла от наиболее продвинутых фабрик при финальном тестировании. Жирными цифрами указана технорма в микронах, в скобках — диаметр пластин.



Снова плотность дефектов, но конкретно для чипов Intel. По её утверждению — также отложенная по логарифмической шкале (как и на графике выше), только без шкалы. Данные для 45- и 32-нанометрового техпроцессов показаны не до конца — видимо, коммерческая тайна.

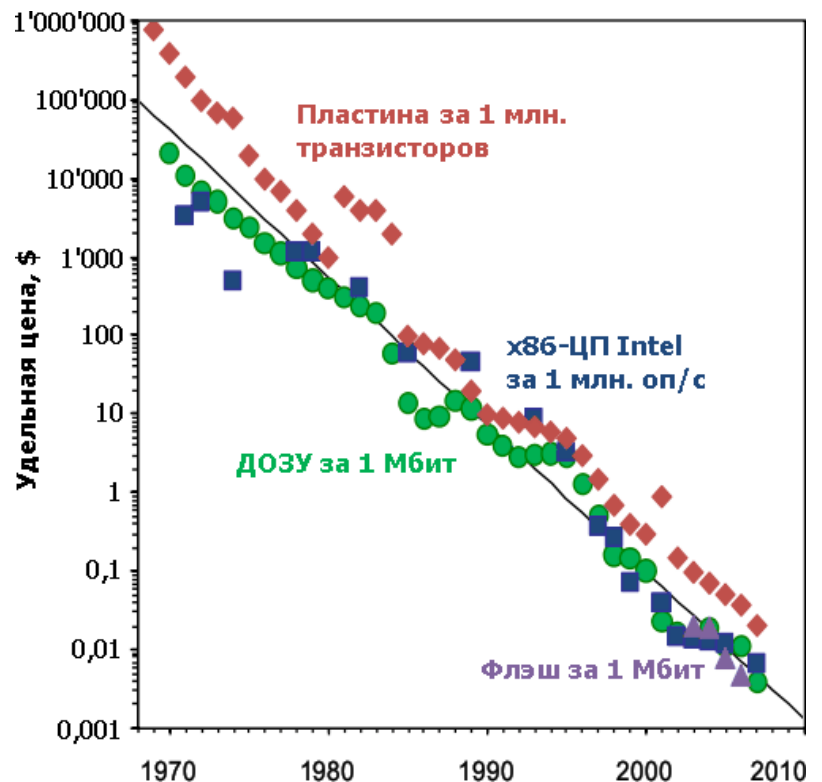
Стоимость постройки наиболее современного на указанный год завода (или его стоимость после обновления) возросла в 70 раз за 30 лет, а цена каждого выпускаемого ими транзистора упала в 2000 раз.

Пустые квадраты означают примерные цифры. Тут не хватает графика производственной мощности, но надёжных данных по ней на весь период нет. Впрочем, известно, что современные фабы выпускают от 10 до 60 тыс. пластин в месяц в случае логики и ещё в 2–3 раза больше для памяти. Выпуск пластин удваивается примерно каждые 5 лет, помимо увеличения их диаметра. А «удвоение стоимости фабы каждые 4 года» даже было названо «вторым законом Мура» (иначе — законом Рока, Rock's law), который в конце 90-х также пришлось поправить — каждые 5 лет.

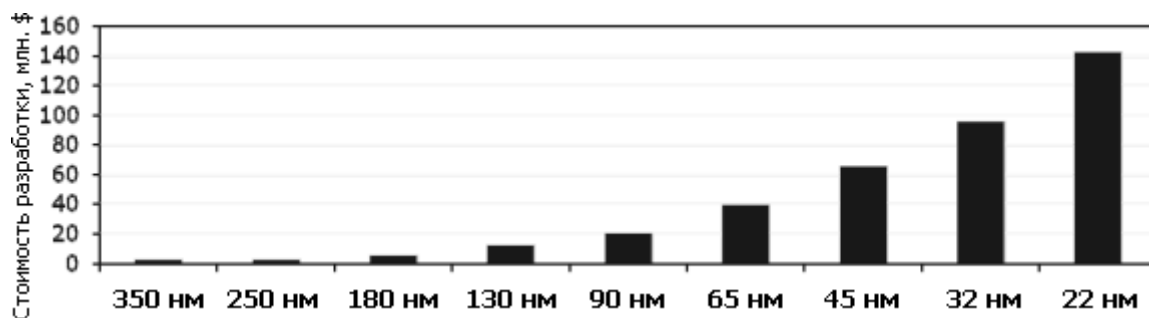


Наиболее дорогой станок — фотолитограф — дорожает с такой же скоростью: первый коммерческий проекционный степпер (1973 г.) стоил 210 тыс. долларов, а современный сканер — 40–50 млн.

Удельные цены пластины и разных видов микросхем за единицу их наиболее ценных количественных характеристик. Чёрная линия указывает ежегодное падение средней цены на 35% или в 1,54 раза. Больше возможностей за ту же цену чипов позволяли расти продажам микросхем на 15% в год с 1960 по 2000 гг.. Однако лопнул пузырь доткомов, а через 8 лет грянул мировой кризис, что прекратило рост продаж (но не параметров). В 2010-х за счёт популярности смартфонов и планшетников возможен рост примерно на 5% в год, если, конечно, опять что-то не стряётся...



Стоимость разработки сложной микросхемы в зависимости от технормы (данные IBS, GlobalFoundries).



Видно, что до 45 нм она каждый раз удваивалась, а начиная с 45 нм — увеличивается примерно в 1,5 раза. Абсолютные цифры уже выросли настолько, что и среди бесфабричных компаний мелким игрокам на рынке ЦП делать нечего.

Средняя стоимость производства пластины для КМОП-логики в 2003 г. на фабках Сев. Америки (в долларах).

Диаметр пластины, мм	Технорма, мк	Число маскируемых слоёв									
		8	10	12	14	16	18	20	22	24	26
100	2	145	180	210							
125		165	200	230							
150		190	230	270							
200	1,2		260	300	340						
	0,8				375	420	465				
					450	500	560				
	0,5					560	615	675			
	0,35						700	760	830		
	0,25						890	980	1070	1155	
	0,18							1320	1440	1565	
300	0,13								1815	1970	2130
	0,09								2500	2690	2890
										2860	3065

Цены округлены и не учитывают финишных операций (тестирования, резки и корпусировки). По цифрам видно, почему производителям выгодно переходить на новые техпроцессы и большие диаметры пластин — дорожание производства каждой новой пластины окупается большим числом получаемых с неё чипов. Впрочем, переход на больший диаметр означает замену почти всего оборудования в чистой комнате и усиление потока сверхчистых рабочих материалов (особенно воды), поставляемых с сервисного этажа. А переход на новый техпроцесс, даже «несвежий», поначалу (пока его не отладят) даст меньший выход годных. Впрочем, Intel и тут отличилась, применяя на своих фабках по всему миру методику точного копирования (Copy Exactly): как только техпроцесс доведён до массового производства на одном из экспериментальных фабов в Хиллсборо (штат Орегон, США), он переносится на производственные фабы, копируя абсолютно всё до мелочей — список и тип станков, их параметры («рецепты») и программы, действия персонала... Даже ручные инструменты для монтажных и пуско-наладочных работ используются тех же видов. Таким образом, Intel может перенести техпроцесс с одной фабрики на другую без ожидаемого в таких случаях ущерба для себестоимости всего за несколько месяцев, и ещё быстрее — производство чипа при уже готовом техпроцессе.

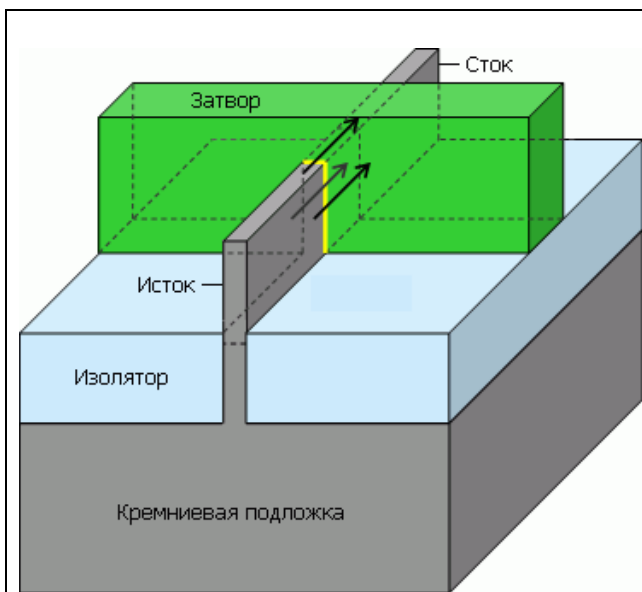
3.2.3 22-нанометровая технология и трехмерный транзистор Intel

В начале лета 2011 г. Intel объявила, что менее чем через год будет готова массово выпускать процессоры с технормой 22 нм (сначала это будет архитектура [Ivy Bridge](#), основанная на современной Sandy Bridge). Согласно принятому в компании 2-летнему циклу «тик-так» (попеременному ежегодному выпуску новой микроархитектуры и нового

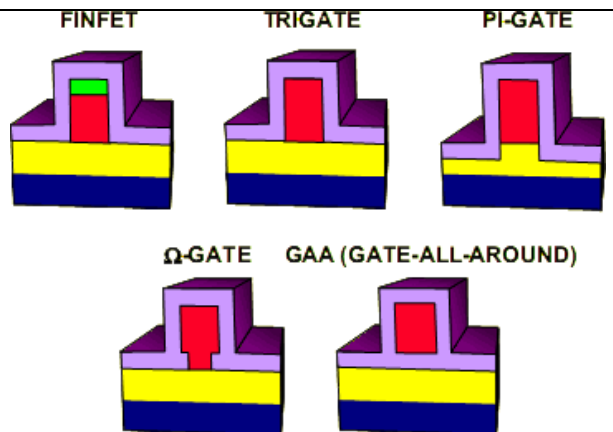
техпроцесса) изначально планировалось выпустить Ivy Bridge в конце 2011 г. (также как Sandy Bridge — в 2010-м). Однако Intel преследуют задержки: презентация Sandy Bridge состоялась только в январе 2011, а затем компания решила задержать выход Ivy Bridge как минимум до весны 2012 г.. Являются ли тому причиной сложности с техпроцессом — неясно. Это при том, что первые микросхемы СОЗУ с новыми 22-нанометровыми транзисторами Intel представила ещё в сентябре 2009 г..

Никаких технологических революций по части литографических методов не предвидится — помимо того, что длина волны 193 нм требует иметь не только иммерсионные сканеры, но и как минимум двойное шаблонирование. Это само по себе является любопытным, ибо ещё 5 лет назад эксперты в один голос говорили, что для таких длин волн надо переходить на новые виды литографии, что скачкообразно увеличивает сложность и стоимость техпроцесса.

Но самую большую сенсацию (разумеется, с подачи маркетологов компании) назначили на серьёзное изменение конструкции транзисторов, назвав их трёхмерными или трёхзатворными. Точнее, их надо называть FinFET — полевой транзистор с затвором-«плавником». Впрочем, за счёт утончения канала и размещения его вертикально их число может быть более одного для увеличения общей площади между затвором и каналами. Такой транзистор можно назвать многозатворным (multigate FET, MuGFET), хотя каждый его канал скорее будет управляться общим затвором. В результате к нему нужно будет приложить меньшее напряжение, чтобы переключить транзистор, скорость переключения будет больше, а утечка — меньше, т. к. теперь она возможна лишь через узкую нижнюю грань канала.



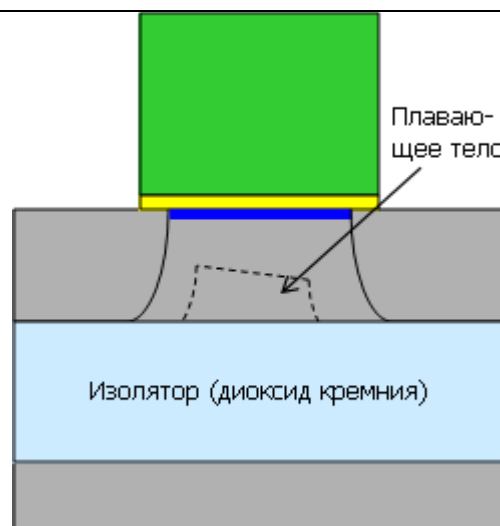
«Трёхзатворный» транзистор на деле означает транзистор с каналом, окружённым затвором (через прослойку в виде тонкого изолятора, обозначенного жёлтым) с трёх сторон — по сравнению с планарным, где поверхность сопряжения представляет собой одну плоскость



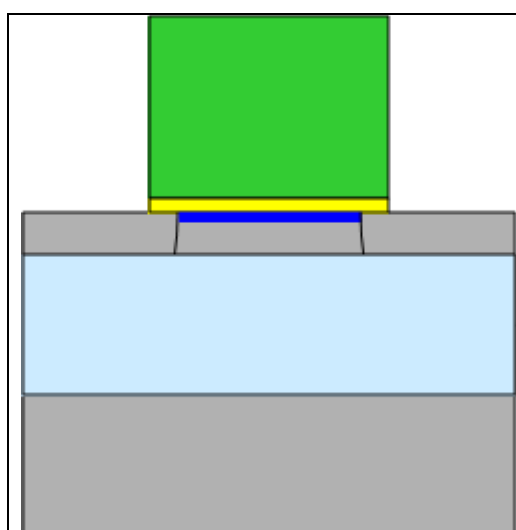
Помимо FinFET'ов, Intel рассматривала ещё 4 варианта новых видов транзисторов, но по разным причинам они были отклонены. Например, технически самый совершенный GAA-транзистор с затвором, полностью окружённым изолятором, видимо, показался слишком дорогим или ненадёжным. Кроме того, т. к. странная зелёная «шапка» ни на каких других иллюстрациях больше не встречается и не видна на микрофотографиях, можно сделать вывод, что реализован вариант с 3-сторонним затвором типа Trigate.



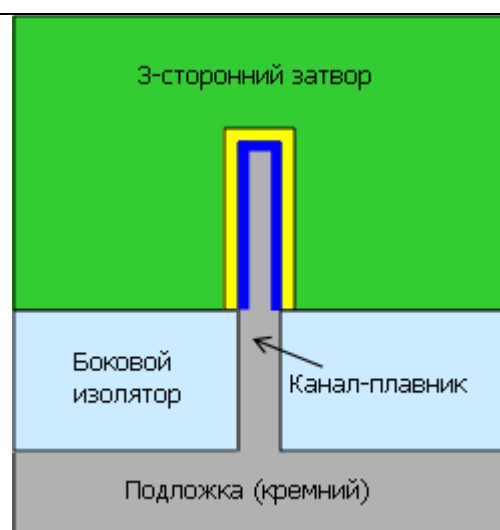
Транзистор на цельной подложке (какую до сих пор использует Intel) имеет утечку тока из канала, когда в нём полем затвора формируется обращённый слой. Подложка (даже если она заземлена) вытягивает часть носителей заряда в обеднённый слой



Уменьшить утечки можно технологией КНИ, в данном случае — частично обеднённой (Partially Depleted, PD SOI). Тут изолятор отсекает подложку, но остаточный слой под каналом («плавающее тело») всё ещё приводит к утечкам, хоть и не таким большим. Эта технология широко используется прежде всего из-за относительной дешевизны.

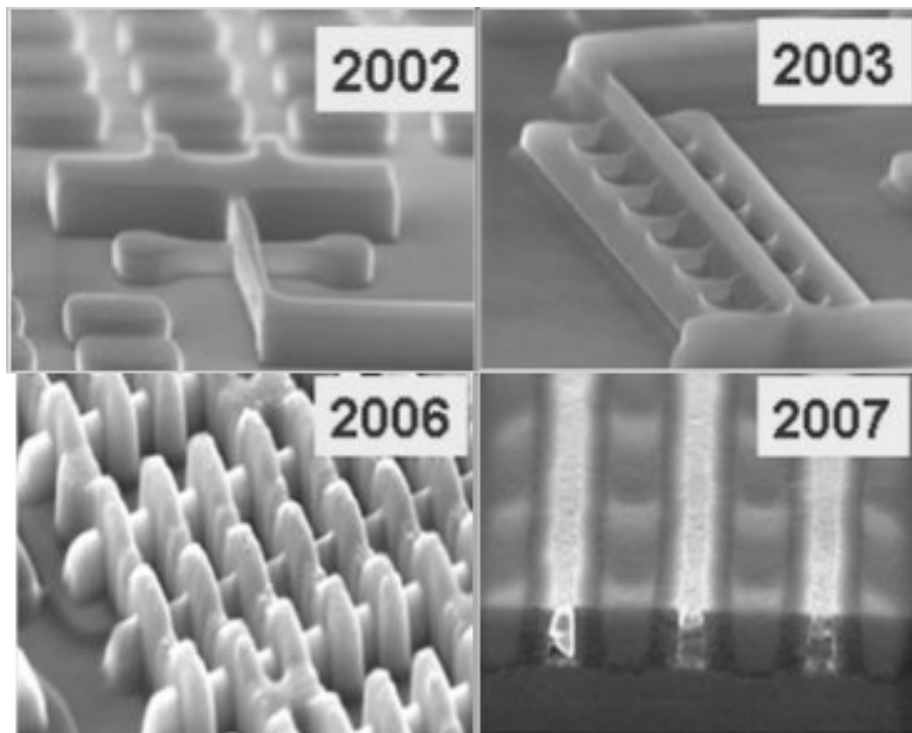
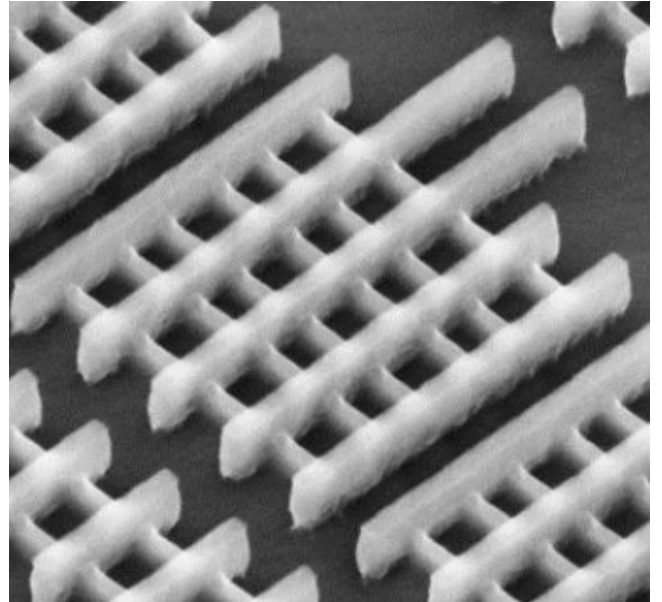
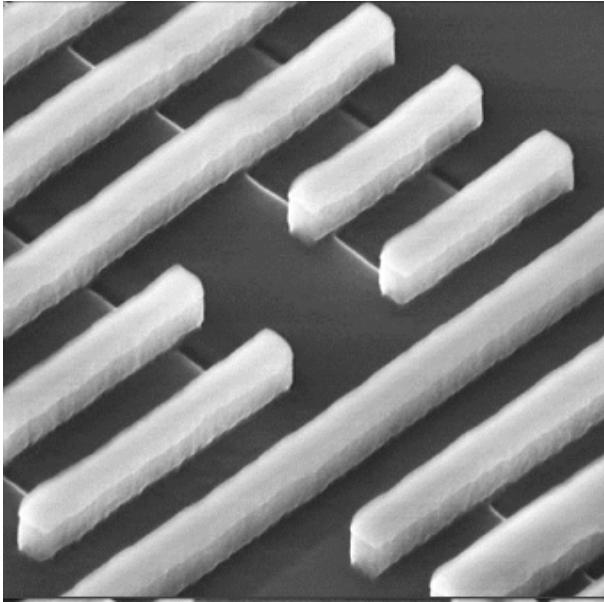


Более продвинутая версия — полностью обеднённый КНИ (Fully Depleted, FD SOI). Тут исток, сток и область канала истончаются так, что плавающему телу не остаётся места. Проблема утечки решается, но (по мнению Intel) с 10-процентным увеличением цены чипа, поэтому её не используют широко



Решение Intel (показанное сбоку, в отличие от предыдущих сечений вдоль канала) — поставить канал вертикально и окружить его затвором с трёх сторон из четырёх. Плавающего тела нет, утечек нет, площадь обращённого слоя больше, а т. к. дополнительные маски не требуются, цена — всего на 2–3% выше. Опять же, со слов Intel

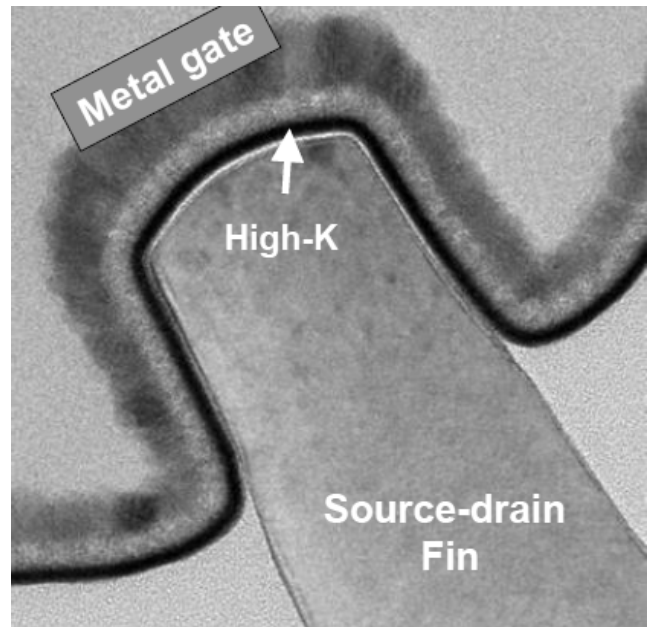
На фотографиях ниже показаны 32-нанометровые планарные транзисторы (слева), и 22-нанометровые (справа) 2-затворные (в левом нижнем углу) и 6-затворные «трёхмерные».



4 поколения «плавниковых» транзисторов Intel — демонстрация конструкции (2002 г.), многозатворность (2003), ячейки СОЗУ (2006) и адаптация металлического «затвора последним» (2007).

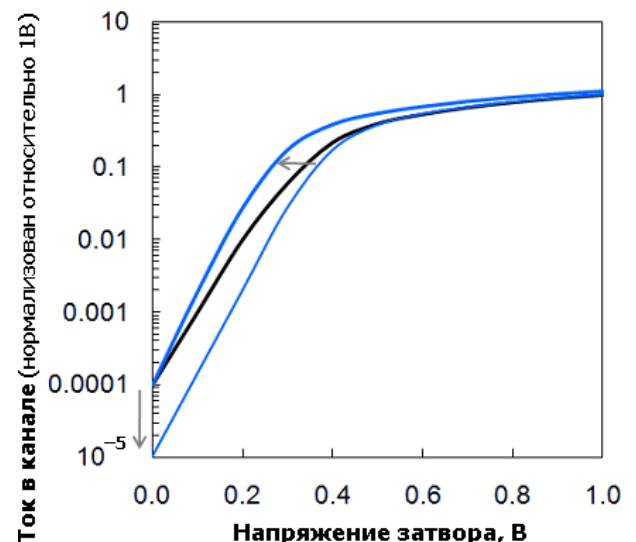
Конечно, Intel сразу похвасталась, что по сравнению с 10-микронным техпроцессом от i4004 22-нанометровый транзистор работает в 4000 раз быстрее, потребляя в 5000 меньше энергии и стоя в 50000 меньше. Более важно, что потребовалось 5 лет для разработки и ещё 5 (как теперь выяснилось...) для адаптации к массовому производству.

При этом Intel честно указывает на трудности реализации новой технологии: необходимость законцовок для затвора, проблемы с ёмкостью и изменчивостью параметров, трудности равномерной полировки и травления более толстых структур и передача каналом механического напряжения под затвор, и пр.. Надо полагать, все эти проблемы решены хотя бы удовлетворительно, иначе показанные чипы бы не работали. Вопросы о коэффициенте выхода годных и фактической себестоимости пока остаются открытыми. Конкуренты же (TSMC и Global Foundries) пока объявили лишь о начале разработки FinFET'ов для своих 14-нанометровых процессов, которые будут готовы где-то в 2014 г.



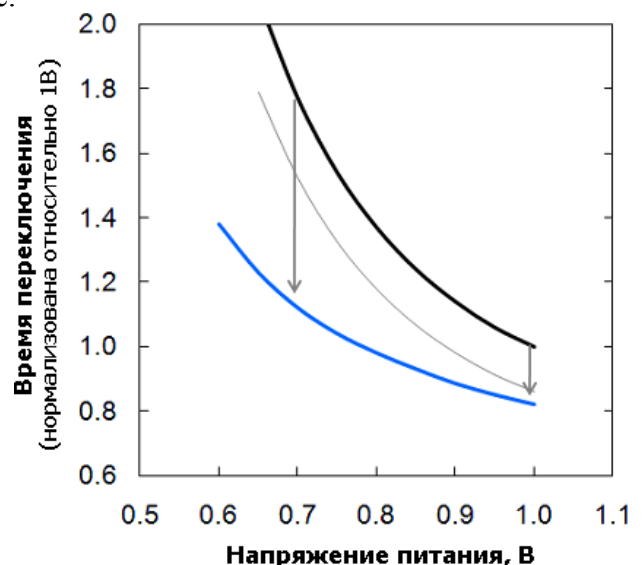
Сечение канала-плавника в образце 2006 г. с первой версией технологии HKMG.

Вольтамперные характеристики (ВАХ) планарного (чёрная линия) и двух трёхмерных (синие) n-канальных транзисторов. Ток при нуле на затворе в идеале должен быть нулевым. Чем он меньше — тем меньше потребляет процессор, в т.ч. при простое. Пороговое напряжение — такое, при котором транзистор переключается (в данном случае — 0,33 В с током в 10% от номинала). Оно должно быть как можно меньше, чтобы транзистор срабатывал быстрее и при меньшем напряжении питания (тут — 1 В).



Переход на трёхмерный затвор позволяет либо при том же напряжении уменьшить утечку при закрытом канале (нижняя линия), либо увеличить скорость его открытия (верхняя линия), заодно снизив напряжение.

Зависимость времени переключения от напряжения питания (в идеале — гипербола) для 32-нанометровых (чёрная линия) и 22-нанометровых (серая) планарных, а также 22-нанометровых объёмного (синяя) транзисторов. Последний позволяет при той же скорости снизить напряжение питания на 0,2 В, что в теории уменьшит потребление в 1,56 раза, а по мнению Intel — более чем вдвое.



Если же требуется повысить частоту, новые транзисторы принесут небольшую пользу при номинальном одном вольте (обещано ускорение на 18% относительно 32 нм),

зато при 0,7 В (видимо, таково будет напряжение для мобильных чипов) дадут аж 37-процентное ускорение. Более того, если судить по этим графикам из презентации, то ускорения будут на 22% и 59% — т. е. $1/(1-0,18)$ и $1/(1-0,37)$.

3.2.4 Технормы и техпроцессы

Когда-то под технормой понимался самый малый по длине или ширине элемент, формируемый данным техпроцессом. Когда технорма стала меньше длины волны, появилось два отдельных определения — для регулярных чипов (память, программируемые матрицы, фотодатчики — в т. ч. со встроенными логическими блоками) и нерегулярных (сложная логика, в т. ч. содержащая кэши, буферы и т. п.). Для первых — минимальный полушаг линейно-регулярной структуры, для вторых — минимальная ширина дорожки нижнего уровня металла (что примерно вдвое длиннее затвора транзистора).

Однако с недавних пор и это перестало иметь значение. Дело в том, что число фабрик, производящих микросхемы по самым современным техпроцессам, неуклонно снижается. При этом ни одна фирма, производящая оборудование для производства полупроводников, их самих не делает — все производители микросхем покупают станки у примерно одних (тоже не очень многочисленных) фирм. Очевидно, собираемые из станков и настроек техпроцессы на фабах получились бы как две капли воды похожи, но это имеет смысл лишь для нескольких фабов одной компании, а таких компаний в мире — единицы. Так что каждая фирма пытается удовлетворить заказчиков чем-то особенным, выпускаемым на почти стандартном оборудовании. И вот тут под нож пошли те самые нанометры...

В этой таблице указана площадь (в кв. микронах) 6-транзисторной ячейки СОЗУ, которой обычно меряют плотность размещения транзисторов для логических микросхем. (Учитывая, что СОЗУ используются в разнообразных регистрах, буферах и кэшах — т. е. одно-, а чаще даже двумерно регулярных схемах, а не в синтезированной логике, почти не имеющей повторений) А самое главное, что это всё — «45-нанометровые» (как утверждают эти компании) процессы.

Более того, ITRS (International Technology Roadmap for Semiconductors — международный технологический план для [производителей] полупроводников, составляемый экспертами из крупнейших фирм и их ассоциаций) регулярно выпускает рекомендации по основным параметрам техпроцессов для микроэлектронных компаний, т. е. для самих себя. А теперь посмотрим, как эти рекомендации соблюдаются:

Момент демонстрации	Компания(и)	Площадь, кв.мк
2004	TSMC	0,296
Январь 2006	Intel	0,346
Февраль 2006	Toshiba, Sony, NEC	0,248
Апрель 2006	AMD	0,370
Апрель 2006	STM, Freescale, NXP	0,250 ¹
Июнь 2006	Texas Instruments	0,240 ²
Ноябрь 2006	UMC	<0,250 ³
Январь 2007	TSMC	0,242
Март 2007	Fujitsu	0,255

¹ — Оптимизация по энергоэффективности

² — С иммерсионной литографией

³ — С иммерсионной литографией и низкопроницаемыми межслойными диэлектриками

Рекомендации ITRS для логики в 2003 г. в сравнении с фактически найденными параметрами фирмой Chipworks, специализирующейся на «инженерной разборке» микросхем.

Технорма, нм	Производитель	Полушаг дорожки 1-го слоя металла, нм		Минимальная длина затвора, нм	
		Заявлено	Найдено	Заявлено	Найдено
90	[Рекомендация ITRS]	107		37	
	Sony / Toshiba	120	130	65	45
	Texas Instruments	165	165	52	47
	Intel	110	120	50	45
	IBM	158	135	46	45
	UMC-Xilinx	120	120	70	55
	TSMC-Altera	120	125	59	55
	Fujitsu-Transmeta	140	145	40	40
	AMD	?	130	?	50
	NEC	?	125	60	65
65	[Рекомендация ITRS]	76		25	
	Intel	105	105	35	38
	Matsushita	90	95	55	55

Краткий ответ — никак. Дело дошло до того, что на недавнем форуме IEDM технорму признались считать маркетинговым понятием — т. е. не более чем цифрой для рекламы. Фактически, сегодня сравнивать техпроцессы по нанометрам стало не более разумно, чем 10 лет назад (после выхода Pentium 4) продолжать сравнивать производительность ЦП (пусть даже и одной программной архитектуры) по гигагерцам.

Разница в техпроцессах при одинаковых технормах активно влияет и на цену чипов. Например, AMD использовала разработанный совместно с IBM 65-нанометровый процесс с SOI-пластинами, двойными подзатворными оксидами, имплантированным в кремний германием, двумя видами напряжённых слоёв (сжимающим и растягивающим) и 10 слоями меди для межсоединений. 65-нанометровый техпроцесс у Intel включает относительно дешёвую пластину из цельного кремния, диэлектрик одинарной толщины, имплантированный в кремний германий, один растягивающий слой и 8 слоёв меди. По примерным подсчётам Intel потребует для своего процесса 31 маску, а AMD — 42.

В результате из-за значительной разницы в технологиях напряжённого кремния и типа подложки (SOI-пластины стоят примерно в 3,6 раз дороже простых) конечная цена 300-миллиметровой пластины для AMD будет ≈ 4300 долларов, что на 70% дороже цены для Intel — ≈ 2500 долларов. Кстати, ЦП Intel как правило оказываются ещё и с меньшими площадями кристаллов, чем аналогичные по числу ядер и размеру кэшей от AMD. Теперь ясно, почему Intel показывает завидную прибыль, а AMD недавно едва держалась на ногах.

По докладам на IEDM можно составить сводную таблицу с параметрами последних техпроцессов ведущих компаний. Из неё видно, что все техпроцессы с «мелкой» технормой (process node) перешли на двойное шаблонирование (DP) и иммерсионную литографию, а напряжение питания (V_{dd}) давно остановилось на 1 вольте (потребление транзистором энергии и без этого продолжает падать, но не так быстро). Куда интересней сравнить длину затвора (L_{Gate}), шаг затвора с контактом (Contacted Gate Pitch) и площадь ячейки СОЗУ (SRAM Cell Size).

Тут надо указать, что кэши изготовленного с той же технормой ЦП той же фирмы имеют площадь ячейки на 5–15 % больше указанной в случае L2 и L3, и на 50–70 % больше для L1. Дело в том, что сообщаемые на IEDM цифры площади тоже являются несколько рекламными. Они верны лишь для одиночного массива ячеек и не учитывают усилители, буферы ввода-вывода, декодеры адреса, резервы размера для увеличения надёжности и размены плотности на скорость (для L1).

Для простоты возьмём только «скоростные» (High Performance) процессы Intel. Для 130 нм длина затвора составляла 46% технормы, а сегодня — 94%. Тем не менее, шаг затвора уменьшился в те же 4 раза, что и технорма. Однако если разделить площадь ячейки СОЗУ на квадрат технормы, то старым ячейкам нужно ≈ 120 таких квадратов, а новым — уже ≈ 170 . У AMD с её SOI-пластинами — примерно так же. На «65-нанометровом» техпроцессе фактический минимальный размер затвора может быть снижен до 25 нм, но шаг между затворами может превышать 130 нм, а минимальный шаг металлической дорожки — 180 нм. Начиная примерно с 2002 г. размеры транзисторов уменьшаются медленней технорм. Выражаясь языком современного рунета — нанометры уже не те...

А теперь, вооружившись цифрами об этом бардаке сложном микроэлектронном хозяйстве, вернёмся к обещанным Intel «22 нанометрам». По предварительным цифрам выглядит неплохо: площадь ячейки — 0,092 кв.мк. для «быстрой» и 0,108 для энергоэффективной версии процесса (данные 2009 г. для тестовой микросхемы СОЗУ на 22 нм). Для быстрой версии это эквивалентно 190 элементарным квадратам — чуть хуже, чем для прошлых технорм. Но Intel продолжит использовать 193-нанометровую иммерсионную литографию и для 14 нм, возможно — с тройным шаблонированием. А для 10 нм — с пятерным (5 экспозиций и одно скругление распорок). При этом для 10-нанометрового процесса стоимость стадий литографии на единицу площади будет примерно вшестеро больше, чем для 32-нанометрового, а вот окажется ли площадь меньше в 10 раз (как при линейном уменьшении) — сомнительно. Тут уже даже неважно, почему Intel решила, что следующие два её процесса будут иметь технормы 14 и 10 нм, а не 16 и 11, как можно ожидать (каждая следующая — в $\sqrt{2}$ раз меньше). Ведь нанометры теперь мало что значат...

3.2.5 Будущее современных технологий

Если вернуться к обзорным графикам, последние несколько из них не зря касаются цены или себестоимости. Если по ним попытаться экстраполировать тенденции на будущее, то окажется, что через некоторое время в мире останется лишь 2–3 компании, способные разрабатывать и внедрять самые современные техпроцессы. Им это будет влетать в 11-значные суммы в долларах, окупить которые можно, лишь если продукция будет продаваться по всему миру, что возможно только при полной монополизации — одна платформа, одна архитектура, одна концепция... Для необходимой конкуренции избыточности места уже не останется — нас всего 7 миллиардов, и это число растёт совсем не так быстро, как цены на фабы и техпроцессы.

Более того, наверняка будет уменьшаться и число бесфабричных компаний. Дело даже не в том, что немногие крупные фирмы покроют своими чипами почти все потребности почти для всех. Даже если вы разработали что-то уникальное — стоимость внедрения может оказаться такой высокой, что вы не окупите её всеми своими продажами. И это тоже есть следствие массовых технологий.

Формируемое маской изображение перед попаданием на пластину оптически уменьшается в 4 раза до стандартной полосы засвета размером ≈ 24 мм (для современных литографов), а размер самой маски составляет около 18×12 см. Однако методы OPC и PSM требуют от неё иметь разрешение не хуже формируемого, что уже для 65 нм поднимает стоимость набора масок до сотен тысяч долларов, а для самых новых техпроцессов — до пары миллионов.

Теперь представим, что нам — маленькой, но гордой фирме — надо выпустить систему-на-кристалле, разработанную для новых планшетов и смартфонов. Маркетологи говорят, что из-за сильной конкуренции со стороны угадайте-какой компании устройства с нашим ЦП точно купят 100 000 человек. Процессор на 28-нанометровом техпроцессе (более старый проиграет гонку прожорливости) будет иметь себестоимость около 15 долларов, но если учесть цену масок (пусть и разделённую на 100 000), то будет уже 35 долларов. И это не учитывая выпуск нескольких ревизий для исправления ошибок и

оптимизации параметров. Ревизий для нового сложного чипа нужно штук пять — и для каждой (после первой) надо обновлять значительную долю масок из всего набора.

В итоге окажется, что даже не допуская ни одной ошибки в рыночной стратегии, мы окупим нашу микросхему, лишь рассчитывая на производство и сбыт устройств с ней миллионами, иначе её никто не купит из-за цены. Недавно сотрудник компании Cadence (выпускающей специализированные САПРы для разработки микросхем) рассказал, что стоимость перехода с 32–28 на 22–20 нм сильно выросла по сравнению с предыдущими шагами. Микроэлектронные компании инвестировали в НИОКР по 32–28 нм 1,2 млрд. долларов и 2–3 млрд. для 22–20 нм. Проектирование чипа стоит 50–90 млн. долларов для 32 нм и 120–500 млн. долларов для 22 нм. Компенсация затрат на разработку и производство потребует продать 30–40 млн. 32-нанометровых кристаллов и 60–100 млн. на 20 нм.

Впрочем, и крупным компаниям, товары которых покупают как раз миллионами, тоже придётся с трудом объяснять, зачем покупать очередной процессор с терафлопсами и память на терабайты — учитывая, что и прошлые модели делают всё как надо. Возможно, с некоторого момента не поможет и принудительная плата за новинки — например, как следствие досрочно отменённой поддержки старых моделей или их запрограммированного износа и отключения...

Мировая микроэлектроника, следуя закону Мура, всегда опровергала регулярно выдвигаемые инженерами опасения, что мы вот-вот упрёмся в непреодолимые физические ограничения, после которых отрасль либо застрянет навсегда, либо будет вынуждена перейти на принципиально новые материалы и эффекты. Но как бы не оказалось так, что реальным тормозом будет эффект глобального насыщения: после бурного роста менять каждые год-два процессоры и память как обувь и одежду — на новые, подходящие размеры — уже не потребуется.

Другая проблема в том, что даже в тех применениях, где производительность и память никогда не будут лишними, качественный скачок (вместо очередного удвоения регистров, векторов, кэш и ядер) может быть лишь при переходе на новый вид элементной базы — графеновой, фотонной, спинтронной, квантовой или прочей «волшебной». Но для её разработки, адаптации к массовому производству и (особенно!) построению самого производства потребуется огромное количество денег — куда большее цены современного фаба. Вполне возможно, лет через 10 (когда нынешнюю литографию растягивать далее уже не получится) никакие частные фирмы это не потянут. А какое из государств даже сегодня захочет профинансировать высокорисковые технологии микроэлектроники будущего?

3.3 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 3

1. Почему биполярные транзисторы не используются для изготовления СБИС?
2. В чем суть закона Мура?
3. Какой эксимерный лазер используется в современных технологических процессах изготовления микропроцессоров?
4. Что такое «напряженный кремний»?
5. В чем причина внедрения изолятора с высокой диэлектрической проницаемостью и металлическим затвором?
6. Что такое FinFET — полевой транзистор с затвором-«плавником»?

Выполнить лабораторную работу по теме «Технологии изготовления микросхем», используя соответствующие моделирующие программы.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Потемкин И. С. Функциональные узлы цифровой автоматики. – М.: Энергия, 1988. - 320с.
2. Применение интегральных микросхем в электронной вычислительной технике: Справочник/ Р.В.Данилов, С.А.Ельцова, Ю.П.Иванов и др.; Под ред. Б.Н.Файзулаева, Б.В.Тарабрина. – М.: Радио и связь, 1986. – 384с.
3. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. (Полный курс) Учебник для вузов. Под ред. Глудкина О.П. – М.: Горячая линия – Телеком, 2000. – 768с.
4. Логические ИС КР1533 и КР1554. В двух частях. Справочник.
5. «Как всё начиналось» - <http://www.ixbt.com/cpu/microelectronics.shtml>
6. Белоцицкий Н. С. Элементы и узлы ЭВМ: Методическое пособие по курсу «Схемотехника ЭВМ». – М.: Издательство МЭИ, 2002.-80с.
7. Угрюмов Е.П.Цифровая схемотехника. — СПб.: БХВ — Санкт-Петербург, 2007. — 782 с: ил.

СОДЕРЖАНИЕ

1 БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ.....	4
1.1 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ЭЛЕМЕНТОВ	4
1.1.1 Общие сведения	4
1.1.2 Общие обозначения логических элементов	4
1.1.3 Электрические параметры микросхем	5
1.1.4 Динамические параметры микросхем	6
1.1.5 Параметры импульсных сигналов	6
1.2 ОСНОВНЫЕ ТИПЫ БАЗОВЫХ ЛЭ	8
1.2.1 Резисторно-транзисторный ЛЭ (РТЛ)	8
1.2.2 Транзисторные элементы с непосредственной связью (НСТЛ)	9
1.2.3 Дiodно-транзисторные ЛЭ (ДТЛ)	10
1.2.4 Транзисторно-транзисторные ЛЭ (ТТЛ)	11
1.2.5 Транзисторно-транзисторные ЛЭ с диодами Шоттки (ТТЛШ)	16
1.2.6 Эмиттерно-связные ЛЭ (ЭСЛ)	19
1.2.7 Интегральные инжекционные ЛЭ (И ² Л)	21
1.2.8 Логические элементы на одноканальных МОП-транзисторах (МОП)	23
1.2.9 Логические элементы на комплементарных МОП-транзисторах (КМОП)	25
1.3 СРАВНЕНИЕ ПАРАМЕТРОВ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ОСНОВНЫХ СЕМЕЙСТВ	32
1.4 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 1	33
2 ВЫХОДНЫЕ КАСКАДЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ [2,4,6]	34
2.1. ТРИГГЕРЫ ШМИТТА	34
2.2. ОСНОВНЫЕ ТИПЫ ВЫХОДНЫХ КАСКАДОВ ЛЭ	36
2.2.1 Стандартный выходной каскад	36
2.2.2 Выходной каскад с открытым коллектором	36
2.2.3 Выходной каскад с открытым эмиттером	38
2.2.4 Схема с тремя состояниями на выходе	38
2.3. ПРИМЕНЕНИЕ ЛЭ С ТРЕМЯ СОСТОЯНИЯМИ ВЫХОДА	40
2.3.1. Реализация операции МОНТАЖНОЕ ИЛИ	40
2.3.2. Шинные формирователи с тремя состояниями выхода	40
2.4. ШИННЫЕ ПРИЁМОПЕРЕДАТЧИКИ	41
2.4.1. Шинные приемопередатчики с тремя состояниями выхода	41
2.4.2. Шинные приемопередатчики с открытым коллекторным выходом	43
2.4.4. Шинные приемопередатчики с тремя направлениями передачи	45
2.5 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 2	46
3. ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ЦИФРОВЫХ МС [5]	47
3.1 ЭВОЛЮЦИЯ ТЕХНОЛОГИЙ	47
3.1.1 Совершенствование транзисторов	47
3.1.2 Совершенствование микросхем	50
3.1.3 Эволюция микропроцессоров и БИС	54
3.1.4 Первые персональные компьютеры	56
3.1.5 Развитие технологий изготовления БИС	56
3.1.6 Совершенствование технологий изготовления БИС	58
3.2 СОВРЕМЕННЫЙ ТЕХПРОЦЕСС	65
3.2.1 45-нанометровая технология	65
3.2.2 Итоги и тенденции развития технологий	68
3.2.3 22-нанометровая технология и трехмерный транзистор Intel	73
3.2.4 Технормы и техпроцессы	78
3.2.5 Будущее современных технологий	80
3.3 КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ ПО МОДУЛЮ 3	81
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	82