

Memória

```
graph TD; Mem[Memória] <--> UC[Unidade de controle]; Mem <--> UAL[Unidade Aritmética e Lógica]; UC <--> UAL; UAL --> Entr[Entrada]; Entr --> UAL; UAL --> Saída[Saída]; Saída --> UAL; subgraph UAL_Box [Unidade Aritmética e Lógica]; Acum[Acumulador]; end
```

The diagram illustrates the architecture of a computer system. At the top is a box labeled 'Memória'. Below it are two boxes: 'Unidade de controle' on the left and 'Unidade Aritmética e Lógica' on the right. The 'Unidade Aritmética e Lógica' box contains a smaller box labeled 'Acumulador' at the bottom. At the very bottom are two boxes: 'Entrada' on the left and 'Saída' on the right. Arrows indicate the flow of data: a double-headed arrow between 'Memória' and 'Unidade de controle'; a double-headed arrow between 'Memória' and 'Unidade Aritmética e Lógica'; a double-headed arrow between 'Unidade de controle' and 'Unidade Aritmética e Lógica'; a single-headed arrow from 'Unidade Aritmética e Lógica' to 'Entrada'; a single-headed arrow from 'Entrada' to 'Unidade Aritmética e Lógica'; a single-headed arrow from 'Unidade Aritmética e Lógica' to 'Saída'; and a single-headed arrow from 'Saída' to 'Unidade Aritmética e Lógica'.

Unidade
de controle

Unidade
Aritmética
e Lógica

Acumulador

Entrada

Saída