

# 实验 2 报告

学号: 2017K8009929013

姓名:

箱子号: 72

## 一、实验任务 (10%)

通过查看波形图, 理解 regfile 的工作过程, 对比理解同步/异步单端口 ram 的工作过程; 修改子任务 3 的 bug, 了解常见的错误。

## 二、实验设计 (0%)

## 三、实验过程 (90%)

### (一) 实验流水账

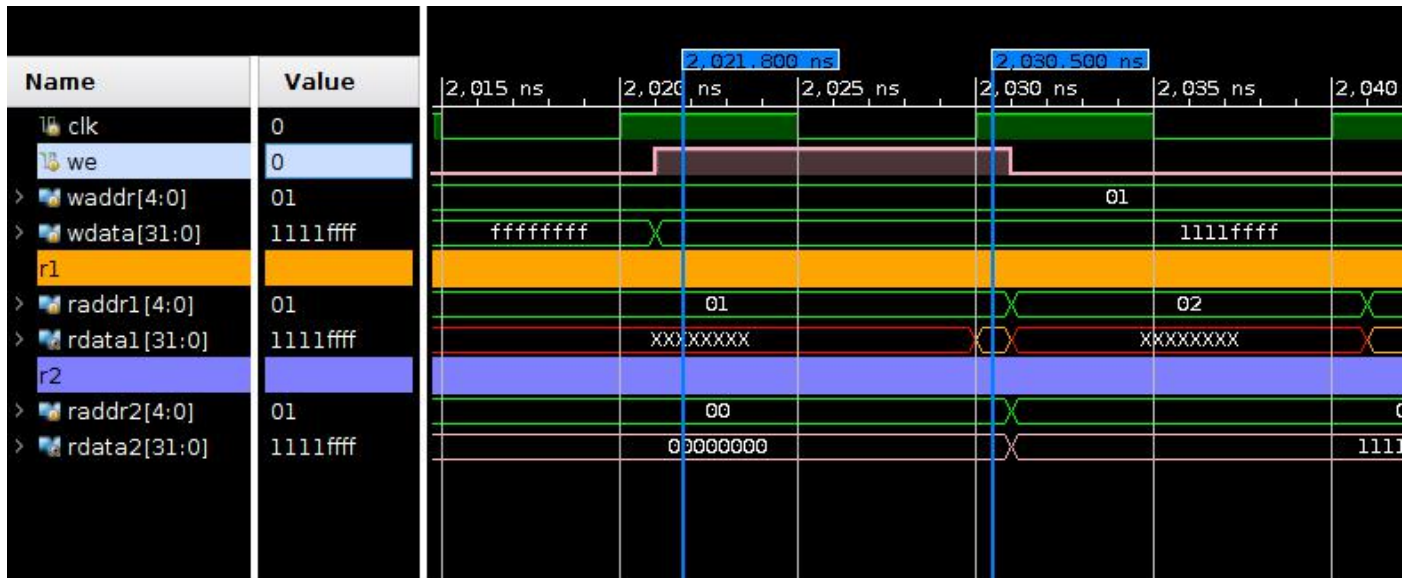
9 月 7 号上午, 创建了 3 个子任务的项目, 简单查看了代码和波形图

9 月 8 号下午, 截图分析波形图, 开始找 bug 并调试

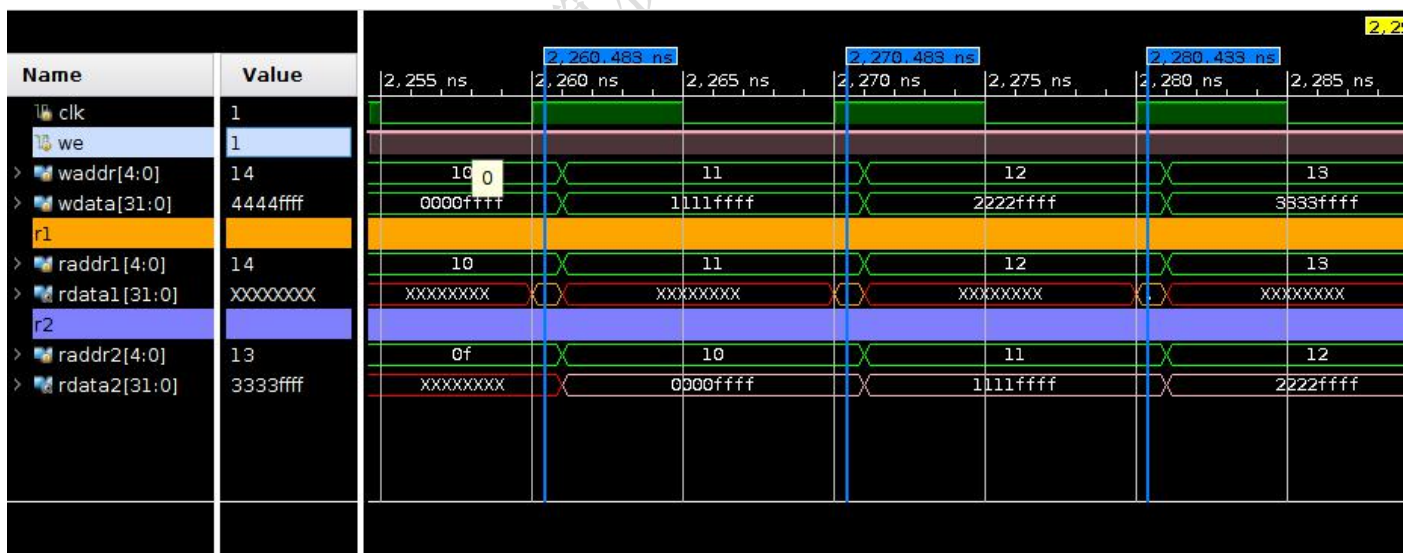
9 月 9 号上午, bug 调试完毕, 上板运行, 两次后正常

## （二）子任务一

1. 第一个 cursor 处 wen 信号拉高，在下一个时钟上升沿在 01 地址写入 1111ffff，此时从 01 读出的 rdata1 为刚刚写入的 1111ffff



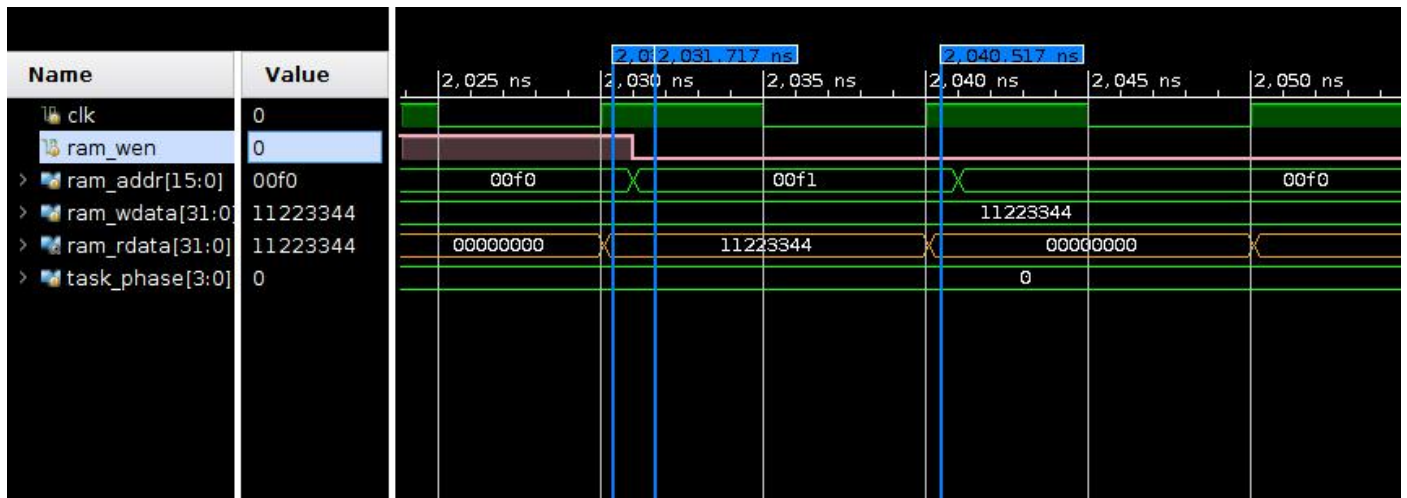
2. wen 信号一直拉高，每次写入都在时钟上升沿完成（三个光标处），并输出到 rdata1 接口处



### (三) 子任务二

#### 1、 仿真行为对比分析

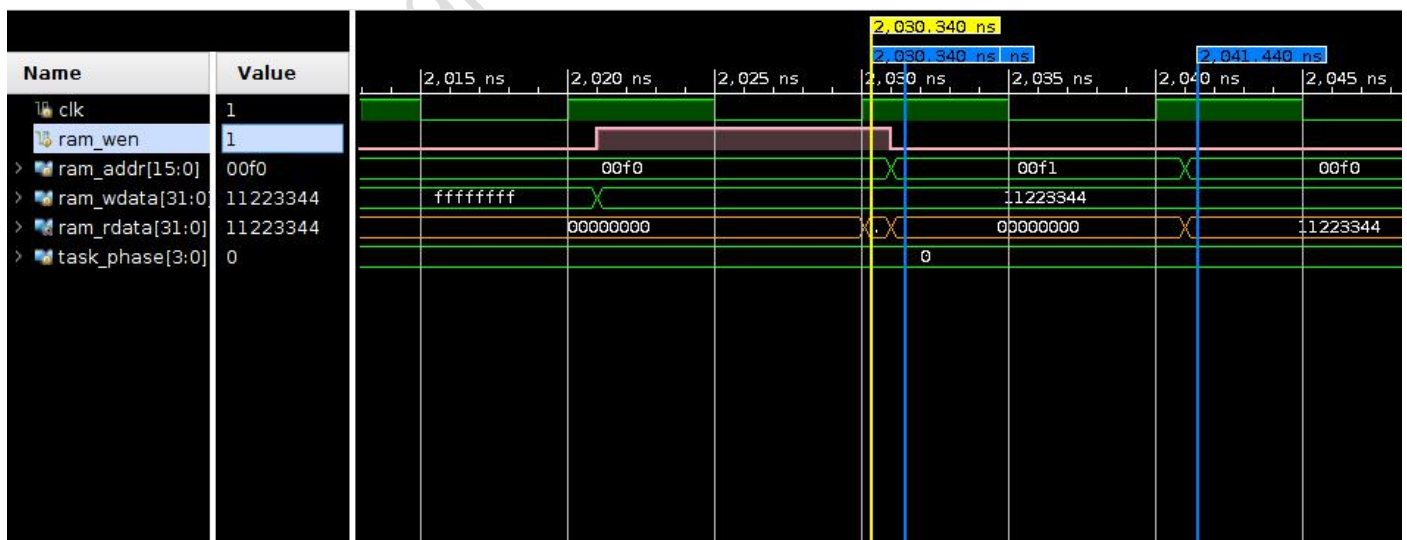
##### (1)同步 ram



第一个光标处：时钟上升沿，rdata 更新为当前地址 00f0 的值，为 11223344

第二个光标处：地址更新为新地址 00f1，但是 rdata 并没有随之更新（这点与异步 ram 不同），而是到第三个光标处的时钟上升沿时才更新为 00f1 地址处的值

##### (2)异步 ram



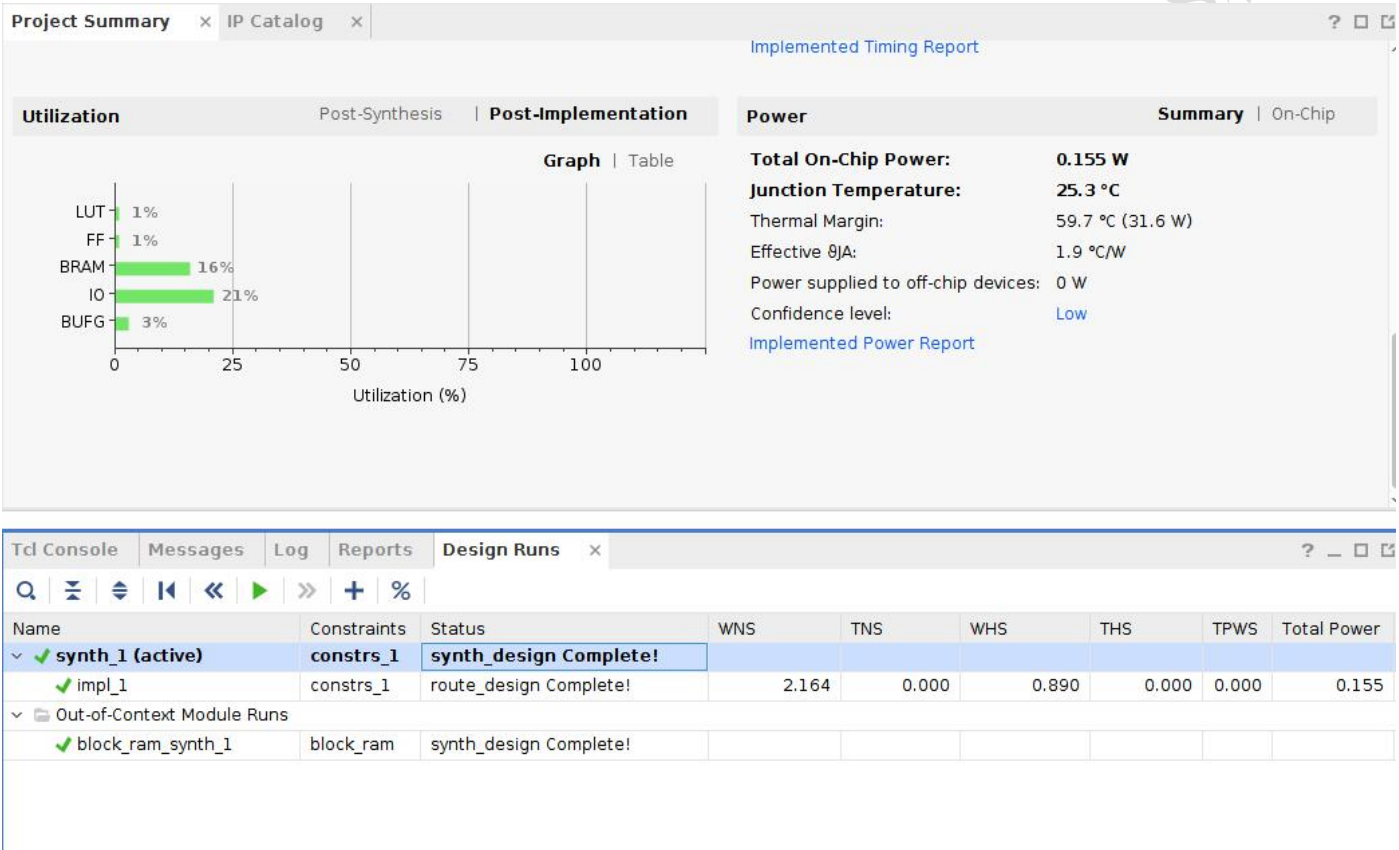
第一个光标处：时钟上升沿，wdata 为 11223344，写入地址 00f0，同时 rdata 更新为刚刚写入的 11223344

第二个光标处，addr 更新为 00f1，虽然不是时钟上升沿，但是 rdata 及时更新为 00f1 中的数据

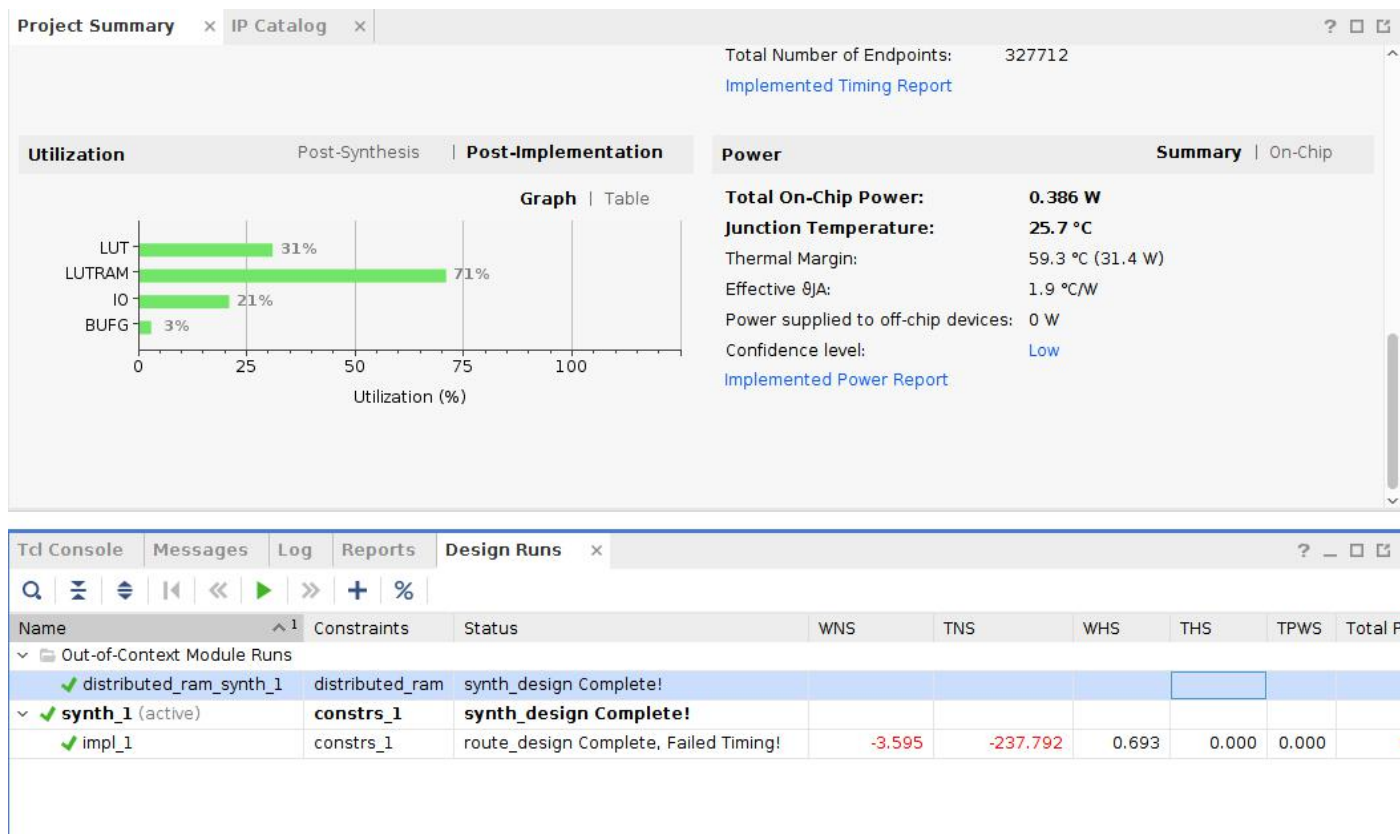
第三个光标处，addr 更新为 00f0，同上，虽然不是时钟上升沿，但是 rdata 及时更新为 00f0 中的数据（这点与同步 ram 不同）

## 2、时序、资源占用对比分析

### (1)同步



## (2)异步



## (四) 子任务三

1. // show\_data <= ~switch;

思路: show\_data 波形图值一直是 X, 检查后看到此处未完成赋值, 应该去掉注释符

2. num\_csn (num\_scn )

思路: num\_csn 的值一直是 Z, 检查后看到这里有拼写错误, 信号没加上

3. always @(posedge clk) begin show\_data\_r = show\_data; end

思路: 因为有提示前面 bug 对应着讲义中 4 个问题, 所以特地关注的非阻塞赋值, 然后就发现这个啦, 应该修改为 show\_data\_r <= show\_data

4. assign keep\_a\_g = num\_a\_g + nxt\_a\_g;

思路: nxt\_a\_g 的赋值用到了 keep\_a\_g, 这里 keep 又用到了 nxt, 有环路产生, 应该修改为 keep\_a\_g = num\_a\_g;

5. nxt\_a\_g 赋值的过程中, 分析 show\_data 的值时少了 show\_data==6 时的情况, 应该加上去, 分析后知道 6 对应的 nxt\_a\_g 值为 7 位信号 1011111