

# *CHAPITRE EN2*

## *Logique combinatoire 2: Circuits arithmétiques*

- 
- 1. Représentation des nombres
  - 2. Structure parallèle
  - 3. Structure non parallèle
  - 4. Addition
  - 5. Soustraction
  - 6. Dépassement de dynamique
  - 7. Calcul de délai

# REPRÉSENTATION DES NOMBRES – Nombres non signés

- **Binaire naturel (base 2) (straight binary)**

- Code sur N bits des entiers positifs compris entre 0 et  $2^N - 1$

$N = 8$        $10011011_2 = 155_{10}$

MSB  $2^{N-1}$       LSB  $2^0$

- **Hexadécimal (base 16)**

- Code un mot binaire par groupes de 4 bits

$3231_{10} = \underbrace{1100}_C \underbrace{1001}_9 \underbrace{1111}_F$

$3231_{10} = C9F_H$

0000	0		1000	8
0001	1		1001	9
0010	2		1010	A
0011	3		1011	B
0100	4		1100	C
0101	5		1101	D
0110	6		1110	E
0111	7		1111	F

# REPRÉSENTATION DES NOMBRES – Nombres signés

- **Complément à 2 (two's complement)**

- Code sur N bits des entiers compris entre  $-2^{N-1}$  et  $2^{N-1} - 1$

$N = 8$

MSB  $-2^{N-1}$       LSB  $2^0$

$10011011_2 = -101_{10}$

↓

$1 \ 0011011$

$-128 \quad +27 = -101$

$-A = \bar{A} + 1$

$17 = 00010001$

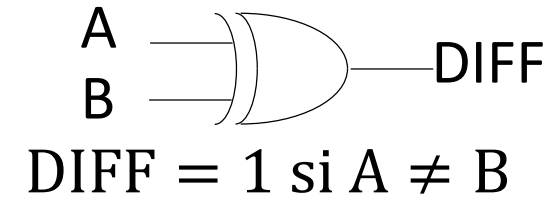
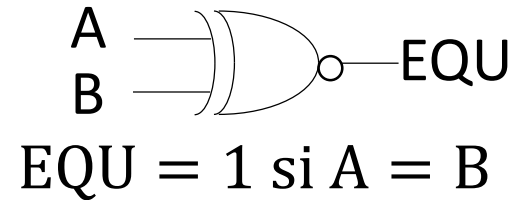
→  $11101110$

$\quad \quad \quad +1$

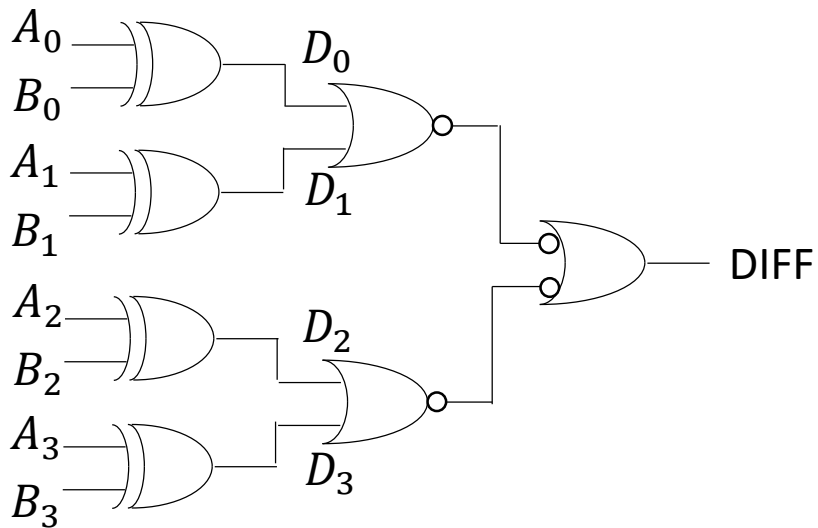
---

$11101111 = -17$

## Comparateur 1 bit



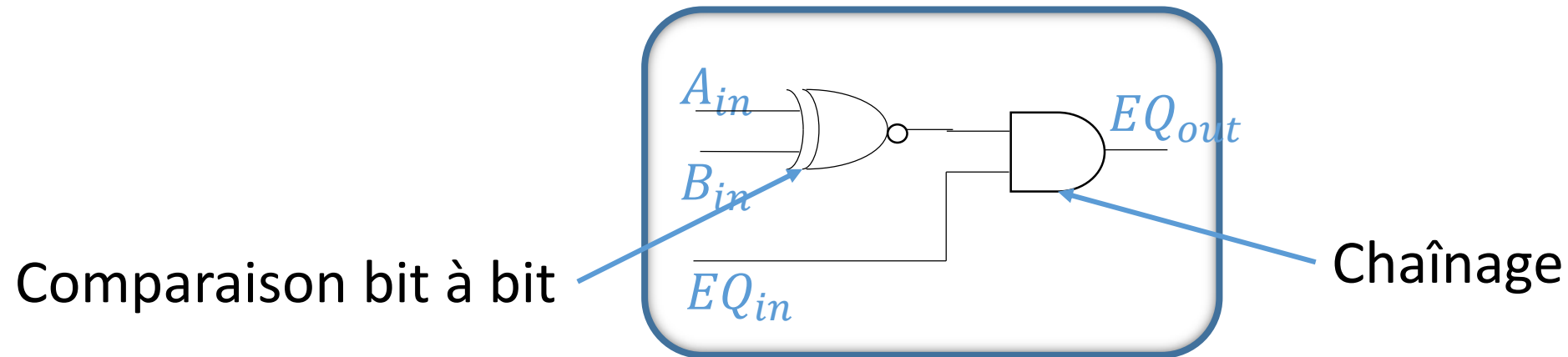
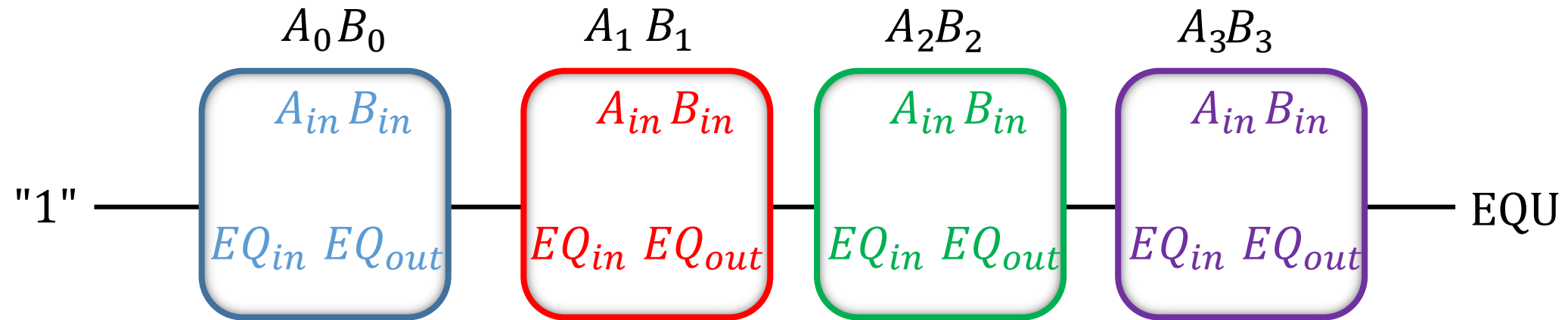
## Extension à N bits



### Délai ?

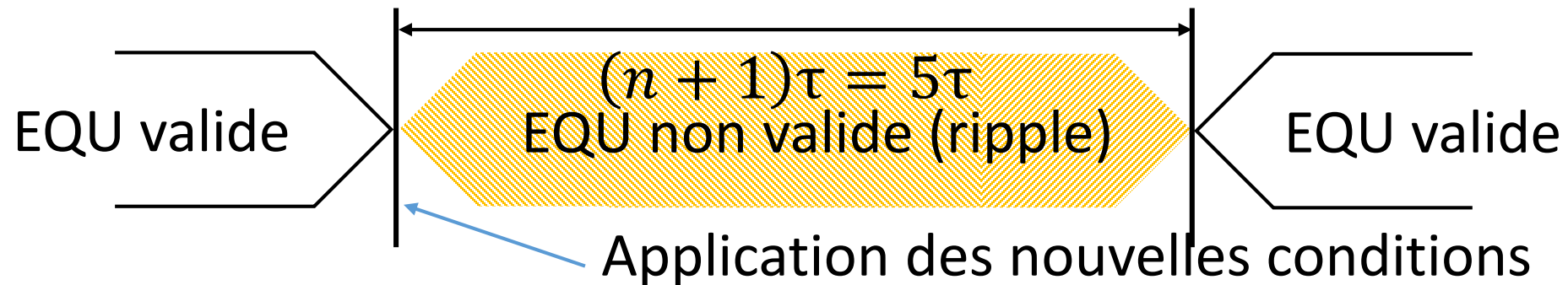
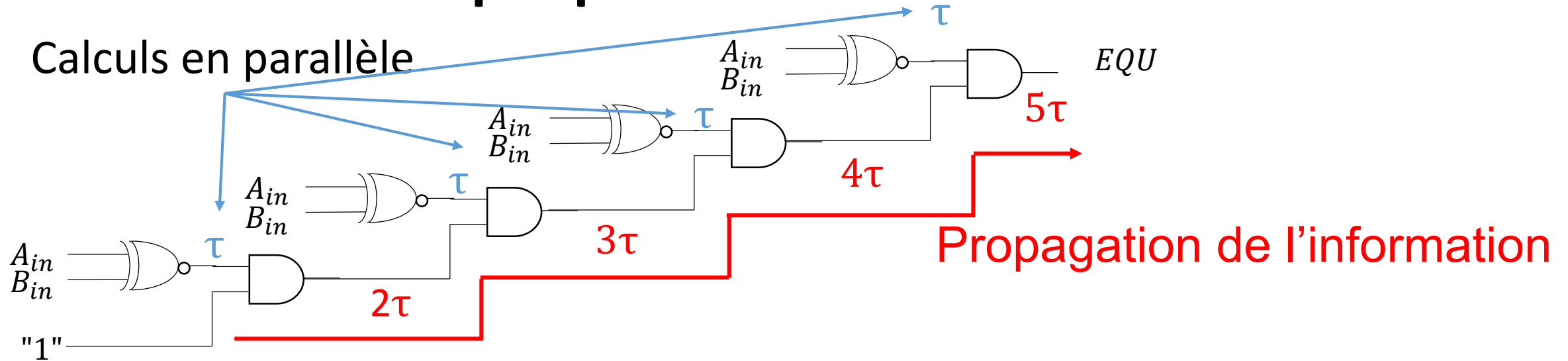
1 retard de valeur  $\tau$  par porte:  
délai sur DIFF =  $3\tau$

## • Structure générale



# STRUCTURE NON PARALLÈLE – Délai

- Retard de valeur  $\tau$  par porte



C'est la propagation de l'information à travers la chaîne qui détermine le délai

# ADDITION – Principe sur 1 bit

## Addition en base 2

$$\begin{array}{r} 0 \\ +0 \\ \hline = 0 \end{array} \quad \begin{array}{r} 0 \\ +1 \\ \hline = 1 \end{array} \quad \begin{array}{r} 1 \\ +0 \\ \hline = 1 \end{array} \quad \begin{array}{r} 1 \\ +1 \\ \hline = 10 \end{array}$$

Retenue (carry)

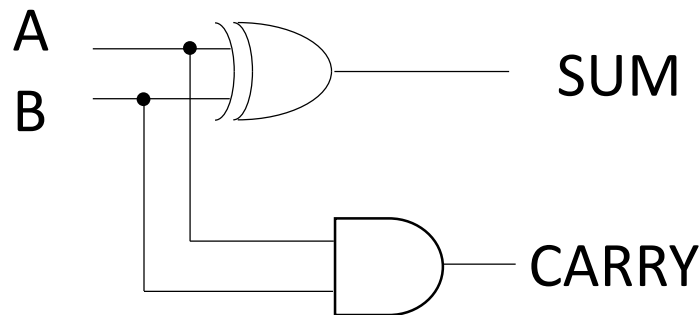
	A	
B	0	1
	1	0
SUM		

$$SUM = A\bar{B} + \bar{A}B$$

	A	
B	0	0
	0	1
CARRY		

$$CARRY = AB$$

## Demi-additionneur 1 bit (half adder)

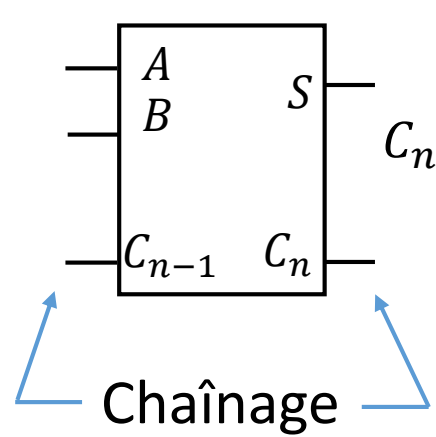


Limité à des mots de 1 bit car ne permet pas le chaînage (addition sans retenue)



# ADDITION – Extension à n bits: traitement itératif

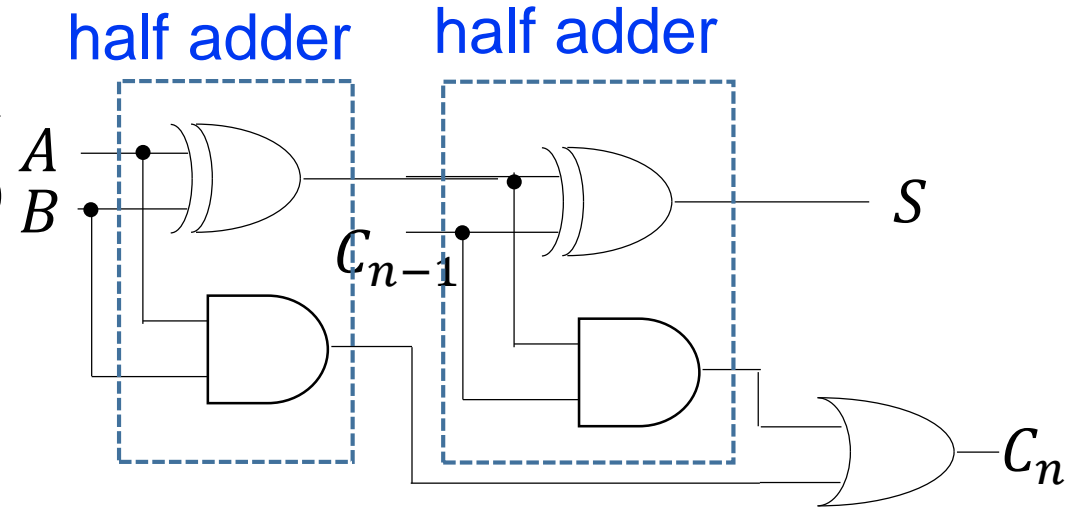
## Additionneur complet 1 bit (full adder)



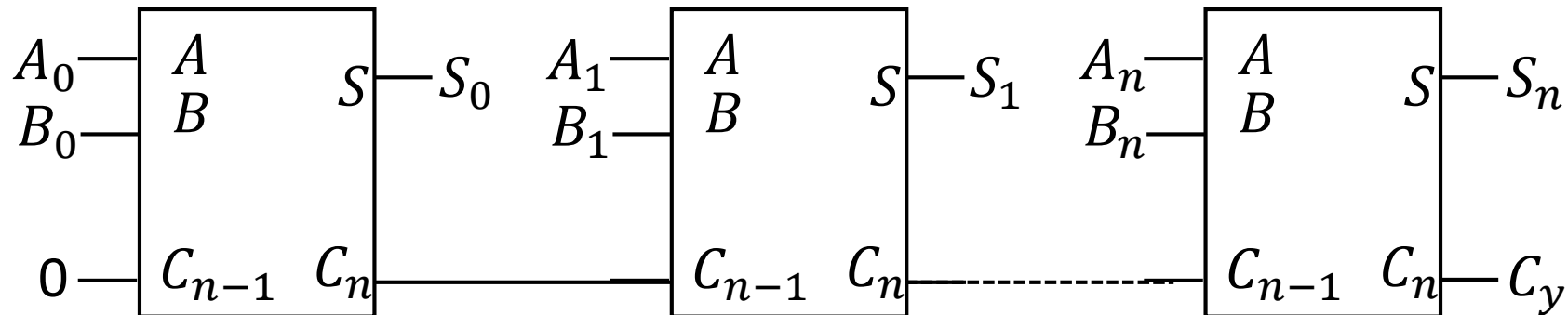
$$S = \bar{A}\bar{B}C_{n-1} + A\bar{B}\bar{C}_{n-1} + \bar{A}B\bar{C}_{n-1} + ABC_{n-1}$$

$$C_n = AB + AC_{n-1} + BC_{n-1} = AB + C_{n-1}(A + B)$$

$$\text{Equivalent à } C_n = AB + C_{n-1}(A \oplus B)$$

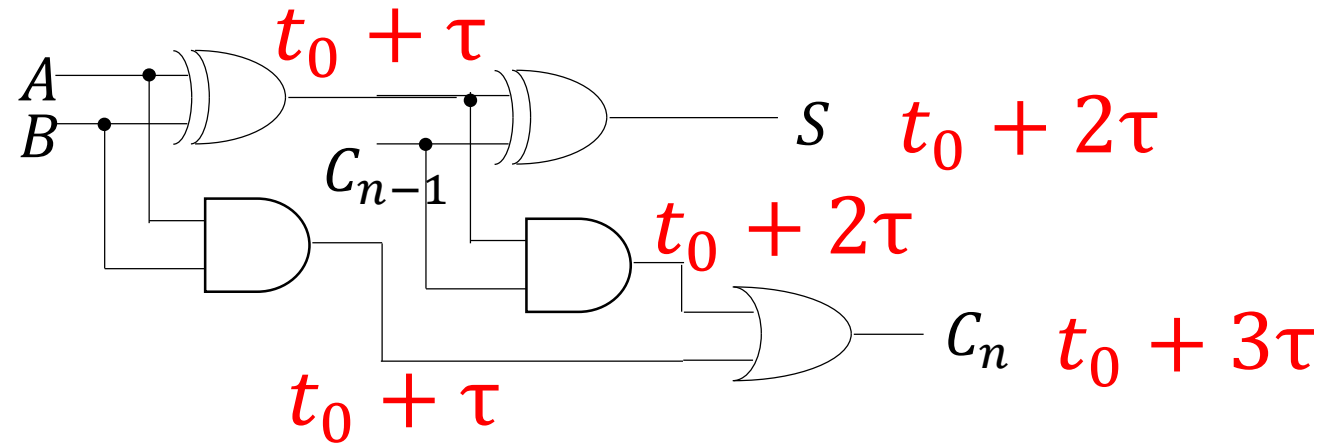


## Additionneur n bits itératif (ripple adder)

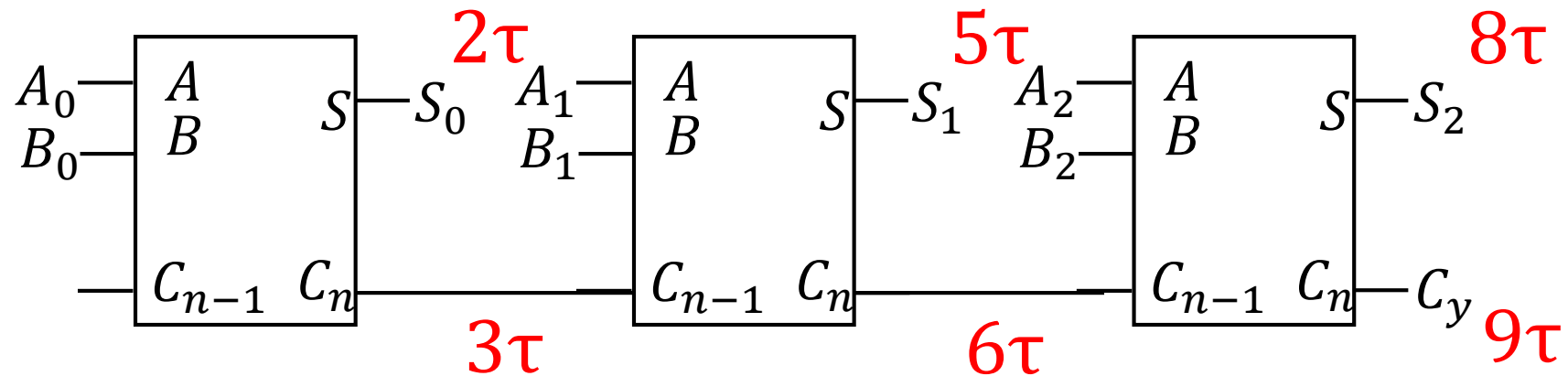


# ADDITION – Délai

- A, B et  $C_{n-1}$  @  $t_0$



- $A_i, B_i$  @  $t_0$



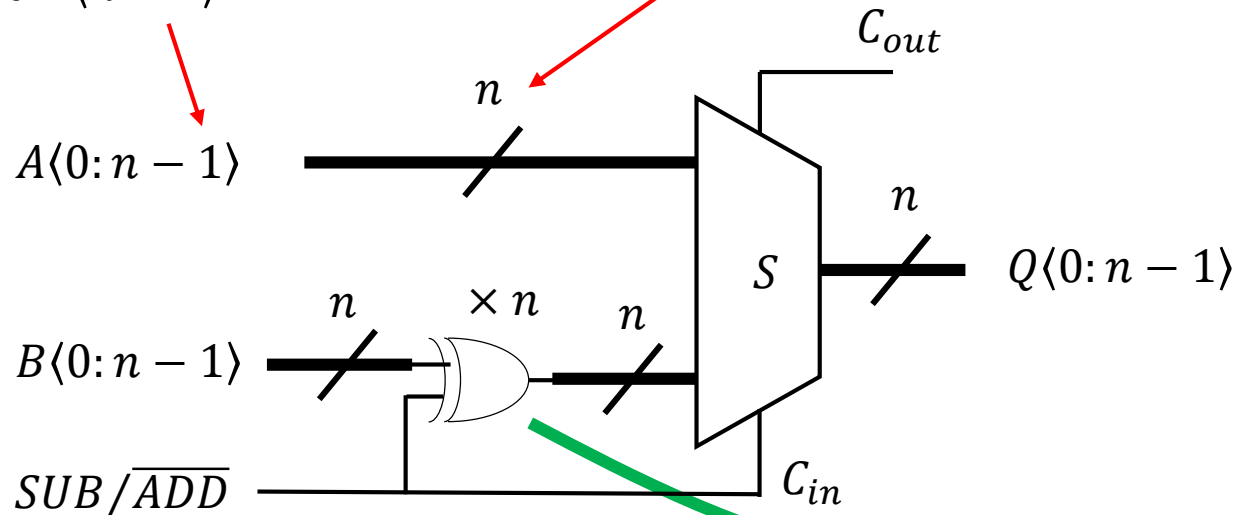
Pour n bits: le délai sur Cout vaut  $(2n + 1)$  délai de porte  
le délai sur  $S_n$  vaut  $2n$  délai de porte

# SOUSTRACTION

**Principe :**  $A - B = A + (-B) \rightarrow A + \bar{B} + 1$

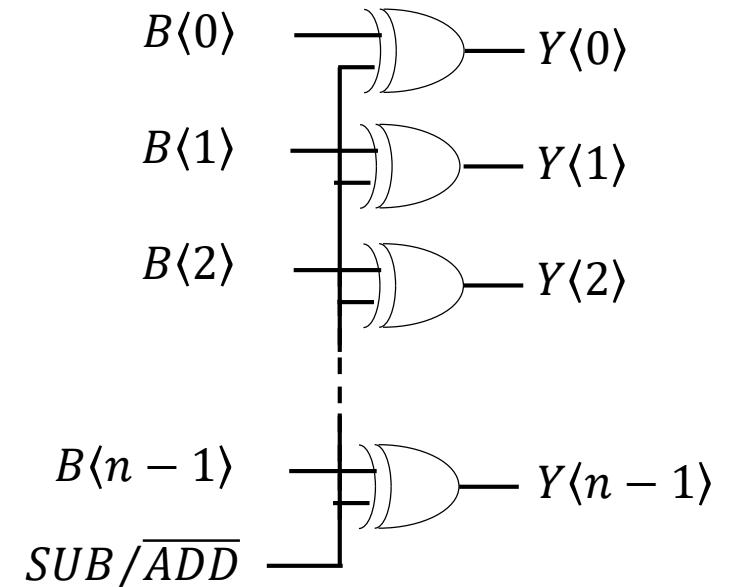
Bus de n signaux nommés  
de  $A\langle 0 \rangle$  à  $A\langle n - 1 \rangle$

Bus de n bits



signal 1 bit: fonction SUB pour "1"  
fonction ADD pour "0"  
(signal de contrôle)

Bus: ensemble de n signaux groupés



# DÉPASSEMENT DE DYNAMIQUE

Exemple sur 8 bits en complément à 2: dynamique comprise entre -128 et +127

Retenues 01

+70 0 1000110

+80 0 1010000

+150 1 0010110

! - 106

Retenues 10

- 70 1 0111010

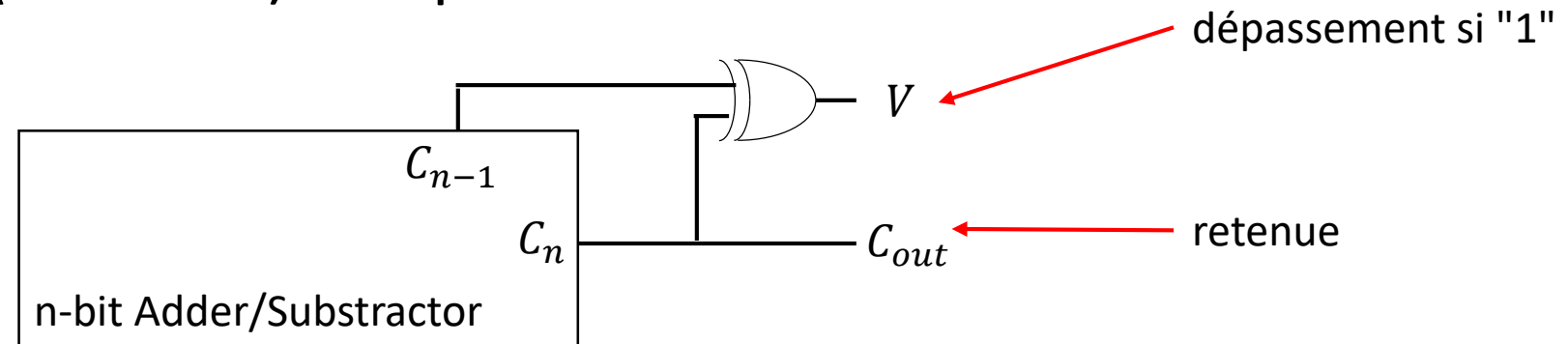
- 80 1 0110000

- 150 0 1101010

! + 106

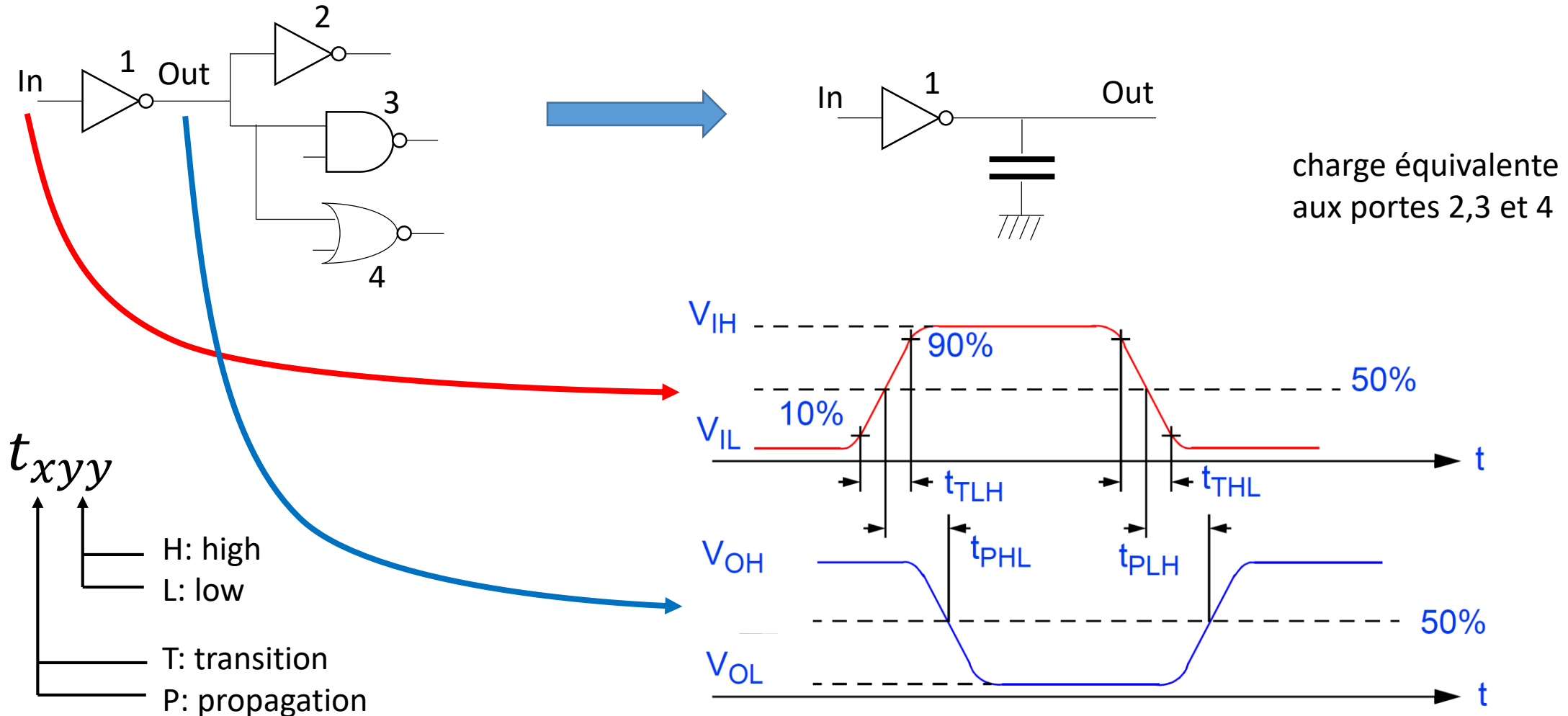
Le résultat devrait être sur 9 bit (la dernière retenue est le 9eme bit)

Il y a dépassement (overflow) lorsque les deux dernières retenues sont différentes



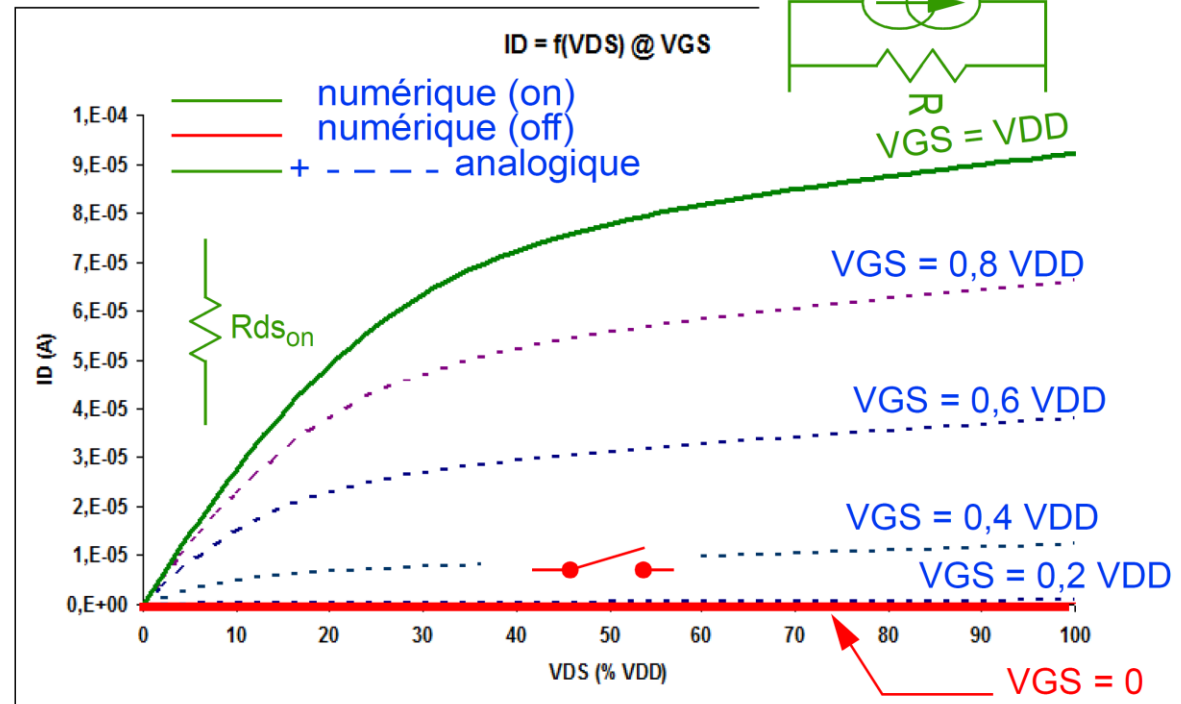
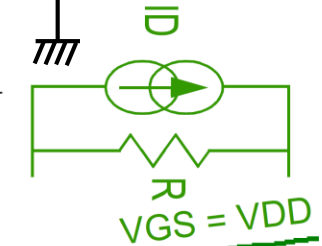
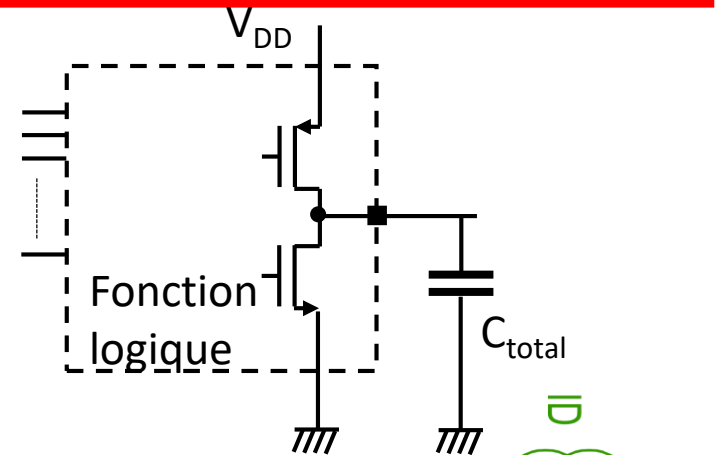
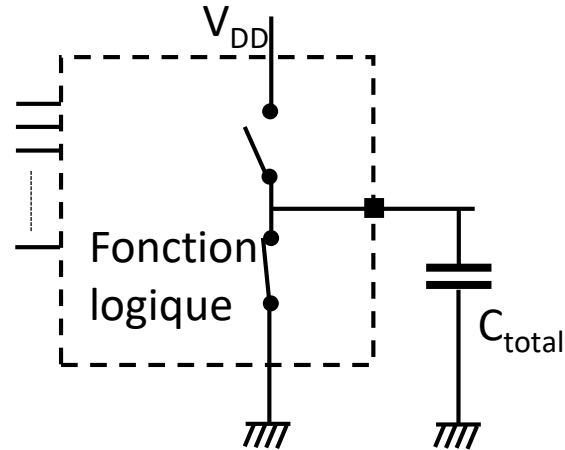
# CALCUL DE DÉLAI – Position du problème

La sortie d'une fonction logique est généralement connectée à plusieurs autres fonctions

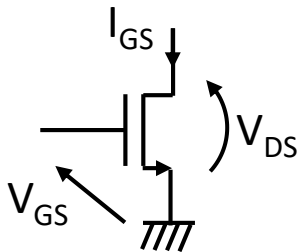


# CALCUL DE DÉLAI – Modélisation

Structure interne d'une porte



Le NMOS

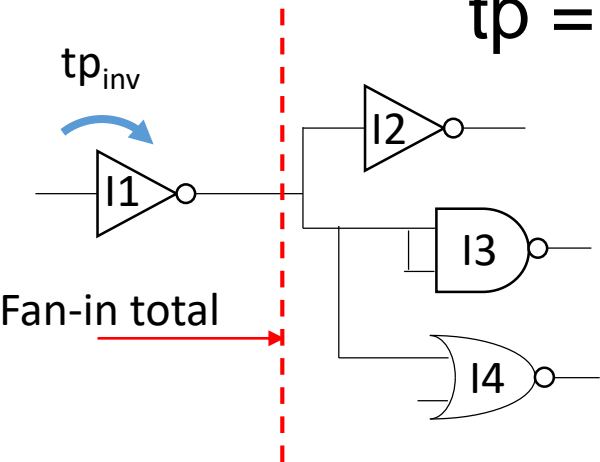


# CALCUL DE DÉLAI – Exemple de calcul

Le temps de propagation est la somme:

- d'un temps de réaction intrinsèque (tp0)
- d'un temps lié à la charge à piloter (fan-in)

$$tp = tp0 + \alpha \sum(fan-in)$$



Fonction	Fan-in	tp0 (ns)	$\alpha$ (ns/fan-in)	Pd ( $\mu$ W/MHz)
INV	1	0,09	0,05	0,5
XOR2	1,6	0,3	0,1	0,6
INV4X	3,7	0,08	0,01	2,8
NAND2	0,85	0,15	0,1	0,6
NAND3	0,9	0,2	0,1	0,6
NAND4	1	0,25	0,1	0,6
NOR2	0,75	0,15	0,1	0,6
NOR3	0,8	0,2	0,15	0,6
AND2	0,9	0,3	0,06	0,9

$$tp_{inv} = 0,09 + 0,05 \times (1 + 2 \times 0,85 + 0,75) = 0,2625 \text{ ns}$$

