

# ***Chapitre EN3***

Les bascules (latch et flip-flop)

Les registres

- 1. Définitions
- 2. Les bascules asynchrones
- 3. Les bascules synchrones sur état
- 4. Les bascules synchrones sur front
- 5. Registre simple
- 6. Registre à décalage
- 7. Caractéristiques dynamiques

# DÉFINITIONS – Rappels

- **Logique séquentielle**

La combinaison des sorties ne dépend pas seulement de celle des entrées mais aussi de l'état précédent des sorties.

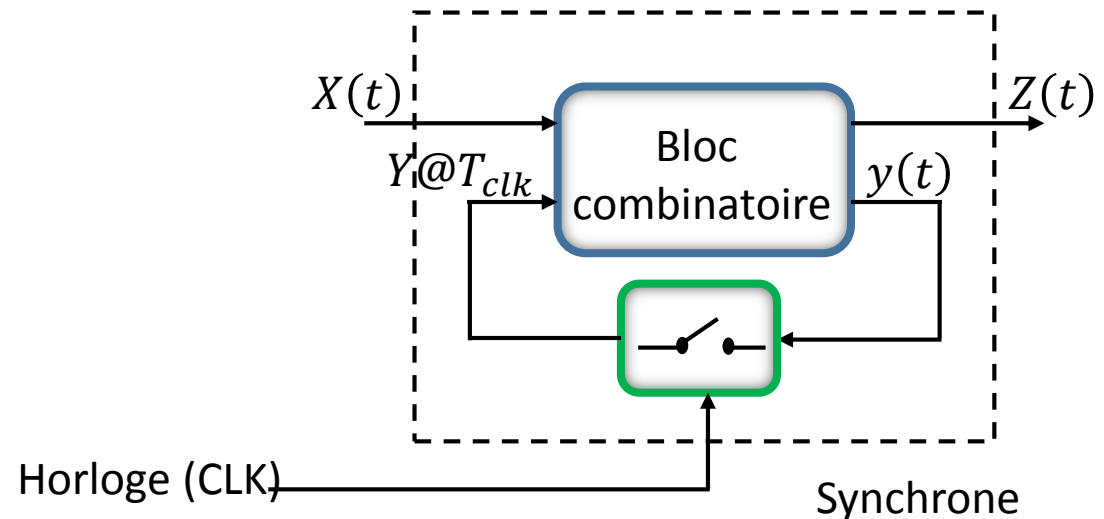
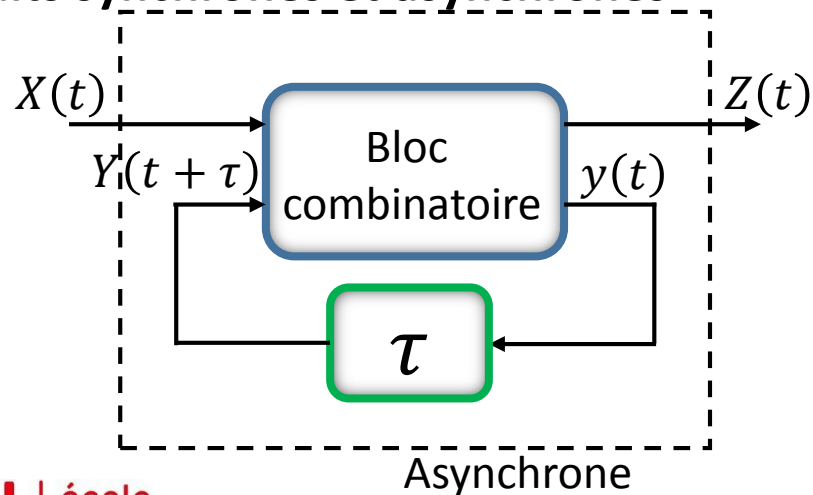
- **Types de circuits**

Astable: le circuit ne possède pas d'état stable (oscillateur)

Monostable: le circuit possède un état stable et un état fugitif de durée déterminée déclenché par un événement particulier (trigger)

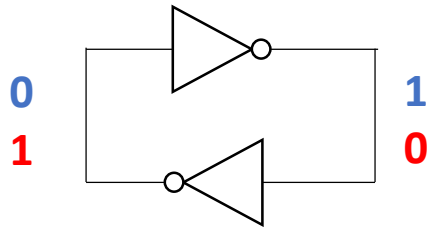
Bistable: le circuit possède deux états stables (mémoire)

- **Circuits synchrones et asynchrones**



# LES BASCULES ASYNCHRONES – Bascule élémentaire : la bascule $\bar{R}\bar{S}$

- Circuit minimal

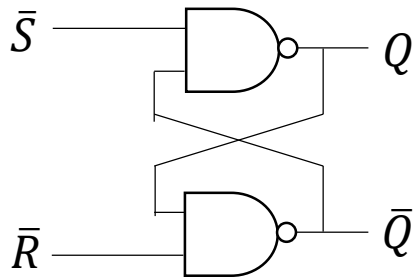


Bascule: circuit bistable



il faut un moyen de fixer l'état désiré

- Réalisation pratique



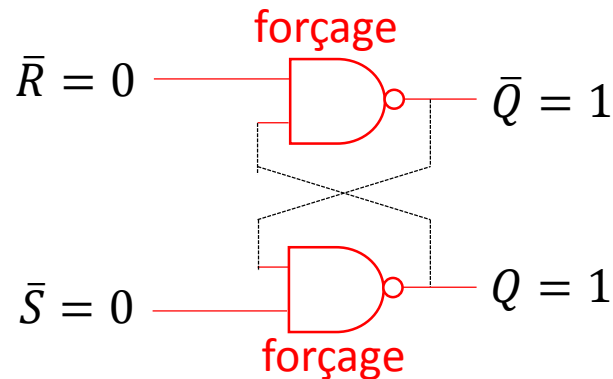
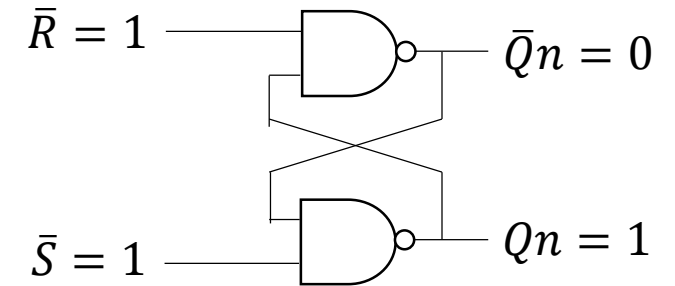
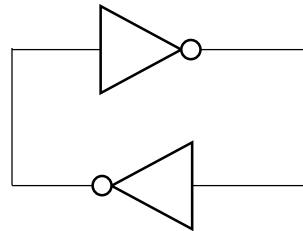
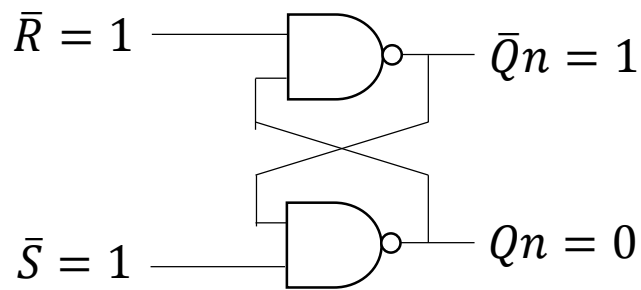
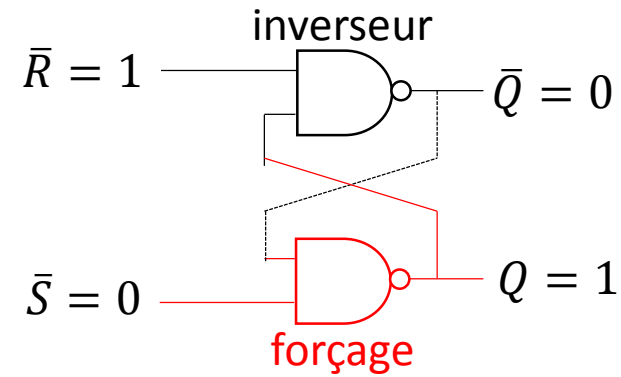
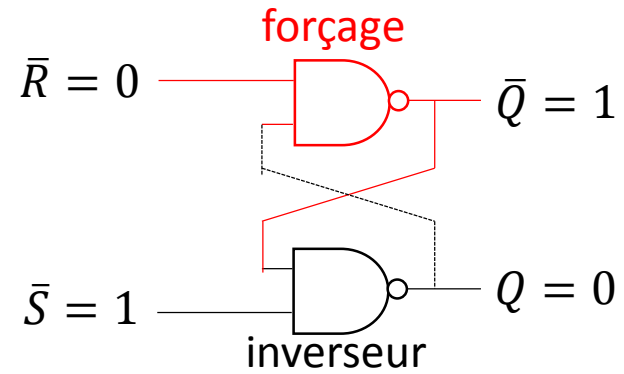
$\bar{R}$	$\bar{S}$	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	$Q_{n-1}$	$\bar{Q}_{n-1}$
0	0	1	1

état mémoire



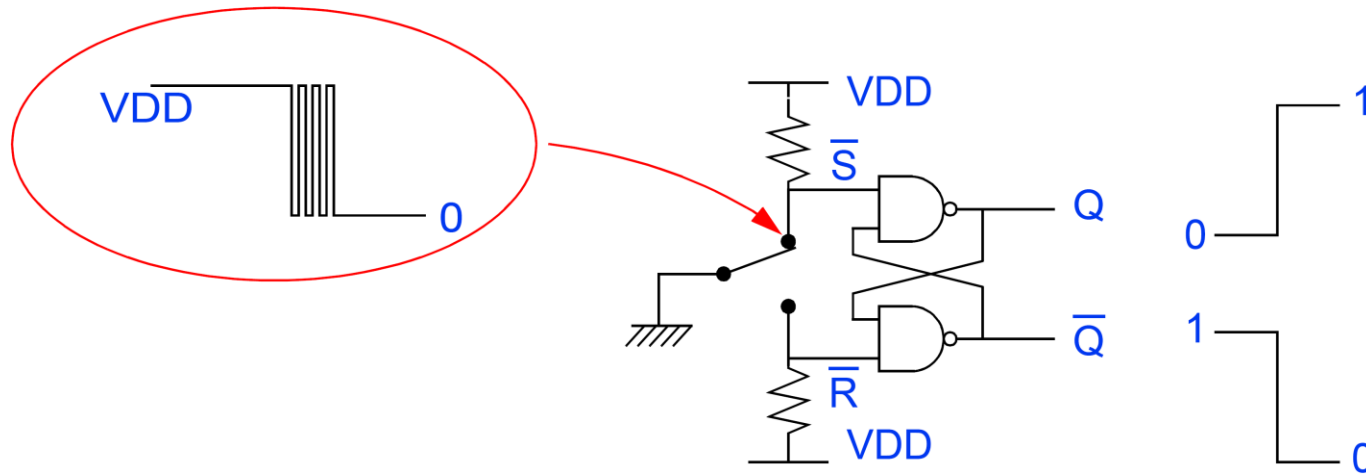
combinaison indésirable

# LES BASCULES ASYNCHRONES – Analyse du fonctionnement



# LES BASCULES ASYNCHRONES – La bascule $\bar{R}\bar{S}$

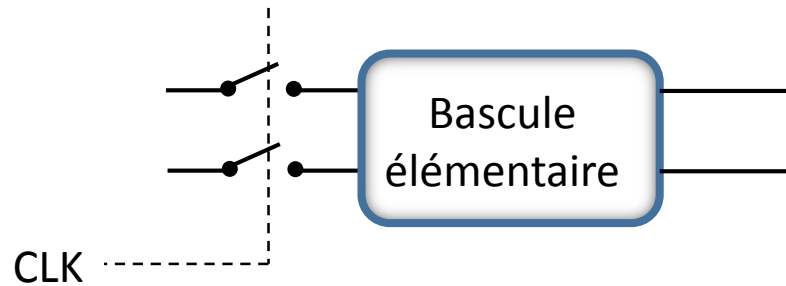
- Application de la bascule  $\bar{R}\bar{S}$ : circuit anti-rebonds



- Limitations des bascules asynchrones

- Fonctionnement asynchrone: la sortie réagit "immédiatement" à l'entrée
- Les entrées doivent donc rester stables

# LES BASCULES SYNCHRONES SUR ÉTAT – Principe et application à la bascule RS

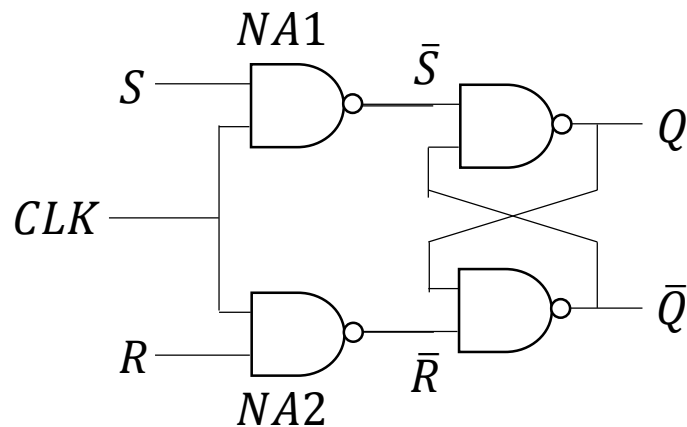


CLK inactif: la bascule est isolée (il faut s'assurer qu'elle se trouve en configuration mémoire)

CLK actif: la bascule fonctionne normalement



Rmq: "actif" ne signifie pas nécessairement au niveau haut (1)



CLK = 0, R et S indifférents car NA1 et NA2 imposent un état  $\bar{R} = \bar{S} = 1$  et par conséquent:

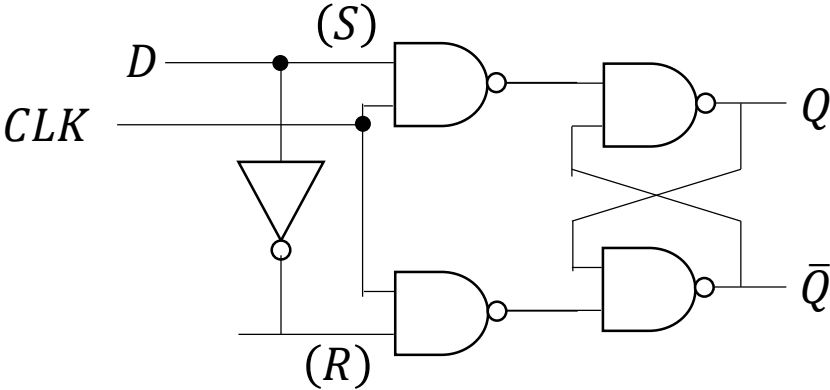
$Q_n = Q_{n-1}$  (état mémoire)

CLK = 1: fonctionnement classique de la bascule car NA1 et NA2 se comportent en inverseurs



la bascule est transparente: la sortie réagit "immédiatement" à l'entrée lorsque CLK=1

# LES BASCULES SYNCHRONES SUR ÉTAT – Bascule D

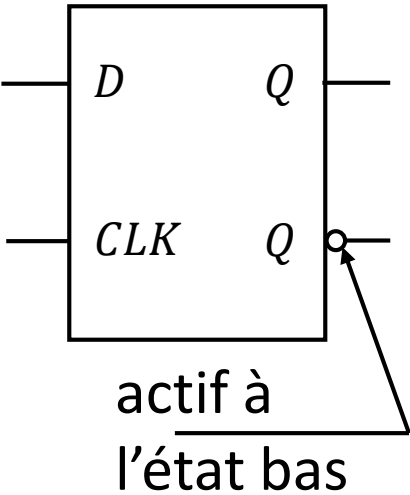


D (Data) = donnée

D	CLK	Qn
X	0	Qn-1
1	1	1
0	1	0



CLK = 1: la bascule est transparente

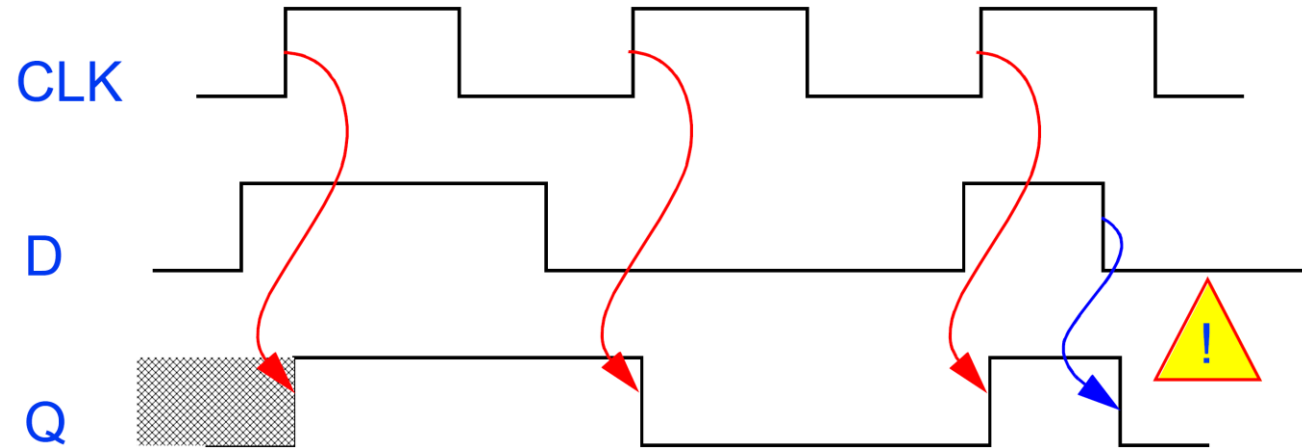


Bascule D: bloc de base incontournable



# LES BASCULES SYNCHRONES SUR ÉTAT – Limitations pratiques

## exemple avec une bascule D



- ➡ La transition en sortie ***semble*** déclenchée par un front d'horloge
- ➡ La sortie ***peut évoluer*** pendant le temps où CLK = 1

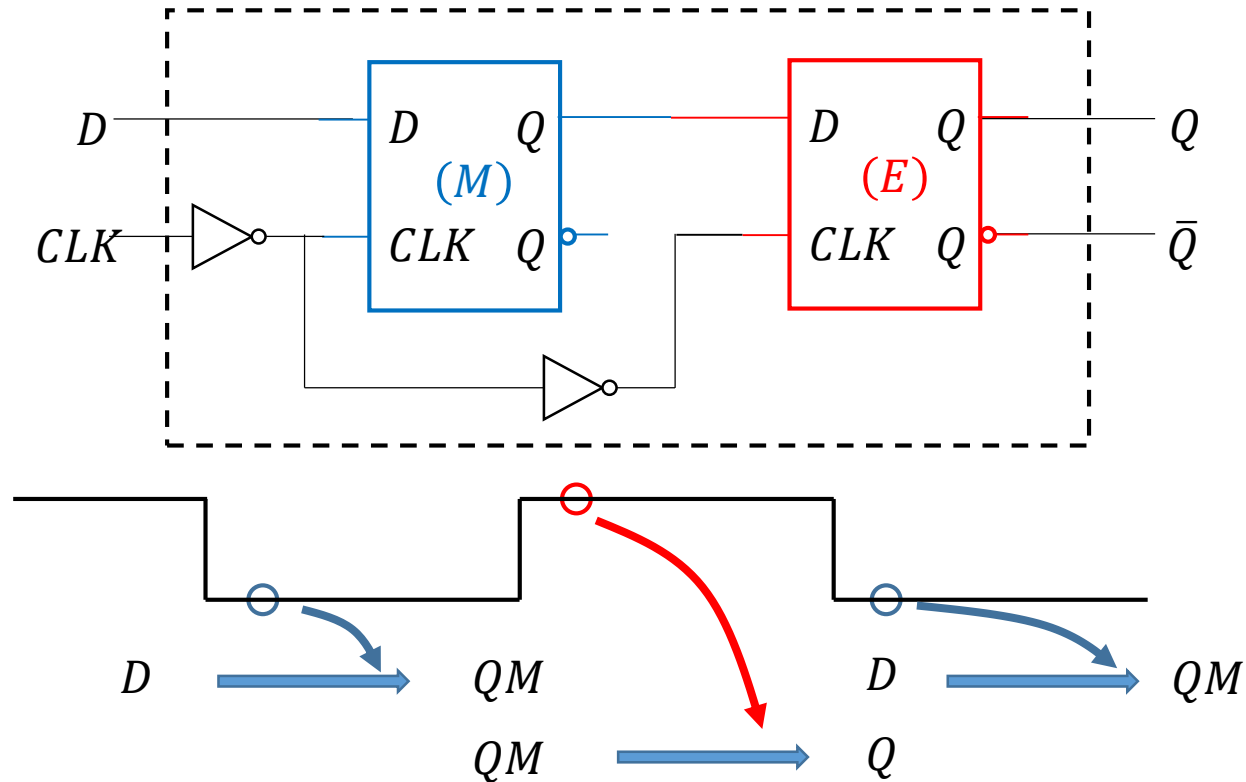


les entrées doivent ***rester stables*** lorsque CLK = 1

# LES BASCULES SYNCHRONES SUR FRONT – Structure Maître-Esclave (Master-Slave)

## Exemple avec une bascule D

Principe: maître et esclave travaillent en alternance



Elimine la nécessité d'avoir des entrées stables lorsque CLK est actif

Dans cet exemple, la donnée apparaît en  $Q$  (et  $\bar{Q}$ ) lors du front montant de CLK

# REGISTRE SIMPLE

Ensemble de n latches (ou flip-flops) servant à stocker n bits

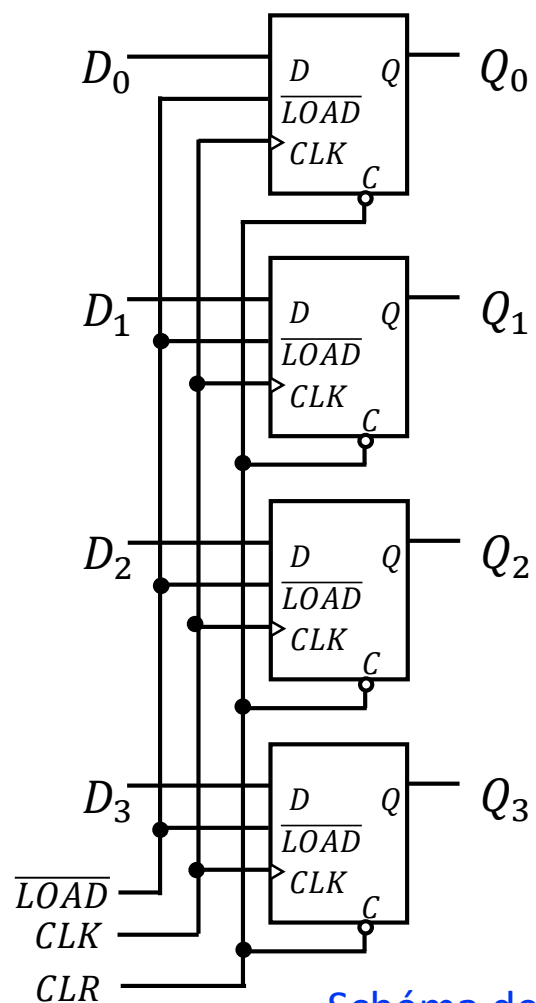
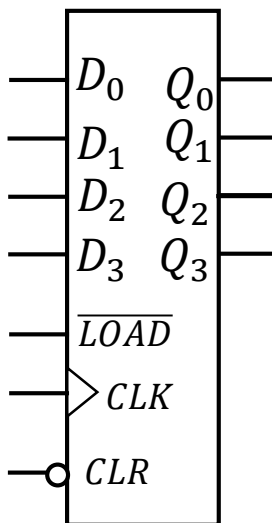
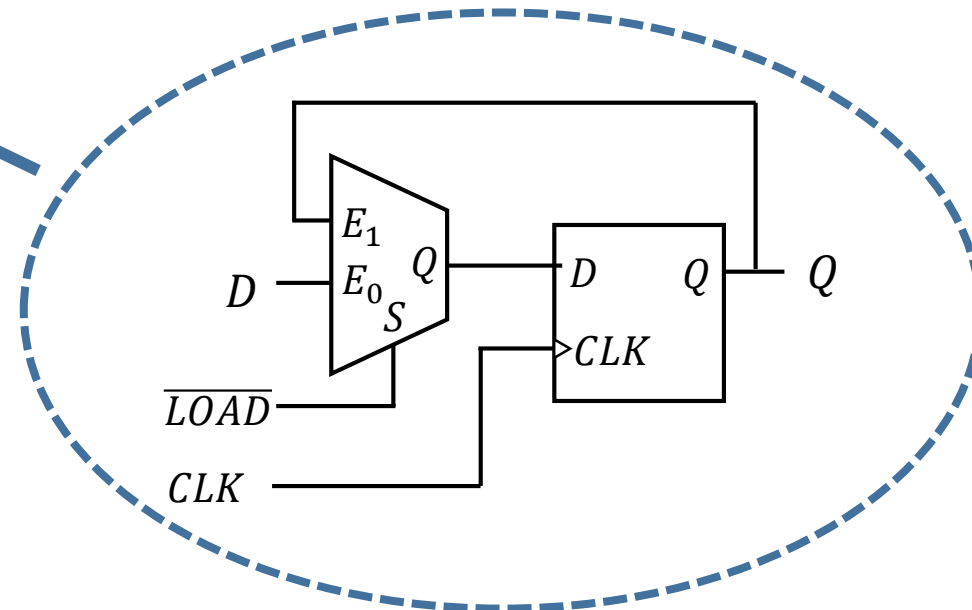


Schéma de principe



Symbole



Exemple: registre 4 bits

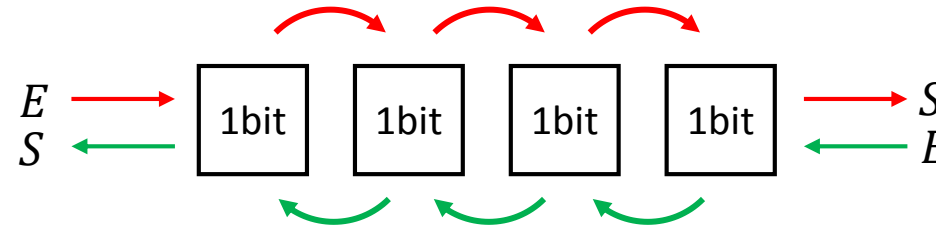


chargement parallèle sur  
front montant de CLK

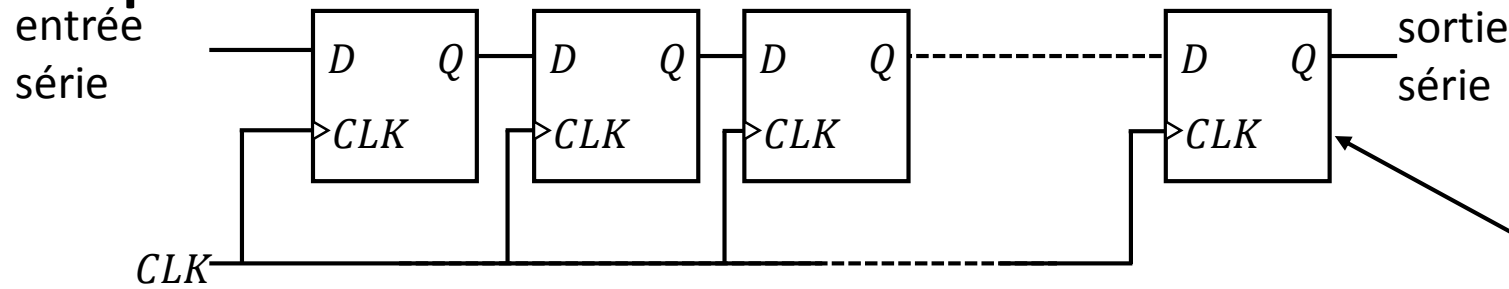
CLR = Clear = remise à zéro

# REGISTRE À DÉCALAGE – Principe

## Fonction



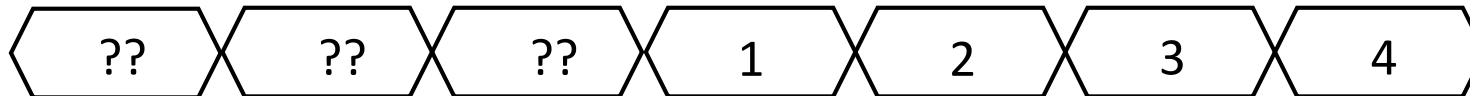
## Schéma de principe



entrée série



sortie série



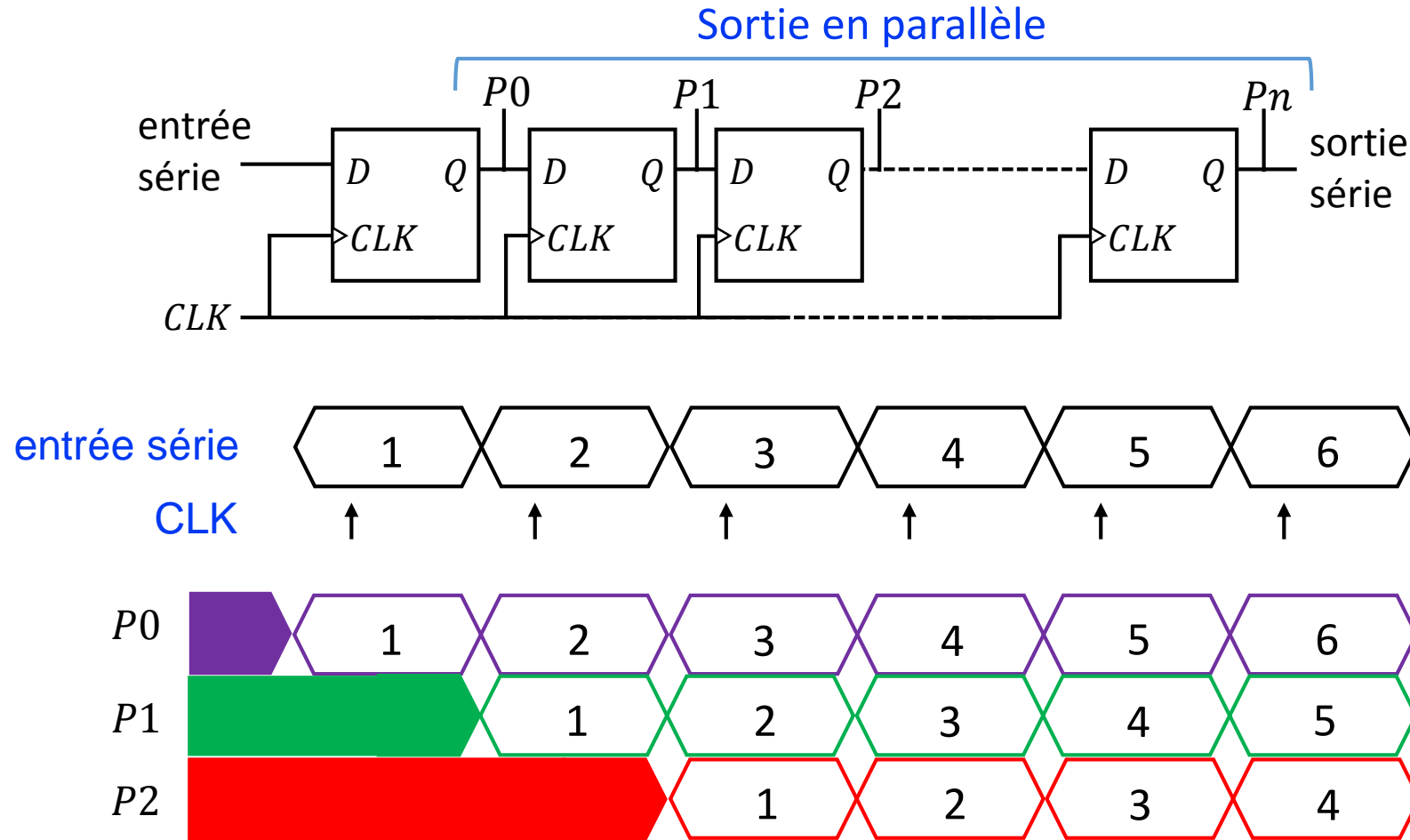
CLK



Application possible: retarder un signal de N périodes d'horloge avec N bascules

(exemple ci-dessus avec N=4)

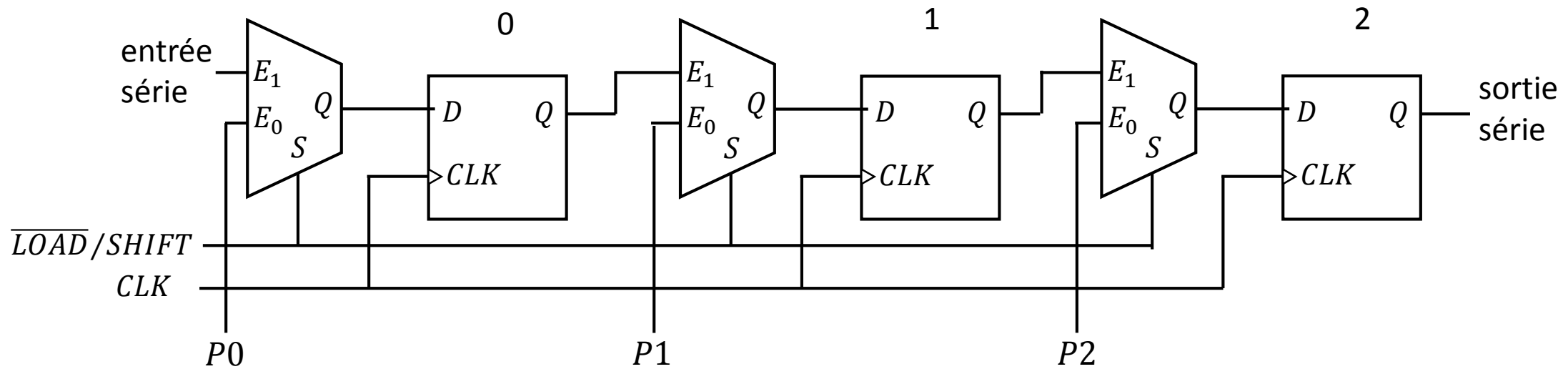
# REGISTRE À DÉCALAGE – Conversion série-parallèle



Application possible: UART (réception)

UART: Universal Asynchronous Receiver Transmitter (par ex. liaison RS232 d'un PC)

# REGISTRE À DÉCALAGE – Conversion parallèle-série



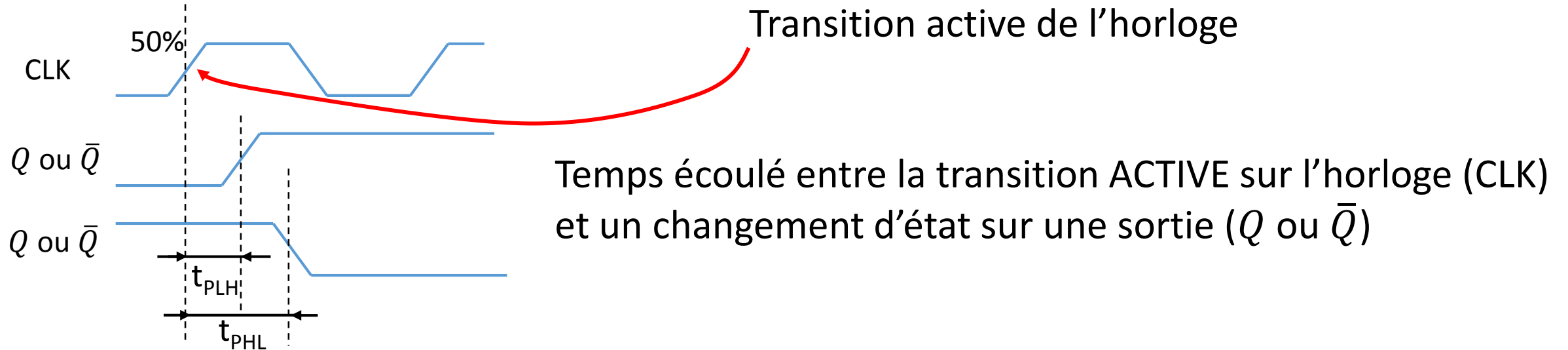
$\overline{LOAD}/SHIFT = 0$   $P_i$  connecté à  $D_i$ : chargement parallèle du registre

$\overline{LOAD}/SHIFT = 1$   $Q_i$  connecté à  $D_{i+1}$ : décalage vers la droite et sortie série

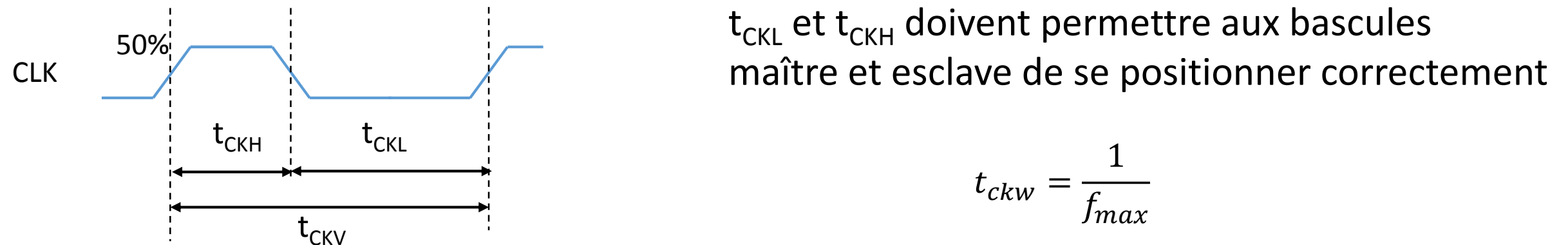
Application possible: UART (émission)

# CARACTÉRISTIQUES TEMPORELLES – Propagation & signal d'horloge

## Temps de propagation



## Durée d'impulsion (pulse duration)



$$t_{ckw} = \frac{1}{f_{max}}$$

# CARACTÉRISTIQUES TEMPORELLES – Setup & Hold

Temps de prépositionnement (setup time,  $t_{su}$ ) et de maintien (hold time,  $t_h$ )



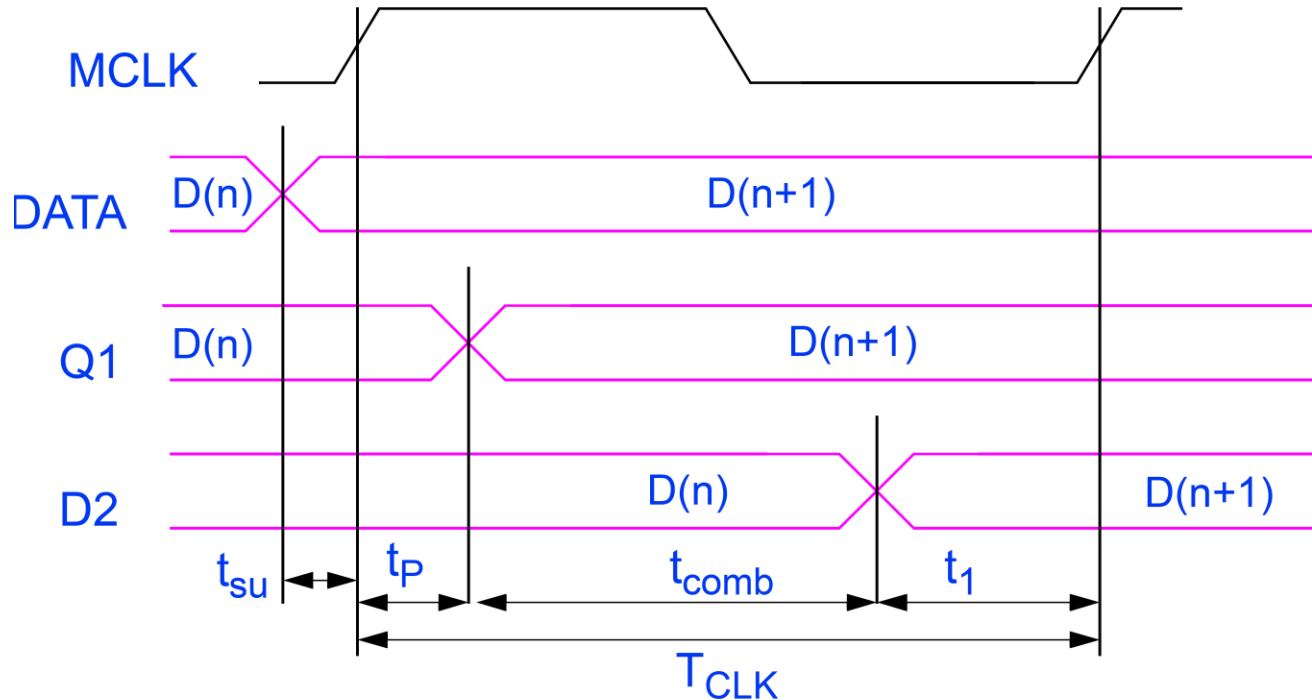
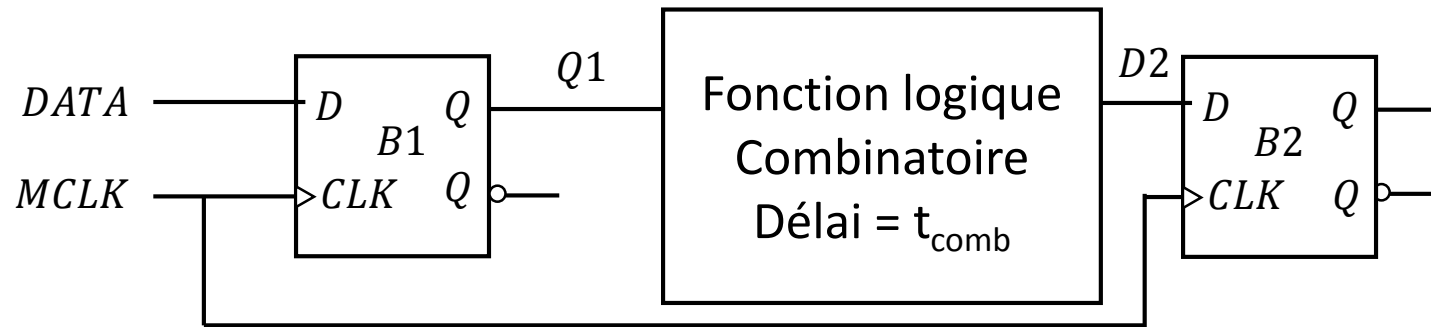
$t_{su}$  et  $t_h$  permettent à la bascule maître d'effectuer sa transition vers un état mémoire avec des données d'entrée stables

$t_{su}$  et  $t_h$  ne sont pas nécessairement égaux,  $t_h$  peut être nul

La transition active de l'horloge n'est pas obligatoirement un front montant



# CARACTÉRISTIQUES TEMPORELLES – Fréquence maximale de fonctionnement

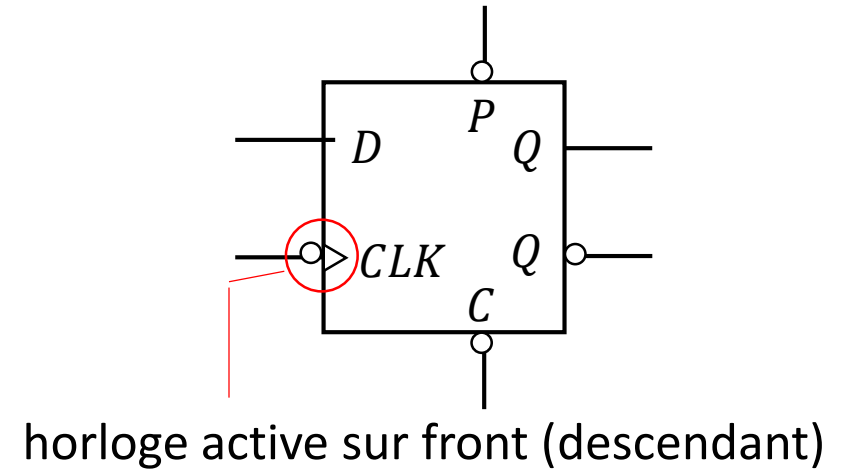
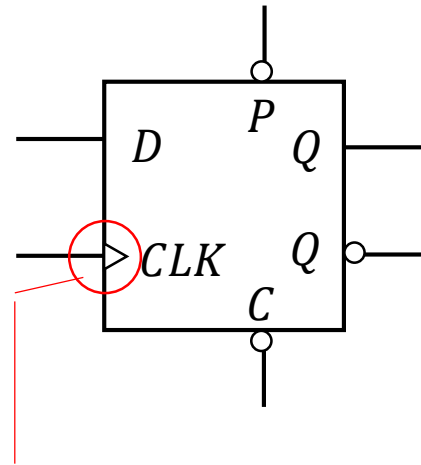
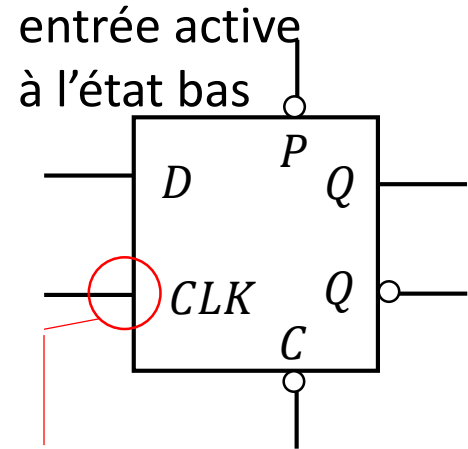


Au minimum:  $t_1 = t_{su}$

$$T_{CLK_{min}} = t_p + t_{comb} + t_{su}$$

$$f_{max} = (t_{CLK_{min}})^{-1}$$

# ANNEXE – Symboles et définitions



Bascule avec horloge active sur état = latch (verrou)

Bascule avec horloge active sur front = Flip-Flop

Dans une bascule, il n'y a ***pas de relation temporelle directe*** entre la/les entré(es) et la sortie Q.

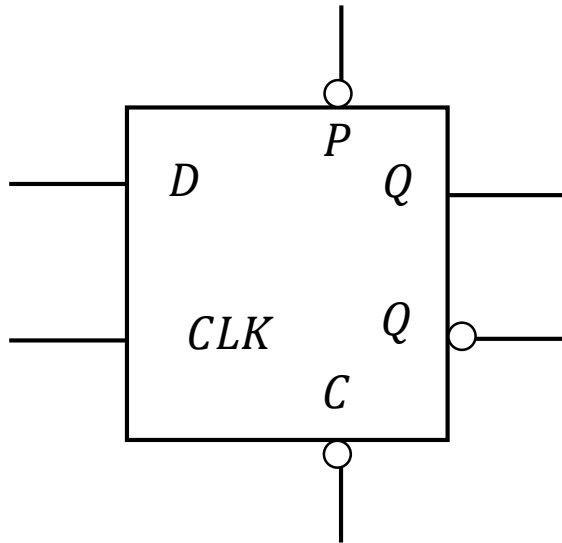
Les temps caractéristiques ***sont définis par rapport à l'horloge*** CLK:

$t_{su}$ ,  $t_h$  entre CLK et la/les entré(es) de données

$t_p$  entre CLK et les sorties  $Q$  et  $\bar{Q}$

# ANNEXE – Entrées d'initialisation

## exemple avec une bascule RS



$$\overline{PRESET} = 0, \overline{CLEAR} = 1 \longrightarrow Q = 1$$

$$\overline{PRESET} = 1, \overline{CLEAR} = 0 \longrightarrow Q = 0$$

$$\overline{PRESET} = 1, \overline{CLEAR} = 1 \longrightarrow \text{bascule normale}$$

Les entrées d'initialisation peuvent être synchrones ou asynchrones

# *TITRE*

---