

FCEfYN - UNC - ELECTRÓNICA INDUSTRIAL

DOCENTE: Prof. Esp. Ing. Adrián Claudio Agüero

ALUMNO: Ferraris Domingo Jesus

Trabajo practico teorico 4:

Mosfet de potencia.

1. Mosfet elegido.

Se eligio el **MOSFET de potencia IRF150** que nos sirve junto con las simulaciones a tener un estudio mas detallado del dispositivo. El mismo es un transistor **MOSFET de enriquecimiento** con **encapsulado TO-3** para colocar en disipador y es fabricado con el proceso HEXFET de International Rectifier.

Caracteristicas.

En la hoja de datos tenemos las siguientes caracteristicas principales:

Absolute Maximum Ratings

	Parameter		Units
I_D @ $V_{GS} = 10V$, $T_C = 25^\circ C$	Continuous Drain Current	38	A
I_D @ $V_{GS} = 10V$, $T_C = 100^\circ C$	Continuous Drain Current	24	
I_{DM}	Pulsed Drain Current ①	152	
P_D @ $T_C = 25^\circ C$	Max. Power Dissipation	150	W
	Linear Derating Factor	1.2	W/ $^\circ C$
V_{GS}	Gate-to-Source Voltage	± 20	V
EAS	Single Pulse Avalanche Energy ②	150	mJ
IAR	Avalanche Current ①	38	A
FAB	Repetitive Avalanche Energy ①	15	mJ

IRF150

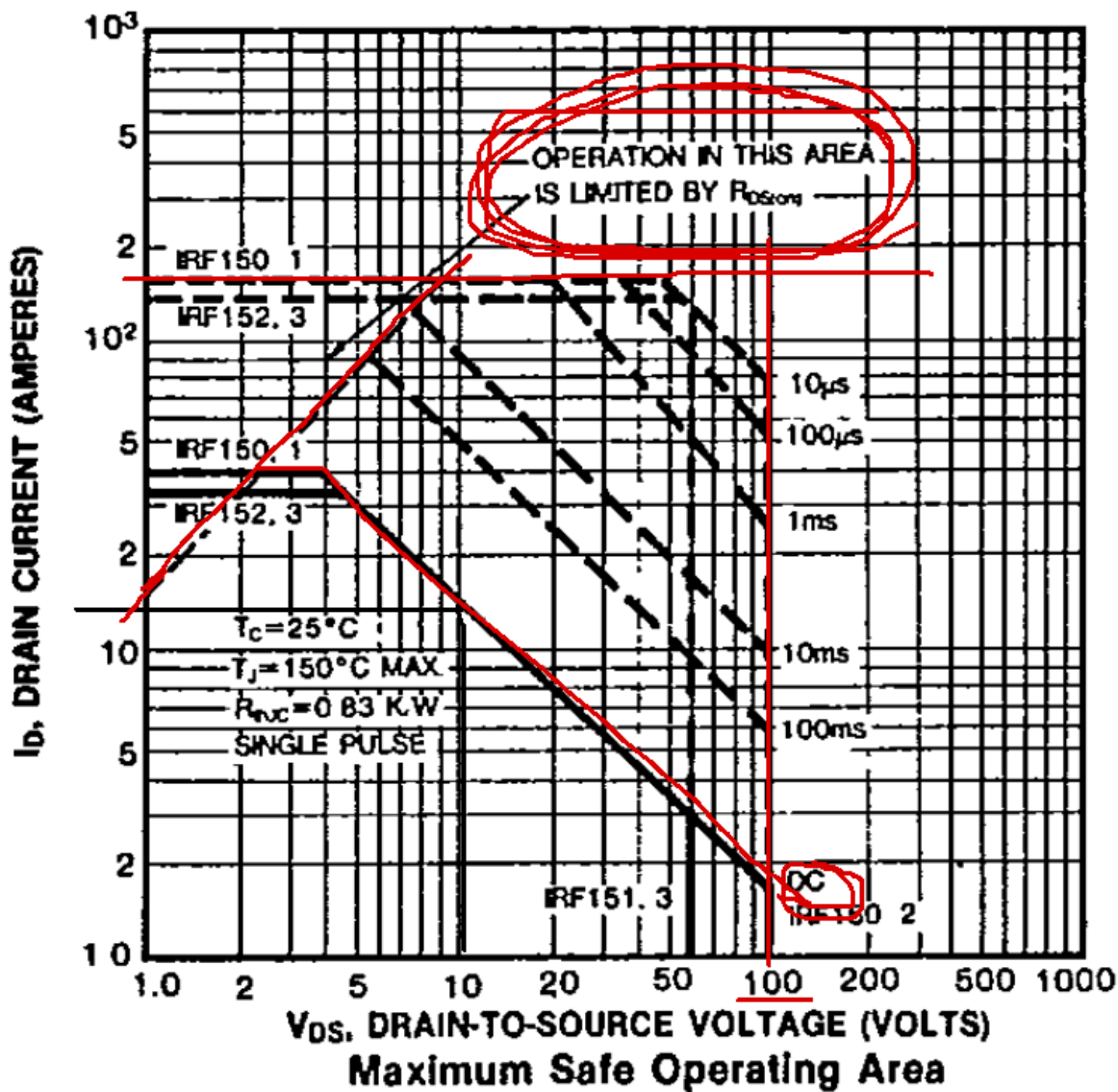
International
Rectifier

Electrical Characteristics @ $T_J = 25^\circ C$ (Unless Otherwise Specified)

	Parameter	Min	Typ	Max	Units	Test Conditions
BV_{DSS}	Drain-to-Source Breakdown Voltage	100	—	—	V	$V_{GS} = 0V$, $I_D = 1.0mA$
$\Delta BV_{DSS}/\Delta T_J$	Temperature Coefficient of Breakdown Voltage	—	0.13	—	V/ $^\circ C$	Reference to $25^\circ C$, $I_D = 1.0mA$
$R_{DS(on)}$	Static Drain-to-Source On-State Resistance	—	—	0.055 0.065	Ω	$V_{GS} = 10V$, $I_D = 24A$ ④ $V_{GS} = 10V$, $I_D = 38A$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS} = V_{GS}$, $I_D = 250\mu A$
g_{fs}	Forward Transconductance	9.0	—	—	S (r)	$V_{DS} > 15V$, $I_{DS} = 24A$ ④
I_{DSS}	Zero Gate Voltage Drain Current	—	—	25 250	μA	$V_{DS} = 80V$, $V_{GS} = 0V$ $V_{DS} = 80V$ $V_{GS} = 0V$, $T_J = 125^\circ C$
I_{GSS}	Gate-to-Source Leakage Forward	—	—	100	nA	$V_{GS} = 20V$
I_{GSS}	Gate-to-Source Leakage Reverse	—	—	-100	nA	$V_{GS} = -20V$
Q_g	Total Gate Charge	50	—	125	nC	$V_{GS} = 10V$, $I_D = 38A$

- **IDM:** 38A como maximo a 25°C (baja a 24A a los 100°C) y una corriente de pulso maxima de 152A durante 10us.
- **VDSbr:** 100V como maxima VDS.
- **RDSon:** 55mOhm con corriente de drain de 24A, aumentando con la corriente a 65mOhm con ID maxima.
- **VTO:** En el rango de 2 a 4V.
- **VGSM:** Como maximo de +/- 20V.
- **IGSS:** Una corriente de fuga entre gate y source de 100nA.
- **PD:** 150W con el encapsulado a 25°C.

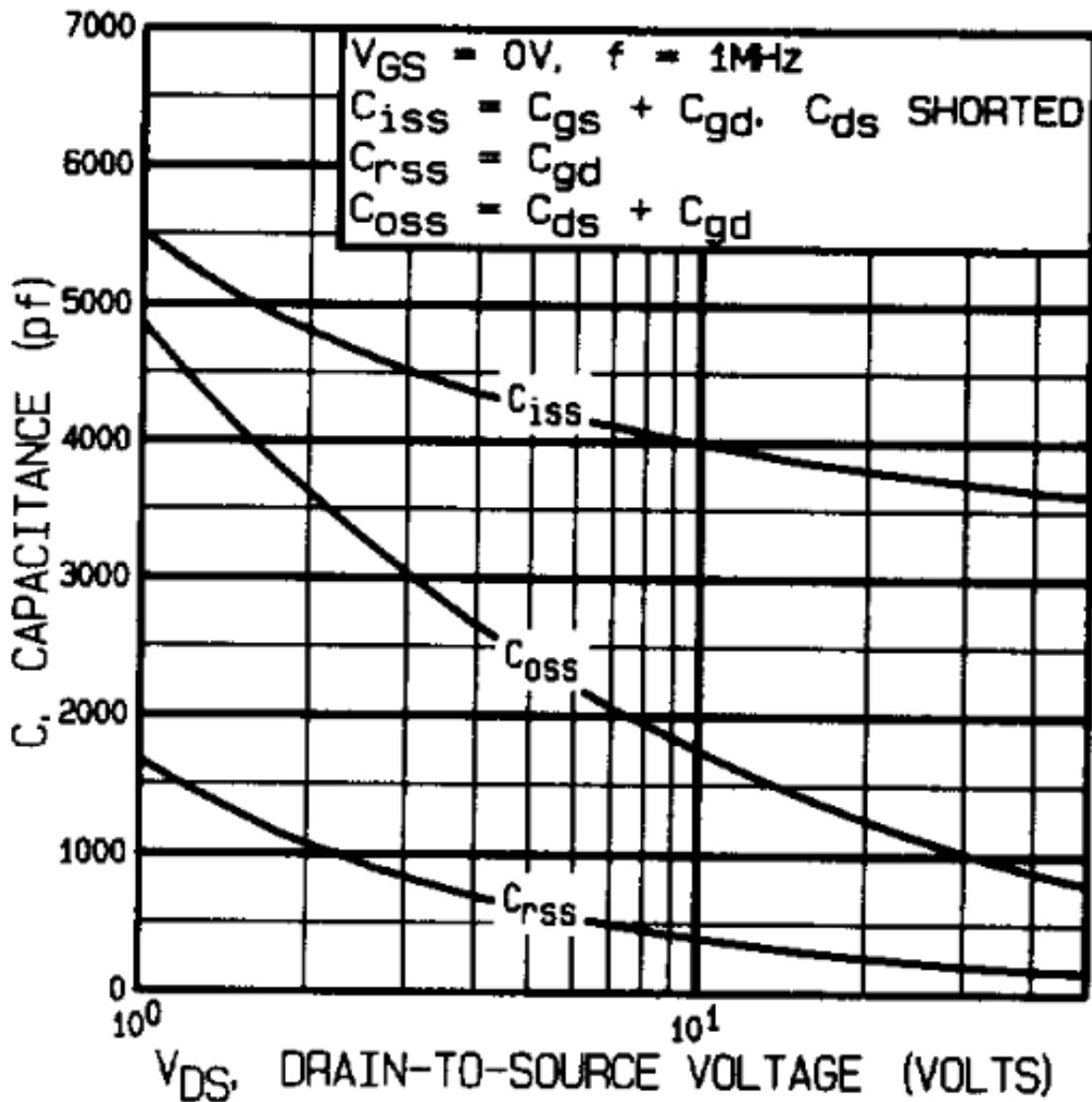
Safe operating area.



Se interpreta en la curva el limite de corriente alcanzable debido a $R_{DS(on)}$ y los valores maximos admisibles de I_D y V_{DS} , **para no dañar el transistor se debe operar dentro del area demarcada inferior-izquierda (SOA)**. Vemos como en todo momento **si V_{DS} es alta se debe trabajar a menor corriente y viceversa para no dañar el dispositivo**. Por ejemplo, si bien V_{DSbr} e I_{DSM} son 100V y 38A, para operar con una corriente de drain de 2A no hay que superar una V_{DS} de 7V aprox. Ademas se muestran los resultados de pruebas por pulsos donde, por ejemplo se podria operar con una **I_{DS} arriba de 100A y manteniendo a V_{DS} en 20V** pero solo **por menos de 10us**.

Capacidades del MOS.

El fabricante tambien nos da el valor de las capacidades principales para distintos valores de VDS.

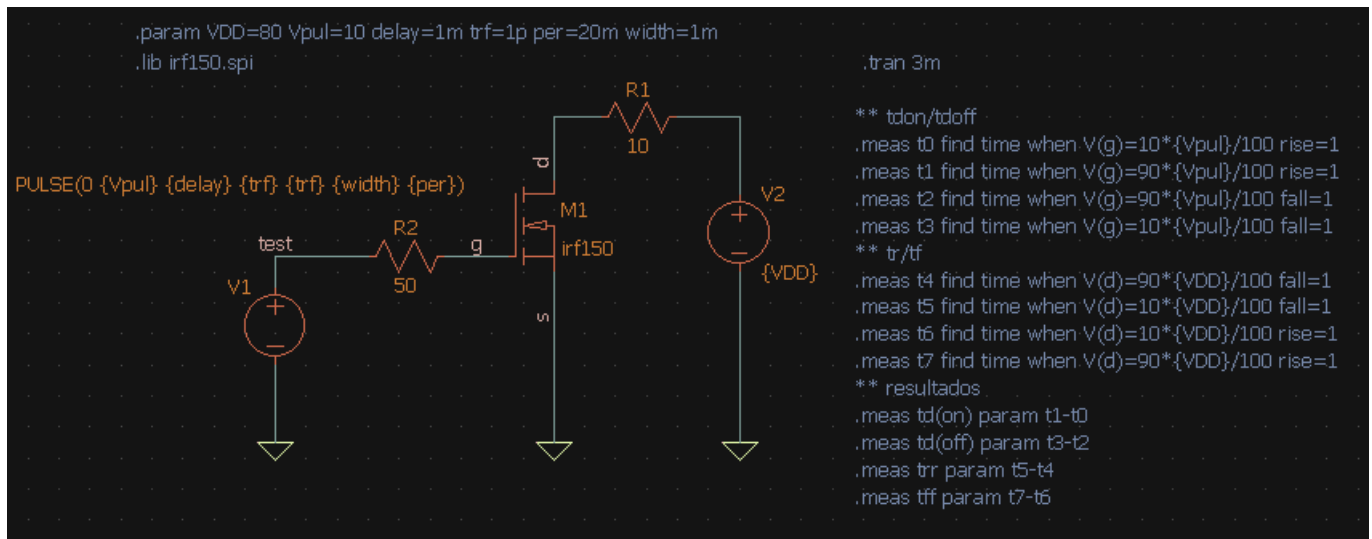


Con las ecuaciones dadas y para el origen (VDS de 1V), se observa que Cgd esta entorno a los 1.5nF, seguido por el Cds de 3.5nF y el mas grande Cgs del orden de 4nF y ***todos descienden a distinto ritmo con el aumento de VDS***. Ademas vemos como si bien Cds es de mas del doble de Cgd, desciende rapidamente con el aumento de VDS a diferencia de Cgs que ademas de ser la capacidad paracita mas grande disminuye lentamente con VDS a un ritmo similar a Cgd.

2. Simulaciones.

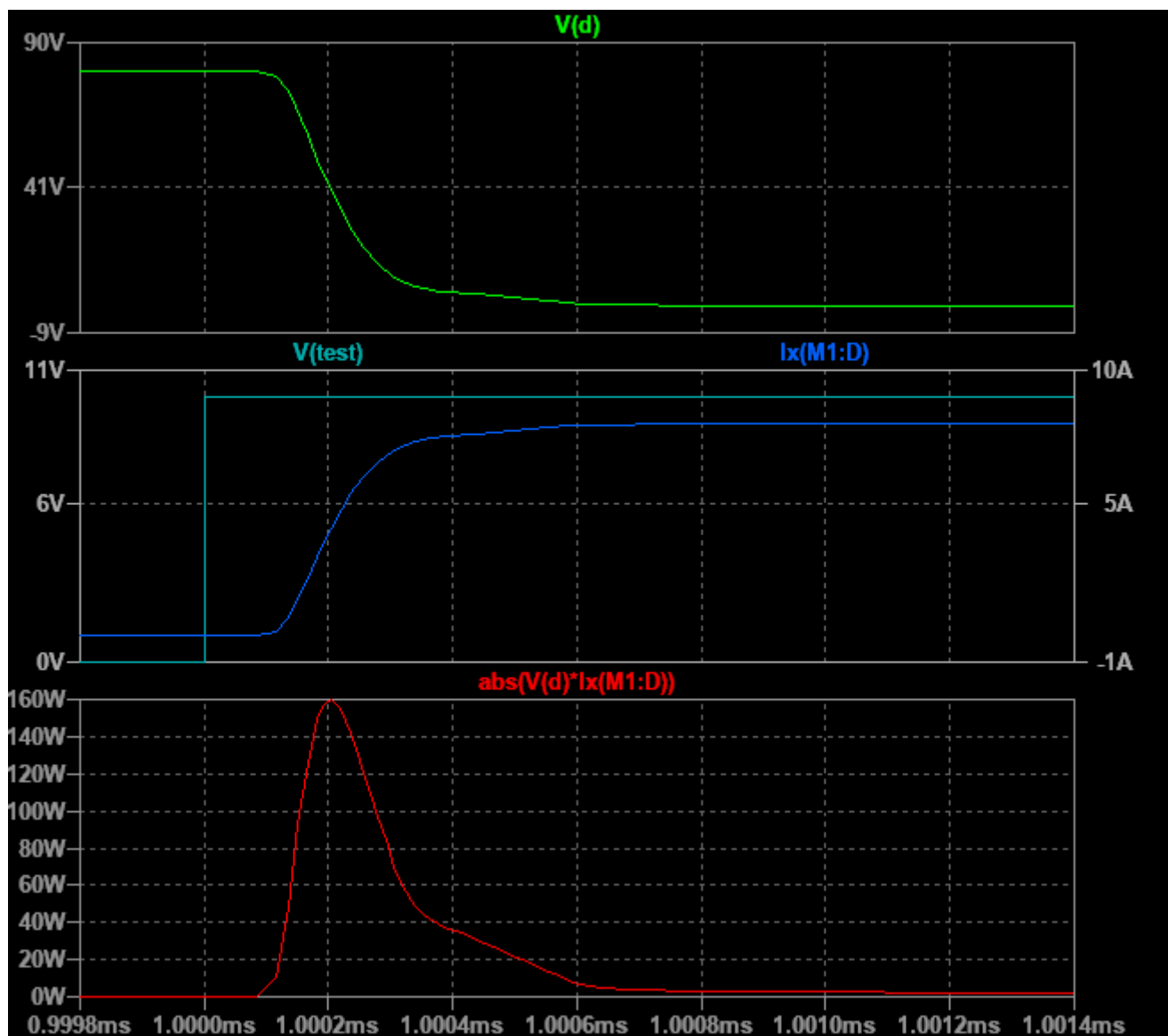
Utilizando **LTSpice** se simulo la conmutacion del **transistor de potencia N-MOS IRF150** y luego se compararon resultados con los del fabricante.

El setup usado para las simulaciones y mediciones fue el siguiente:

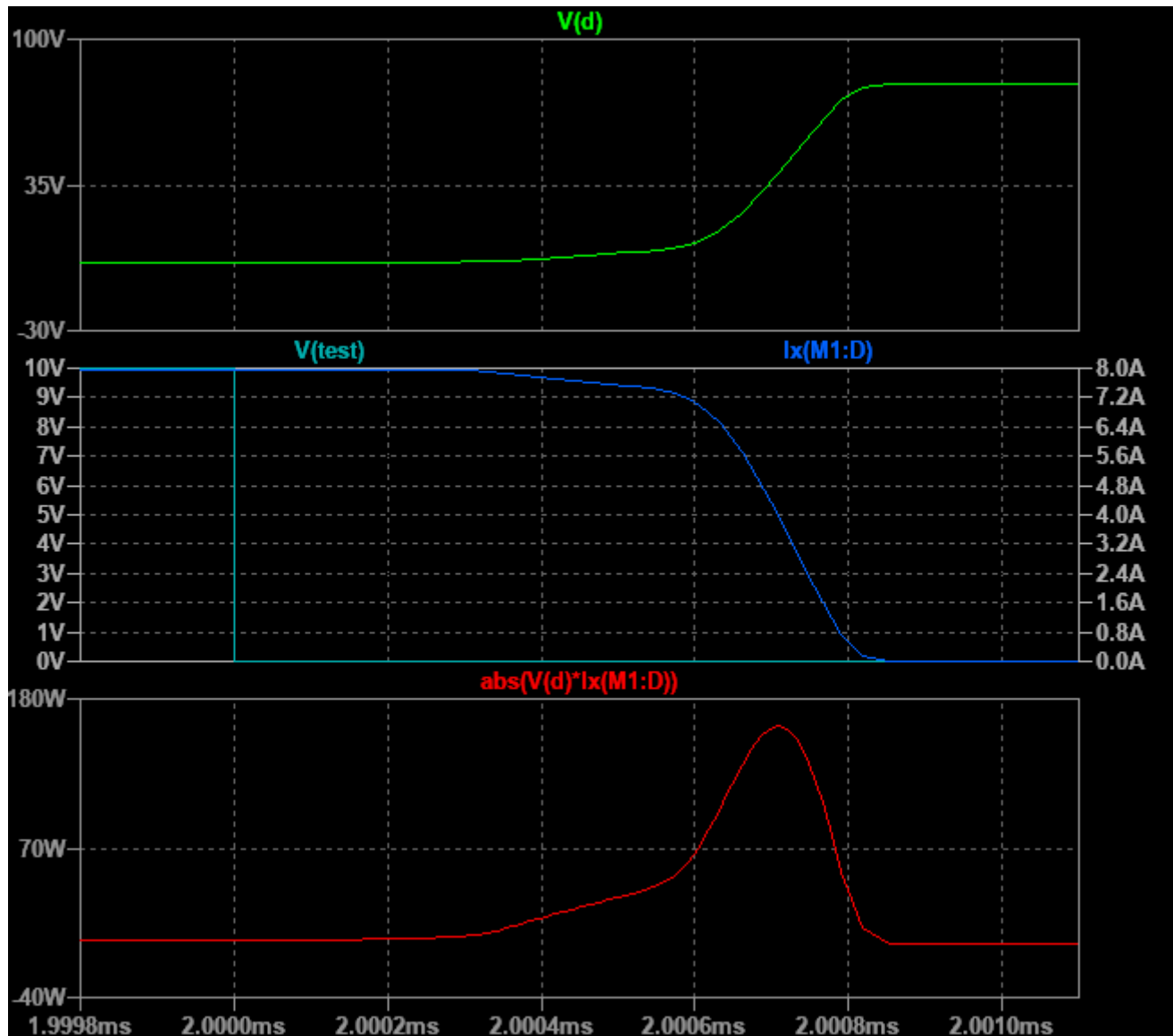


Tension, corriente y potencia.

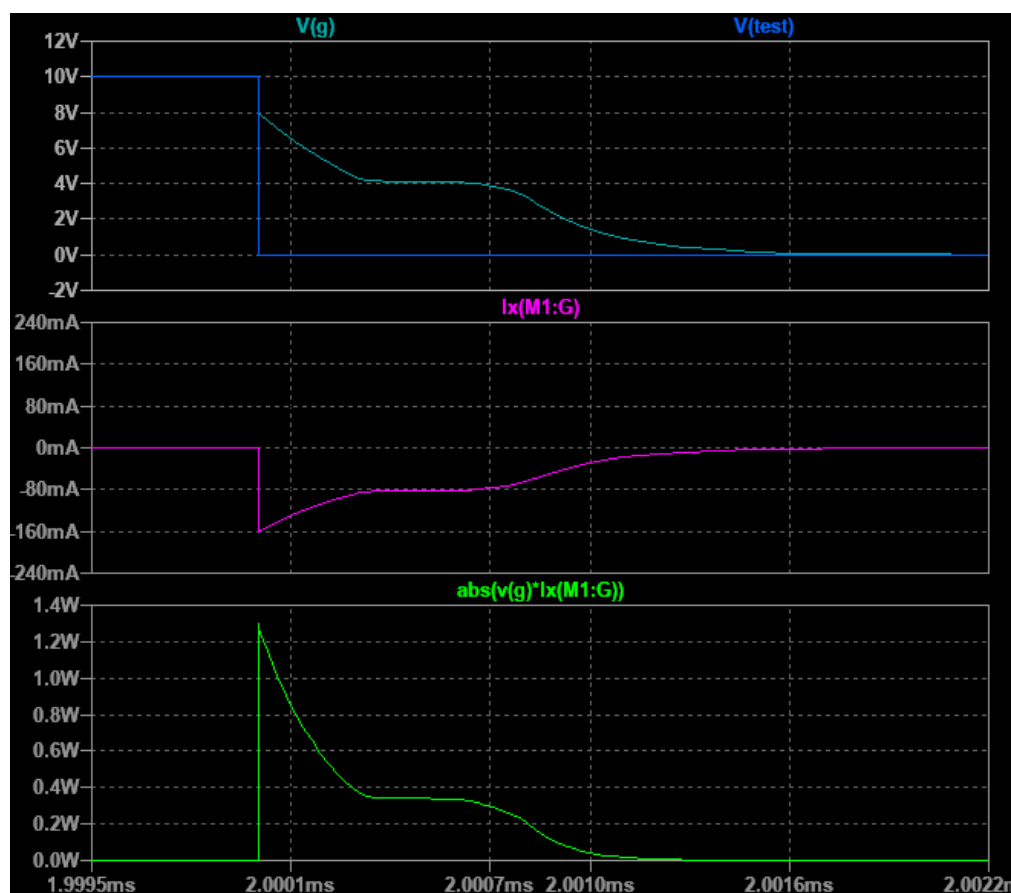
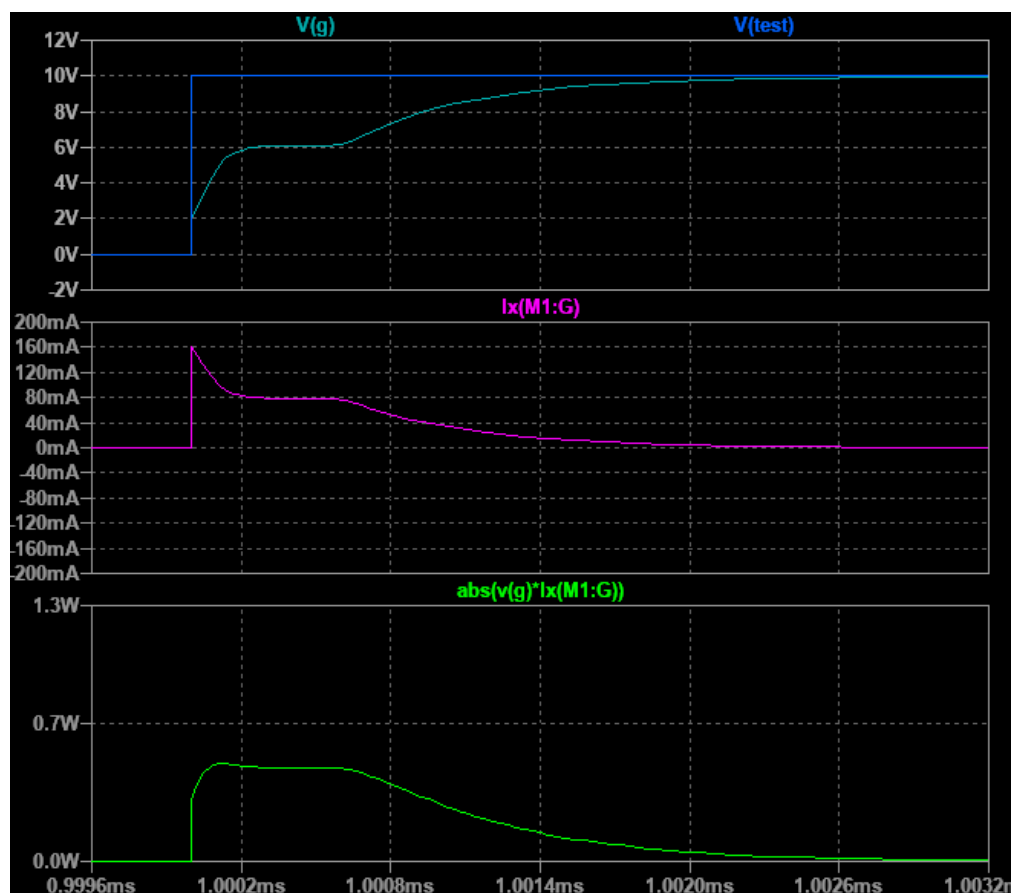
Al aplicar el pulso de prueba se aprecian los retardos en la tension y corriente de drain **debidos a la carga y descarga de las capacidades parasitas.**



Tanto para la conduccion como el corte se ven en rojo los ***picos de disipacion*** en el momento de la conmutacion debidos a la existencia de ***altas corrientes y tensiones simultaneamente***.



Ademas es interesante notar los picos de disipacion durante micro segundos existente en la entrada durante la carga y descarga de las capacidades distribuidas:



Tiempos de conmutacion.

El manual nos da las características de conmutacion del transistor y las definiciones de cada una:

Q_{gd}	Gate-to-Drain ('Miller') Charge	25	—	65		
$t_{d(on)}$	Turn-On Delay Time	—	—	35	ns	$V_{DD} = 50V, I_D = 38A,$ $V_{GS} = 10V, R_G = 2.35\Omega$
t_r	Rise Time	—	—	190		
$t_{d(off)}$	Turn-Off Delay Time	—	—	170		
t_f	Fall Time	—	—	130		
$LS + LD$	Total Inductance	—	6.1	—	nH	Measured from the center of

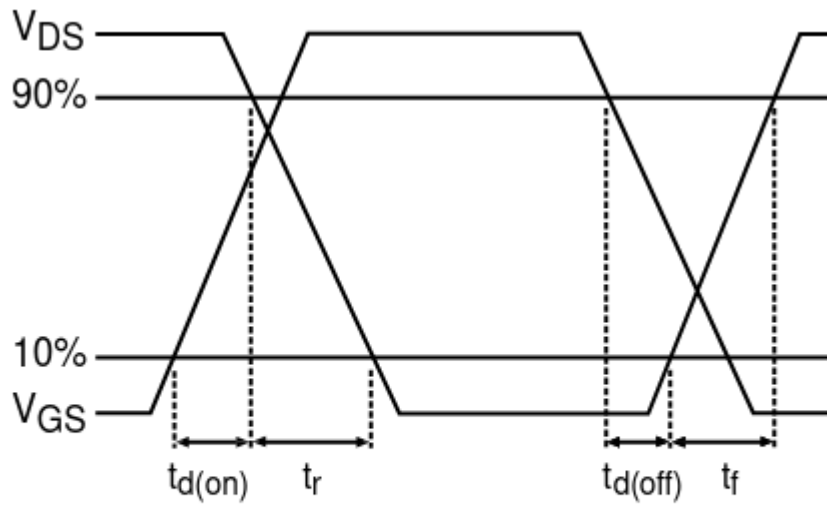
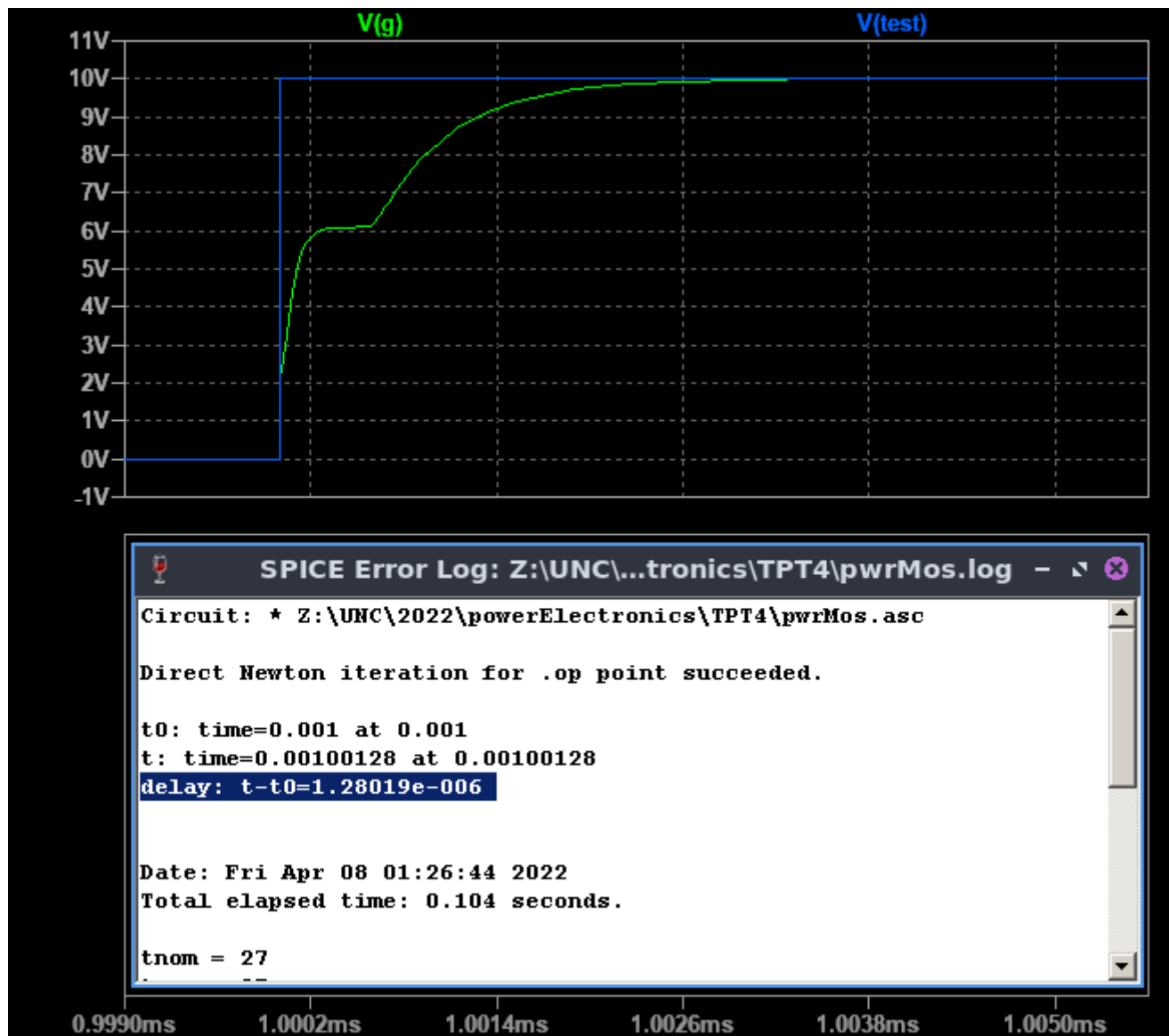


Fig 10b. Switching Time Waveforms

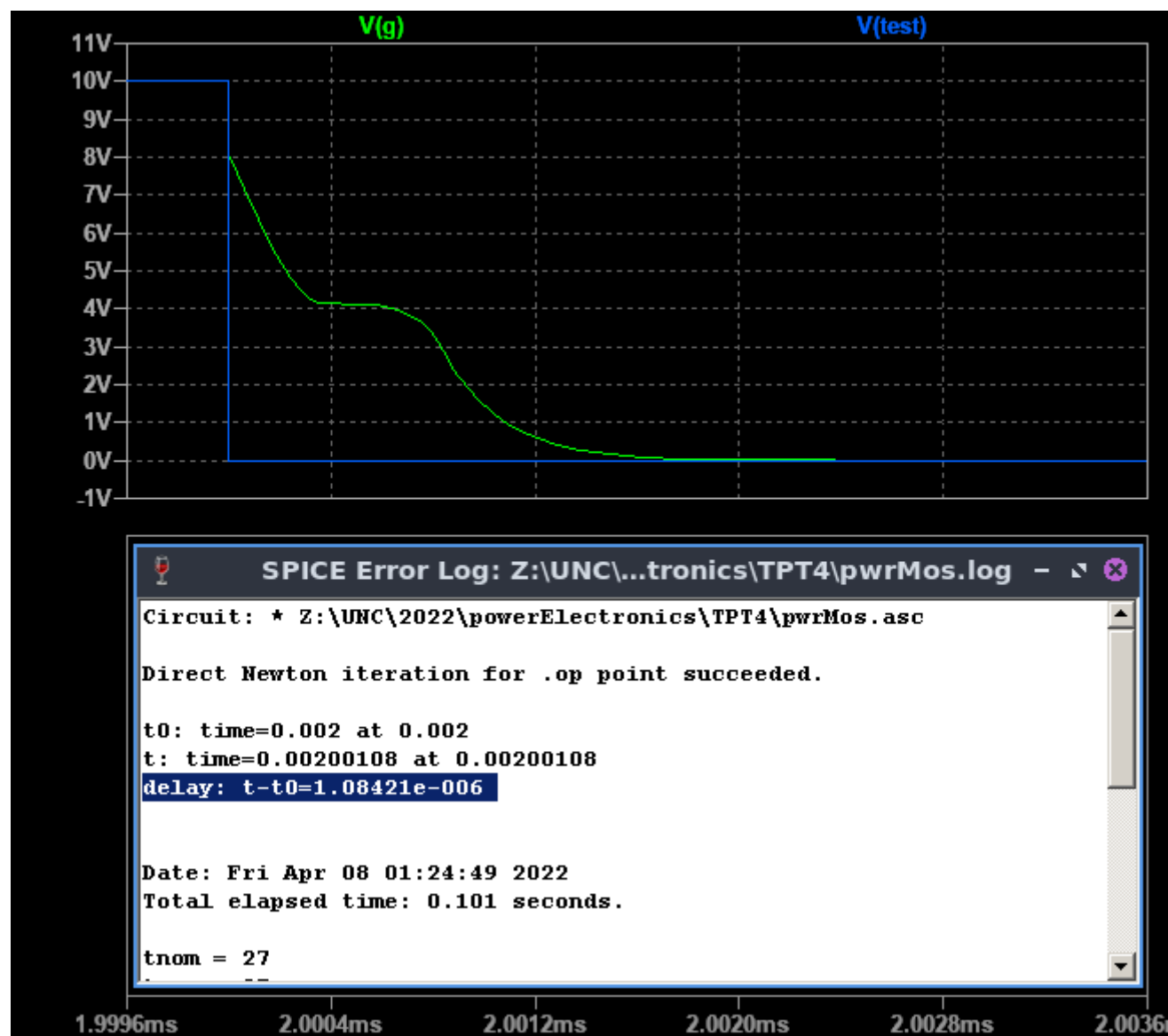
- **Define $t_{d(on)}$ para V_{GS}** como el tiempo en subir la tensión **desde el 10% al 90%** de la amplitud del pulso de prueba usado. Y **$t_{d(off)}$** como el tiempo que demora V_{GS} en bajar del **90% al 10%** del pulso aplicado.
- **Define t_r para V_{DS}** como el tiempo que demora en bajar del **90% al 10% de la tensión aplicada** y **t_f** como el tiempo en subir del **10% al 90%** de la tensión aplicada.

Para el gate vemos como al aplicar el pulso de prueba azul se comienzan a cargar las capacidades distribuidas hasta llegar a la **VTO donde empieza a aumentar la corriente I_{DS}** . La tensión sigue aumentando hasta que se carga C_{gs} donde se genera **una meseta a los 6V aproximadamente**, finalmente cuando el transistor **supera la saturación** comienza a cargarse el capacitor C_{gd} lentamente hasta llegar a la tensión máxima aplicada.

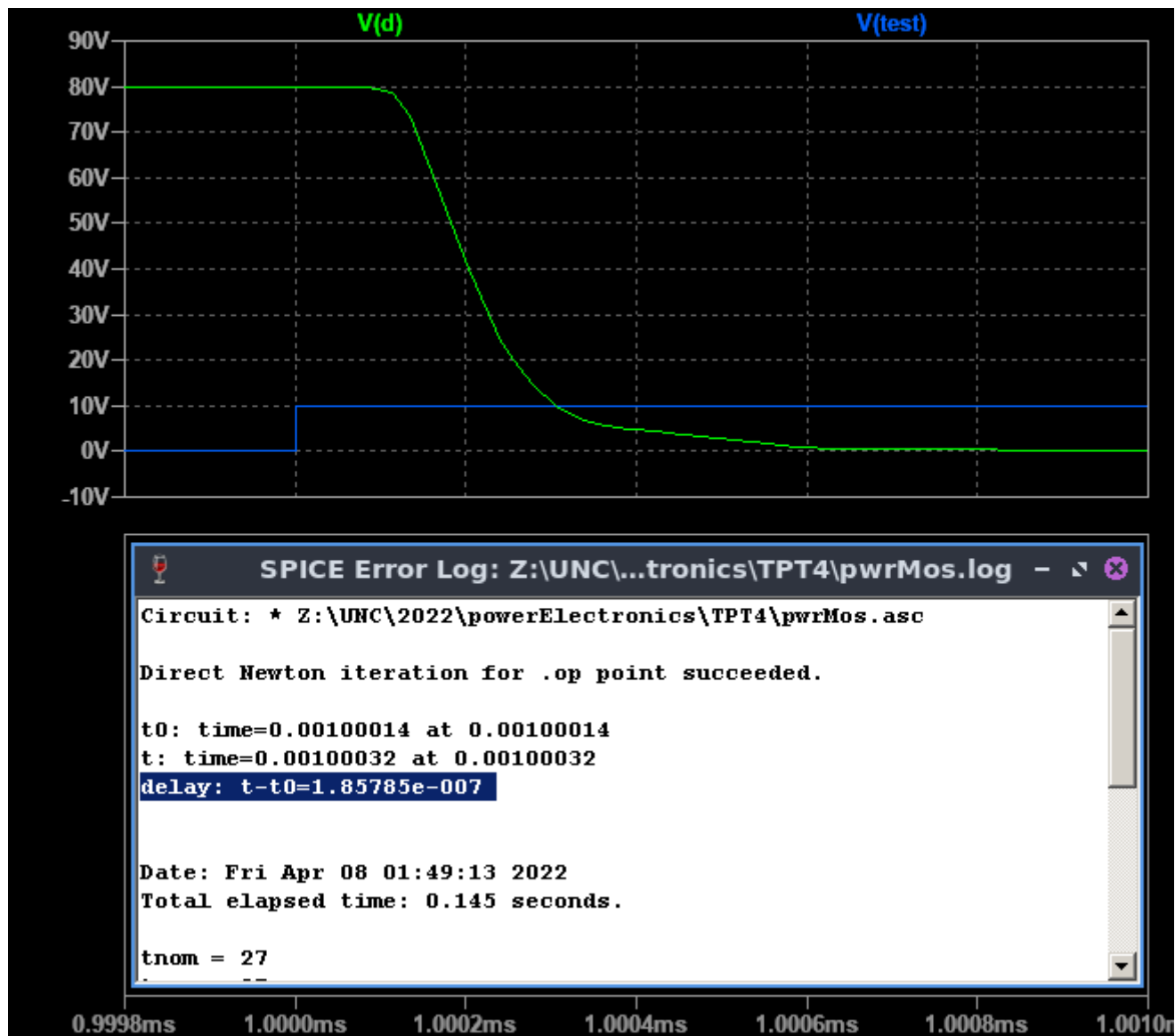


Calculando el intervalo definido por el fabricante nos da un $td(\text{on}) = 1.28\mu\text{s}$ muy superior a los 35ns del manual.

Luego para el corte calculamos un $td(\text{off}) = 1.08\mu\text{s}$ tambien superior a los 170ns que nos da el fabricante.

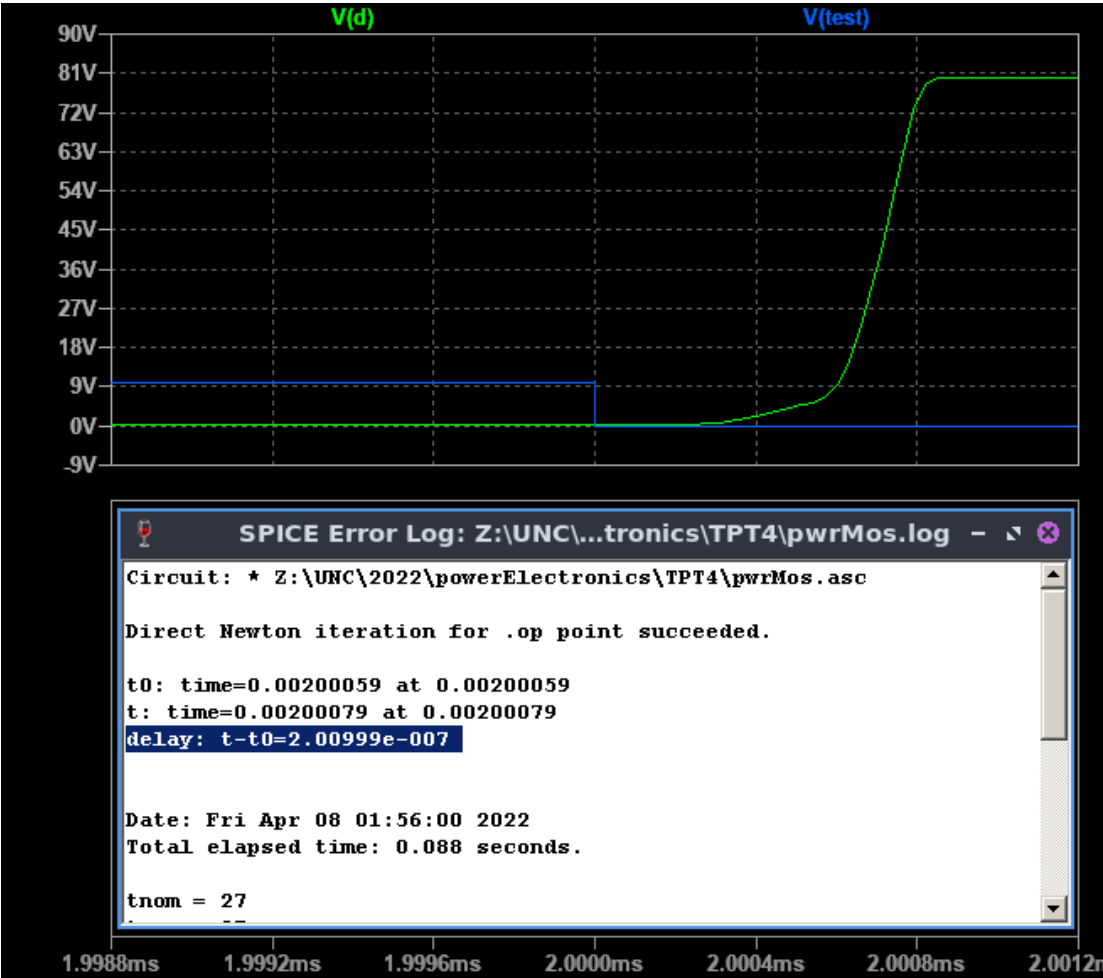


Por el lado de la tension en drain tenemos la siguiente forma de onda para la conduccion.



Que nos da un $tr = 186ns$ aproximadamente, que esta *dentro de los 190ns maximos del manual*.

Y para el corte del transistor.



Que nos da un $t_f = 201ns$ aproximadamente **superior a los 130ns maximos del fabricante.**

Los valores son mas altos que los indicados por el manual, esto puede deberse a que el circuito de prueba sugerido para el practico no cumple con las condiciones de prueba del fabricante. Por ejemplo tiene una resistencia **RG mucho mas grande que la usada por el fabricante de 2.35ohm**, lo que aumenta el tiempo de carga de las capacidades distribuiudas de entrada.

En efecto modificando el circuito para cumplir con las condiciones de prueba tenemos los siguientes resultados:

```
t6: time=0.00200007 at 0.00200007
t7: time=0.00200013 at 0.00200013
td(on): t1-t0=2.64928e-008
td(off): t3-t2=1.08336e-007
trr: t5-t4=1.04456e-007
tff: t7-t6=6.14387e-008
```

Q_{gd}	Gate-to-Drain (Miller) Charge	25	—	65	ns	$V_{DD} = 50V, I_D = 38A,$ $V_{GS} = 10V, R_G = 2.35\Omega$
$t_{d(on)}$	Turn-On Delay Time	—	—	35		
t_r	Rise Time	—	—	190		
$t_{d(off)}$	Turn-Off Delay Time	—	—	170		
t_f	Fall Time	—	—	130		
LS + LD	Total Inductance	—	6.1	—	nH	Measured from the center of

Que estan dentro de las especificaciones maximas del fabricante, validando asi el modelo.