

ELECTRONICA ANALOGICA I

TPL N°3: AMPLIFICADOR MONOETAPA CON JFET

GRUPO 17 Alaniz Franco Dario – Mat: 37234066
Caviglia David Agustín – Mat: 39497174
Ferraris Domingo Jesus – Mat: 36656566

ESTUDIO DE LA ETAPA

Se requirió un amplificador con transistor P-JFET en configuración seguidor de source, con alimentación de tipo simple e impedancia de entrada mínima de 220KΩ. La etapa ataca a una RL = 100Ω.

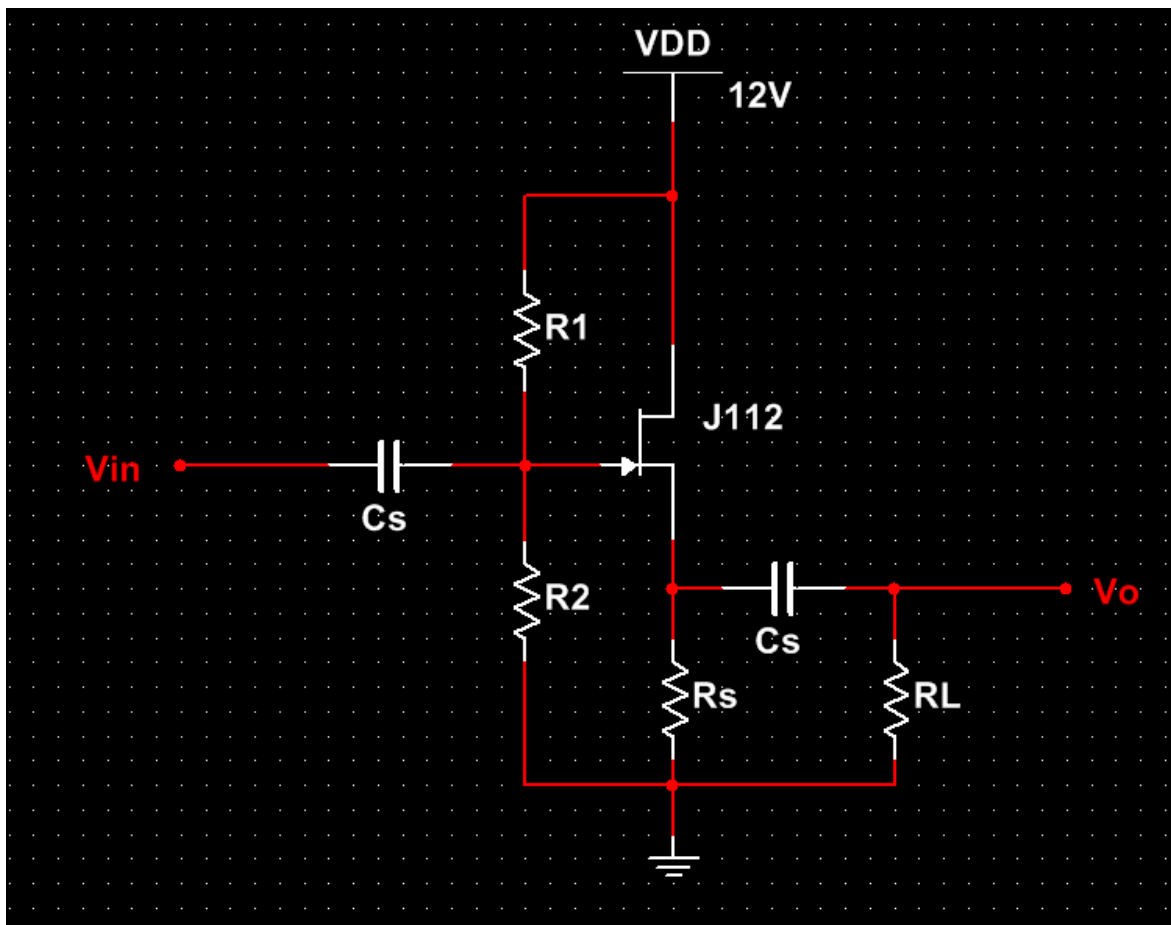
(Se utilizó un JFET de canal N, en vez del de canal P requerido por no tenerlo disponible. Por lo demás se cumplió con todos los requerimientos del laboratorio)

Se decidió usar una fuente de 12V con el transistor NJFET-J112 (TO-92) en polarización por divisor de tensión.

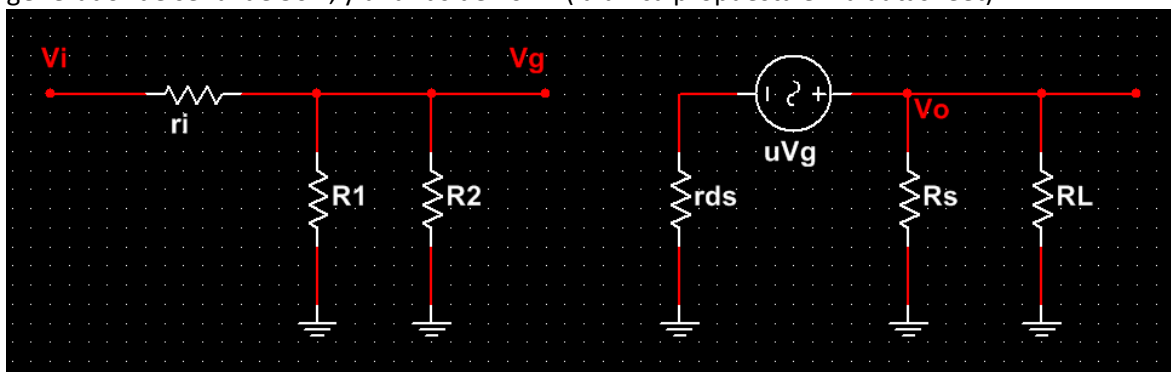
SPECIFICATIONS (T _A = 25°C UNLESS OTHERWISE NOTED)										
Parameter	Symbol	Test Conditions	Typ ^a	Limits						Unit
				J/SST111		J/SST112		J/SST113		
				Min	Max	Min	Max	Min	Max	
Static										
Gate-Source Breakdown Voltage	V _{(BR)GSS}	I _G = -1 μA , V _{DS} = 0 V	-55	-35		-35		-35		V
Gate-Source Cutoff Voltage	V _{GS(off)}	V _{DS} = 5 V, I _D = 1 μA		-3	-10	-1	-5		-3	
Saturation Drain Current ^b	I _{DSS}	V _{DS} = 15 V, V _{GS} = 0 V		20		5		2		mA
Gate Reverse Current	I _{GSS}	V _{GS} = -15 V, V _{DS} = 0 V	-0.005		-1		-1		-1	nA
		T _A = 125°C	-3							
Gate Operating Current	I _G	V _{DG} = 15 V, I _D = 10 mA	-5							pA
Drain Cutoff Current	I _{D(off)}	V _{DS} = 5 V, V _{GS} = -10 V	0.005		1		1		1	nA
		T _A = 125°C	3							
Drain-Source On-Resistance	r _{DS(on)}	V _{GS} = 0 V, V _{DS} = 0.1 V			30		50		100	Ω
Gate-Source Forward Voltage	V _{GS(F)}	I _G = 1 mA , V _{DS} = 0 V	0.7							V
Dynamic										
Common-Source Forward Transconductance	g _{fs}	V _{DS} = 20 V, I _D = 1 mA f = 1 kHz	6							mS
Common-Source Output Conductance	g _{os}		25							μS
Drain-Source On-Resistance	r _{ds(on)}	V _{GS} = 0 V, I _D = 0 mA f = 1 kHz			30		50		100	Ω

Debido a los amplios rangos que nos proporciona el fabricante tomamos una V_{th} = -2.3v, y medimos un I_{DSS} = 12mA, para nuestra condición de V_{dd} = 12V.

Primeramente estudiamos la impedancia de entrada de la etapa:



Con su equivalente en pequeña señal a nivel del source considerando una impedancia interna del generador de señal de 50Ω , y una r_{ds} de $40K\Omega$ (la única propuesta en la datasheet)



Considerando a $R_g = R1 // R2$ tenemos:

$Z_{in} = r_i + R_g \rightarrow$ Despreciando r_i , la impedancia de entrada es practicamente R_g

Debemos tener una R_g como mínimo de $220K\Omega$.

POLARIZACION

Se decidió trabajar sin resistencia de drain y que el punto de polarización seria

$Q = (40\%V_{DD}, I_{DSS}/2) = (4.8V, 6mA)$, para tener buena excursión simétrica y trabajar en la región “más lineal” de la característica de transferencia.

Así para la malla de salida tenemos:

$$V_{dd} = V_{ds} + I_{ds}R_s \rightarrow R_s = \frac{V_{dd} - V_{ds}}{I_{ds}} \rightarrow \mathbf{R_s = 1.2K\Omega}$$

Vamos a la característica de transconductancia:

$$I_{ds} = IDSS \left(1 - \frac{V_{gs}}{V_{th}}\right)^2 \rightarrow \text{con } K = \frac{IDSS}{V_{th}^2} = \frac{2.27mA}{V^2} \rightarrow \frac{I_{ds}}{K} = V_{gs}^2 - 2V_{gs}V_{th} + V_{th}^2$$

$$\text{Buscamos } V_{gs} \text{ para nuestra } I_{dsQ} \rightarrow \mathbf{V_{gs}^2 - 2V_{gs}V_{th} + V_{th}^2 - \frac{I_{dsQ}}{K} = 0}$$

Resolviendo la cuadrática nos da $-0.67V$ y $-3.92V \rightarrow$ **se tomo una $V_{gs} = -0.7V$.**

Así en la malla de entrada:

$$V_{gg} = I_g R_g + V_{gs} + I_{ds}R_s \rightarrow I_g = 0A \rightarrow V_{gg} = V_{gs} + I_{ds}R_s \rightarrow \mathbf{V_{gg} = 6.5V}$$

Luego de haber estudiado la impedancia de entrada, se optó por usar $R_1 = R_2 = 660K\Omega$ para una impedancia de entrada de $330K\Omega$ aprox., y una $V_{gg} = 1/2V_{dd}$.

$$\mathbf{R_1 = R_2 = 660Kohm \rightarrow V_{gg} = 6V}$$

Con los valores calculados y utilizando capacitores de $100\mu F$ se armó la etapa y se ajustó la resistencia de source a $1.3K\Omega$ para alcanzar el punto Q deseado. Notamos sin embargo un V_{gs} medido de $-1.4V$ distinto del de $-0.7V$ calculado, a pesar de que se cumplían los valores de V_{gg} y el punto de polarización propuesto.

A partir de aquí se desarrolló todo el análisis teórico y mediciones de la etapa pero se observaron muchas inconsistencias entre valores calculados, simulados y medidos de ganancias y valores de excursión, a pesar de haber seguido un desarrollo lógico.

Luego de estudiar con detenimiento el problema y el modelo del J112 disponible en multisim decidimos trabajar con un modelo SPICE propuesto por el fabricante del JFET. Se simuló el nuevo modelo con condiciones de prueba más cercanas a nuestro caso obteniendo las siguientes correcciones de parámetros:

Por barridos de tensión anidados se obtuvo una $r_{ds} = 6.13K\Omega$

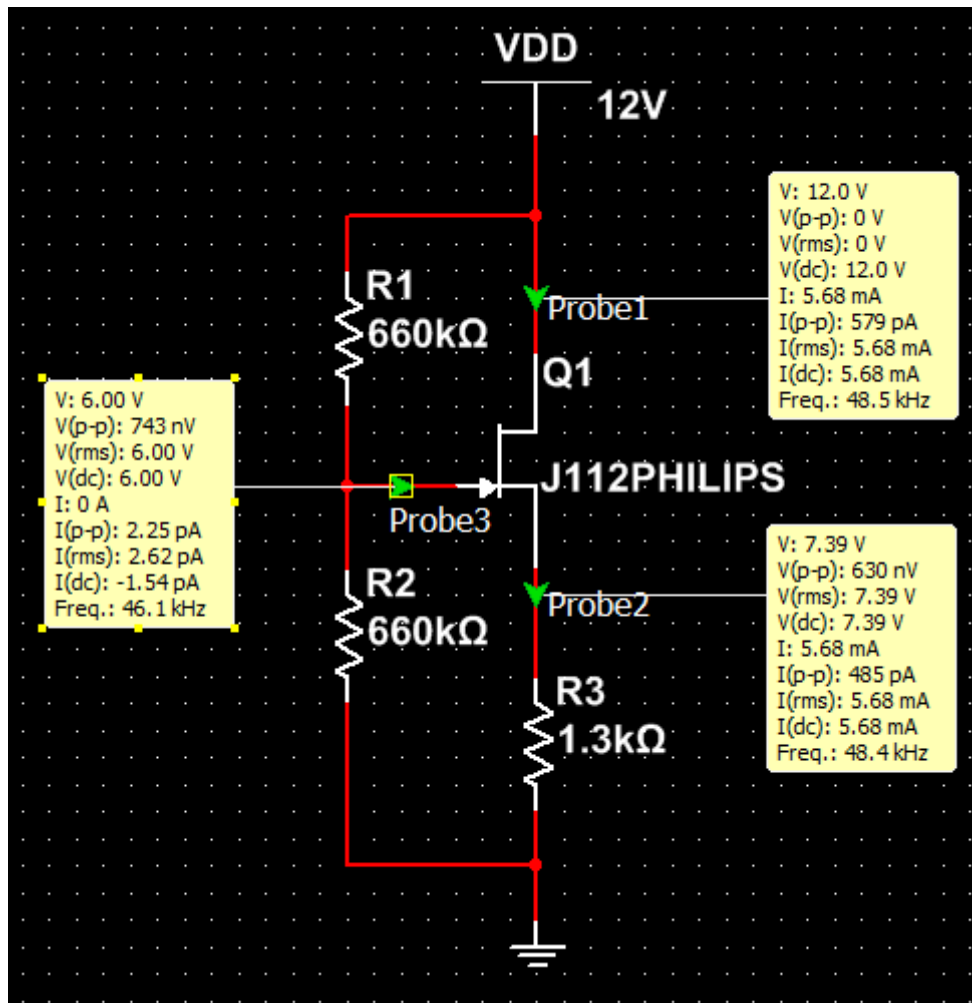
Se utilizó el $K = 6.8 \frac{mA}{V^2}$ propuesto por el modelo del fabricante

Luego de las correcciones se retomó la resolución de la cuadrática obteniendo valores $V_{gs} = -1.36V$ y $V_{gs} = -3.24V$, luego se tomó $V_{gs} = -1.36V$ muy cercano al de $-1.4V$ medido.

Así, se verificó nuevamente la malla de entrada:

$$V_{gg} = V_{gs} + I_{ds}R_s \rightarrow \mathbf{V_{gg} = 6.44V \rightarrow \text{Mantenemos entonces } R_1 = R_2 = 660K\Omega}$$

Quedando la etapa polarizada:



Donde las mediciones fueron:

Para $V_{gs} = -1.4V \rightarrow I_{dsQ} = 5.4mA$ y $V_{dsQ} = 5V$

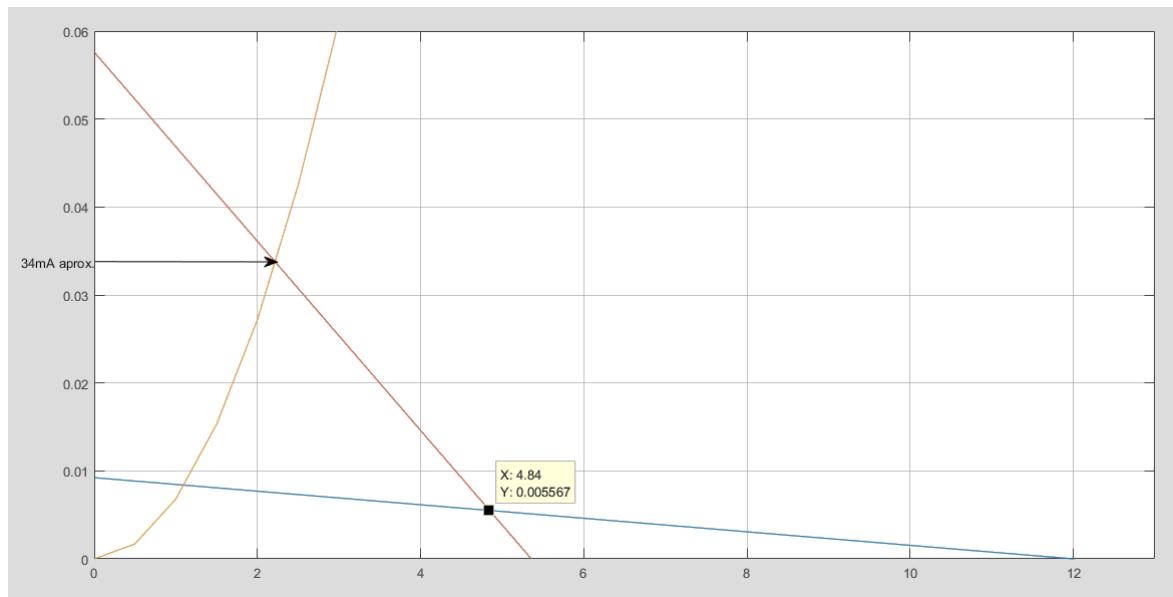
RECTAS Y EXCURSION

Con $R_g = R1//R2 = 330K\Omega$ y $R_{ca} = R_s//R_L = 93\Omega$ obtenemos las rectas teóricas en continua y alterna:

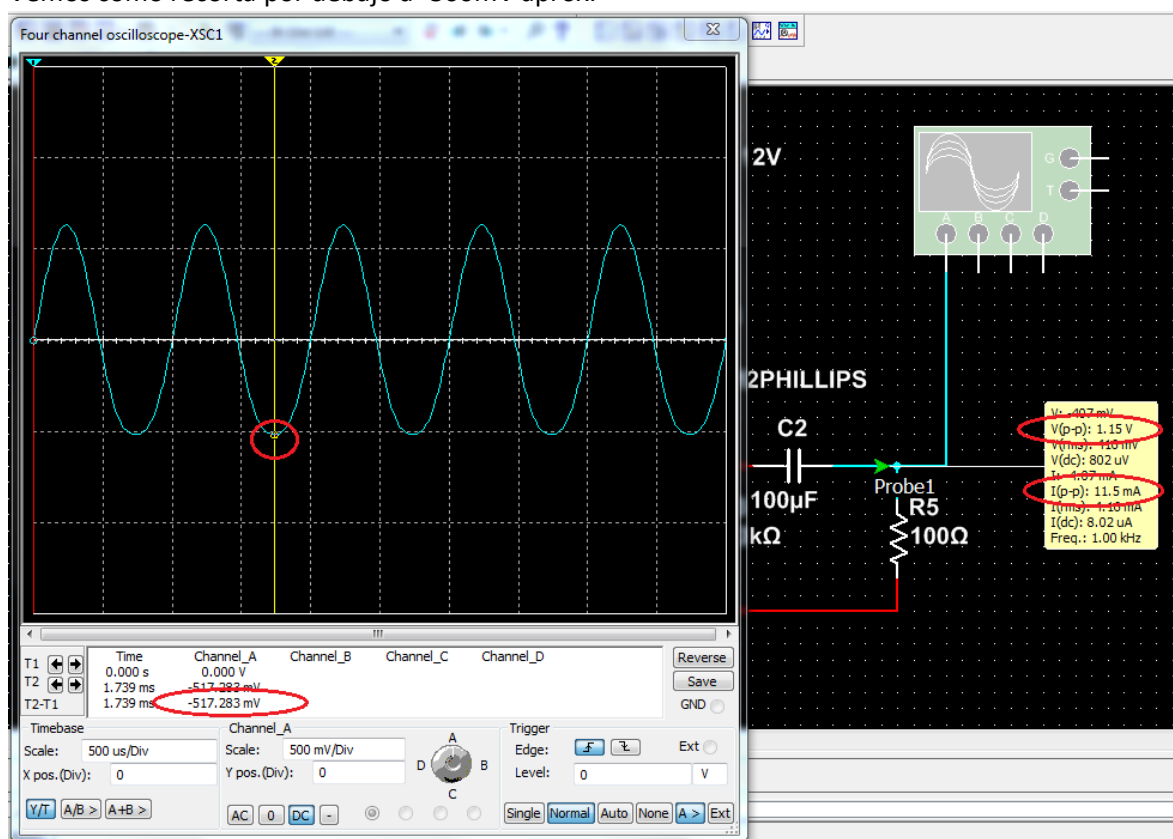
$$\text{Para CC} \rightarrow I_{ds} = -\frac{V_{ds}}{R_s} + \frac{V_{dd}}{R_s} \rightarrow I_{dsM} = 9.2mA \text{ y } V_{dsM} = 12V$$

$$\text{Para CA} \rightarrow I_{ds} = -\frac{V_{ds}}{R_{ca}} + \frac{V_{dsQ}}{R_{ca}} + I_{dsQ} \rightarrow I_{dsm} = 58mA \text{ y } V_{dsm} = 5.32V$$

Se graficaron las rectas y se buscó la excursión máxima permitida antes de entrar en la zona lineal, superponiendo la característica de transferencia y buscando gráficamente la intersección con la recta de alterna.

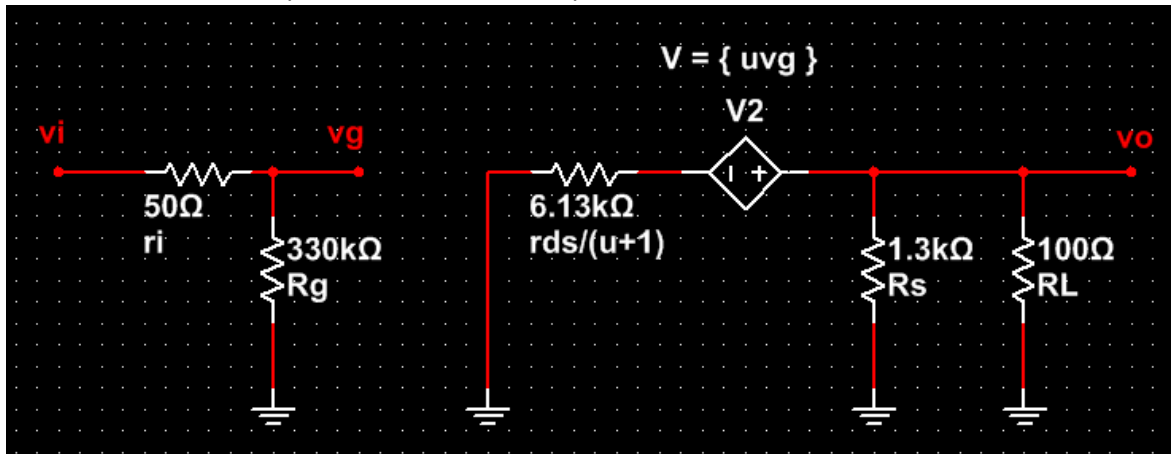


Se observa el corte a los 34mA aprox. Además de la peculiar diferencia en las pendientes de las rectas esto debido a que R_L es baja comparada con la R_s usada, haciendo que la pendiente en alterna crezca mucho más. Además vemos que la excursión máxima de corriente queda limitada por $I_{dsQ} = 6\text{mA}$ lo cual daría $I_{dsQ} \cdot R_{ca} = \pm 558\text{mV}$ que serían 1.2Vpp sin distorsión en la carga. Vemos como recorta por debajo a -500mV aprox.



ANÁLISIS EN SEÑAL

El circuito en señal completo a nivel de source queda:



$$g_m = \frac{dI_{ds}}{dV_{gs}}(V_{gsQ}) = 2K(V_{gsQ} - V_{th}) \rightarrow g_m = 12.2\text{mS}$$

$$\text{Con } r_{ds} = 6.13\text{Kohm} \rightarrow \mu = g_m * r_{ds} \rightarrow \mu = 75$$

Las ganancias de tensión y corriente teóricas y medidas:

$$G_v(\text{teo}) = \frac{1}{\left(1 + \frac{r_i}{R_g}\right)\left(1 + \frac{r_{ds}}{R_{ca}}\right)} = 0.53 \rightarrow \text{Y se midio una } G_v = 0.5$$

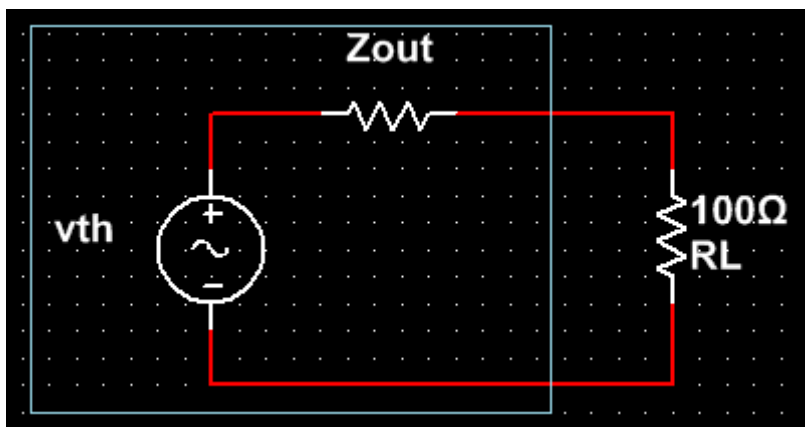
$$G_i(\text{teo}) = \frac{R_g}{\left(1 + \frac{R_L}{R_s}\right)(R_{ca} + r_{ds})} = 1764 \rightarrow \text{Se midio una } G_i = 1532$$

Se notó una ganancia de tensión un poco pobre en comparación con un seguidor de emisor, pero como la ganancia de corriente es proporcional a R_g , esta alcanza niveles mucho mayores comparados con el BJT.

Se calcularon las impedancias de entrada y salida y se verificaron los valores de forma indirecta con un equivalente de thevenin y simulación:

$$Z_{in} = r_i + R_g = 330.050\Omega \rightarrow 330\text{K}\Omega \rightarrow \text{Se verifico por simulacion } 330\text{K}\Omega$$

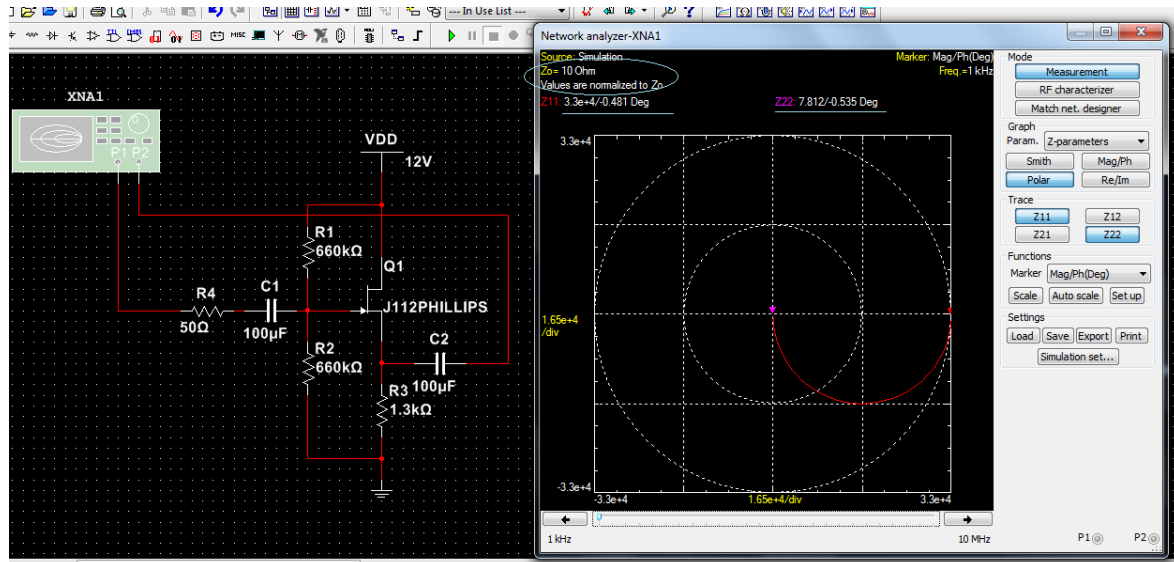
$$Z_{out} = R_s(\text{paral})\overline{r_{ds}} = 76\Omega \rightarrow \text{Se verifico por el siguiente equivalente de thevenin}$$



Donde se colocó el generador de señal en 500mVp a una frecuencia de 1KHz (vth), se conectó a la etapa y luego se midió una corriente por la carga de 3mA (io).

$$\text{Luego} \rightarrow v_{th} = i_o(Z_{out} + R_L) \rightarrow Z_{out} = \frac{v_{th}}{i_o} - R_L = 67\Omega \rightarrow \text{muy cerca de los } 76\Omega$$

Finalmente se analizaron las impedancias por simulación con el analizador de redes:



Corroborando medidas y cálculos, y se observó un comportamiento interesante de la impedancia de entrada de la etapa, parece que para un rango de frecuencias esta deja de ser resistiva pura para tener componente capacitiva y luego vuelve a ser resistiva, esto puede deberse al efecto de las capacidades parasitas de la unión de gate polarizada inversamente.