



ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ

**ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ**

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

**Σχεδίαση αθροιστή 16 ψηφίων με
Διαφορική Λογική Καθρεπτών Ρεύματος
και ανάλυση κλιμάκωσης της τεχνολογίας**

Αικατερίνη Σ. Μέλλιου

Επιβλέπουσα: Αραπογιάννη Αγγελική, Καθηγήτρια

ΑΘΗΝΑ

ΟΚΤΩΒΡΙΟΣ 2017

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Σχεδίαση αθροιστή 16 ψηφίων με
Διαφορική Λογική Καθρεπτών Ρεύματος
και ανάλυση κλιμάκωσης της τεχνολογίας

Αικατερίνη Σ. Μέλλιου

A.M.: 1115200700095

ΕΠΙΒΛΕΠΟΝΤΕΣ: Αραπογιάννη Αγγελική, Καθηγήτρια

ΠΕΡΙΛΗΨΗ

Στην παρούσα πτυχιακή εργασία μελετάται η επίδραση της επιλογής της οικογένειας λογικής και της τεχνολογίας στις επιδόσεις του παραγόμενου ψηφιακού ολοκληρωμένου κυκλώματος, μέσω προσομοιώσεων λογισμικού. Αρχικά παρουσιάζονται οι απαιτούμενες ιδιότητες ενός τρανζίστορ και οι παράμετροι βελτιστοποίησης της λειτουργίας του. Έπειτα, εξετάζονται οι σύγχρονες οικογένειες λογικών πυλών σε συνάρτηση με τους κύριους σχεδιαστικούς περιορισμούς και παρουσιάζεται εκτενώς η Διαφορική Λογική Καθρεπτών Ρεύματος και οι ιδιαίτερες ιδιότητες της. Με βάση αυτά τα εργαλεία υλοποιούνται διάφορες πύλες προς επαλήθευση των θεωρητικών προσδοκώμενων αποτελεσμάτων. Η μελέτη κατευθύνεται προς τη σχεδίαση αριθμητικών μονάδων, και συγκεκριμένα αυτή ενός αθροιστή 16 ψηφίων πρόβλεψης κρατουμένου. Στην συνέχεια, γίνεται η ανάλυση κλιμάκωσης της τεχνολογίας στις προηγούμενες ανεπτυγμένες δομές και παρατίθενται τα αποτελέσματα των προσομοιώσεων. Τέλος, παρουσιάζονται τα συμπεράσματα σύγκρισης των οικογενειών λογικής και μεγεθών τεχνολογίας.

ΘΕΜΑΤΙΚΗ ΠΕΡΙΟΧΗ: Σχεδίαση Ψηφιακών Ολοκληρωμένων Κυκλωμάτων

ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ: Αθροιστής πρόβλεψης κρατουμένου, Διαφορική Λογική Καθρεπτών Ρεύματος, κλιμάκωση τεχνολογίας, τρανζίστορ επίδρασης πεδίου, δυναμικό συνδυαστικό κύκλωμα

ABSTRACT

This thesis examines the effect of choice of the logic family and the technology on the performance of the digital integrated circuit produced through software simulations. Initially, the required properties of a transistor and its optimization parameters are presented. Then, modern logic families are considered in conjunction with the main design constraints and the Differential Current Mirror Logic and its special properties are extensively presented. Based on these tools, various gates are being implemented to verify the theoretical expected results. The study is directed to the design of numerical units, namely that of a 16-digit carry look ahead adder. Subsequently, the scaling of technology is performed on the previously developed structures and the results of the simulations are presented. Finally, the conclusions of comparing families of logic and technology sizes are presented.

SUBJECT AREA: Digital Integrated Circuit Design

KEYWORDS: carry look ahead adder, Differential Current Mirror Logic, technology scaling, field effect transistor, dynamic combinational circuit

ΠΕΡΙΕΧΟΜΕΝΑ

1. ΕΙΣΑΓΩΓΗ.....	10
1.1 Αντικείμενο	10
1.2 Δομή εργασίας	10
1.3 Διαστάσεις τρανζίστορ.....	10
2. ΔΙΑΦΟΡΙΚΗ ΛΟΓΙΚΗ ΚΑΘΡΕΠΤΩΝ ΡΕΥΜΑΤΟΣ	13
2.1 Οικογένειες λογικής.....	13
2.2 Λειτουργία DCML	14
2.3 Υλοποίηση πυλών.....	16
2.4 Σύγκριση με CCDD	18
2.5 Αξιολόγηση DCML	21
3. Ο ΑΘΡΟΙΣΤΗΣ	23
3.1 Είδη Υλοποιήσεων	23
3.1.1 Δυαδικός Αθροιστής.....	23
3.1.2 Αθροιστής κυμάτωσης κρατουμένου.....	24
3.1.3 Αθροιστής πρόβλεψης κρατουμένου	24
3.2 Αθροιστής πρόβλεψης κρατουμένου με DCML.....	27
3.3 Αξιολόγηση αθροιστή.....	29
4. ΚΛΙΜΑΚΩΣΗ ΤΗΣ ΤΕΧΝΟΛΟΓΙΑΣ.....	30
4.1 Είδη κλιμάκωσης	30
4.1.1 Πλήρης κλιμάκωση.....	30
4.1.2 Κλιμάκωση σταθερής τάσης.....	30
4.1.3 Γενική κλιμάκωση	31
4.2 Φαινόμενα ενδιαφέροντος.....	31
4.2.1 Φαινόμενο θερμών φορέων	31
4.2.2 Κατώφλιο ως συνάρτηση του μήκους	32
4.2.3 Φαινόμενο μείωσης φράγματος επαγόμενης υποδοχής.....	32

4.2.4	Κλιμάκωση διασυνδέσεων	32
4.2.5	Κλιμάκωση τάσεων	33
4.2.6	Ρεύμα διαρροής	33
4.2.7	Κορεσμός ταχύτητας και υποβάθμιση της κινητικότητας	33
4.3	Κλιμάκωση κυκλώματος	33
4.4	Αξιολόγηση κλιμάκωσης	35
5.	ΣΥΜΠΕΡΑΣΜΑΤΑ	36
5.1	DCML	36
5.2	CLA adder	36
5.3	Κλιμάκωση	36
	ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ	37
	ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ	38
	ΠΑΡΑΡΤΗΜΑ Ι : ΚΥΚΛΩΜΑΤΙΚΑ ΣΧΕΔΙΑ ΑΘΡΟΙΣΤΗ	39
	ΑΝΑΦΟΡΕΣ	45

ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

Σχήμα 1: Κυκλωματικό σχέδιο πύλης xor/χnor με DCML	17
Σχήμα 2: Κυκλωματικό σχέδιο συνάρτησης xor/χnor	17
Σχήμα 3: Κυκλωματικό σχέδιο πύλης CCDD	19
Σχήμα 4: Κυκλωματικό σχέδιο διαφορικού NMOS δικτύου	20

ΚΑΤΑΛΟΓΟΣ ΕΙΚΟΝΩΝ

Εικόνα 1: Προσομοίωση αντιστροφεία για διάφορα μήκη.....	11
Εικόνα 2: Προσομοίωση αντιστροφεία για διάφορα πλάτη.....	12
Εικόνα 3: Κυκλωματικό σχέδιο της DCML	14
Εικόνα 4: Η τοπολογία DCML όπως παρουσιάστηκε στο αντίστοιχο άρθρο [2]	15
Εικόνα 5: Φάσεις προφόρτισης και υπολογισμού	16
Εικόνα 6 : Διόρθωση λογικών επιπέδων	18
Εικόνα 7: Τοπολογία CCDD όπως παρουσιάστηκε στο άρθρο [2]	19
Εικόνα 8: Αποτελέσματα προσομοίωσης πύλης CCDD	20
Εικόνα 9: DCML στα 45nm	21
Εικόνα 10: CCDD στα 45nm.....	22
Εικόνα 11: 1-bit Full Adder	23
Εικόνα 12: Αθροιστής κυμάτωσης κρατουμένου.....	24
Εικόνα 13: Μονολιθικός αθροιστής πρόβλεψης κρατουμένου	25
Εικόνα 14: 4-bit CLA block [3]	25
Εικόνα 15: 16-bit CLA adder [3].....	26
Εικόνα 16: 64-bit adder [3].....	26
Εικόνα 17: Διαφορικό δίκτυο σήματος ομαδικής διάδοσης	27
Εικόνα 18: Πύλη σήματος ομαδικής διάδοσης.....	28
Εικόνα 19: Πλήρης δυαδικός αθροιστής	28
Εικόνα 20: Εσφαλμένη ευθυγράμμιση ρολογιών	29
Εικόνα 21: Short channel effects on MOS I-V characteristics [4].....	31
Εικόνα 22: Κατανάλωση ισχύος από τα τρανζίστορ ενός αντιστροφεία στα 16nm	34
Εικόνα 23: Κατανάλωση ισχύος από τα τρανζίστορ ενός αντιστροφεία στα 45nm	34
Εικόνα 24: FinFET 3D transistor [6].....	35

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Πίνακας 1: Λόγοι πλατών PMOS και NMOS.....	11
Πίνακας 2: Μήκη, πλάτη και τάσεις τροφοδοσίας	12

1. ΕΙΣΑΓΩΓΗ

1.1 Αντικείμενο

Η παρούσα εργασία ασχολείται με τη μελέτη των οικογενειών λογικής, και ειδικά της Διαφορικής Λογικής Καθρεπτών Ρεύματος (Dynamic Current Mirror Logic – DCML), και πώς αυτές επηρεάζονται από σχεδιαστικούς περιορισμούς και την κλιμάκωση της τεχνολογίας. Μετά από λεπτομερή παρουσίαση των ιδιοτήτων της DCML, αναπτύσσεται μια υλοποίηση του αθροιστή πρόβλεψης κρατουμένου, δομικού λίθου των σύγχρονων επεξεργαστών, με χρήση της συγκεκριμένης οικογένειας. Τέλος, γίνεται ανάλυση της κλιμάκωσης της τεχνολογίας αυτού του κυκλώματος.

Στο συνοδευτικό υλικό περιλαμβάνονται όλα τα project προσομοίωσης προς αναπαραγωγή, μαζί με τις αντίστοιχες βιβλιοθήκες: αντιστροφείς, αλυσίδες αντιστροφών, ταλαντωτές δακτυλίου, πύλες xor/χnor σε υλοποιήσεις DCML και CCDD και ο αθροιστής πρόβλεψης κρατουμένου σε υλοποίηση DCML.

1.2 Δομή εργασίας

Η εργασία έχει οργανωθεί σε πέντε κεφάλαια, τα οποία περιγράφονται συνοπτικά παρακάτω.

Κεφάλαιο 1: Το παρόν κεφάλαιο αποτελεί μια εισαγωγή στην πτυχιακή εργασία. Επίσης, παρουσιάζονται οι διαστάσεις των τρανζίστορ που επιλέχθηκαν για τη σχεδίαση των κυκλωμάτων κάθε τεχνολογίας.

Κεφάλαιο 2: Γίνεται μια λεπτομερής παρουσίαση της Διαφορικής Λογικής Καθρεπτών Ρεύματος, υλοποιούνται δύο πύλες προς εξέταση των μετρικών επιδόσεων της λογικής και γίνεται σύγκριση με μία συναφή οικογένεια.

Κεφάλαιο 3: Περιγράφεται ο αθροιστής πρόβλεψης κρατουμένου και η αντίστοιχη σχεδίαση με DCML.

Κεφάλαιο 4: Γίνεται η ανάλυση κλιμάκωσης της τεχνολογίας γενικά και ειδικά επί των προηγούμενων περιγραφόμενων κυκλωμάτων.

Κεφάλαιο 5: Σε αυτό το κεφάλαιο παρατίθενται τα συμπεράσματα της εργασίας.

1.3 Διαστάσεις τρανζίστορ

Η επιλογή των διαστάσεων των τρανζίστορ έγινε έτσι ώστε να είναι βέλτιστα και συμμετρικά τα χαρακτηριστικά του απλού CMOS αντιστροφέα.

Το κατώφλιο μετάβασης V_M ορίζεται ως το σημείο στο οποίο $V_{in} = V_{out}$. Στην περιοχή αυτή και τα δύο τρανζίστορ (PMOS και NMOS) λειτουργούν πάντα στην περιοχή κορεσμού [1]. Για μεγάλες τιμές της V_{DD} (σε σχέση με τις τάσεις κατωφλίου και κορεσμού):

$$V_M \approx \frac{rV_{DD}}{1+r}$$

που δηλώνει ότι το κατώφλιο μετάβασης ρυθμίζεται από το λόγο r , ο οποίος συγκρίνει τη σχετική ικανότητα οδήγησης των τρανζίστορ PMOS και NMOS. Για να πάρουμε τα μέγιστα περιθώρια θορύβου και συμμετρικά χαρακτηριστικά, θέτουμε $r=1$ και άρα:

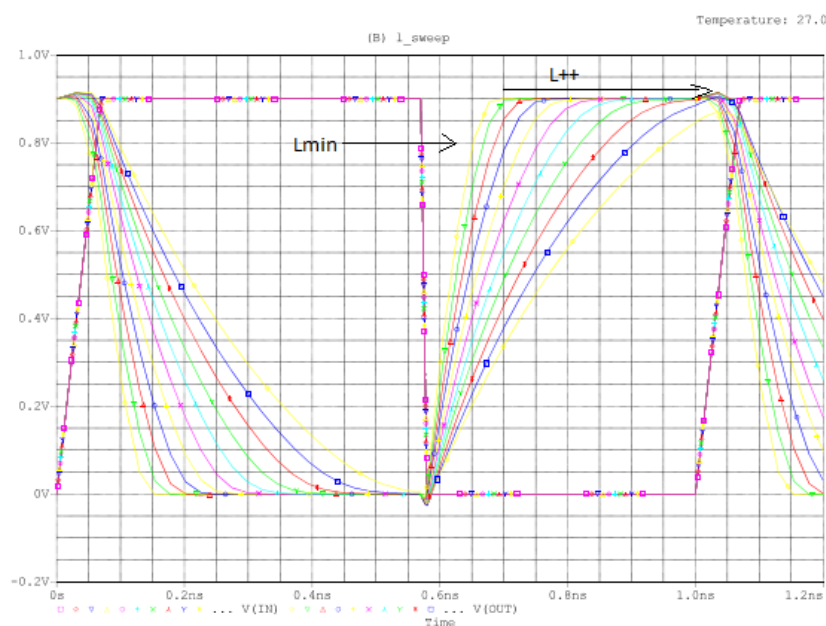
$$r = \frac{v_{satp}W_p}{v_{satn}W_n} \rightarrow W_p = \frac{v_{satn}}{v_{satp}} W_n$$

Επομένως, λαμβάνουμε τους παρακάτω λόγους πλατών των PMOS και NMOS για κάθε τεχνολογία:

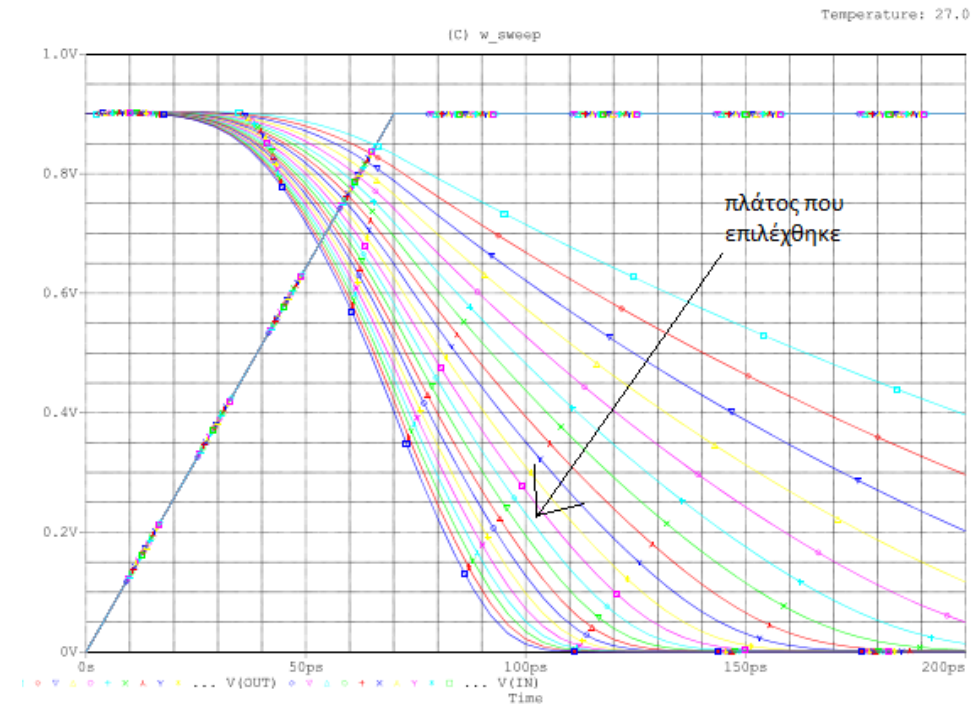
Πίνακας 1: Λόγοι πλατών PMOS και NMOS

τεχνολογία	p_to_n_ratio
16nm	0.975
22nm	1
32nm	1.15
45nm	1.44

Για την επιλογή μήκους και πλάτους έγινε πειραματική δοκιμή και χρησιμοποιήθηκαν τιμές που εμφάνιζαν ικανοποιητικά αποτελέσματα, αλλά όχι βέλτιστα, προς περιορισμό της χρησιμοποιούμενης επιφάνειας. Όσον αφορά το μήκος, το ελάχιστο για κάθε τεχνολογία είναι και το βέλτιστο, ενώ για το πλάτος των τρανζίστορ επιλέχθηκε τιμή πάνω από δέκα φορές μεγαλύτερη σε σχέση με το μήκος.



Εικόνα 1: Προσομοίωση αντιστροφής για διάφορα μήκη



Εικόνα 2: Προσομοίωση αντιστροφέα για διάφορα πλάτη

Επομένως, καταλήγουμε στις παρακάτω τιμές για κάθε τεχνολογία:

Πίνακας 2: Μήκη, πλάτη και τάσεις τροφοδοσίας

Τεχνολογία	Μήκος	Πλάτος	Τάση τροφοδοσίας
16nm	30nm	400nm	0.9V
22nm	30nm	400nm	0.95V
32nm	50nm	800nm	1V
45nm	50nm	800nm	1.1V

2. ΔΙΑΦΟΡΙΚΗ ΛΟΓΙΚΗ ΚΑΘΡΕΠΤΩΝ ΡΕΥΜΑΤΟΣ

Στο κεφάλαιο αυτό αναπτύσσεται το θέμα των διαθέσιμων σχεδιαστικών επιλογών όσον αφορά τις οικογένειες λογικής. Αρχικά γίνεται μία σύντομη αναφορά στις πιο σημαντικές ιδιότητες, στις μετρικές των επιδόσεων και στη συνέχεια παρουσιάζεται λεπτομερώς η Διαφορική Λογική Καθρεπτών Ρεύματος.

2.1 Οικογένειες λογικής

Κάθε οικογένεια λογικής μπορεί να κατηγοριοποιηθεί βάσει των παρακάτω κρίσιμων χαρακτηριστικών:

- Συνδυαστική ή Ακολουθιακή Λογική

Στη συνδυαστική λογική, σε οποιαδήποτε χρονική στιγμή η έξοδος είναι μία συνάρτηση Boole των εισόδων. Δεν επιτρέπεται να υπάρχει καμία σκόπιμη σύνδεση από τις εξόδους πίσω στις εισόδους. Αντίθετα, στην ακολουθιακή λογική, η έξοδος είναι συνάρτηση τόσο της τρέχουσας εισόδου όσο και προηγούμενων εξόδων. Το κύκλωμα περιλαμβάνει ένα τμήμα συνδυαστικής λογικής και μια μονάδα που να διατηρεί την κατάσταση.

- Στατική ή δυναμική

Στα στατικά κυκλώματα, σε κάθε χρονική στιγμή η έξοδος της πύλης συνδέεται είτε με το V_{DD} είτε με το V_{SS} μέσω μιας διαδρομής χαμηλής αντίστασης. Επιπλέον, οι εξόδοι παρέχουν πάντα την τιμή της συνάρτησης Boole που υλοποιείται, αν εξαιρέσουμε τα μεταβατικά φαινόμενα. Τα δυναμικά κυκλώματα όμως βασίζονται στην προσωρινή αποθήκευση τιμών σημάτων στη χωρητικότητα των κόμβων υψηλής εμπεδησης. Χρησιμοποιεί είσοδο ρολογιού, η οποία χωρίζει τη λειτουργία του κυκλώματος σε δύο φάσεις: αυτήν της προφόρτισης (precharge) και αυτή του υπό συνθήκη υπολογισμού (evaluation). Επιπλέον, η έξοδος της πύλης μπορεί να κάνει το πολύ μια μετάβαση κατά τη διάρκεια του υπολογισμού, ενώ δεν υπάρχει πάντα μια διαδρομή χαμηλής αντίστασης μεταξύ της εξόδου και μίας εκ των δύο γραμμών τροφοδοσίας.

- Μονή ή διαφορική

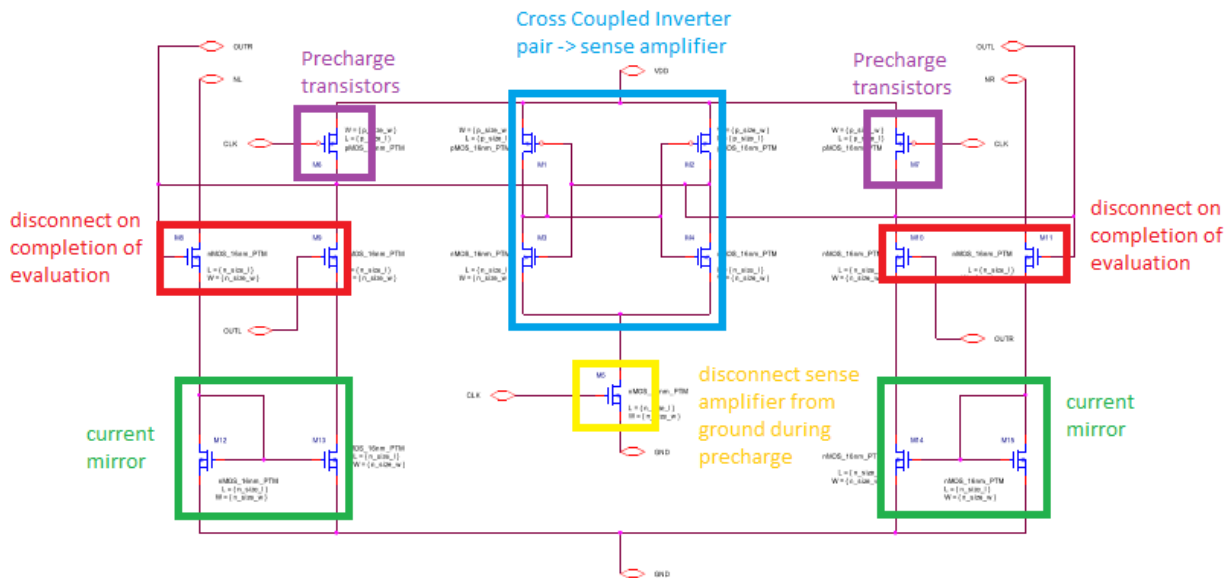
Η διαφορική πύλη απαιτεί κάθε είσοδος να παρέχεται σε συμπληρωματική μορφή, και με τη σειρά της παρέχει τις εξόδους της σε συμπληρωματική μορφή.

- Λογική εξαρτημένη από το λόγο του μεγέθους των τρανζίστορ

Σε κυκλώματα εξαρτημένα από το λόγο του μεγέθους των τρανζίστορ (ratioed), η τάση ταλαντεύει στην έξοδο και η συνολική λειτουργία της πύλης εξαρτάται από το λόγο μεγεθών των NMOS και PMOS. Ρυθμίζοντας τα μεγέθη μπορούμε να εξισορροπήσουμε παραμέτρους όπως τα περιθώρια θορύβου, την καθυστέρηση διάδοσης και την κατανάλωση ισχύος. Αντίθετα σε κυκλώματα μη εξαρτημένα από το λόγο του μεγέθους των τρανζίστορ (ratioless), τα χαμηλά και υψηλά επίπεδα τάσεις δεν εξαρτώνται από τα μεγέθη των τρανζίστορ.

2.2 Λειτουργία DCML

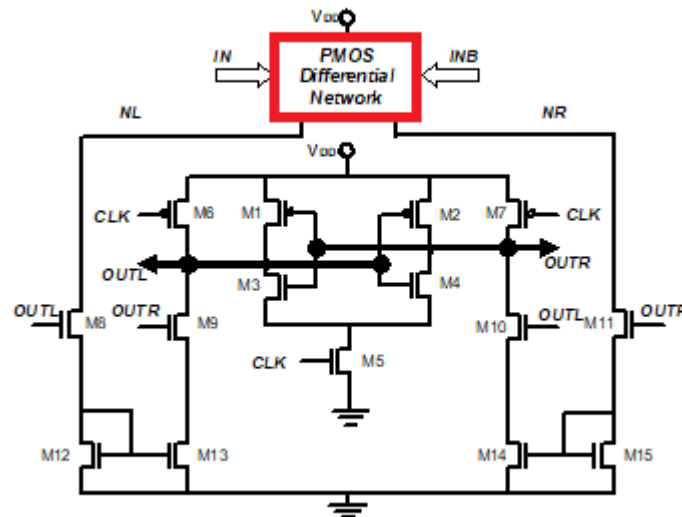
Η Διαφορική Λογική Καθρεπτών Ρεύματος είναι μία δυναμική διαφορική τοπολογία, η οποία χρησιμοποιεί καθρέπτες ρεύματος για να ενισχύσει την ανίχνευση ρεύματος και ένα ενισχυτή παρατήρησης για την επιτάχυνση του υπολογισμού της εξόδου [2].



Εικόνα 3: Κυκλωματικό σχέδιο της DCML

Τα M1, M2, M3 και M4 σχηματίζουν ένα ζευγάρι αντιστροφένων με διασταυρωμένες τις εισόδους και τις εξόδους τους (cross coupled inverter pair), το οποίο αποτελεί έναν ενισχυτή ανίχνευσης (sense amplifier). Το M5 αποσυνδέει τον ενισχυτή από τη γείωση κατά τη διάρκεια της φάσης προφόρτισης, ενώ τα M6 και M7 είναι τα τρανζίστορ προφόρτισης. Τα M8, M9, M10, M11 παρέχουν τη δυνατότητα αποκοπής του διαφορικού δικτυώματος (PMOS διαφορικό κύκλωμα που υλοποιεί τη συνάρτηση της πύλης και τροφοδοτεί τα NR και NL) από τους καθρέπτες ρεύματος και/ή την αποκοπή των καθρεπτών ρεύματος από τις εξόδους, μόλις ολοκληρωθεί η διαδικασία υπολογισμού. Τα M12, M13, M14 και M15 σχηματίζουν ένα ζεύγος καθρεπτών ρεύματος.

Το διαφορικό δικτύωμα (εικόνα 4) αποτελείται από ένα PMOS δέντρο με συμπληρωματικές εισόδους και εξόδους, το οποίο και παρέχει την όλη λειτουργικότητα της πύλης. Ανάλογα με τη συνάρτηση σχηματίζεται μονοπάτι ρεύματος μεταξύ τροφοδοσίας και είτε του NL είτε του NR. Το PMOS δίκτυο τροφοδοτεί τον αντίστοιχο καθρέπτη ρεύματος του οποίου το ρεύμα εξόδου οδηγεί τον κατάλληλο κόμβο του ενισχυτή. Ο ενισχυτής με τη σειρά του ενεργοποιείται και κλειδώνει στην έξοδο της πύλης.



Εικόνα 4: Η τοπολογία DCML όπως παρουσιάστηκε στο αντίστοιχο άρθρο [2]

Η χρήση των καθρεπτών ρεύματος επιτρέπει την επιλογή τρανζίστορ ελάχιστης επιφάνειας για την υλοποίηση πολύπλοκων πυλών με μεγάλα PMOS δίκτυα, καθώς η έξοδος του δέντρου ενισχύεται από τον καθρέπτη ρεύματος πριν οδηγήσει τον ενισχυτή.

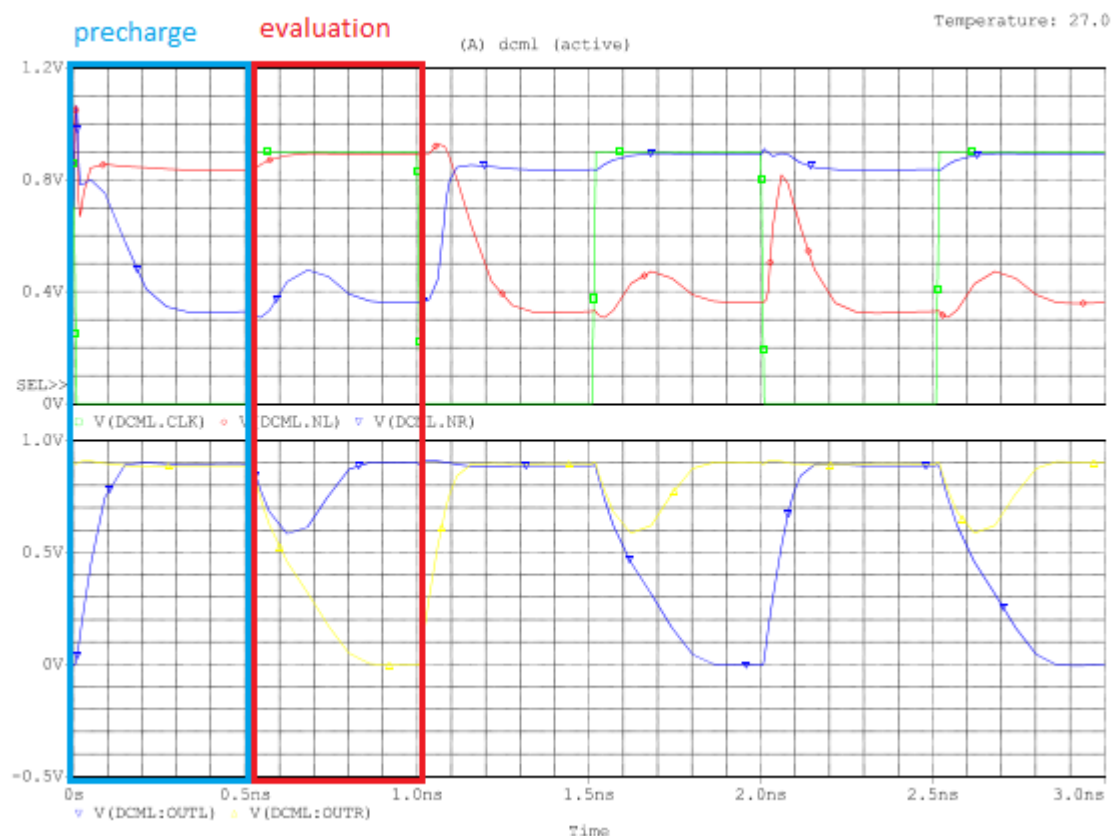
- Φάση Προφόρτισης

Η διαδικασία ξεκινά με τη φάση προφόρτισης. Το σήμα ρολογιού είναι σε χαμηλό δυναμικό και άρα τα M6 και M7 άγουν και οι έξοδοι και ο ενισχυτής φορτίζονται στην τάση τροφοδοσίας. Το M5 είναι σε αποκοπή και αποσυνδέει τον ενισχυτή από τη γείωση. Αν υποθέσουμε ότι το δέντρο οδηγείται από αντίστοιχη DCML πύλη με ίδιο ρολόι, τότε οι είσοδοι IN, INB θα είναι επίσης φορτισμένες στο λογικό 1 και άρα το PMOS δίκτυο δεν θα άγει. Επομένως, δεν μπορεί να περάσει ρεύμα από τα M12 και M15. Μόλις αποφορτιστούν και τα M13, M14 δεν υπάρχει πλέον διαδρομή από τις εξόδους στη γείωση. Συμπερασματικά, η κατανάλωση ισχύος στην ολοκλήρωση της φάσης προφόρτισης είναι περιορισμένη.

- Φάση Υπολογισμού

Στη συνέχεια το κύκλωμα εισέρχεται στη φάση υπολογισμού: το ρολόι ανεβαίνει σε υψηλό δυναμικό. Η διακλάδωση του διαφορικού δέντρου που δημιουργεί αγωγήιμη διαδρομή προς την τροφοδοσία τραβά ρεύμα από τον αντίστοιχο καθρέπτη. Έπειτα ο καθρέπτης αυτός λειτουργεί σαν καταβόθρα εγκαθιδρύοντας μονοπάτι αποφόρτισης από την κατάλληλη έξοδο του ενισχυτή προς τη γείωση. Επομένως, η συγκεκριμένη έξοδος πέφτει στο λογικό 0 και ο ενισχυτής αναγκάζεται να ενισχύσει την συμπληρωματική έξοδο στο τρέχον λογικό 1. Η μετάβαση $1 \rightarrow 0$ αποσυνδέει το PMOS δίκτυο από τον αντίστοιχο καθρέπτη και σταδιακά και από τον απέναντι, καθώς τα M8 και M10 σταματούν να άγουν. Άρα, η κατανάλωση ισχύος μετά την ολοκλήρωση του υπολογισμού είναι περιορισμένη.

Η λειτουργία του κυκλώματος είναι πλήρως συμμετρική, ανεξάρτητα με τη διακλάδωση του δέντρου που άγει.



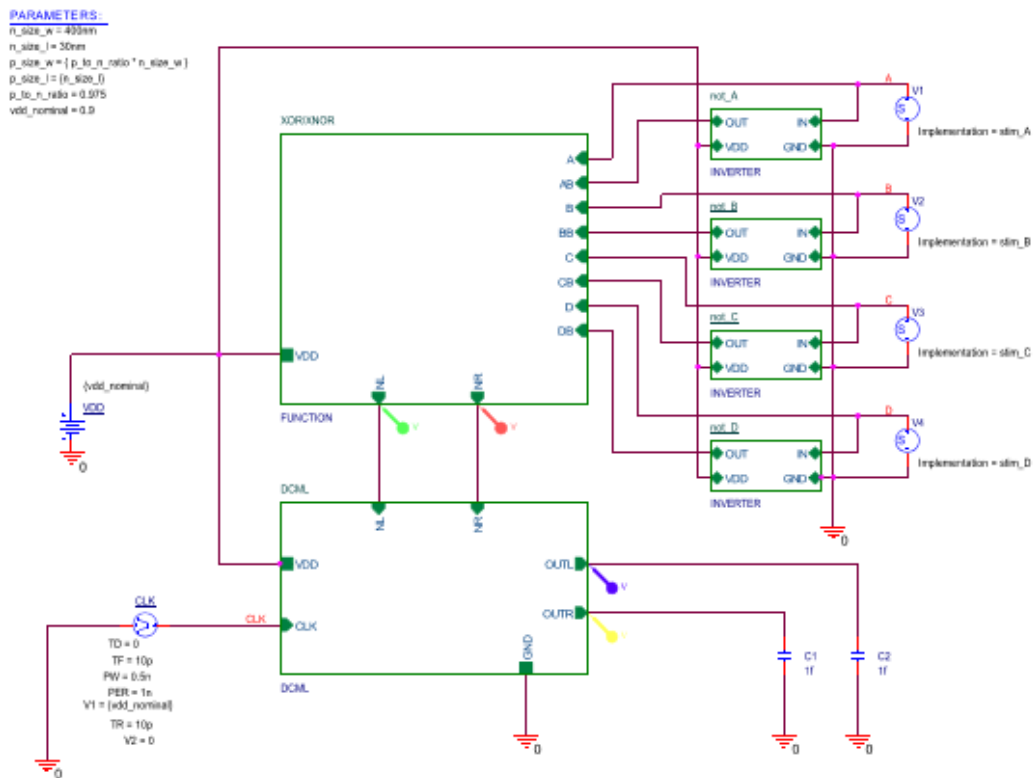
Εικόνα 5: Φάσεις προφόρτισης και υπολογισμού

2.3 Υλοποίηση πυλών

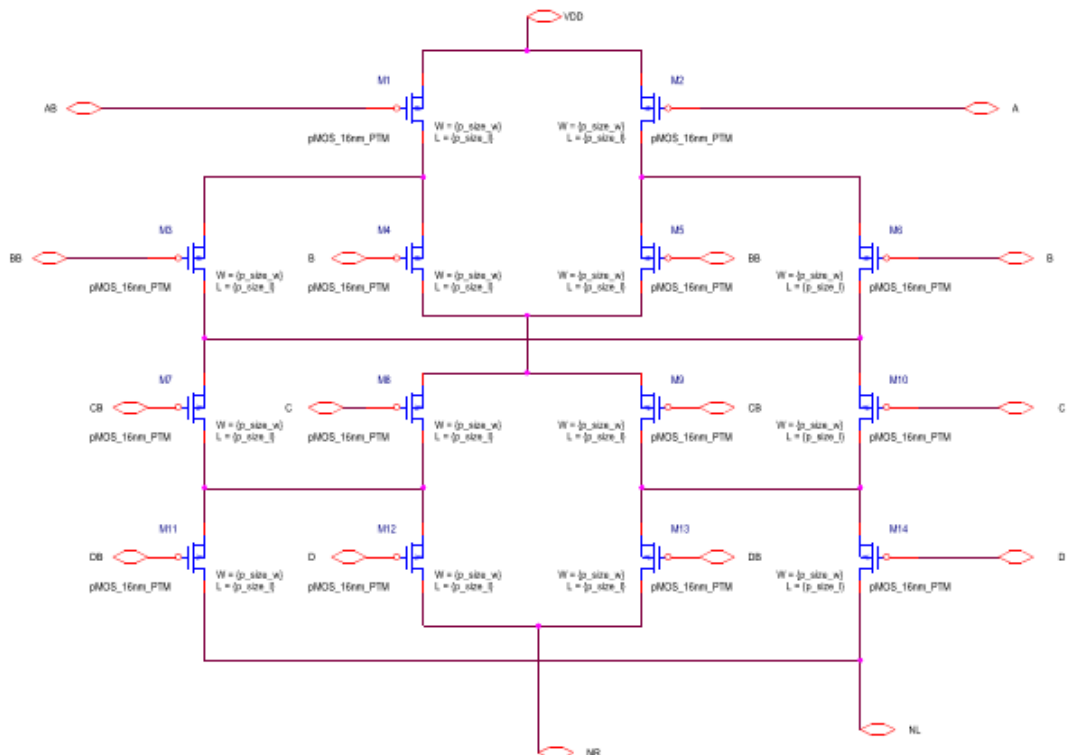
Προς επαλήθευση των παραπάνω, σχεδιάστηκε και δοκιμάστηκε μέσω προσομοιώσεων μια πύλη χορ/χνορ τεσσάρων εισόδων.

Όπως αναφέρθηκε, χρησιμοποιήθηκαν τρανζίστορ με συμμετρικά χαρακτηριστικά και μέγιστα περιθώρια θορύβου για κάθε τεχνολογία (ενότητα 1.3). Η υλοποίηση αποτελείται από μία μόνο πύλη DCML και επομένως μειονεκτεί ως προς το γεγονός ότι δεν οδηγείται από αντίστοιχη πύλη και άρα οι εισόδοι δεν ακολουθούν το μοτίβο των εξόδων, με αποτέλεσμα παρατεταμένες μεταβάσεις και υψηλότερη κατανάλωση ισχύος σε σχέση με το θεωρητικό μοντέλο.

Το δέντρο της συνάρτησης είναι διαφορετικό και συμμετρικό και η λογική πλήρως συνδυαστική. Χρησιμοποιείται ρολόι περιόδου ενός νανοδευτερολέπτου με άνοδο και κάθοδο σήματος διάρκειας 10ps, ενώ τα σήματα εισόδου θεωρούμε ότι έχουν αντίστοιχους χρόνους 10ps και 70ps. Τάση τροφοδοσίας είναι η ονομαστική όπως αυτή αναφέρεται στο μοντέλο προσομοίωσης.

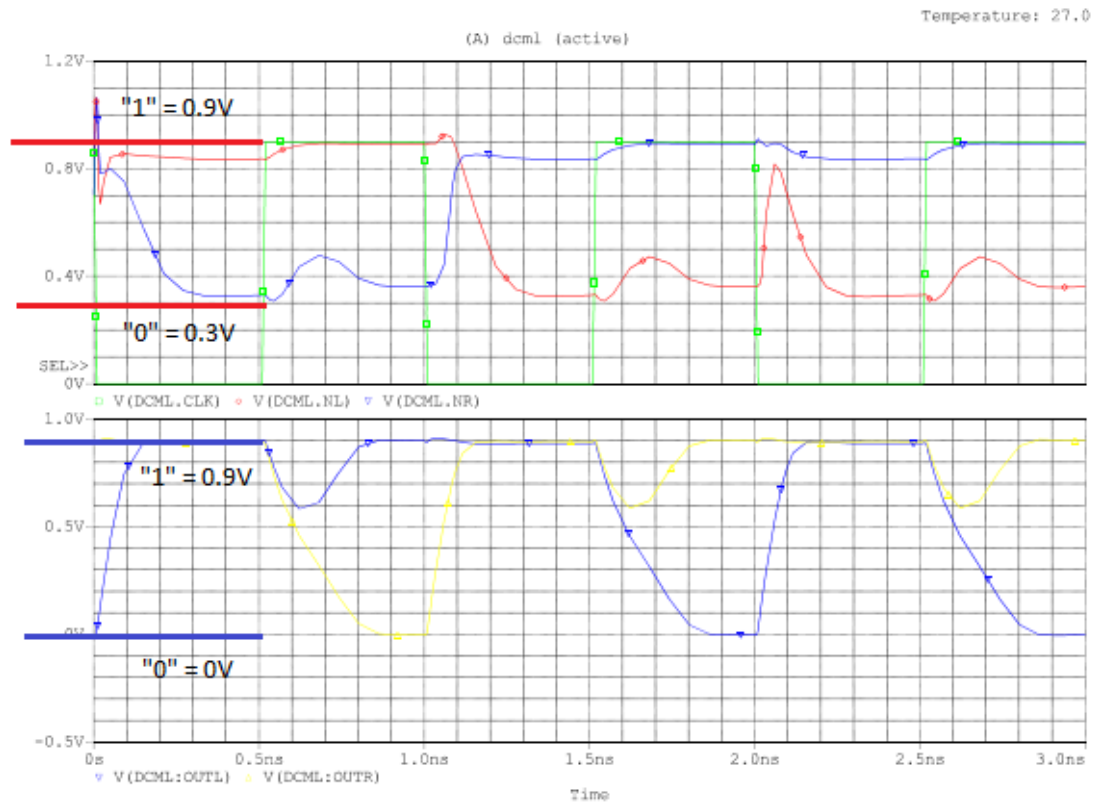


Σχήμα 1: Κυκλωματικό σχέδιο πύλης xor/xnor με DCML



Σχήμα 2: Κυκλωματικό σχέδιο συνάρτησης xor/xnor

Από τα αποτελέσματα των προσομοιώσεων μπορούμε να εξάγουμε διάφορα συμπεράσματα.

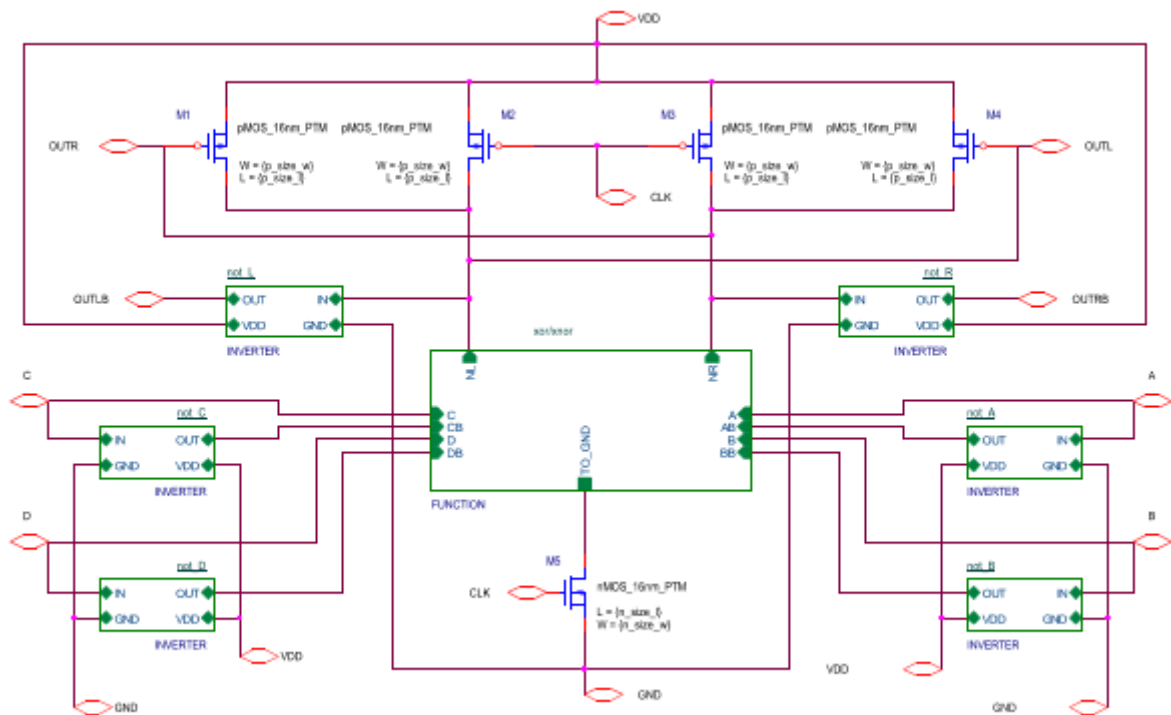


Εικόνα 6 : Διόρθωση λογικών επιπέδων

Παρά την κακή ποιότητα του σήματος εισόδου, η δομή DCML διορθώνει τα λογικά επίπεδα και δεν μεταφέρει στην έξοδο πιθανές ταλαντώσεις. Επίσης επειδή κατά την προφόρτιση φορτίζεται μόνο ένας κλάδος και κατά τον υπολογισμό αποφορτίζεται μόνο ένας κλάδος, έχουμε σημαντική οικονομία ισχύος. Τέλος, η ενίσχυση των ρευμάτων μας επιτρέπει, όπως θα δειχθεί παρακάτω, τη χρήση ελάχιστων μεγεθών στα τρανζίστορ και την ελάχιστη τιμή στην τάση τροφοδοσίας.

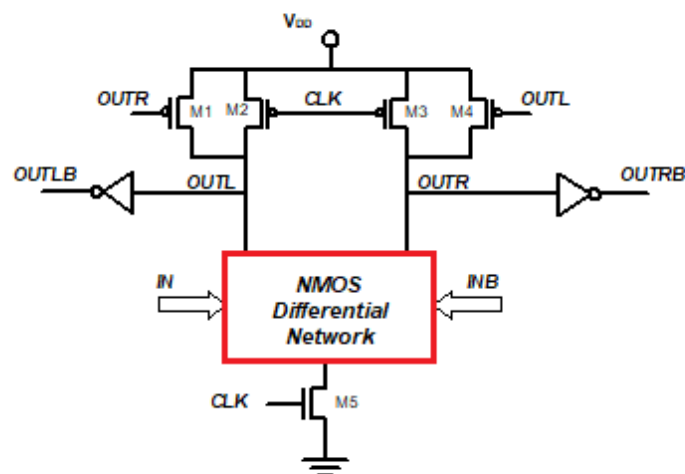
2.4 Σύγκριση με CCDD

Για την αντιπαραβολή των ιδιοτήτων, παρουσιάζεται μια συγγενής οικογένεια (επίσης δυναμική και διαφορική), η οποία είναι συχνά χρησιμοποιούμενη και συνδυάζει τα προτερήματα των διαφορικών οικογενειών με αυτά της οικογένειας DOMINO.

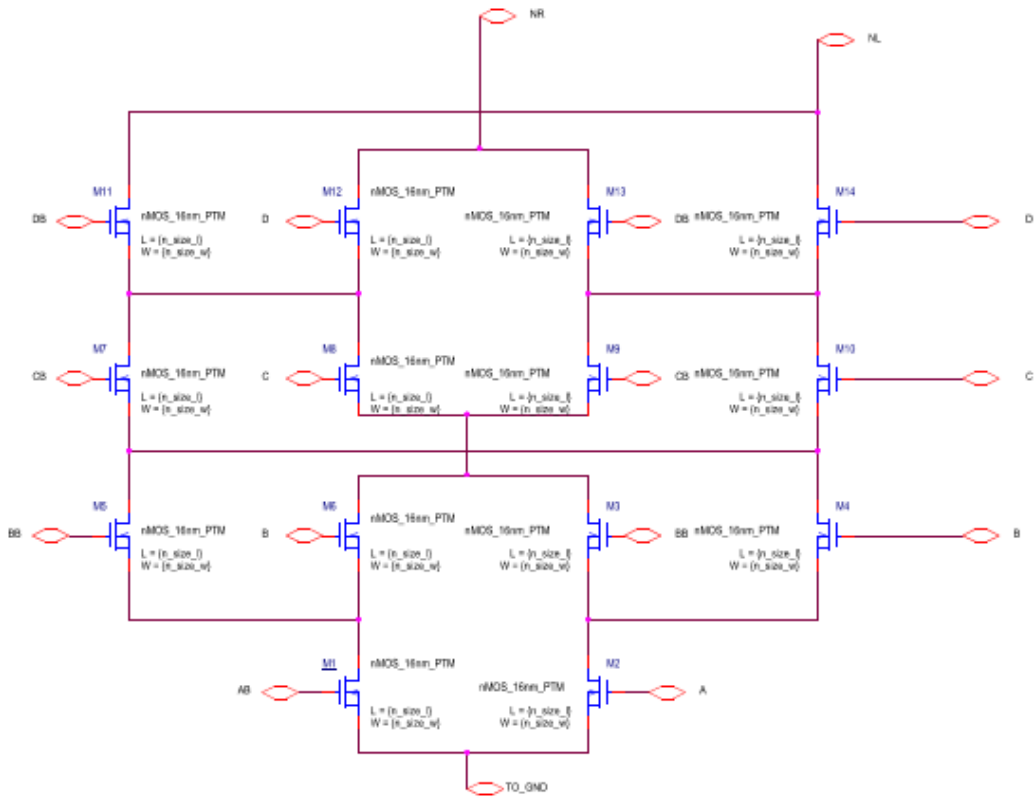


Σχήμα 3: Κυκλωματικό σχέδιο πύλης CCDD

Η Cross Coupled Differential Domino (CCDD) προφορτίζει τους κόμβους OUTL, OUTR στην τάση τροφοδοσίας μέσω των M2, M3. Στη μετάβαση του ρολογιού, τα M2 και M3 αποκόπτονται και το M5 τίθεται σε λειτουργία για την εκκίνηση του υπολογισμού. Αν ο ένας κόμβος αποφορτιστεί μέσω του NMOS δικτύου, ο συμπληρωματικός διατηρείται σε υψηλή στάθμη από το αντίστοιχο τρανζίστορ (M1 ή M4). Η λειτουργία και αυτού του κυκλώματος είναι επίσης συμμετρική. Στις προσομοιώσεις χρησιμοποιήθηκαν τα ίδια τρανζίστορ.

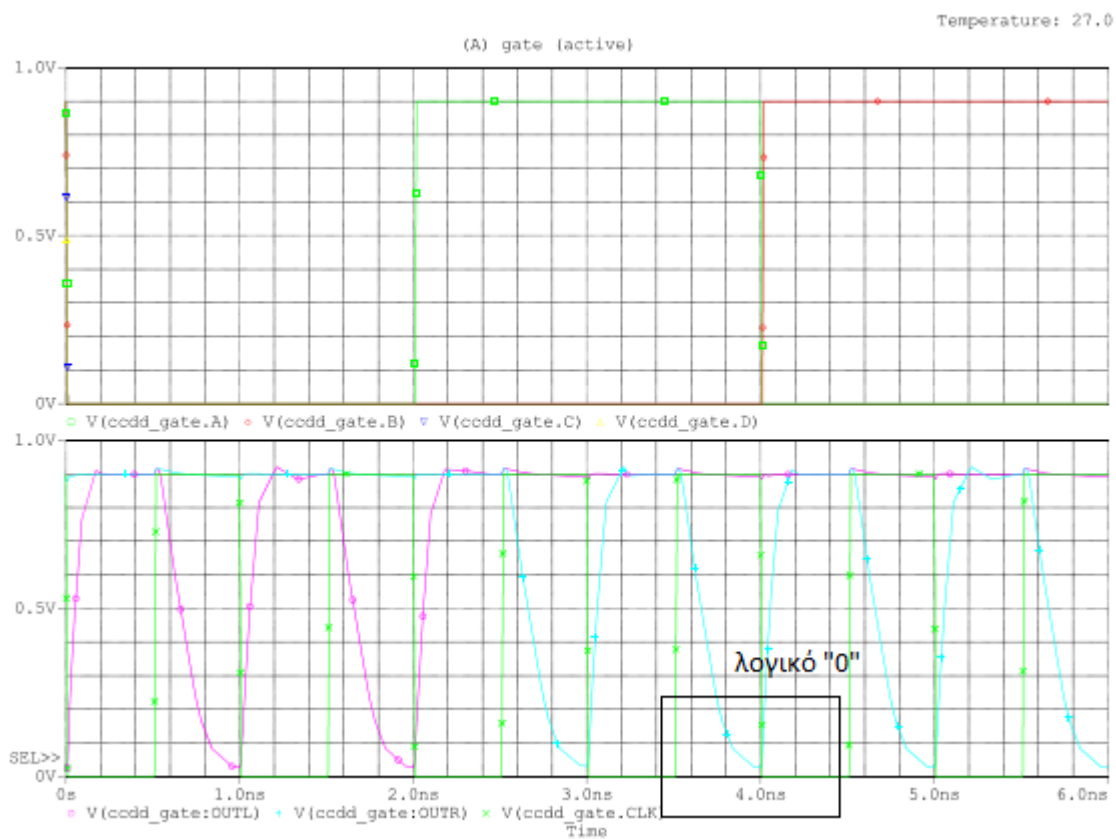


Εικόνα 7: Τοπολογία CCDD όπως παρουσιάστηκε στο άρθρο [2]



Σχήμα 4: Κυκλωματικό σχέδιο διαφορικού NMOS δικτύου

Από τα αποτελέσματα των προσομοιώσεων εξάγουμε τα κάτωθι συμπεράσματα.



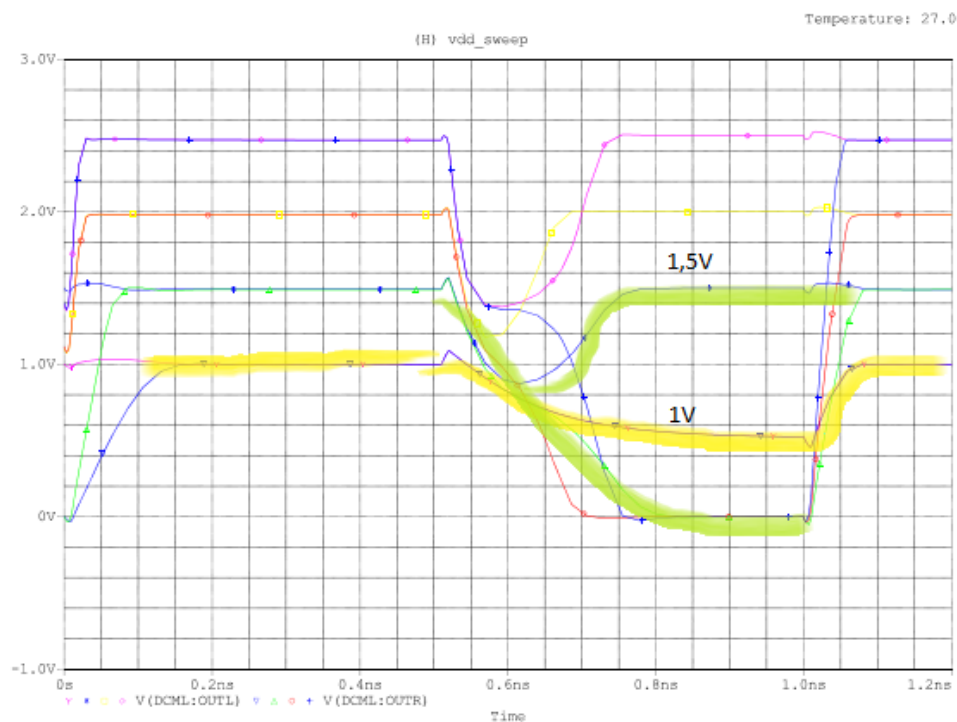
Εικόνα 8: Αποτελέσματα προσομοίωσης πύλης CCDD

Παρατηρούμε ότι η έξοδος για το λογικό 0 δεν ταυτίζεται με τη γείωση και η μετάβαση διαρκεί περισσότερο. Σε κάθε επανάληψη φορτίζεται και αποφορτίζεται μόνο ένας κλάδος, οπότε έχουμε περιορισμένη κατανάλωση ισχύος, ενώ τα απομακρυσμένα λογικά επίπεδα επιτρέπουν μεγάλα περιθώρια θορύβου.

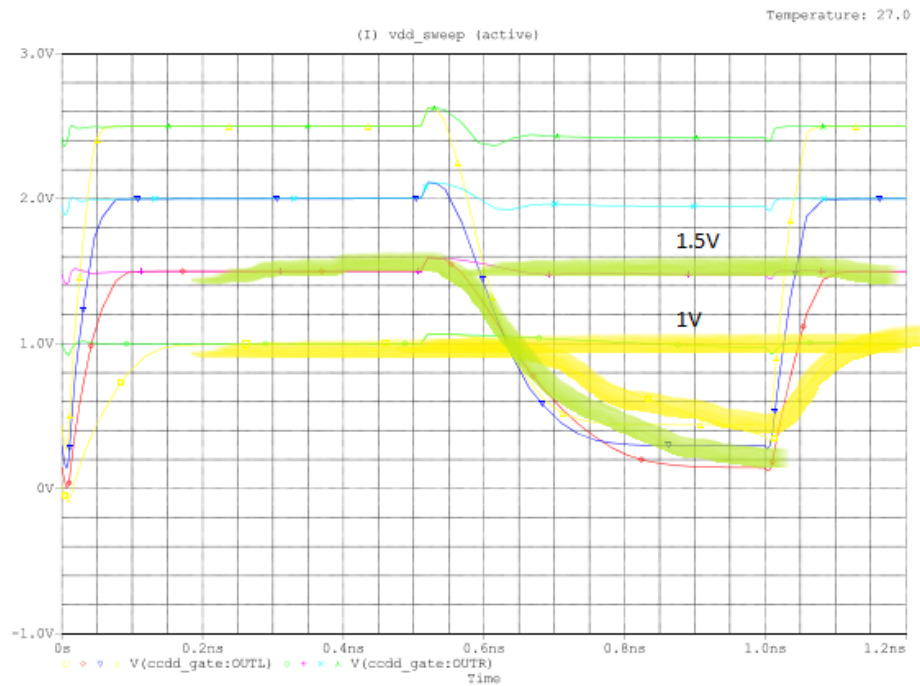
2.5 Αξιολόγηση DCML

Για την πιο εμπειριστατωμένη αντιπαράθεση των χαρακτηριστικών των δύο οικογενειών είναι σημαντική η περεταίρω ανάλυση σε περισσότερες τεχνολογίες. Προηγουμένως χρησιμοποιήθηκαν τρανζίστορ τεχνολογίας 16 νανομέτρων με βέλτιστα χαρακτηριστικά αντίστασης και καθυστέρησης. Σε τεχνολογία 45 νανομέτρων διατηρώντας το ίδιο ρολόι και οι δύο οικογένειες παρουσιάζουν υποδεέστερες ιδιότητες με διαφορετικούς ρυθμούς όμως.

Και οι δύο οικογένειες υπολειτουργούν στην ονομαστική τάση: η μεν DCML εγκλωβίζεται σε μία ενδιάμεση τάση και στους δύο κλάδους της, η δε CCDD απομακρύνεται κατά πολύ από το λογικό 0. Ανεβάζοντας την τάση στο 1.5V, η DCML παρουσιάζει πιο βελτιωμένα χαρακτηριστικά σε σχέση με τη CCDD, έχοντας πιο ξεκάθαρα λογικά επίπεδα και πιο απότομες μεταβάσεις.



Εικόνα 9: DCML στα 45nm



Εικόνα 10: CCDD στα 45nm

Συμπερασματικά, η DCML ενδείκνυται για μεγάλα διαφορικά δέντρα, καθώς παρέχει μεγάλα περιθώρια θορύβου, απότομες μεταβάσεις και χαμηλή κατανάλωση ισχύος κατά τη δυναμική λειτουργία. Παρά τον αυξημένο αριθμό των τρανζίστορ, η επιφάνειά τους είναι μικρότερη. Επίσης, λόγω της ενίσχυσης η πύλη έχει μεγαλύτερη ικανότητα οδήγησης.

3. Ο ΑΘΡΟΙΣΤΗΣ

Η πρόσθεση είναι η πιο συχνά χρησιμοποιούμενη αριθμητική πράξη και συχνά προσδιορίζει την ταχύτητα του κυκλώματος [1]. Οι τυπικές βελτιστοποιήσεις σε επίπεδο λογικής προσπαθούν να αναδιοργανώσουν τις εξισώσεις Boole ούτως ώστε να προκύπτουν μικρότερα ή ταχύτερα κυκλώματα (π.χ. αθροιστής πρόβλεψης κρατουμένου). Σε επίπεδο κυκλώματος, οι βελτιστοποιήσεις συνίσταται στον καθορισμό των διαστάσεων των τρανζίστορ και της τοπολογίας του κυκλώματος ούτως ώστε να αυξάνεται η ταχύτητα.

3.1 Είδη Υλοποιήσεων

Σε αυτή την ενότητα παρουσιάζονται οι δομικοί λίθοι στη σχεδίαση ενός αθροιστή.

3.1.1 Δυαδικός Αθροιστής

Ο πλήρης δυαδικός αθροιστής είναι το δομικό στοιχείο κάθε υλοποίησης αθροιστή. Με βάση τα σήματα της εισόδου, παράγει σήματα γέννησης και διάδοσης κρατουμένου, από τα οποία προκύπτουν το άθροισμα και το κρατούμενο που θα περαστεί στην επόμενη μονάδα. Με αυτό τον τρόπο, η καθυστέρηση του στοιχείου ανέρχεται σε δύο στάδια, ένα για τον υπολογισμό των G και P και ένα για τον υπολογισμό του αθροίσματος και του κρατουμένου. Αντίθετα, με μία σειριακή αντιμετώπιση, χωρίς χρήση των G και P , θα χρειαζόντουσαν τουλάχιστον τρία και περισσότερες πύλες.

Οι συναρτήσεις Boole που περιγράφουν έναν δυαδικό αθροιστή είναι:

$$S = A \oplus B \oplus C_i$$

$$C_o = AB + B C_i + A C_i$$

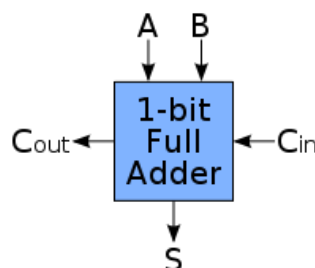
Οι εξισώσεις που περιγράφουν έναν πλήρη δυαδικό αθροιστή είναι:

$$G = A B, \text{ σήμα γέννησης κρατουμένου}$$

$$P = A \oplus B, \text{ σήμα διάδοσης κρατουμένου}$$

$$C_o = G + P C_i$$

$$S = P \oplus C_i$$

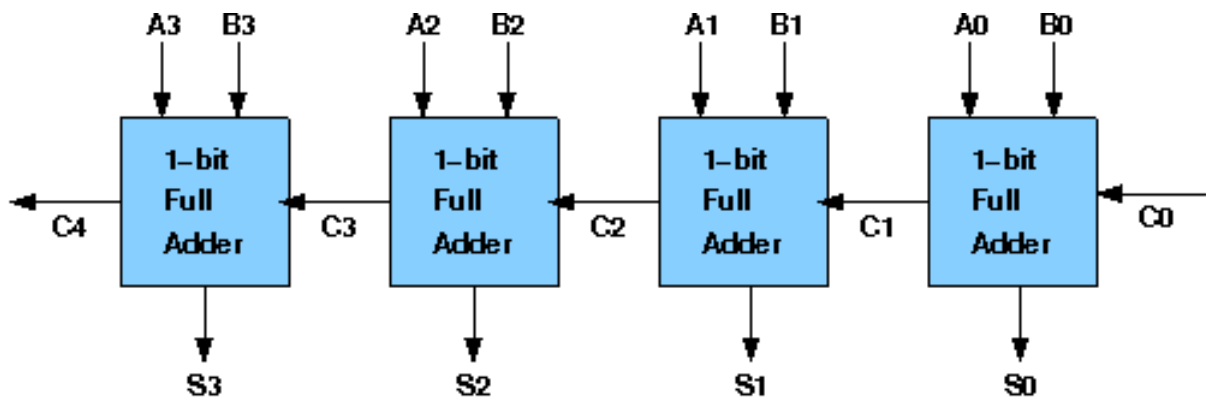


Εικόνα 11: 1-bit Full Adder

3.1.2 Αθροιστής κυμάτωσης κρατουμένου

Ένας αθροιστής N ψηφίων μπορεί να κατασκευαστεί από N βαθμίδες πλήρους αθροιστή συνδεδεμένες σε σειρά. Η τοπολογία αυτή ονομάζεται αθροιστής κυμάτωσης κρατουμένου (ripple carry adder), αφού το κρατούμενο διαδίδεται κυματιστά από τη μία βαθμίδα στην επόμενη. Η καθυστέρηση του κυκλώματος εξαρτάται από τον αριθμό των βαθμίδων που πρέπει να διασχίσει ένα κρατούμενο και είναι συνάρτηση των συνδυασμών των εισόδων.

Η κρίσιμη διαδρομή σε μία τέτοια δομή αφορά τη χειρότερη περίπτωση καθυστέρησης και απαντάται όταν ένα κρατούμενο γεννιέται στο λιγότερο σημαντικό ψηφίο και διαδίδεται έως το περισσότερο σημαντικό ψηφίο. Επομένως, η καθυστέρηση διάδοσης του αθροιστή κυμάτωσης κρατουμένου είναι γραμμικά ανάλογη του N.



Εικόνα 12: Αθροιστής κυμάτωσης κρατουμένου

3.1.3 Αθροιστής πρόβλεψης κρατουμένου

Προς αύξηση της ταχύτητας είναι σημαντικό να εξαιρεθεί το φαινόμενο της κυμάτωσης του κρατουμένου. Μια προσέγγιση αποτελεί η πρόβλεψη κρατουμένου, η οποία μπορεί να υλοποιηθεί είτε σε ένα μονολιθικό αθροιστή, είτε σε ένα λογαριθμικό αθροιστή.

- Μονολιθικός αθροιστής πρόβλεψης κρατουμένου

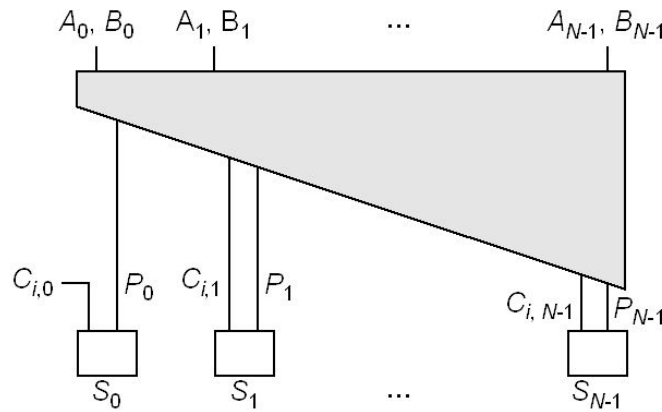
Για κάθε ψηφίο σε έναν αθροιστή N ψηφίων ισχύει η ακόλουθη σχέση:

$$C_{o,k} = G_k + P_k C_{o,k-1}$$

Αντικαθιστώντας αναδρομικά το $C_{o,k-1}$ παίρνουμε:

$$C_{o,k} = G_k + P_k \left(G_{k-1} + P_{k-1} \left(\dots + P_1 (G_0 + P_0 C_{i,0}) \right) \right)$$

Έτσι, για κάθε ψηφίο οι έξοδοι του κρατουμένου και του αθροίσματος είναι ανεξάρτητες από τα προηγούμενα κρατούμενα και άρα εξαιρείται η επίδραση της κυμάτωσης. Θεωρητικά, ο χρόνος της πρόσθεσης θα είναι ανεξάρτητος από τον αριθμό των ψηφίων. Πρακτικά, η πραγματική καθυστέρηση αυξάνει τουλάχιστον γραμμικά ανάλογα με τον αριθμό των ψηφίων.



Εικόνα 13: Μονολιθικός αθροιστής πρόβλεψης κρατουμένου

Ο μεγάλος φόρτος εξόδου κάνει το κύκλωμα απαγορευτικά αργό για μεγάλες τιμές του N . Επιπλέον, η υλοποίηση του με απλές πύλες απαιτεί πολλαπλά λογικά επίπεδα. Ο φόρτος εξόδου κάποιων σημάτων τείνει να αυξάνει εκθετικά, επιβραδύνοντας ακόμη περισσότερο τον αθροιστή. Αυτή η δομή πρόβλεψης είναι χρήσιμη για μικρές τιμές του N (≤ 4).

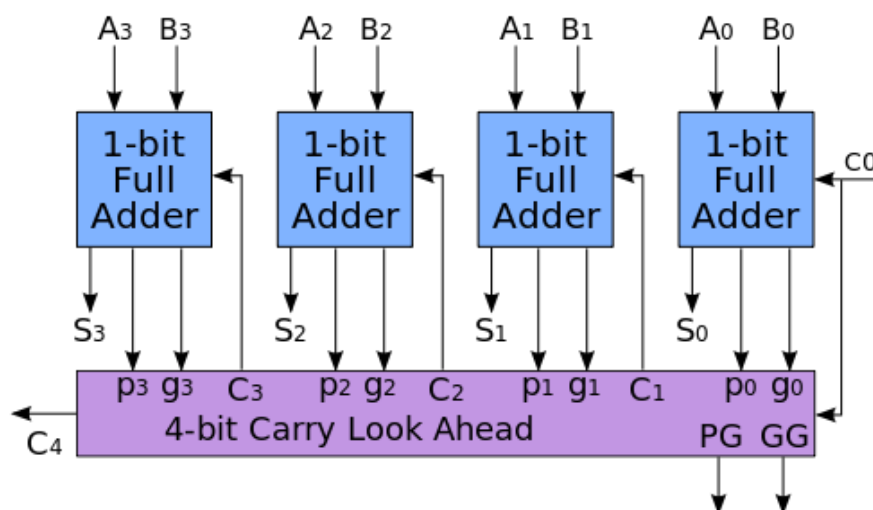
- Λογαριθμικός αθροιστής πρόβλεψης κρατουμένου

Η υλοποίηση ενός κυκλώματος πρόβλεψης κρατουμένου N ψηφίων έχει $N+1$ παράλληλους κλάδους και μέχρι $N+1$ τρανζίστορ σε σειρά. Επειδή οι μεγάλες πύλες και οι μεγάλες στοίβες από τρανζίστορ παρουσιάζουν χαμηλή ταχύτητα, ο υπολογισμός της πρόβλεψης κρατουμένου περιορίζεται μέχρι τα 4 ψηφία. Επομένως, η γέννηση και η διάδοση κρατουμένου πρέπει να οργανωθούν σε δένδρα επαναληπτικών δομών.

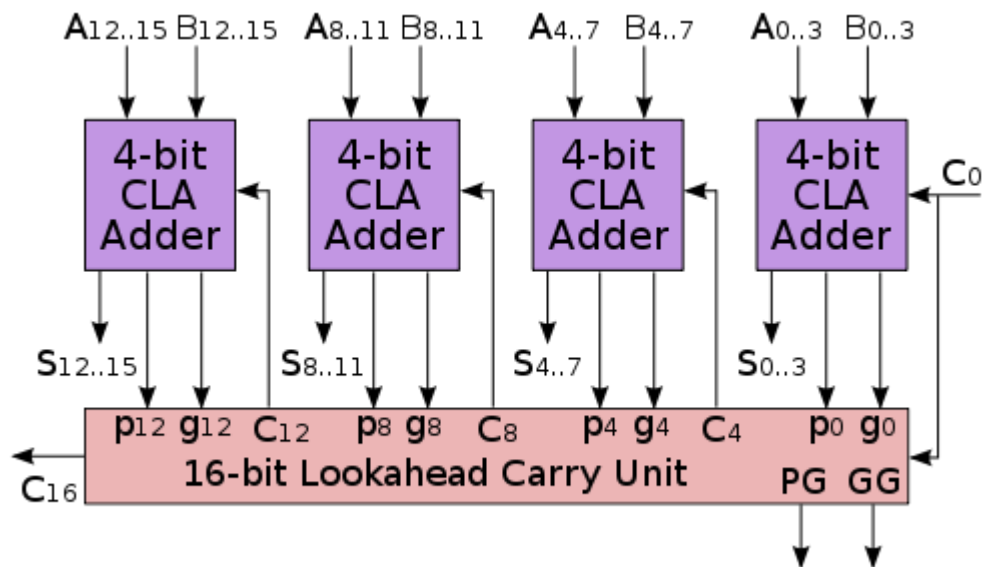
Σε αυτή την υλοποίηση κάθε ομάδα τεσσάρων ψηφίων αποτελεί ένα μονολιθικό αθροιστή, ενώ προστίθενται σήματα γέννησης και διάδοσης ομάδας για κάθε μπλοκ, το οποίο με τη σειρά του μπορεί να αποτελέσει στοιχείο τετράδας σε επόμενο επίπεδο:

$$PP = P_0 P_1 P_2 P_3$$

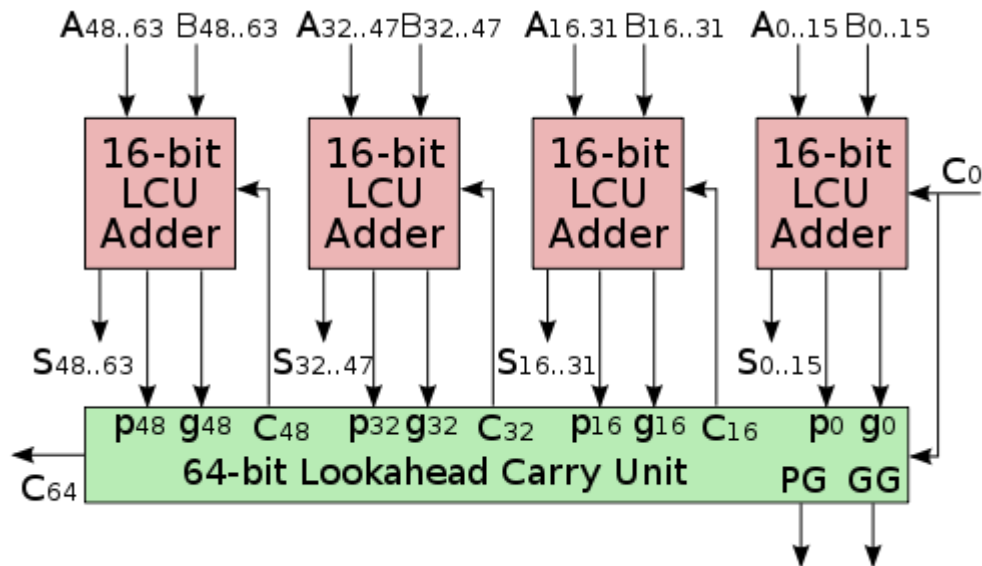
$$GG = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0$$



Εικόνα 14: 4-bit CLA block [3]



Εικόνα 15: 16-bit CLA adder [3]



Εικόνα 16: 64-bit adder [3]

Ο υπολογισμός της καθυστέρησης του 16-μπιτου αθροιστή πρόβλεψης κρατουμένου, υλοποιημένου σε 2 επίπεδα, ανέρχεται σε 8 gate delays, ενώ η αντίστοιχη του αθροιστή κυμάτωσης κρατουμένου είναι 47. [3]

3.2 Αθροιστής πρόβλεψης κρατουμένου με DCML

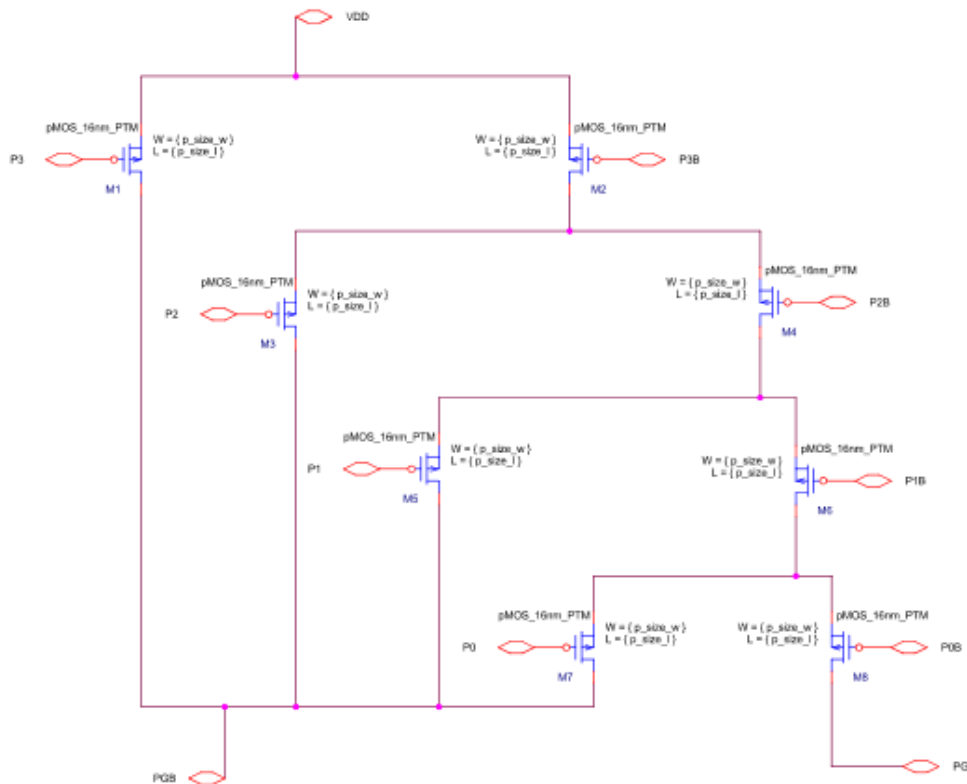
Η σχεδίαση του αθροιστή πρόβλεψης κρατουμένου με DCML παρουσιάζει ορισμένες ιδιαιτερότητες, λόγω της περιορισμένης δυνατότητας της λογικής να αλλάζει μόνο μία φορά κατάσταση σε κάθε φάση υπολογισμού. Επομένως, πρέπει να δοθεί ιδιαίτερη προσοχή στο χρονισμό των πυλών ούτως ώστε το επόμενο επίπεδο να ενεργοποιείται μόνο εφόσον το προηγούμενο έχει ολοκληρώσει την υπολογιστική του φάση και πριν μπει σε διαδικασία προφόρτισης.

Όπως αναφέρθηκε προηγουμένως, ένας αθροιστής 16 μπιτ πρόβλεψης κρατουμένου απαιτεί στη χειρότερη περίπτωση 8 καθυστερήσεις πύλης. Άρα για μια πλήρως συγχρονισμένη λειτουργία χρειαζόμαστε είτε 8 διαφορετικά ρολόγια, είτε σήματα ετοιμότητας εξόδου. Το μειονέκτημα είναι ότι επιβάλλουμε στο κύκλωμα καθυστερήσεις χειρότερης περίπτωσης, ακόμα και όταν αυτό δεν είναι αναγκαίο, το οποίο αντισταθμίζεται από την ταχύτητα σε λογικό επίπεδο του αθροιστή πρόβλεψης κρατουμένου και την ποιότητα σήματος που προσφέρει η DCML.

Μία διαφορετική προσέγγιση είναι να προσαρτηθεί η δομή DCML μόνο στις πύλες εξόδου (αθροίσματος και κρατουμένου υπερχειλίσσης), αυξάνοντας σε σημαντικό βαθμό τα PMOS δέντρα, με αποτέλεσμα την υπερβολική υποβάθμιση του σήματος λόγω απομακρυσμένης συσχέτισης με τη γείωση.

- Σχεδίαση

Κάθε λογική συνάρτηση Boole αποτελεί μία πύλη DCML: Το διαφορικό δίκτυο PMOS καθορίζει τη λειτουργικότητα και στη συνέχεια ακολουθεί η δομή DCML για διόρθωση του σήματος.



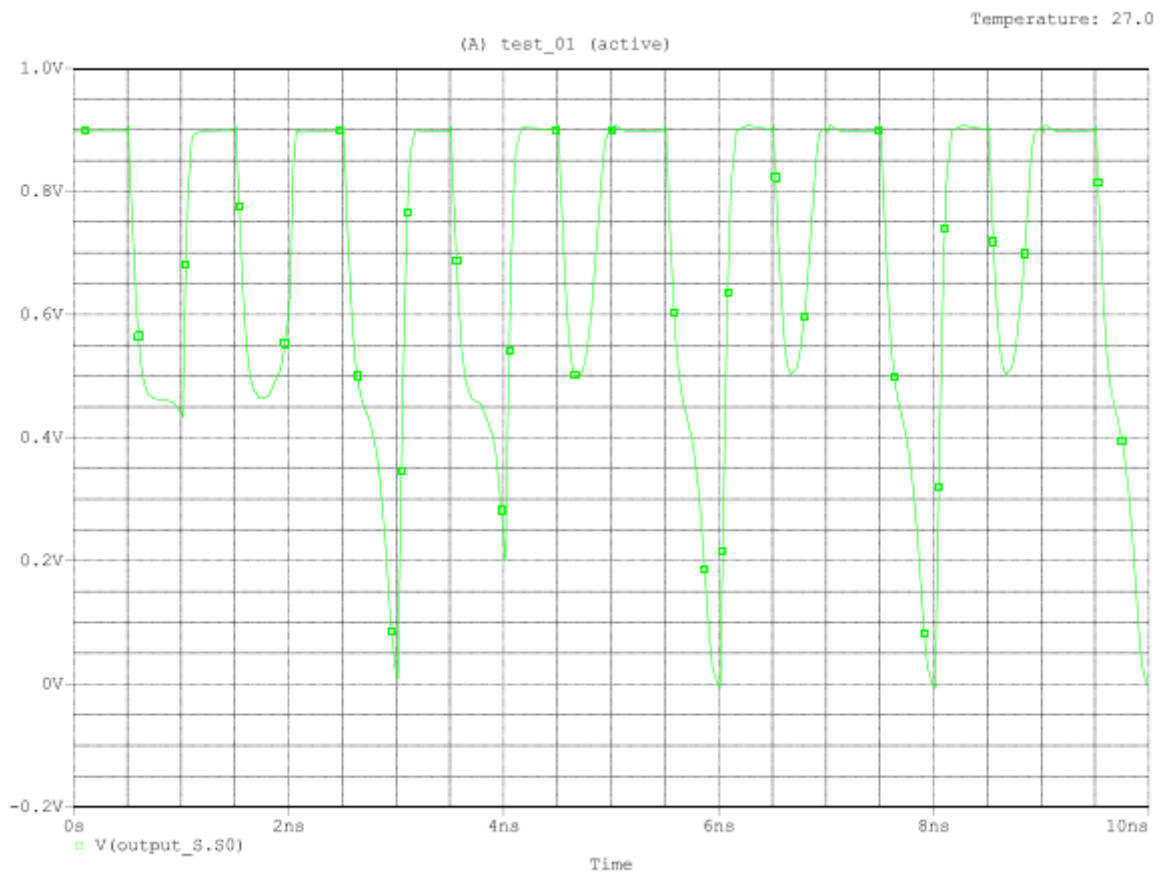
Εικόνα 17: Διαφορικό δίκτυο σήματος ομαδικής διάδοσης



Το βασικό ρολόι είναι συμμετρικό με περίοδο 1nsec, το οποίο καλύπτει πλήρως τις μικρές τεχνολογίες (16nm, 22nm), αλλά δεν επαρκεί για τις μεγαλύτερες (32nm, 45nm). Επίσης, παρέχεται και ένας θετικός μανδαλωτής, με αντίστοιχο μη συμμετρικό ρολόι, για την απομάκρυνση των ταλαντώσεων από τα σήματα εξόδου.

3.3 Αξιολόγηση αθροιστή

Η υπεροχή του αθροιστή πρόβλεψης κρατουμένου σε σχέση με τις υπόλοιπες υλοποιήσεις είναι εμφανής. Σε συνδυασμό με την DCML προσφέρει άκρως προβλέψιμα χαρακτηριστικά για κάθε συνδυασμό εισόδου. Παρότι ο χρονισμός του κυκλώματος είναι πολύ σημαντικός και ευάλωτος (clock skew), ένα συνδυαστικό κύκλωμα χωρίς αποθηκευτικά στοιχεία ελέγχει πλήρως τη μεταγωγή από το ένα επίπεδο στο επόμενο.



Εικόνα 20: Εσφαλμένη ευθυγράμμιση ρολογιών

Μια εσφαλμένη ευθυγράμμιση των σημάτων ρολογιού μπορεί να θέσει το σύστημα σε ταλάντωση παρά την απουσία εισόδου και πλήρη έλλειψη αξιοπιστίας. Σημειώνεται όμως ότι η περίοδος του ρολογιού είναι ελάχιστη, αποδίδοντας στο συνολικό κύκλωμα μια μεγάλη συχνότητα υπολογισμών, ενώ η διαφορά ρολογιού από το ένα επίπεδο στο επόμενο είναι αρκετά μεγάλη ούτως ώστε να αποφεύγονται φαινόμενα λανθασμένου χρονισμού.

4. ΚΛΙΜΑΚΩΣΗ ΤΗΣ ΤΕΧΝΟΛΟΓΙΑΣ

Η πρόοδος της τεχνολογίας κατασκευής στοιχείων επιτρέπει τη συνεχή μείωση του ελάχιστου χαρακτηριστικού μεγέθους, όπως το ελάχιστο μήκος καναλιού του τρανζίστορ το οποίο μπορεί να υλοποιηθεί σε ένα ολοκληρωμένο κύκλωμα. Στην ανάλυση κλιμάκωσης, κρίσιμα ζητήματα είναι η συχνότητα μεταγωγής και η κατανάλωση ισχύος. Έτσι, σε αυτή τη μελέτη, οι ανεξάρτητες μεταβλητές είναι οι ελάχιστες διαστάσεις του στοιχείου και η τάση τροφοδοσίας.

4.1 Είδη κλιμάκωσης

Τρεις είναι οι δυνατές επιλογές όσον αφορά την κλιμάκωση των διαστάσεων και της τάσης τροφοδοσίας:

4.1.1 Πλήρης κλιμάκωση

Σε αυτό το ιδανικό μοντέλο κλιμάκωσης σταθερού ηλεκτρικού πεδίου οι τάσεις και οι διαστάσεις κλιμακώνονται με τον ίδιο παράγοντα S . Στόχος είναι να διατηρηθεί το ηλεκτρικό πεδίο του νέου στοιχείου πανομοιότυπο με αυτό του αρχικού, ούτως ώστε να διασφαλίσουμε τη φυσική ακεραιότητα του στοιχείου και αποφεύγουμε την κατάρρευση και άλλα δευτερεύοντα φαινόμενα. Η κλιμάκωση αυτή οδηγεί σε μεγαλύτερη πυκνότητα στοιχείου (μικρότερη επιφάνεια), υψηλότερη ταχύτητα (μικρότερη ενδογενής καθυστέρηση) και μειωμένη κατανάλωση ισχύος.

Δυστυχώς, το μοντέλο είναι ιδανικό και μη εφικτό. Για να διατηρήσουμε τα νέα στοιχεία συμβατά με τα υπάρχοντα ηλεκτρονικά εξαρτήματα, οι τάσεις δεν μπορούν να κλιμακώνονται αυθαίρετα. Επίσης, η δυνατότητα κλιμάκωσης της τάσης κατωφλίου του τρανζίστορ είναι περιορισμένη.

4.1.2 Κλιμάκωση σταθερής τάσης

Μια εναλλακτική είναι αυτή του μοντέλου κλιμάκωσης σταθερής τάσης. Η τάση δεν διατηρείται πλήρως αμετάβλητη, αλλά ακολουθεί τη μείωση των διαστάσεων σε επίπεδα (3.3V, 2.5V).

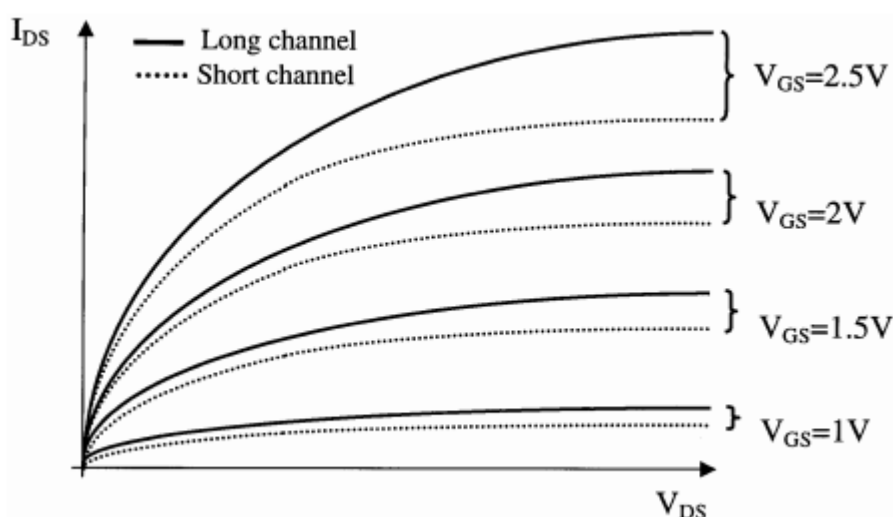
Σε ένα στοιχείο που βρίσκεται σε κατάσταση κορεσμού της ταχύτητας φορέων, η διατήρηση σταθερής τάσης δεν προσδίδει πλεονέκτημα ταχύτητας, μονάχα υψηλότερη κατανάλωση ισχύος. Αντίθετα, για ένα τρανζίστορ με μεγάλο μήκος καναλιού, η διατήρηση της τάσης αποδίδει πλεονέκτημα ταχύτητας λόγω της μείωσης της αντίστασης αγωγής. Ακόμη, φαινόμενα όπως αυτό των θερμών φορέων και της κατάρρευσης του οξειδίου αποτρέπουν τη χρήση αυτού του μοντέλου.

4.1.3 Γενική κλιμάκωση

Στο γενικό μοντέλο κλιμάκωσης, οι διαστάσεις και οι τάσεις κλιμακώνονται ανεξάρτητα. Οι διαστάσεις του στοιχείου κλιμακώνονται κατά ένα παράγοντα S ενώ οι τάσεις μειώνονται κατά ένα συντελεστή U .

4.2 Φαινόμενα ενδιαφέροντος

Η λειτουργία του σύγχρονου τρανζίστορ, με διαστάσεις μικρότερες του ενός μικρόμετρου, παρουσιάζει σημαντικές αποκλίσεις από το ιδανικό μοντέλο. Σε αυτές τις διαστάσεις δεν ισχύει πια η θεώρηση ότι η λειτουργία του τρανζίστορ περιγράφεται πλήρως από το μονοδιάστατο μοντέλο, όπου όλο το ρεύμα ρέει στην επιφάνεια του πυριτίου και τα ηλεκτρικά πεδία προσανατολίζονται κατά μήκος του επιπέδου αυτού. Μοντέλα δύο και τριών διαστάσεων περιγράφουν και φαινόμενα δεύτερης τάξης που αποκτούν μεγάλη σημασία κατά την ανάλυση της κλιμάκωσης.



Εικόνα 21: Short channel effects on MOS I-V characteristics [4]

4.2.1 Φαινόμενο θερμών φορέων

Οι τάσεις κατωφλίου σε στοιχεία με μικρό μήκος καναλιού έχουν την τάση να μετατοπίζονται με το χρόνο. Όταν η τάση τροφοδοσίας και οι τάσεις λειτουργίας δεν μειώνονται ανάλογα με τις διαστάσεις, η προκύπτουσα αύξηση στην ένταση του ηλεκτρικού πεδίου προκαλεί αυξημένη ταχύτητα στα ηλεκτρόνια, τα οποία μπορεί να εγκαταλείψουν το πυρίτιο και να διεισδύσουν στο οξείδιο της πύλης όταν αποκτήσουν την κατάλληλη ενέργεια. Τα παγιδευμένα ηλεκτρόνια στο οξείδιο αλλάζουν την τάση κατωφλίου, μετατοπίζοντας τη V_T προς τα πάνω στα NMOS και προς τα κάτω στα PMOS. Το φαινόμενο αυτό οδηγεί σε ελαττωματική λειτουργία μετά από εκτενή λειτουργία.

Προς αποφυγή των ανωτέρω, στις σύγχρονες τεχνολογίες νανομέτρου χρησιμοποιούνται ειδικά κατασκευασμένες περιοχές υποδοχής και πηγής, ώστε να εξασφαλίζονται περιορισμένες μέγιστες τιμές ηλεκτρικών πεδίων και να αποτρέπεται η προσέγγιση κρίσιμων τιμών ενέργειας από τους φορείς. Επίσης, η μειωμένη τάση τροφοδοσίας αποδίδεται εν μέρει στην αναγκαιότητα να ελεγχθεί το φαινόμενο των θερμών φορέων.

4.2.2 Κατώφλιο ως συνάρτηση του μήκους

Στον τυπικό υπολογισμό της τάσης κατωφλίου θεωρείται ότι η περιοχή αραίωσης του καναλιού οφείλεται αποκλειστικά στην εφαρμοζόμενη τάση πύλης και όλο το φορτίο αραίωσης κάτω από την πύλη προέρχεται από τα φαινόμενα πεδίου MOS. Στα μικρά μήκη καναλιού όμως, δεν μπορούμε να παραβλέψουμε τις περιοχές αραίωσης της επαφής της πηγής και της ανάστροφα πολωμένης επαφής της υποδοχής, που παίζουν πλέον σημαντικό ρόλο. Καθώς ένα μέρος της περιοχής κάτω από τη πύλη έχει ήδη εκκενωθεί, μια μικρότερη τάση κατωφλίου αρκεί για να προκαλέσει ισχυρή αντιστροφή. Επομένως η V_{TO} μειώνεται ανάλογα με το L για στοιχεία μικρού μήκους καναλιού. Επειδή η πλειονότητα των τρανζίστορ σε ένα κύκλωμα σχεδιάζεται με το ελάχιστο μήκος, το φαινόμενο είναι σχεδόν ομοιόμορφο σε όλο το σύστημα.

4.2.3 Φαινόμενο μείωσης φράγματος επαγόμενης υποδοχής

Παρόμοιο φαινόμενο αντιμετωπίζουμε μετά από αύξηση της τάσης υποδοχής-πηγής (υποστρώματος), αφού έτσι αυξάνεται το πλάτος της περιοχής αραίωσης της επαφής υποδοχής. Επομένως, το κατώφλιο μειώνεται με την αύξηση της V_{DS} . Το φαινόμενο DIBL προκαλεί την εξάρτηση του δυναμικού κατωφλίου από τις τάσεις λειτουργίας, ενώ σε ακραίες περιπτώσεις οι περιοχές πηγής και υποδοχής μπορεί να βραχυκυκλωθούν. Η απότομη αύξηση ρεύματος σε αυτή την περίπτωση (διάτρηση), μπορεί να προκαλέσει μόνιμη βλάβη στο στοιχείο.

Το φαινόμενο DIBL διαφοροποιείται ανάλογα με την τάση λειτουργίας και άρα παρουσιάζεται ως πηγή θορύβου που εξαρτάται από τα δεδομένα.

4.2.4 Κλιμάκωση διασυνδέσεων

Τα παρασιτικά φαινόμενα που εισάγονται από τα καλώδια παρουσιάζουν μια συμπεριφορά κλιμάκωσης η οποία διαφέρει από εκείνη των ενεργών στοιχείων και τείνουν να γίνουν ακόμα πιο σημαντικά όσο μειώνονται οι διαστάσεις και αυξάνεται η ταχύτητα. Λόγω αύξησης του μέσου μήκους των καλωδίων διασύνδεσης, επηρεάζουν σημαντικά την ταχύτητα, την κατανάλωση ισχύος και την αξιοπιστία του συνολικού συστήματος, καθώς η σύνθετη γεωμετρία εισάγει χωρητικά, ωμικά και αυτεπαγωγικά παρασιτικά φαινόμενα. Ιδιαίτερα επηρεάζονται διαφορικές οικογένειες λογικής με αυξημένες απαιτήσεις διασύνδεσης.

4.2.5 Κλιμάκωση τάσεων

Παρότι η τάση τροφοδοσίας μειώνεται συνεχώς, η τάση κατωφλίου δεν μπορεί να ακολουθήσει τον ίδιο ρυθμό, ούτως ώστε να επιτευχθούν βέλτιστες ταχύτητες, λόγω της απότομης αύξησης της διαρροής ισχύος. Επομένως, ο λόγος V_{DD}/V_{TH} ακολουθεί τη μείωση των διαστάσεων μέχρι μία ελάχιστη τιμή, πέραν της οποίας η υποβάθμιση του συστήματος και η διαρροή ισχύος είναι μη ανεκτή.

4.2.6 Ρεύμα διαρροής

Το ρεύμα υποκατωφλίου είναι παρόν σε όλα τα τρανζίστορ, σε αυτές τις διαστάσεις όμως η κατάσταση επιδεινώνεται απότομα λόγω και του φαινομένου DIBL.

4.2.7 Κορεσμός ταχύτητας και υποβάθμιση της κινητικότητας

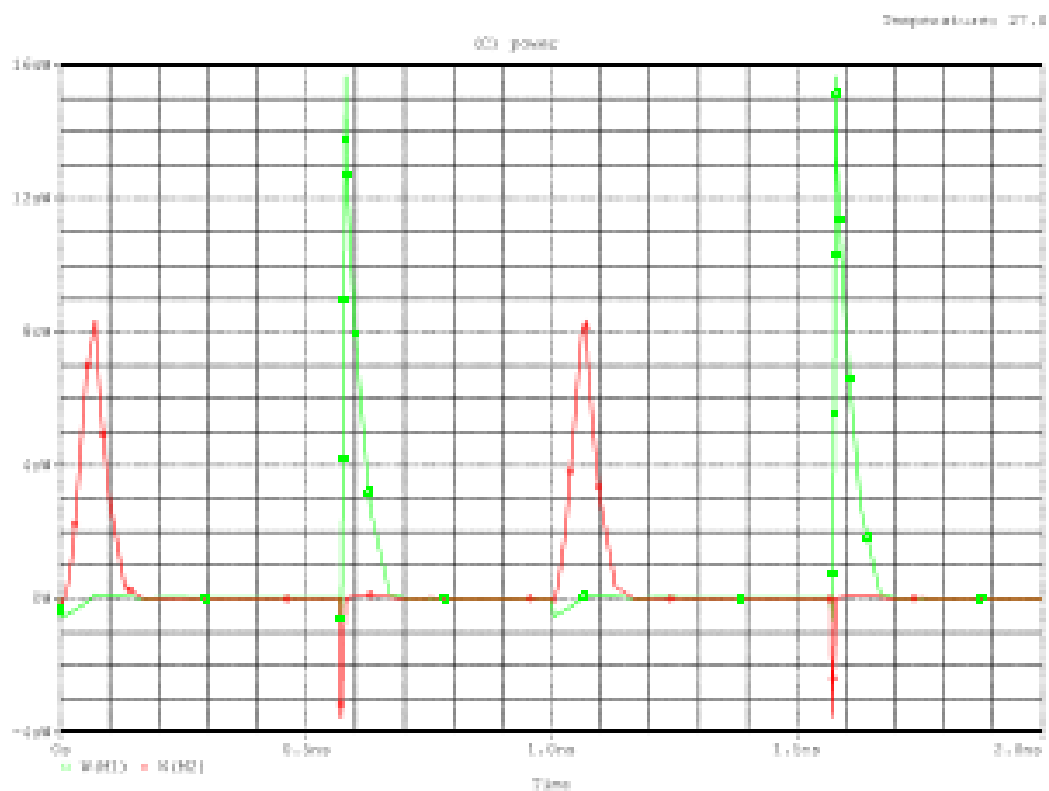
Η ταχύτητα των φορέων φορτίου, όπως είναι τα ηλεκτρόνια ή οι οπές, είναι ανάλογη προς το ηλεκτρικό πεδίο που τα οδηγεί, αλλά αυτό ισχύει μόνο για μικρά πεδία. Καθώς το πεδίο γίνεται ισχυρότερο, η ταχύτητά τους τείνει να κορεστεί. Αυτό σημαίνει ότι πάνω από ένα κρίσιμο ηλεκτρικό πεδίο, τείνουν να σταθεροποιούν την ταχύτητά τους και τελικά δεν μπορούν να κινηθούν γρηγορότερα. Ο κορεσμός ταχύτητας παρατηρείται ειδικά σε τρανζίστορ MOSFET μικρού διαύλου, επειδή έχουν υψηλότερα ηλεκτρικά πεδία. [5]

4.3 Κλιμάκωση κυκλώματος

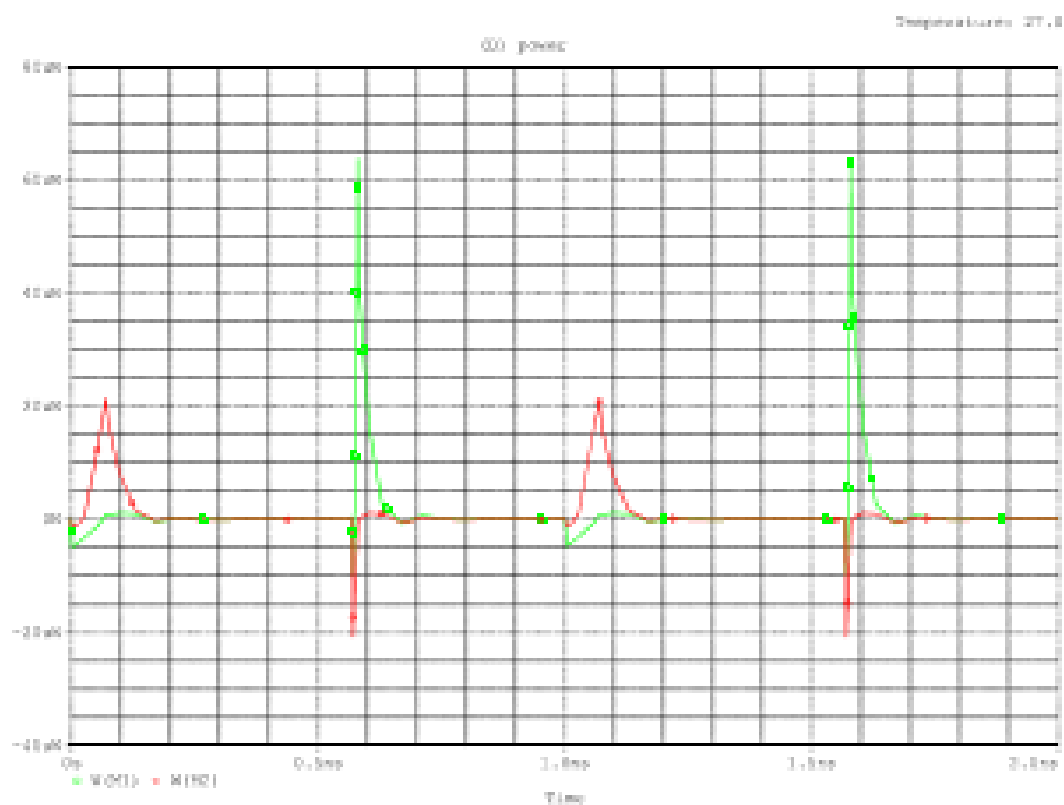
Στην ανάλυση κλιμάκωσης, στα πλαίσια αυτής της εργασίας, ασχολούμαστε με τις τεχνολογίες 16, 22, 32 και 45 νανομέτρων. Οι τάσεις τροφοδοσίας έχουν προσαρμοστεί κατάλληλα στις ονομαστικές των αντίστοιχων μοντέλων και σε κάθε στοιχείο το μήκος καναλιού διατηρείται ελάχιστο.

Κάθε δομή που έχει παρουσιαστεί μέχρι στιγμής έχει προσομοιωθεί και στις τέσσερις τεχνολογίες. Από τα αποτελέσματα, μπορούμε να συμπεράνουμε τα εξής:

- Η μείωση των διαστάσεων επιφέρει ουσιαστική αύξηση της ταχύτητας και μείωση της καταναλισκόμενης ισχύος.
- Λόγω επιλογής των διαστάσεων, 16 και 22 νανόμετρα καλύπτουν την ίδια επιφάνεια, ενώ 32 και 45 νανόμετρα τη διπλάσια.
- Φαινόμενα δεύτερης τάξης δεν γίνονται αισθητά στις προσομοιώσεις.
- Οι προηγουμένως αναφερθείσες δομές έχουν καλύτερη συμπεριφορά στα μικρά μεγέθη, παρά στα μεγάλα.
- Ειδικά στα 45nm απαιτείται αύξηση της τάσης τροφοδοσίας για ορθή λειτουργία των πολύπλοκων πυλών.



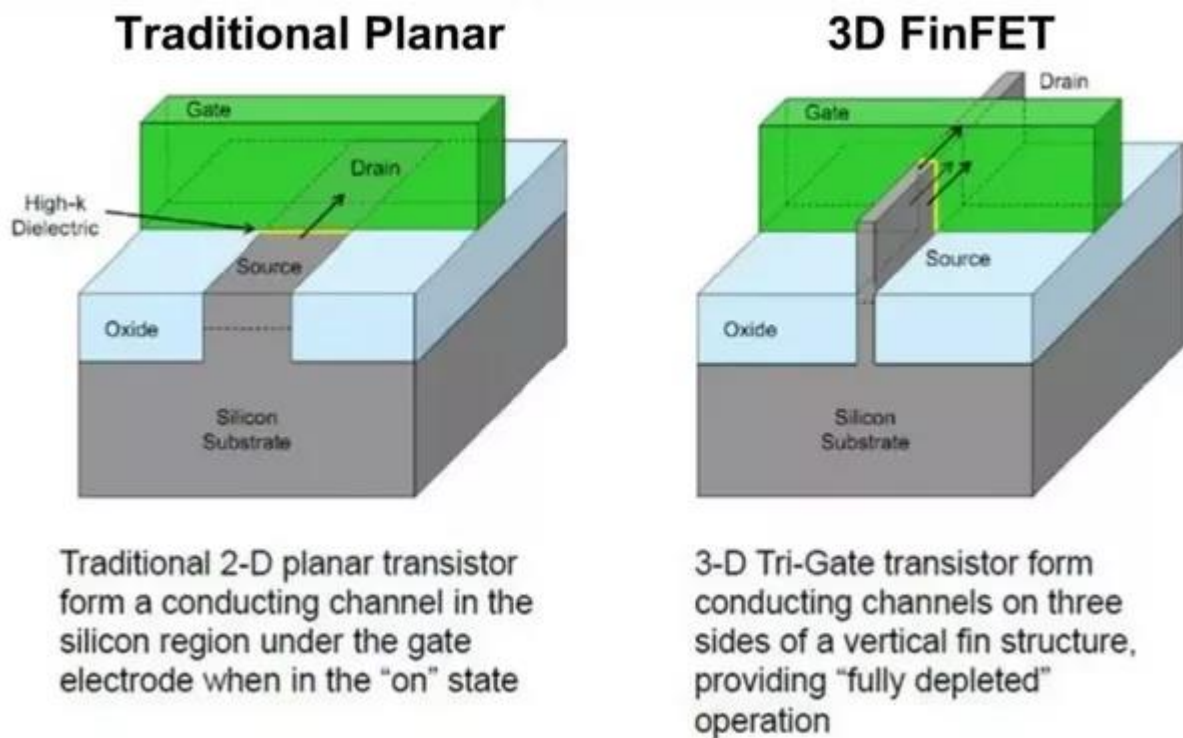
Εικόνα 22: Κατανάλωση ισχύος από τα τρανζίστορ ενός αντιστροφέα στα 16nm



Εικόνα 23: Κατανάλωση ισχύος από τα τρανζίστορ ενός αντιστροφέα στα 45nm

4.4 Αξιολόγηση κλιμάκωσης

Παρατηρούμε λοιπόν ότι η ανάλυση κλιμάκωσης της τεχνολογίας ακολουθεί τους ρυθμούς της αγοράς, ή αντίθετα η αγορά επιβάλλει τους ρυθμούς της στην εξέλιξη της τεχνολογίας. Κάθε νέα πτώση στις διαστάσεις με αντίστοιχη μείωση τάσης τροφοδοσίας προσφέρει νέα βελτιωμένα χαρακτηριστικά και νέες προκλήσεις, οι οποίες με σχεδιαστικές καινοτομίες αντιμετωπίζονται. Κατάλληλο παράδειγμα η σχεδίαση τρανζίστορ που ξεφεύγουν από το δισδιάστατο μοντέλο και εισάγουν νέες γεωμετρίες.



Εικόνα 24: FinFET 3D transistor [6]

Το FinFET τρανζίστορ είναι μία πρόταση στα φαινόμενα μικρού μήκους καναλιού. [6]

5. ΣΥΜΠΕΡΑΣΜΑΤΑ

Στο παρόν κεφάλαιο, παρουσιάζονται τα συμπεράσματα που εξάγονται από την ανωτέρω μελέτη και αφορούν την ειδική περίπτωση της σχεδίασης ενός αθροιστή 16 ψηφίων με πύλες DCML και τη συμπεριφορά αυτού του κυκλώματος σε τέσσερις υπομικρομετρικές τεχνολογίες.

5.1 DCML

Η Διαφορική Λογική Καθρεπτών Ρεύματος εισάγει ένα σημαντικό αριθμό τρανζίστορ ανά πύλη (για μικρές πύλες και σε σχέση με την CCDD), προσφέρει όμως σημαντική ικανότητα οδήγησης τόσο εισόδου, μπορεί να υποστηρίξει μεγάλα διαφορικά PMOS δίκτυα, όσο και εξόδου και διόρθωση των λογικών επιπέδων. Η ποινή επιφάνειας είναι αμελητέα καθώς οι καθρέπτες ρεύματος επιτρέπουν την ελάχιστη διαστασιολόγηση των τρανζίστορ. Η στατική κατανάλωση ισχύος είναι μηδενική, ενώ η δυναμική είναι περιορισμένη. Επίσης, σε συνδυασμό με τη σχετική ικανότητα οδήγησης των PMOS και NMOS, παρουσιάζει μεγάλα περιθώρια θορύβου.

5.2 CLA adder

Ο αθροιστής παρουσιάζει και αυτός βελτιωμένα χαρακτηριστικά λόγω της DCML είναι όμως κρίσεως σημαντικός ο χρονισμός του κυκλώματος, εφόσον σε κάθε φάση υπολογισμού είναι δυνατή μόνο μία μετάβαση. Επίσης, επιβάλλεται στο κύκλωμα χρόνος διάδοσης ίσος με αυτόν της χειρότερης κατάστασης.

5.3 Κλιμάκωση

Οι προσομοιώσεις έδειξαν σημαντική βελτίωση στα χαρακτηριστικά του κυκλώματος καθώς μειώνονται οι διαστάσεις του. Βέβαια, εφαρμόζονται και στις τέσσερις τεχνολογίες οι ίδιες απαιτήσεις απόκρισης. Η περίοδος του ρολογιού διατηρείται ελάχιστη και χρησιμοποιείται για κάθε τεχνολογία η ονομαστική τάση τροφοδοσίας. Συμπερασματικά, όταν η απόδοση είναι ο κύριος στόχος και το κόστος ανεκτό, η ζυγαριά γέρνει προς τις μικρότερες τεχνολογίες, ενώ όταν το ελάχιστο κόστος παίζει πρωτεύον ρόλο και οι επιδόσεις μπορούν να περιοριστούν, στρεφόμαστε προς τεχνολογίες μεγαλύτερης διάστασης.

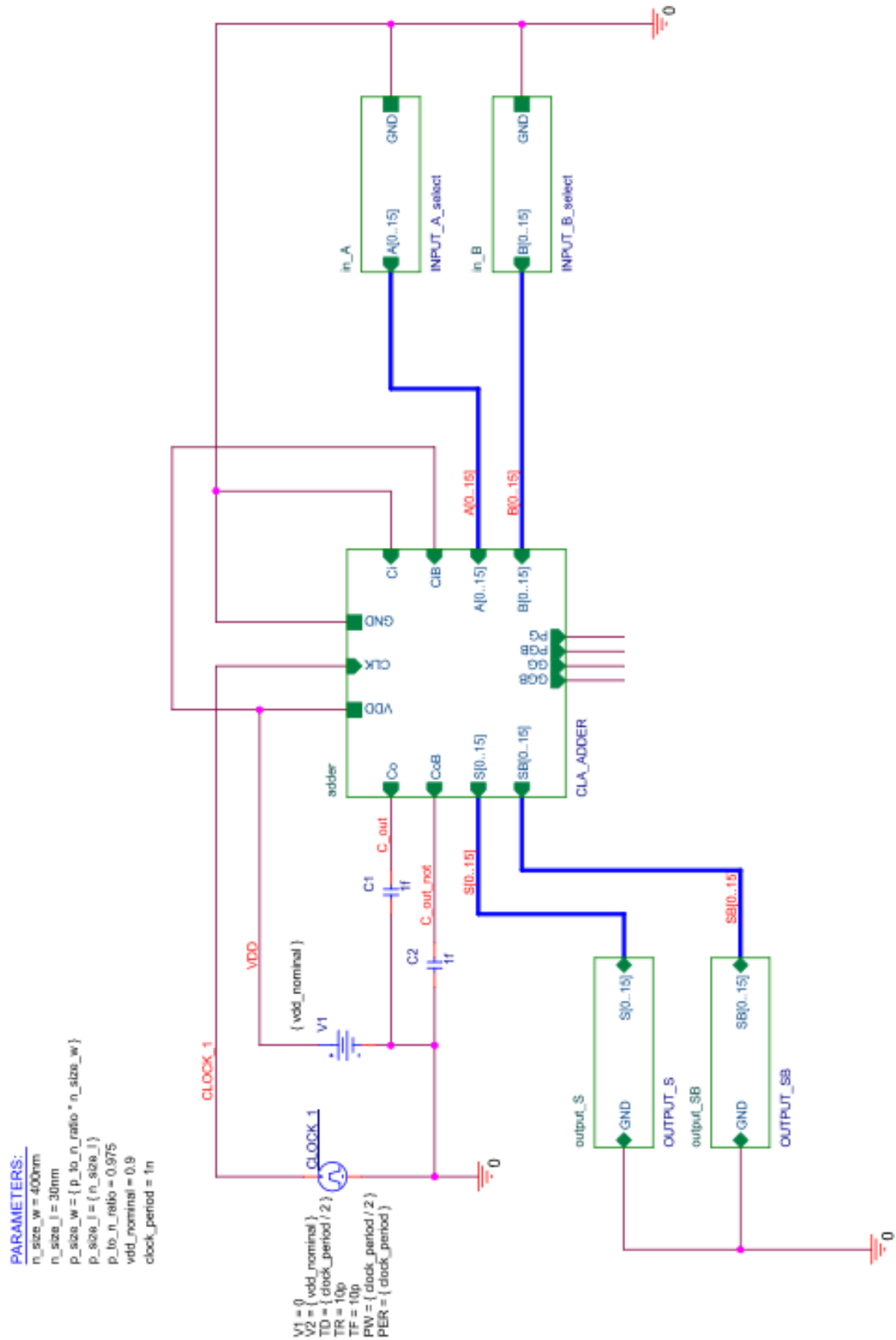
ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ

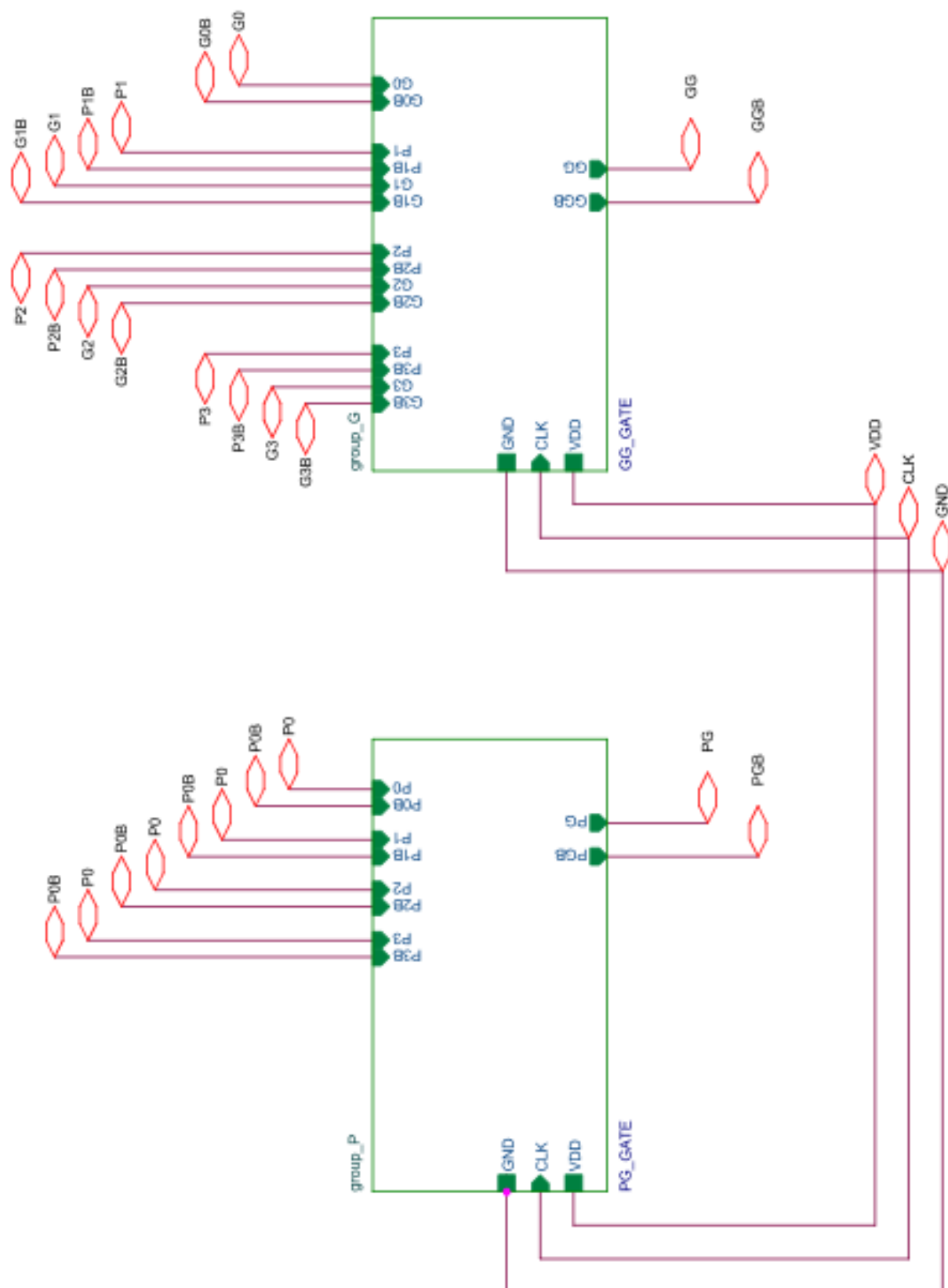
Ξενόγλωσσος όρος	Ελληνικός Όρος
Ring oscillator	Ταλαντωτής δακτυλίου
Combinational Logic	Συνδυαστική Λογική
Sequential Logic	Ακολουθιακή Λογική
Velocity Saturation and Mobility Degradation	Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας
Hot carrier effect	Φαινόμενο θερμών φορέων
Drain-Induced Barrier Lowering	Μείωση φράγματος επαγόμενης υποδοχής

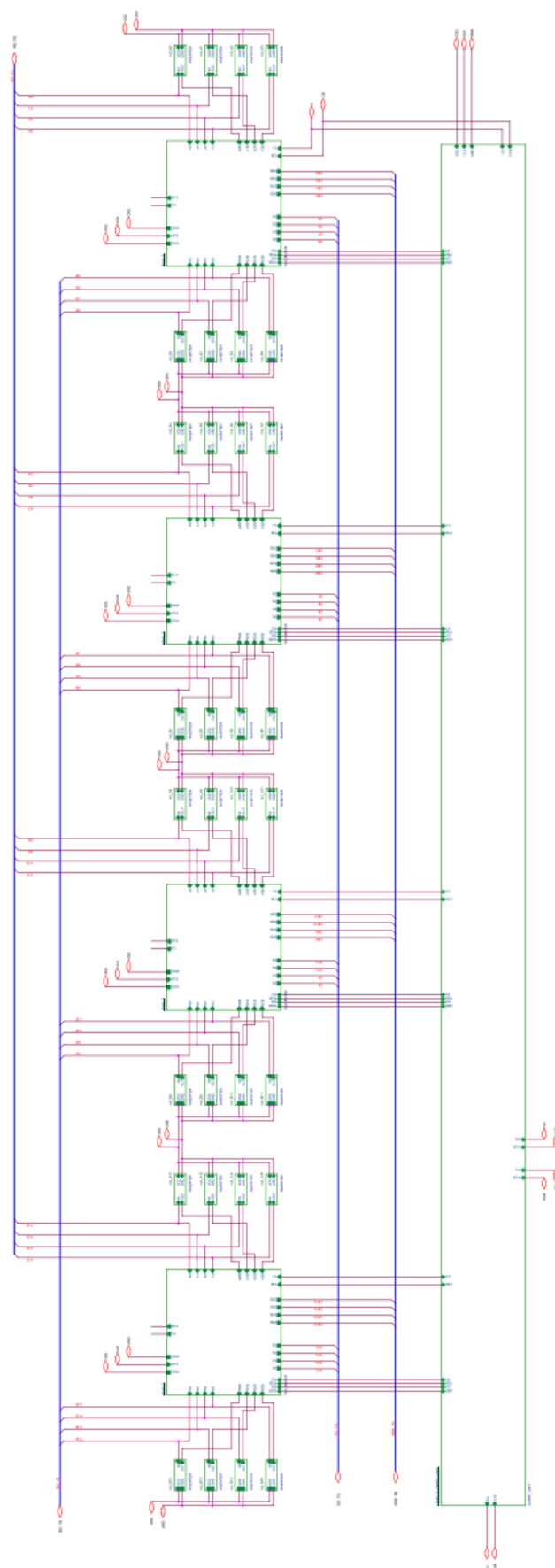
ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ

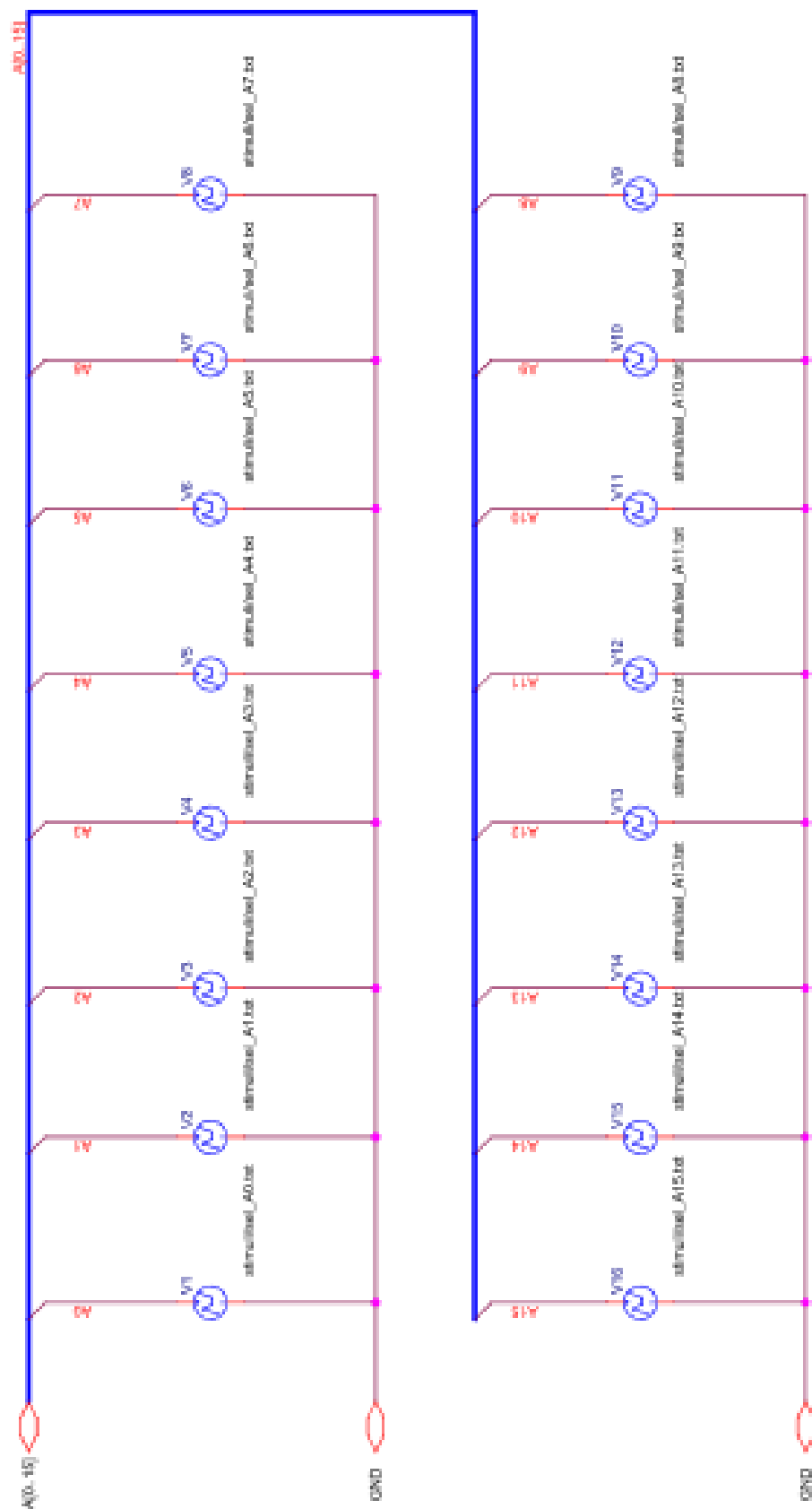
CMOS	Complementary Metal-Oxide Semiconductor
DCML	Dynamic Current Mirror Logic
CCDD	Cross Coupled Differential Domino
CLA	Carry look ahead
FA	Full Adder (binary)
HCE	Hot Carrier Effect
DIBL	Drain-Induced Barrier Lowering

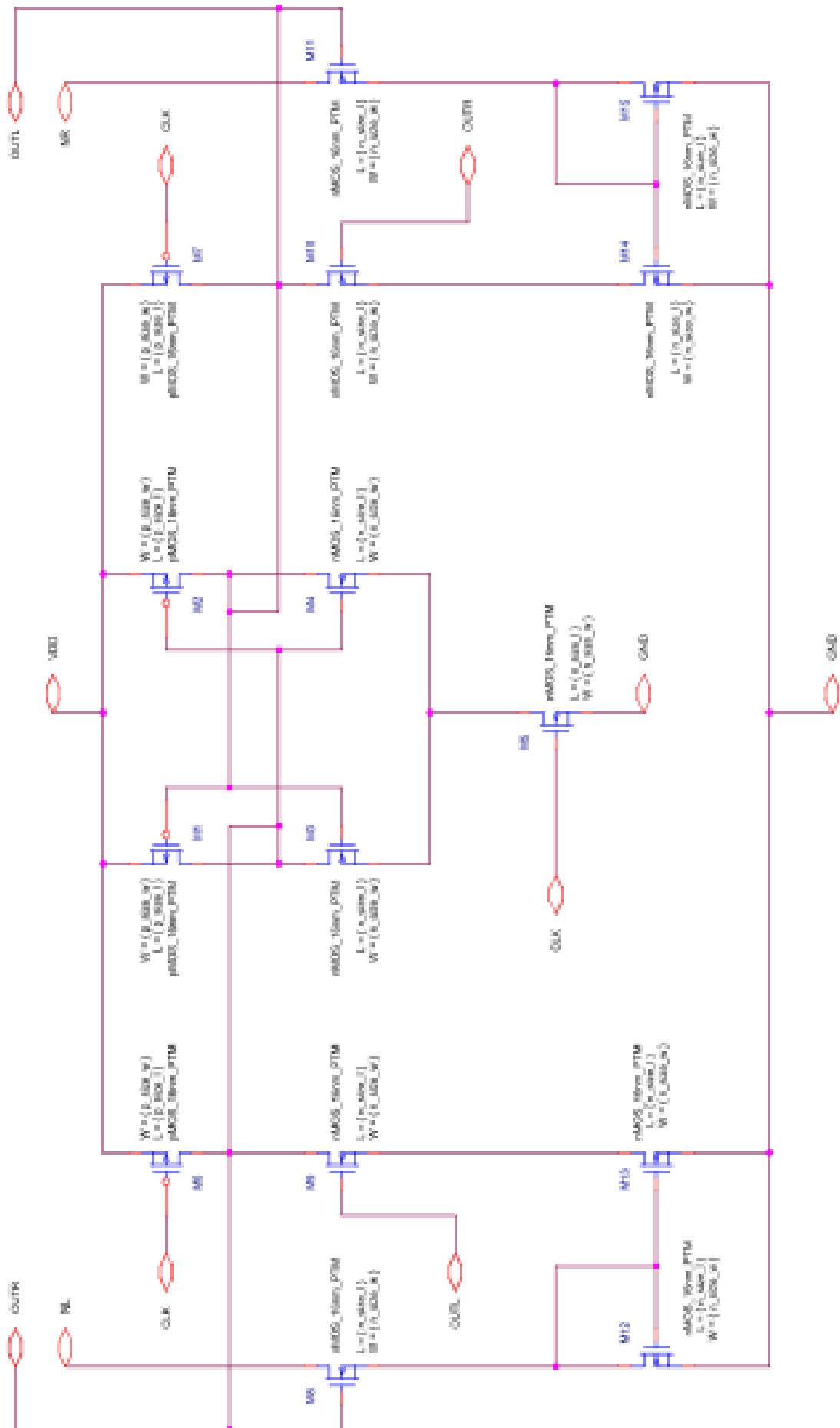
ΠΑΡΑΡΤΗΜΑ Ι : Κυκλωματικά Σχέδια Αθροιστή

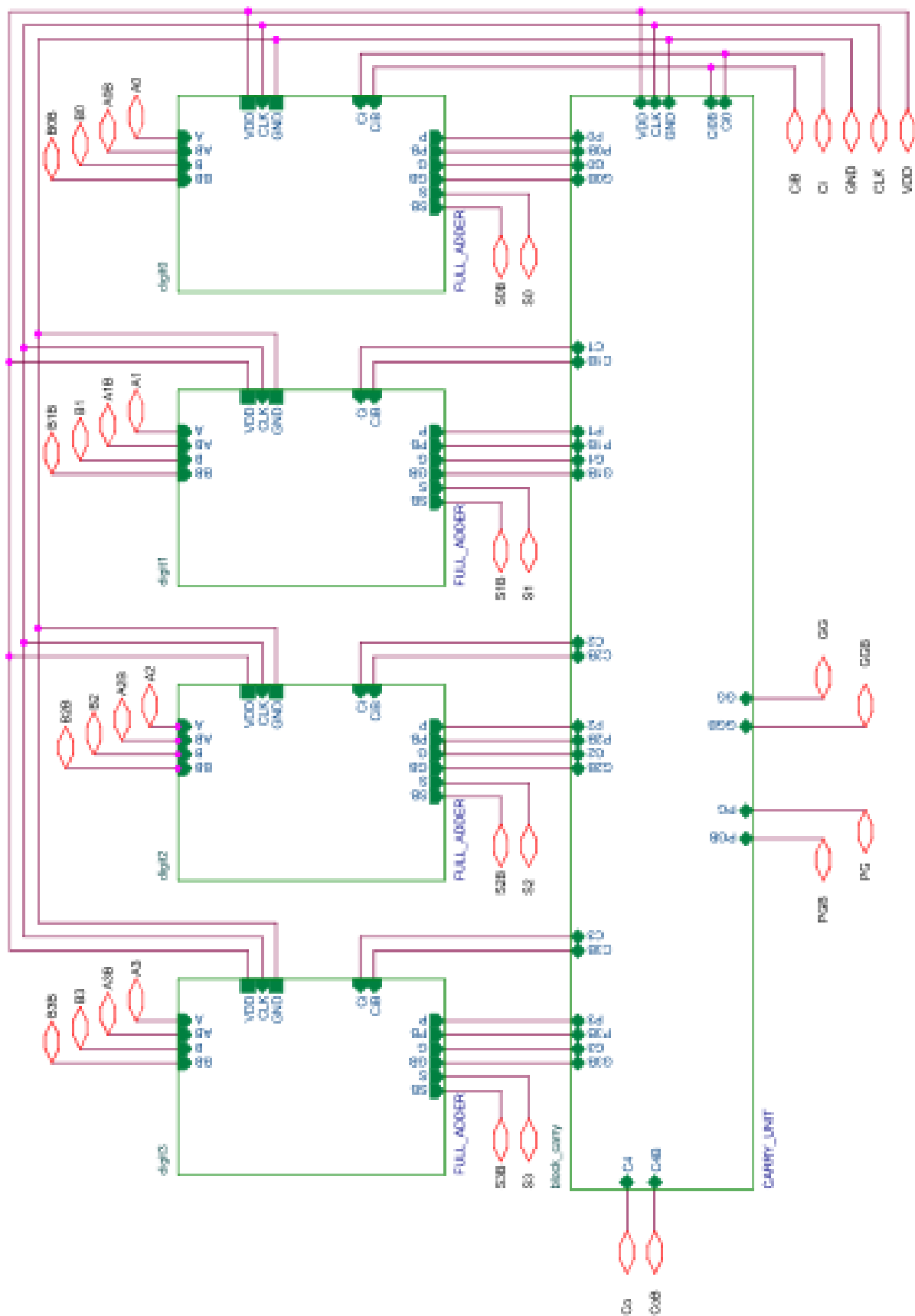












ΑΝΑΦΟΡΕΣ

- [1] J. Rabaey, A. Chandrakasan και B. Nikolic, Ψηφιακά Ολοκληρωμένα Κυκλώματα, Κλειδάριθμος, 2003.
- [2] Y.Tsiatouhas και A.Arapoyanni, «High Fan-in Differential Current Mirror Logic,» σε *IEEE International Symposium on Circuits and Systems*, 2006.
- [3] «en.wikipedia.org/wiki/Carry-lookahead_adder,» [Ηλεκτρονικό].
- [4] M. Anis, M.Allam και M.Elmasry, «Impact of Technology Scaling on CMOS Logic Styles,» *IEEE Transactions on Circuits and Systems*, August 2002.
- [5] Hugo, «www.onmyphd.com,» [Ηλεκτρονικό]. Available: http://www.onmyphd.com/?p=mosfet.short.channel.effects#h2_velocity_saturation.
- [6] «https://www.quora.com/What-is-a-FinFET-transistor,» [Ηλεκτρονικό].
- [7] Cadence, PSpice, User's Guide.
- [8] Sedra και Smith, Microelectronic Circuits, 6th επιμ., Oxford University Press, 2009.
- [9] «en.wikipedia.org/wiki/Saturation_velocity,» [Ηλεκτρονικό].
- [10] «en.wikipedia.org/wiki/Drain-induced_barrier_lowering,» [Ηλεκτρονικό].
- [11] «en.wikipedia.org/wiki/Hot-carrier_injection,» [Ηλεκτρονικό].
- [12] B. Jacob, *Lectures on Transistor Sizing*, University of Maryland.
- [13] CK, *Transistor/Gate Sizing Optimization*, EE695K VLSI Interconnect.
- [14] P. Gautam, D. Kaushi, R. S. και G. P. Pal, «Design of CMOS Inverter Using Different Aspect Ratios,» *International Journal of Scientific Research Engineering & Technology*, 2015.
- [15] Mano και Kime, Logic and Computer Design Fundamentals, Pearson Prentice Hall, 2008.
- [16] «en.wikibooks.org/wiki/Microprocessor_Design/Add_and_Subtract_Blocks,» [Ηλεκτρονικό].