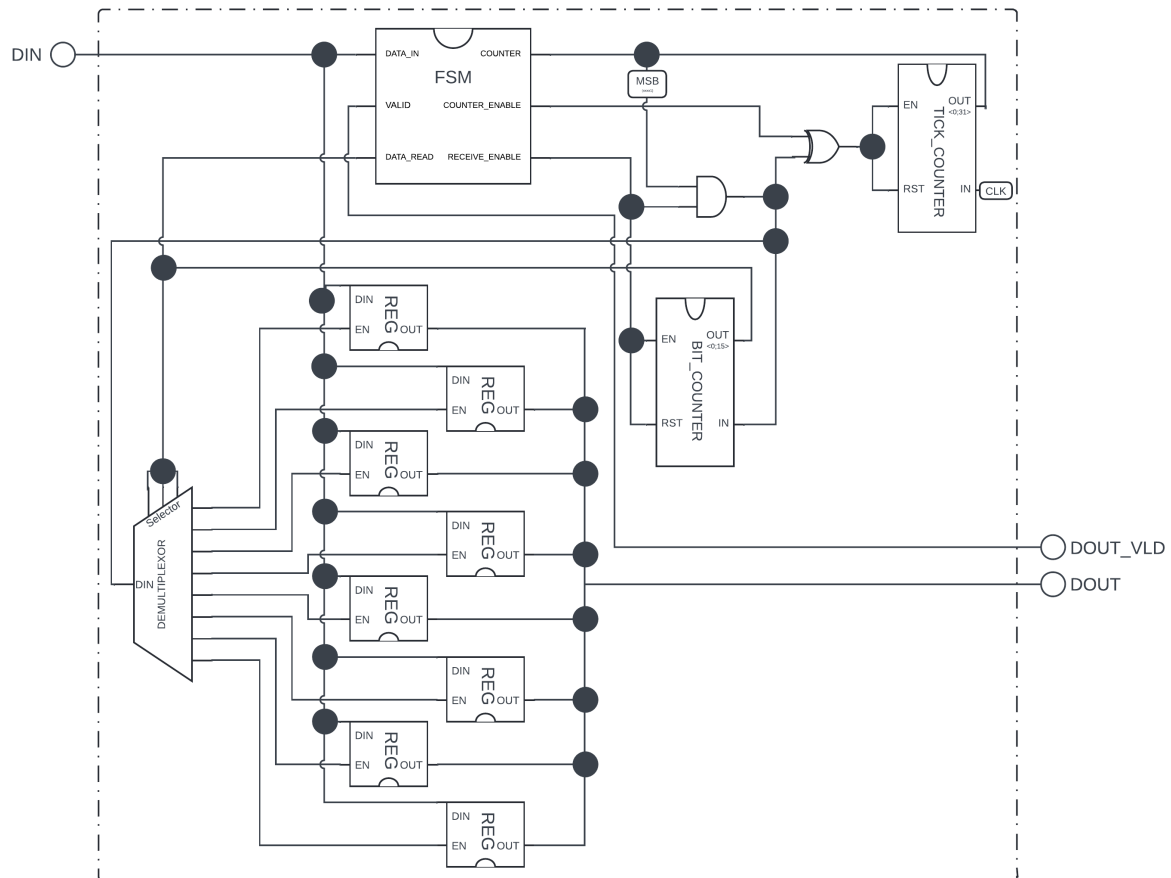


Jméno: **Aleš Urbánek**

Login: **xurbana00**

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Obvod je ve stavu **WAIT_FOR_START_BIT**, kde čeká na první výskyt start bitu, přepne se do stavu **WAIT_FOR_FIRST_BIT** a tam čeká 24 ticků **CLK**, aby se čtení zarovnal na **MIDBIT**. Potom se přepne do **READ_DATA_BITS** a postupně po 16 tick **CLK** načte 8 bitů dat, zakončených 9. stop bitem (přejde od stavu **WAIT_FOR_STOP_BIT**), ty pomocí demultiplexoru postupně uloží do registrů a z těch jsou poté data na **DOUT** a přejde do stavu **DATA_VALID**, kdy jsou data na portu **DOUT** potvrzena '1' na portu **DOUT_VLD**.

Návrh automatu (Finite State Machine)

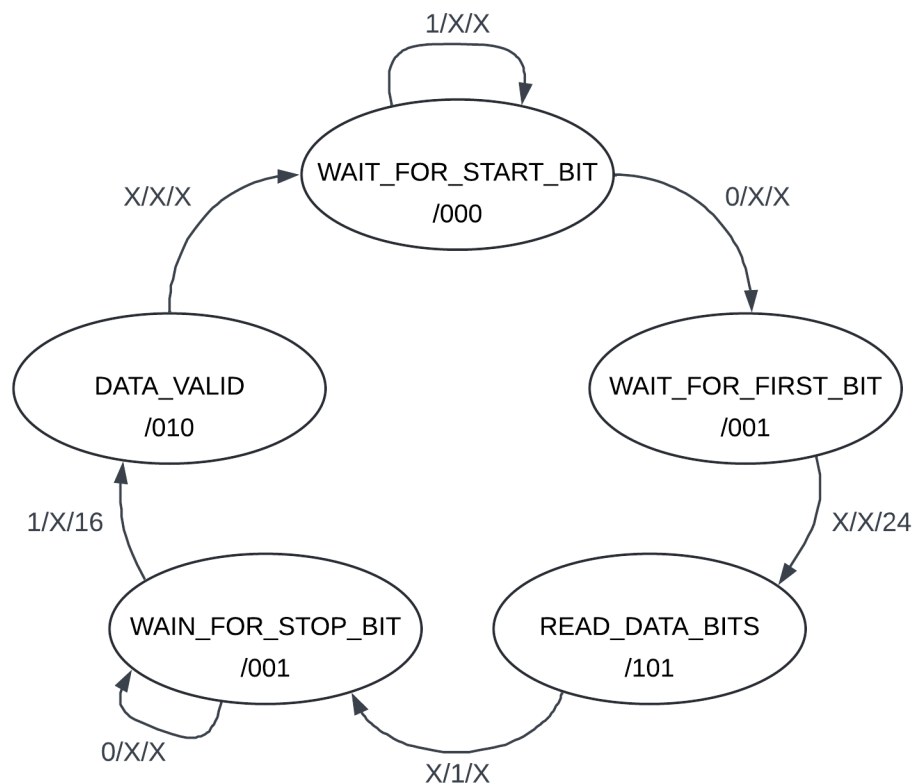
Schéma automatu

Legenda:

Stavy automatu: WAIT_FOR_START_BIT
WAIT_FOR_FIRST_BIT
READ_DATA_BITS
WAIT_FOR_STOP_BIT
DATA_VALID

Vstupní signály: DATA_IN / DATA_READ / COUNTER

Moorovy výstupy: RECEIVE_ENABLE VALID COUNTER_ENABLE



Popis funkce

Výchozí stav automatu je WAIT_FOR_START_BIT, kde čeká na příchod start bitu, potom přejde do stavu WAIT_FOR_FIRST_BIT, kde čeká 24 ticků CLK aby byl v pozici MIDBIT a přejde do stavu READ_DATA_BITS, kde čte přichodící data a jakmile přečte 8 bitů přechází do stavu WAIT_FOR_STOP_BIT, kde počká 8 ticků CLK na příchod stop bitu a přejde do stavu DATA_VALID, kde ve kterém je nastaveno DOUT_VLD na '1' pro potvrzení platnosti dat a při dalším ticku hodin se vrací do výchozího stavu WAIT_FOR_START_BIT.

Snímek obrazovky ze simulací

