Jméno: **Aleš Urbánek**

Login: **xurbana00**

**Architektura navrženého obvodu (na úrovni RTL)**

**Schéma obvodu**

Obsah obrázku diagram, Plán, Technický výkres, schématické

Popis byl vytvořen automaticky

**Popis funkce**

Obvod je ve stavu WAIT\_FOR\_START\_BIT, kde čeká na první výskyt start bitu, přrpne se do stavu WAIT\_FOR\_FIRST\_BIT a tam čeká 24 ticků CLK, aby se čtení zarovnalo na MIDBIT. Potom se přepne do READ\_DATA\_BITS a postupně po 16 tick CLK načte 8 bitů dat, zakončených 9. stop bitem (přejde od stavu WAIT\_FOR\_STOP\_BIT), ty pomocí demultiplexoru postupně uloží do registrů a z těch jsou poté data na DOUT a přejde do stavu DATA\_VALID, kdy jsou data na portu DOUT potvrzena ‘1‘ na portu DOUT\_VLD.

**Návrh automatu (Finite State Machine)**

**Schéma automatu**

Legenda:

Stavy automatu: WAIT\_FOR\_START\_BIT

WAIT\_FOR\_FIRST\_BIT

READ\_DATA\_BITS

WAIT\_FOR\_STOP\_BIT

DATA\_VALID

Vstupní signály: DATA\_IN / DATA\_READ / COUNTER

Moorovy výstupy: RECEIVE\_ENABLE VALID COUNTER\_ENABLE

Obsah obrázku text, diagram, kruh, skica

Popis byl vytvořen automaticky

**Popis funkce**

Výchozí stav automatu je WAIT\_FOR\_START\_BIT, kde čeká na příchod start bitu, potom přejde do stavu WAIT\_FOR\_FIRST\_BIT, kde čeká 24 ticků CLK aby byl v pozici MIDBIT a přejde do stavu READ\_DATA\_BITS, kde čte příchozí data a jakmile přečte 8 bitů přechází do stavu WAIT\_FOR\_STOP\_BIT, kde počká 8 ticků CLK na příchod stop bitu a přejde do stavu DATA\_VALID, kde ve kterém je nastaveno DOUT\_VLD na ‘1‘ pro potvrzení platnosti dat a při dalším ticku hodin se vrací do výchozího stavu WAIT\_FOR\_START\_BIT.

**Snímek obrazovky ze simulací**

**Obsah obrázku software, Multimediální software, Počítačová ikona, snímek obrazovky

Popis byl vytvořen automaticky**