

实验二 实验报告

一. 实验目的和要求

目的：掌握常用中规模组合逻辑器件的功能和使用方法，掌握逻辑函数工程设计方法，了解存储器实现复杂逻辑函数的原理和存储器的使用过程。

要求：运用常用中规模组合逻辑器件设计除了能完成要求的逻辑功能外，工程中还要求设计完成后的电路所用的器件种类最少、器件数最少、器件之间的连线也最少。

二. 实验原理

实验内容

1) 设计一个 3 位二进制原码转补码电路，用三种方案实现：

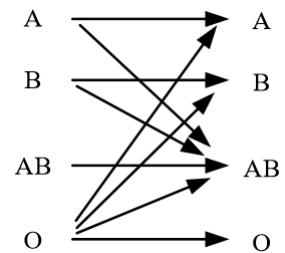
1. 全部用门电路实现
2. 用数据选择器 74151+门电路实现
3. 用三八译码器 74138+门电路实现

提示：异或逻辑可以直接选用 7486

注意：不考虑符号位，默认为 0 和负数，异或逻辑可以直接选用 7486

2) 血型配对

人类有四种血型：A、B、AB 和 O 型。输血时，输血者与受血者必须符合右图的规定，否则有生命危险，利用数据选择器和最少数量的与非门，完成血型配对任务。



3) 发电机控制器

设有三台用电设备 A、B、C 和两台发电机组 X、Y。X 机组功率为 10kW，Y 机组功率为 20kW。用电设备 A 用电量为 15kW，设备 B 用电量为 10kW，设备 C 用电量为 5kW，三台用电设备有时同时工作，有时只有其中部分设备工作，甚至均不工作。试用 3-8 译码器设计一个供电控制电路控制发电机组，以达到节电的目的。

实验设计方案

输入、输出信号编码

1) 输入信号：用 A、B、C 表示三个输入信号（A 为最高位，C 为最低位），表示一个三位二进制原码。

输出信号：Y2、Y1、Y0 表示输出，表示一个三位二进制补码。

2) 输入信号：用 2 位二进制数 G1、G0 代表输血者的 4 种血型，R1、R0 代表输血者的 4 种血型，编码代表的具体意义如表 1 所示。

输出信号：S 代表是否满足输血/受血条件，“1”满足，“0”不满足。

输血者			受血者		
G1	G0	血型	R1	R0	血型
0	0	0	0	0	0
0	1	A	0	1	A
1	0	B	1	0	B
1	1	AB	1	1	AB

表 1

- 3) 输入信号：用 A、B、C 表示三个输入，分别表示三个用电设备的工作情况，“1”工作，“0”不工作

输出信号：X、Y 表示两个输出，分别表示两个发电机组的工作情况，“1”工作，“0”不工作

列出真值表

- 1) 根据实验要求列出真值表如表 2:

A	B	C	Y2	Y1	Y0
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	0
0	1	1	1	0	1
1	0	0	1	0	0
1	0	1	0	1	1
1	1	0	0	1	0
1	1	1	0	0	1

表 2

- 2) 根据实验要求列出真值表如表 3:

G1	G0	R1	R0	S	G1	G0	R1	R0	S
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1

表 3

3) 根据实验要求列出真值表如表 4:

A	B	C	X	Y
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

表 4

逻辑化简

1) 1. 根据真值表画出卡诺图如图 1 所示, 化简得到与或表达式如下:

$$Y2 = \overline{A}C + \overline{A}B + A\overline{B} \cdot \overline{C} = \overline{A} \cdot \overline{\overline{B} \cdot \overline{C}} + A\overline{B} \cdot \overline{C}$$

$$Y1 = B\overline{C} + \overline{B}C$$

$$Y0 = C$$

Y1, Y2 转换成异或表达式如下:

$$Y2 = A \oplus \overline{\overline{B} \cdot \overline{C}}$$

$$Y1 = B \oplus C$$

$$Y0 = C$$

2. 由真值表可得 Y1, Y2 的最小项表达式如下:

$$Y2 = \sum_m (1,2,3,4)$$

$$Y1 = \sum_m (1,2,5,6)$$

$$Y0 = C$$

3. 置换可得 Y1, Y2 最小项表达式的与非形式如下:

$$Y2 = \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_3} \cdot \overline{m_4}}$$

$$Y1 = \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_5} \cdot \overline{m_6}}$$

$$Y0 = C$$

AB \ C	0	1	AB \ C	0	1	AB \ C	0	1
0 0	0	1	0 0	0	1	0 0	0	1
0 1	1	1	0 1	1	0	0 1	0	1
1 1	0	0	1 1	1	0	1 1	0	1
1 0	1	0	1 0	0	1	1 0	0	1

图 1

2) 根据真值表画出卡诺图如图 2 所示, 得到 S 的最小项表达式:

$$S = \sum_m (0,1,2,3,5,7,10,11,15)$$

\R1R0 G1G0	0 0	0 1	1 1	1 0
0 0	1	1	1	1
0 1	0	1	1	0
1 1	0	0	1	0
1 0	0	0	1	1

 $\xrightarrow{\text{降R0}}$

\R1 G1G0	0	1
0 0	1	1
0 1	R0	R0
1 1	0	R0
1 0	0	1

图 2

3) 由真值表得到 X、Y 的最小项表达式:

$$X = \sum_m (1,2,6,7)$$

$$Y = \sum_m (3,4,5,6,7)$$

为了减少元件的使用, Y 的表达式可化为:

$$Y = A + m_3 = \overline{\overline{A} \cdot \overline{m_3}}$$

逻辑电路图

1) 1. 根据逻辑函数表达式和实验要求使用的元件，绘制出电路原理图如图 3 所示，其中输入信号的原变量由字符转换器获得。

2. 根据逻辑函数表达式和实验要求使用的元件，绘制出电路原理图如图 4 所示，其中输入信号的原变量由字符转换器获得。

3. 根据逻辑函数表达式和实验要求使用的元件，绘制出电路原理图如图 5 所示，其中输入信号的原变量由字符转换器获得。

2) 根据逻辑函数表达式和实验要求使用的元件，绘制出电路原理图如图 6 所示，其中输入信号的原变量由字符转换器获得。

3) 根据逻辑函数表达式和实验要求使用的元件，绘制出电路原理图如图 7 所示，其中输入信号的原变量由字符转换器获得。

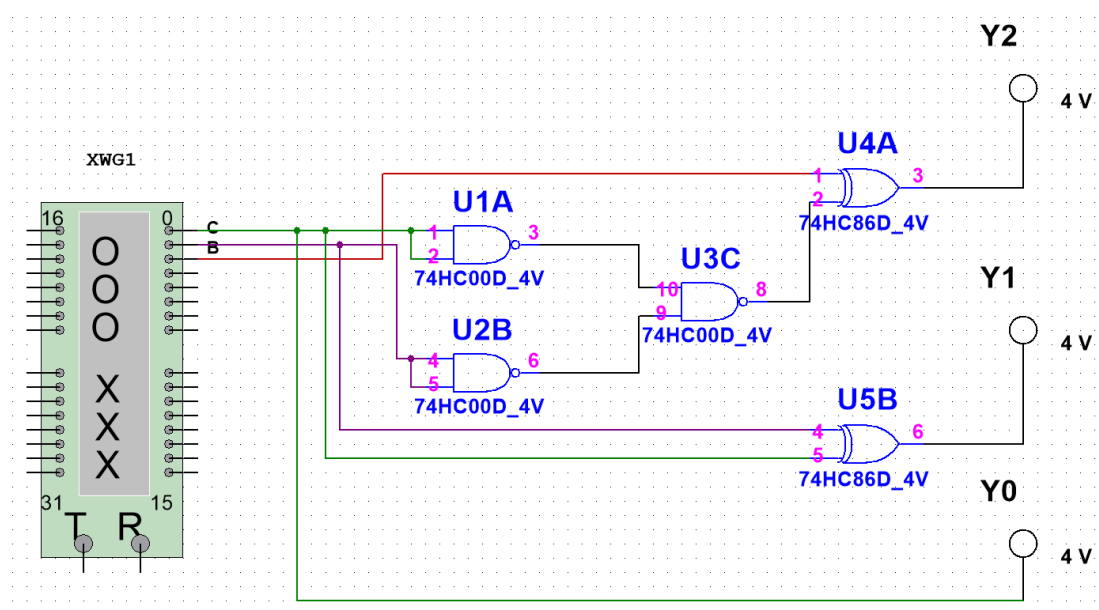


图 3

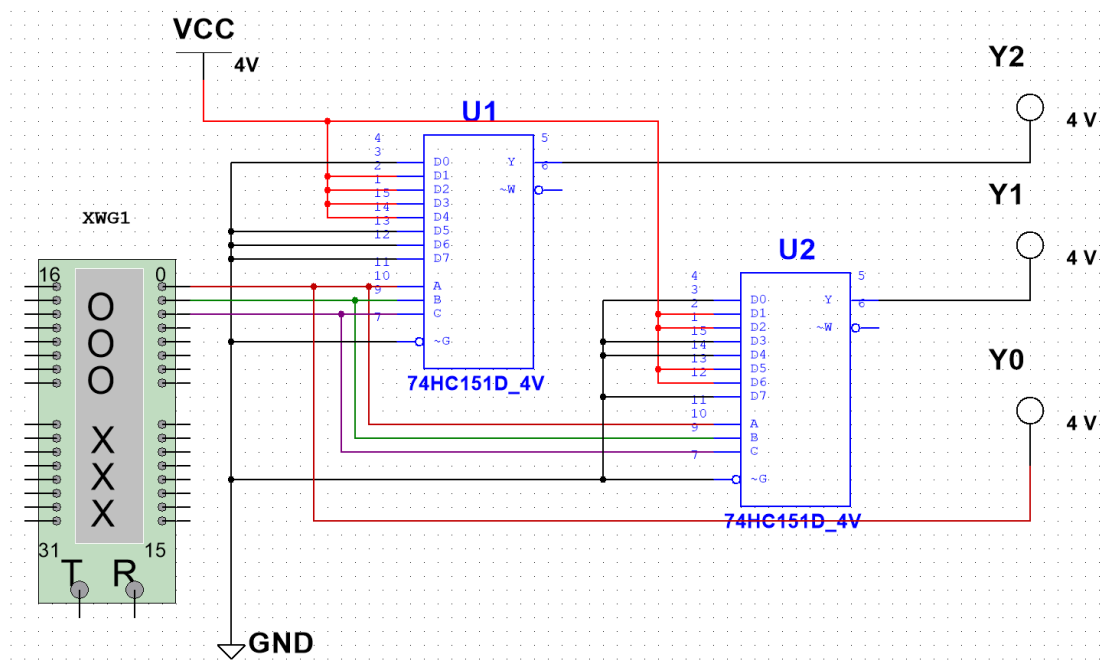


图 4

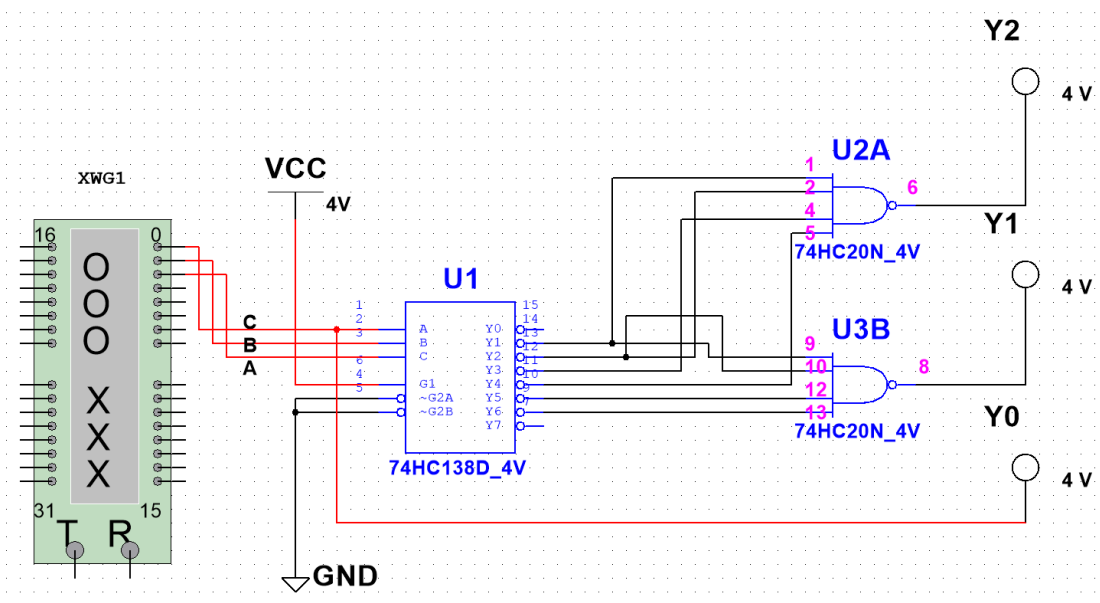


图 5

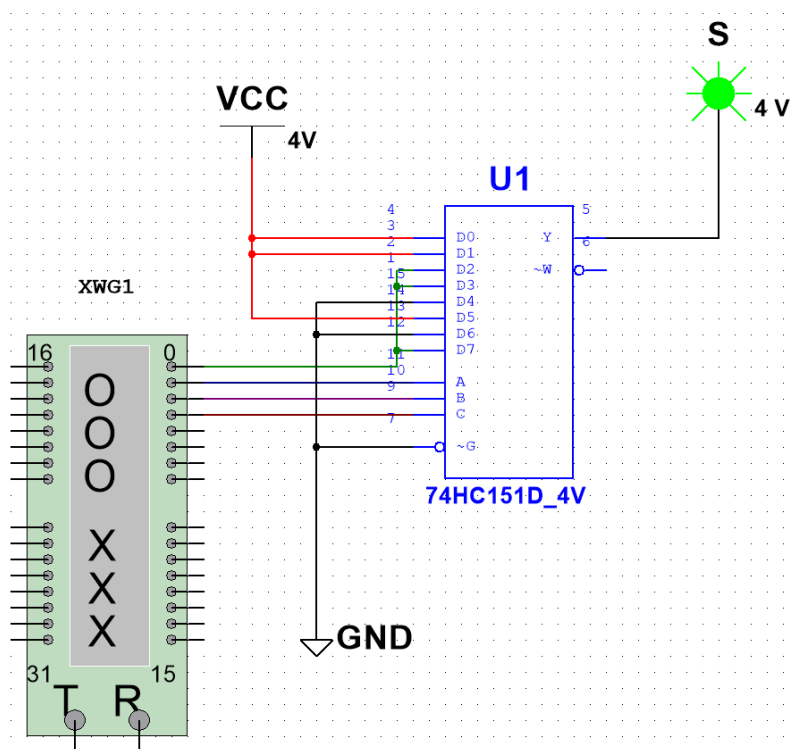


图 6

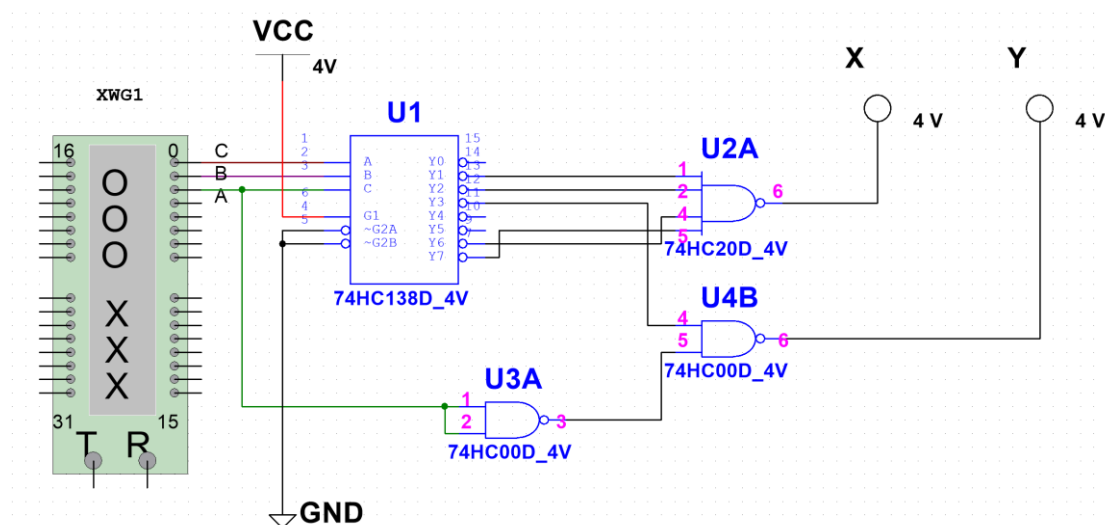


图 7

硬件连接示意图

1) 1. 根据电路原理图可知，硬件电路需要 3 个两输入与非门，可以选择 1 片 74HC00 实现；需要 2 个两输入异或门，可以选择 1 片 74HC86 实现。硬件连接示意图如图 8 所示。

2. 根据电路原理图可知，硬件电路需要 2 个数据选择器 74HC151，需要 1 个四输入与非门，可以选择 1 片 74HC20 实现。硬件连接示意图如图 9 所示。

3. 根据电路原理图可知，硬件电路需要 1 个三八译码器 74HC138，需要 2 个四输入与非门，可以选择 1 片 74HC20 实现。硬件连接示意图如图 10 所示。

2) 根据电路原理图可知，硬件电路需要 1 个数据选择器 74HC151。硬件连接示意图如图 11 所示。

3) 根据电路原理图可知，硬件电路需要 1 个 3-8 译码器 74HC138。需要一个 4 输入与非门，可以用一片 74HC20 实现，需要两个 2 输入与非门，可以用一片 74HC00 实现。硬件连接示意图如图 12 所示。

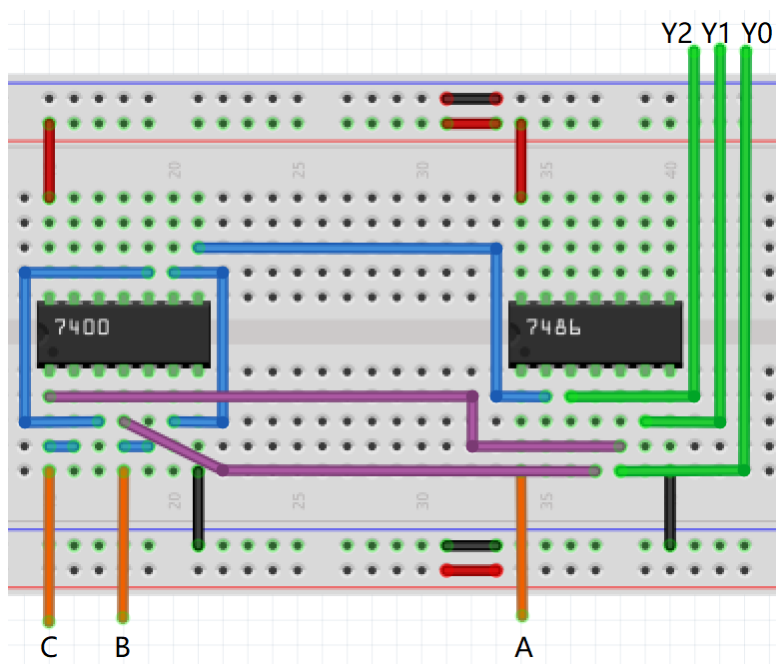


图 8

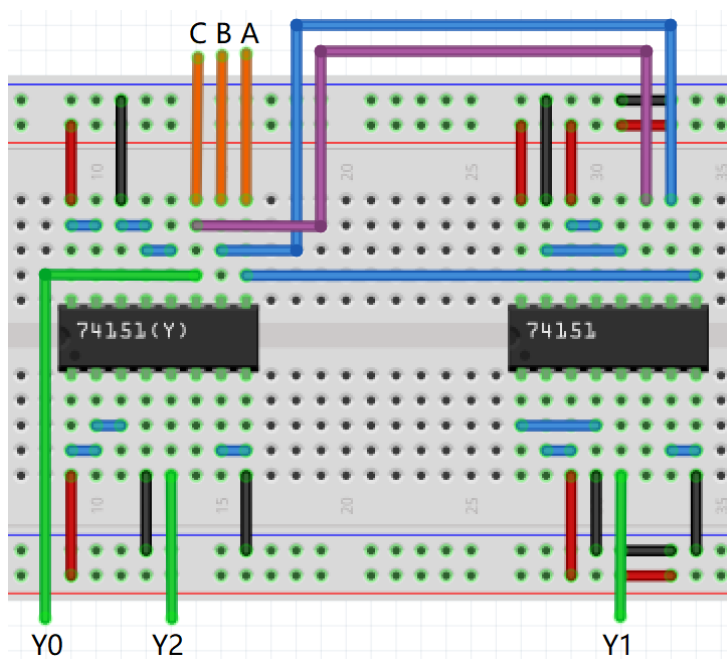


图 9

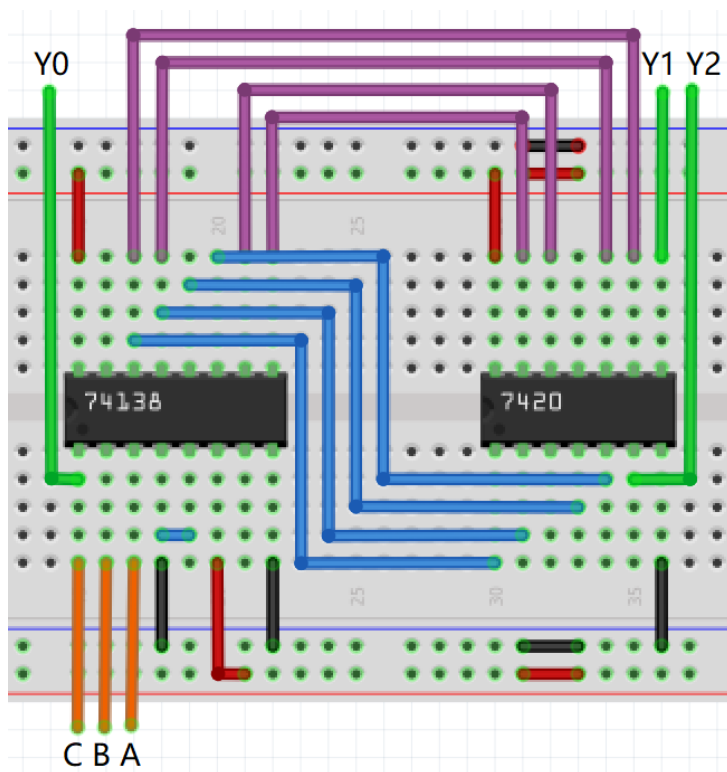


图 10

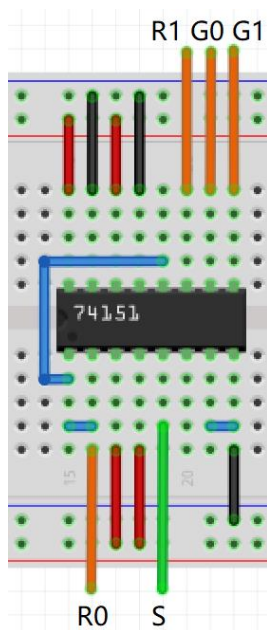


图 11

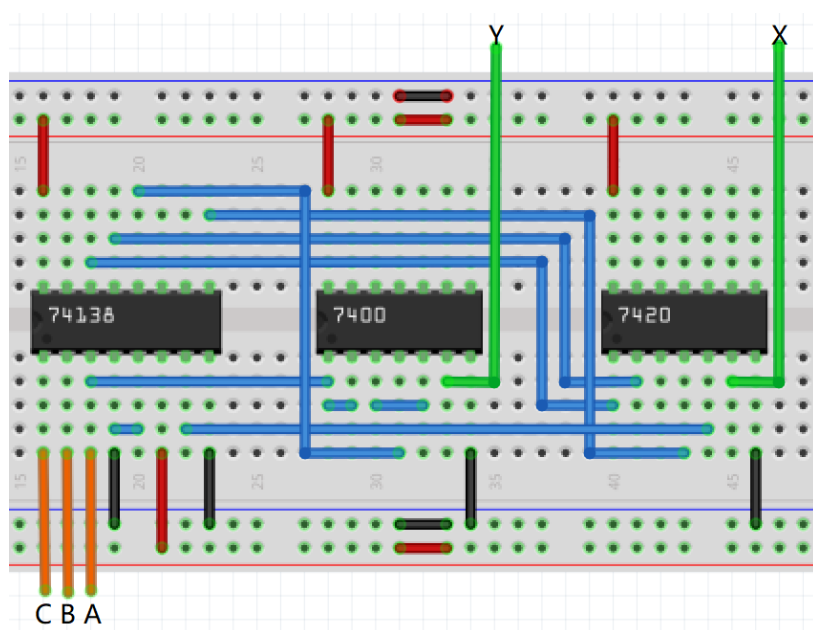


图 12

测试方案

1) 针对每个电路设计: 3 个输入信号, 由字符转换器获得, 3 个输出端分别连接到实验箱上的 LED, 按照真值表的要求, 遍历 8 种输入组合, 并观察输出信号值, 输出 LED 亮则输出为 1, 灭则输出为 0, 将测试结果填入表 5。

2) 4 个输入信号，由字符转换器获得，1 个输出端连接到实验箱上的 LED，按照真值表的要求，遍历 16 种输入组合，并观察输出信号值，输出 LED 亮则输出为 1，灭则输出为 0，将测试结果填入表 6。

3) 3 个输入信号，由字符转换器获得，2 个输出端连接到实验箱上的 LED，按照真值表的要求，遍历 8 种输入组合，并观察输出信号值，输出 LED 亮则输出为 1，灭则输出为 0，将测试结果填入表 7。

A	B	C	Y2	测试结果	Y1	测试结果	Y0	测试结果
0	0	0	0		0		0	
0	0	1	1		1		1	
0	1	0	1		1		0	
0	1	1	1		0		1	
1	0	0	1		0		0	
1	0	1	0		1		1	
1	1	0	0		1		0	
1	1	1	0		0		1	

表 5

G1	G0	R1	R2	S	测试结果	G1	G0	R1	R0	S	测试结果
0	0	0	0	1		1	0	0	0	0	
0	0	0	1	1		1	0	0	1	0	
0	0	1	0	1		1	0	1	0	1	
0	0	1	1	1		1	0	1	1	1	
0	1	0	0	0		1	1	0	0	0	
0	1	0	1	1		1	1	0	1	0	
0	1	1	0	0		1	1	1	0	0	
0	1	1	1	1		1	1	1	1	1	

表 6

A	B	C	X	测试结果	Y	测试结果
0	0	0	0		0	
0	0	1	1		0	
0	1	0	1		0	
0	1	1	0		1	
1	0	0	0		1	
1	0	1	0		1	
1	1	0	1		1	
1	1	1	1		1	

表 7

三. 实验仪器

- 1) 1. 74HC00 一片, 74HC86 一片, 红色指示灯三个, 开关三个, 面包板一片, 电源, 导线若干。
2. 74HC151 两片, 红色指示灯三个, 开关三个, 面包板一片, 电源, 导线若干。
3. 74HC138 一片, 74HC20 一片, 红色指示灯三个, 开关三个, 面包板一片, 电源, 导线若干。
- 2) 74HC151 一片, 红色指示灯一个, 开关四个, 面包板一片, 电源, 导线若干。
- 3) 74HC138 一片, 74HC00 一片, 74HC20 一片, 红色指示灯两个, 开关三个, 面包板一片, 电源, 导线若干。

四. 实验记录

实验步骤

- 1) 1. 按照实验原理, 使用 Multisim 软件正确连接电路。
2. 按照真值表的要求, 拨动逻辑电平开关改变输入信号值, 遍历 8 种输入组合。
3. 观察输出信号值, 输出指示灯亮则输出为 1, 灭则输出为 0, 将测试结果填入表 8。
- 2) 1. 按照实验原理, 使用 Multisim 软件正确连接电路。
2. 按照真值表的要求, 拨动逻辑电平开关改变输入信号值, 遍历 16 种输入组合。
3. 观察输出信号值, 输出指示灯亮则输出为 1, 灭则输出为 0, 将测试结果填入表 9。
- 3) 1. 按照实验原理, 使用 Multisim 软件正确连接电路。
2. 按照真值表的要求, 拨动逻辑电平开关改变输入信号值, 遍历 8 种输入组合。
3. 观察输出信号值, 输出指示灯亮则输出为 1, 灭则输出为 0, 将测试结果填入表 10。

实验结果

A	B	C	Y2	测试结果	Y1	测试结果	Y0	测试结果
0	0	0	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1
0	1	0	1	1	1	1	0	0
0	1	1	1	1	0	0	1	1
1	0	0	1	1	0	0	0	0
1	0	1	0	0	1	1	1	1
1	1	0	0	0	1	1	0	0
1	1	1	0	0	0	0	1	1

表 8

G1	G0	R1	R2	S	测试结果	G1	G0	R1	R0	S	测试结果
0	0	0	0	1	1	1	0	0	0	0	0
0	0	0	1	1	1	1	0	0	1	0	0

0	0	1	0	1	1	1	0	1	0	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	0	0	1	1	0	0	0	0
0	1	0	1	1	1	1	1	0	1	0	0
0	1	1	0	0	0	1	1	1	0	0	0
0	1	1	1	1	1	1	1	1	1	1	1

表 9

A	B	C	X	测试结果	Y	测试结果
0	0	0	0	0	0	0
0	0	1	1	1	0	0
0	1	0	1	1	0	0
0	1	1	0	0	1	1
1	0	0	0	0	1	1
1	0	1	0	0	1	1
1	1	0	1	1	1	1
1	1	1	1	1	1	1

表 10

电路故障排查

无电路故障。

五. 实验分析

由实验结果可以看出，该电路设计可以完美实现实验要求的功能。

本次实验设计略有难度，在熟练掌握门电路设计方法的基础上，学习常见中规模组合逻辑器件的功能和使用方法。要求在电路设计的过程中能够灵活化简逻辑函数，掌握缩减输入变量的方法，尽可能减少实物器件的使用。

六. 实验小结

完成情况较好。在设计此次实验电路时，很重要的一个设计原则就是减少使用器件的数量。针对这一问题，我们可以考虑采取如下几种方法：

1. 仔细观察逻辑函数表达式：该输出本身就是某输入，不需要经过与元件处理；在处理其他逻辑函数时已经得出了该输出的部分表达式，可以直接引线使用；逻辑函数可以置换为除与或非之外的特殊运算，如异或、同或。

2. 多片中规模组合逻辑器件级联：将多片中规模组合逻辑器件级联，扩展器件的地址端。

3. 减少输入变量：在使用数据选择器设计实验电路时，若逻辑函数的变量数多于数据选择器地址数量，可以运用降维的技巧减少输入变量，从而达到减少使用器件数量的目的。

七. 实验思考题

实验内容(选做)

- 1) 用 MSI 器件设计 2 位全加器
- 2) 3.5 节实验：用 ROM 设计组合逻辑函数电路

实验原理

实验设计方案

输入、输出信号编码

- 1) 输入信号：用 A1、A0、B1、B0、C 表示五个输入信号，A1A0 表示被加数，B1B0 表示加数，C 表示进位。
输出信号：Y1、Y0、D 表示输出，Y1Y0 表示和，D 表示两位全加后得到的进位。
- 2) 输入信号：A0、A1、A2、A3 表示四个输入信号。
输出信号：00、01、02、03、04、05、06 表示输出，连接到共阳极显示数码管上。

逻辑电路图

1) 根据实验要求，绘制出电路原理图如图 13 所示，其中输入信号的原变量由字符转换器获得。

2) 根据实验要求，绘制出电路原理图如图 14 所示，其中输入信号的原变量由字符转换器获得。

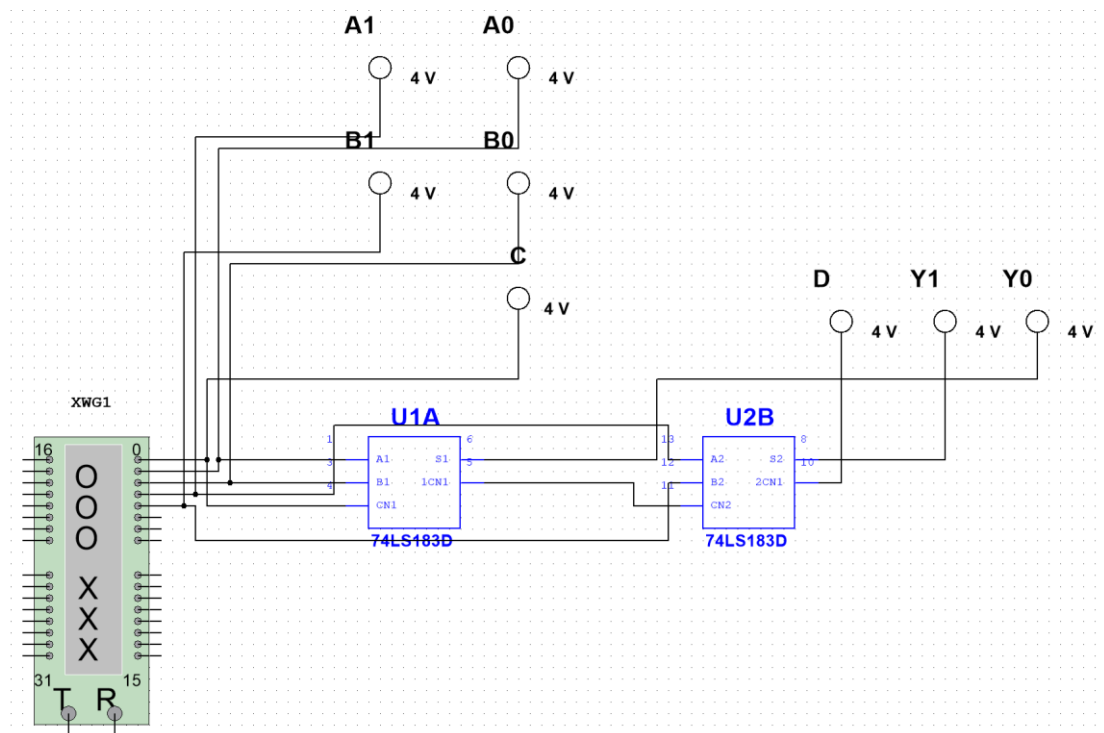


图 13

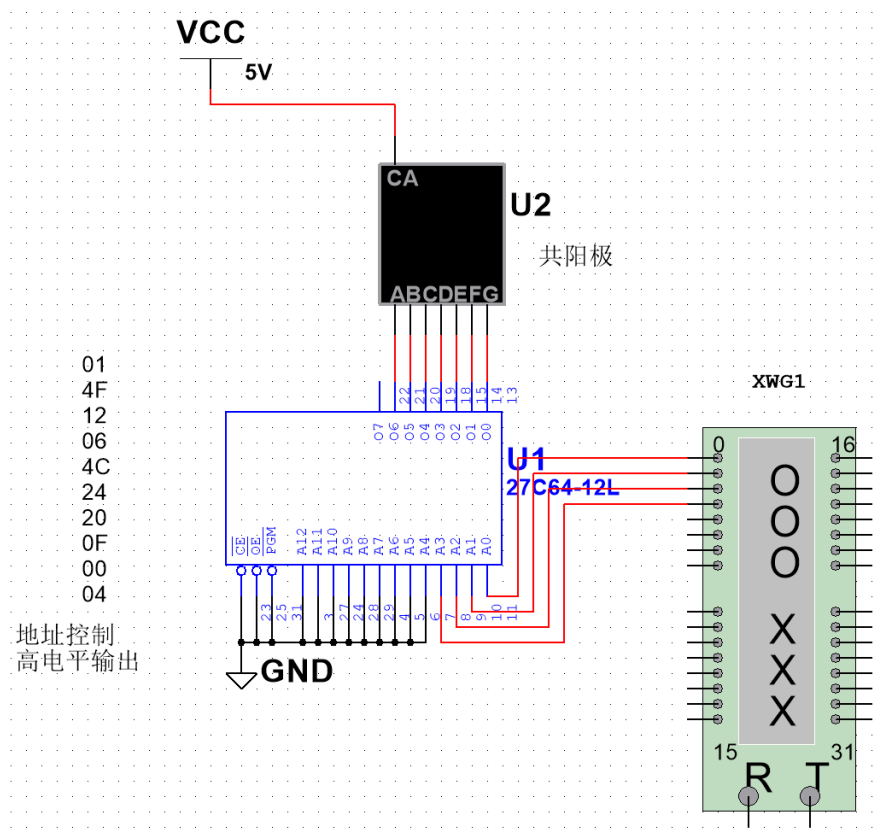


图 14

硬件连接示意图

- 1) 根据电路原理图可知，硬件电路需要 1 片 74LS183。硬件连接示意图如图 15 所示。
- 2) 根据电路原理图可知，硬件电路需要 1 片 27C64 和 1 片共阳极显示数码管实现。硬件连接示意图如图 16 所示。

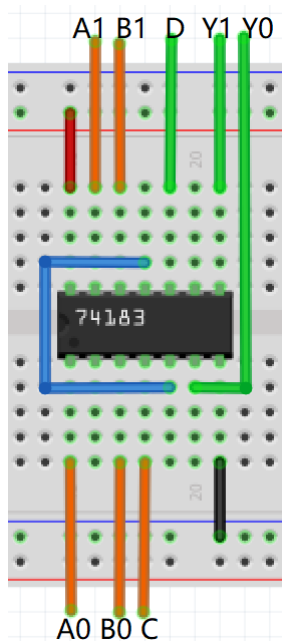


图 15

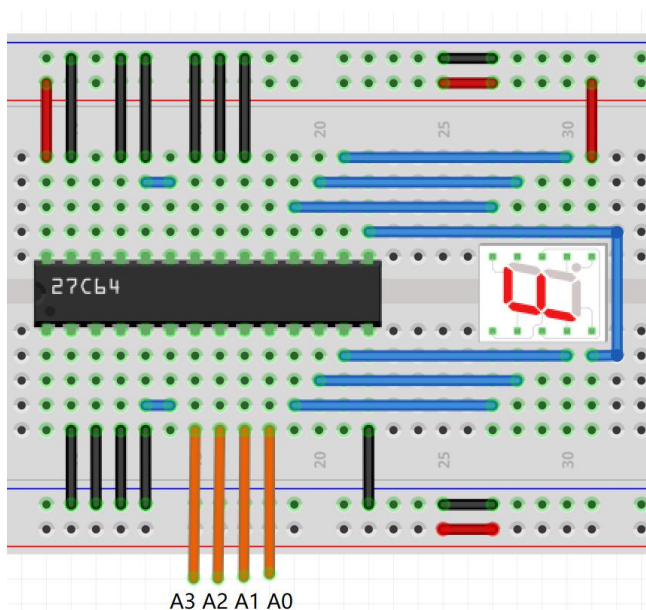
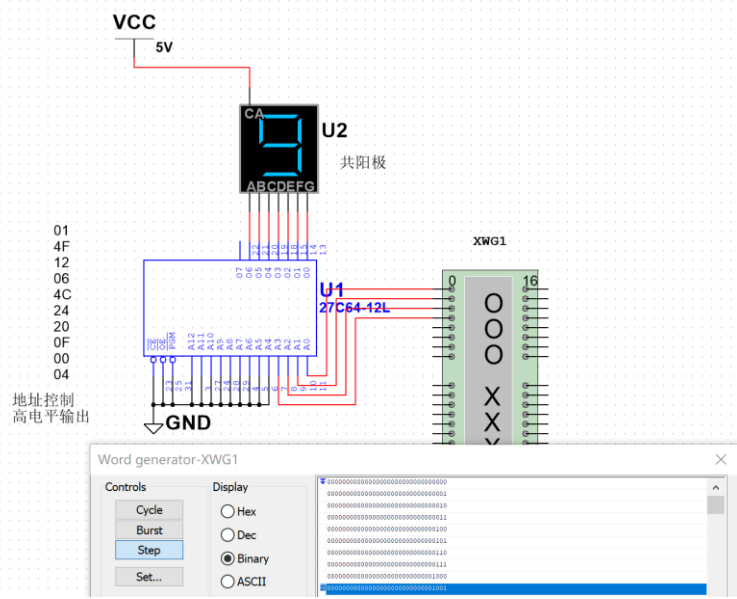


图 16

[illegible]

八. 参考资料

- [1] 东南大学电子电工学院. 《数字逻辑设计教材》. 2020
- [2] 东南大学电子电工学院. 《数字逻辑电路实验 C 开课准备事项》. 2020
- [3] 《74HC/HCT00 Quad 2-Input NAND Gate》. 2003
- [4] 《74HC/HCT20 Dual 4-Input NAND Gate》. 1990
- [5] 《74HC86 Quad 2-Input Exclusive OR Gate》. <http://onsemi.com>
- [6] 《SN74LS138 1-of-8 Decoder/Demultiplexer》. <http://onsemi.com>
- [7] 《DM74151A Data Selectors/Multiplexers》. 1989