

实验七 预习报告

实验内容

利用实验六设计的全加器，设计一个 4 位二进制串行乘法器，其中“被乘数”用 4 个逻辑电平开关输入，“乘数”也用 4 个逻辑电平开关输入，“积”用 2 个数码管显示（十六进制）。

实验设计方案

输入、输出信号编码

输入信号：用 M3、M2、M1、M0、N3、N2、N1、N0 表示输入，M3M2M1M0 表示被乘数，N3N2N1N0 表示乘数。

输出信号：用 Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0 表示输出。

逻辑电路设计

实验六中设计的 4 位全加器原理图如图 1。

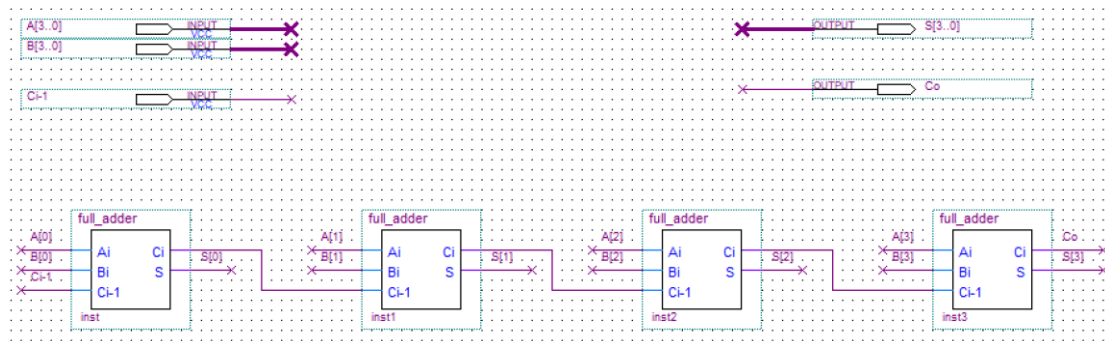


图 1

将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件如图 2。

4 位二进制串行乘法器状态转移图如图 3（以 1101×1001 为例）。

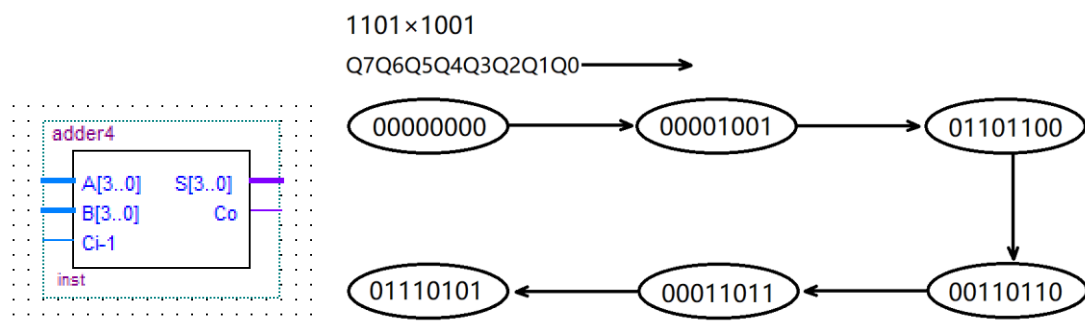


图 2

图 3

在 Quartus 软件中绘制 4 位二进制串行乘法器原理图如图 4。

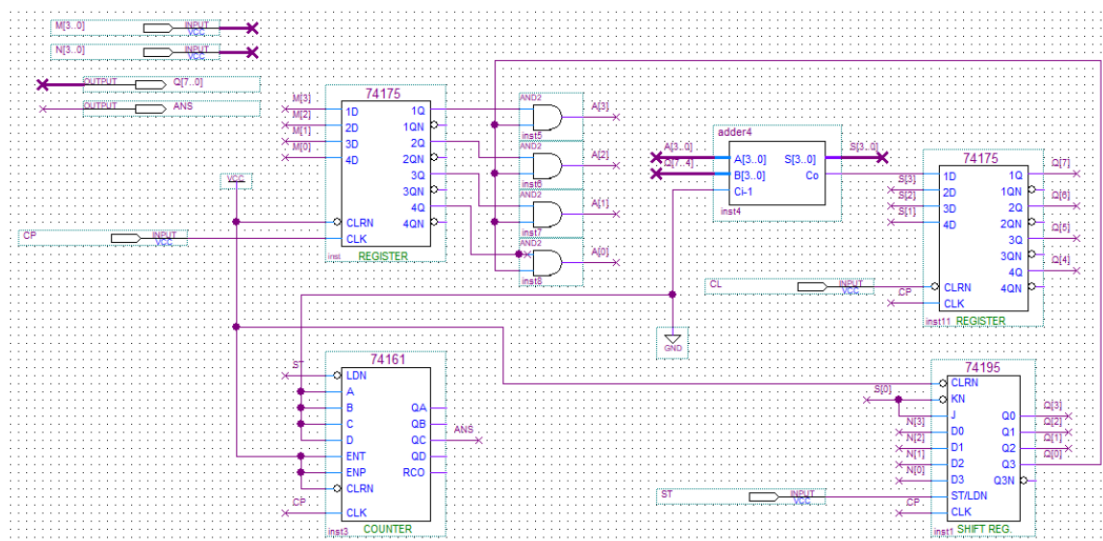


图 4

编译时产生的错误和警告信息

Info: Quartus II Simulator was successful. 0 errors, 0 warnings

功能仿真

在 Quartus 软件中对 4 位全加器进行功能仿真如图 5。

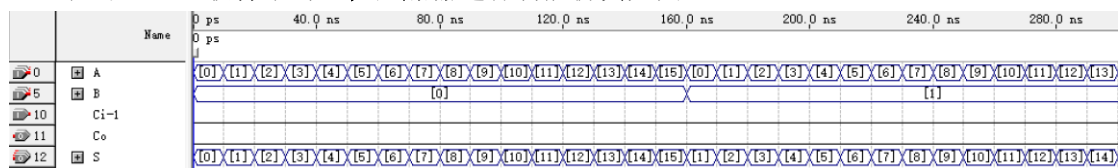


图 5

在 Quartus 软件中对 4 位二进制串行乘法器进行功能仿真如图 6。

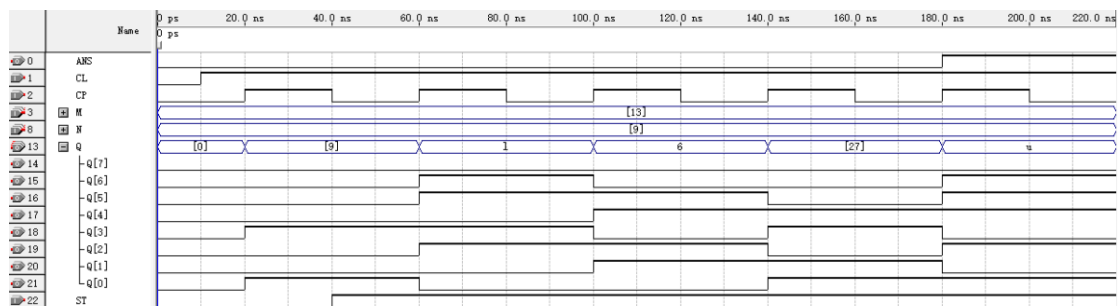


图 6

引脚分配

在 Quartus 软件中对 4 位二进制串行乘法器完成引脚分配如图 7。

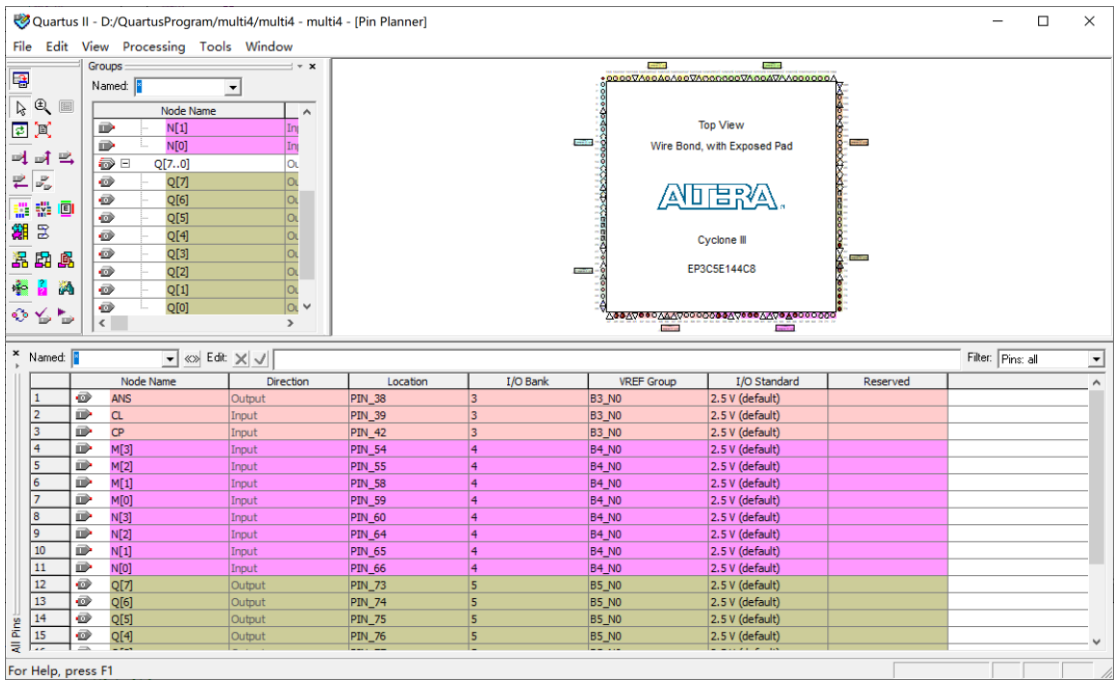


图 7

将 4 位二进制串行乘法器封装成元件如图 8。

时序仿真与分析

对 4 位二进制串行乘法器进行时序仿真。时延信息表如图 8，时延仿真结果如图 9。

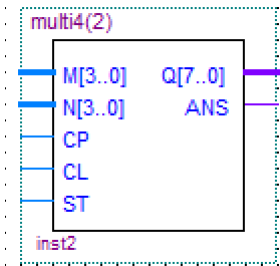


图 8

Setup Times						
	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	M[*]	CP	2.379	2.535	Rise	CP
2	M[0]	CP	2.021	2.237	Rise	CP
3	M[1]	CP	2.078	2.298	Rise	CP
4	M[2]	CP	2.379	2.535	Rise	CP
5	M[3]	CP	2.300	2.473	Rise	CP
6	N[*]	CP	2.043	2.291	Rise	CP
7	N[0]	CP	1.990	2.205	Rise	CP
8	N[1]	CP	2.035	2.235	Rise	CP
9	N[2]	CP	2.036	2.291	Rise	CP
10	N[3]	CP	2.043	2.272	Rise	CP
11	ST	CP	3.082	3.297	Rise	CP

图 9

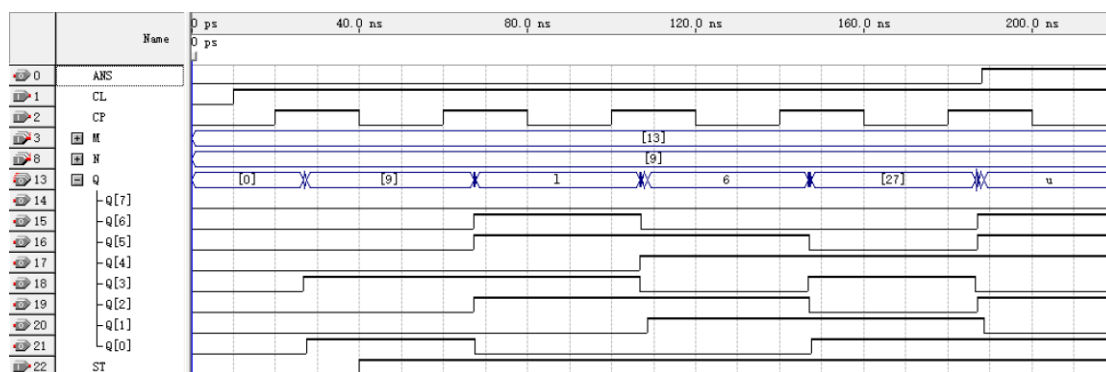
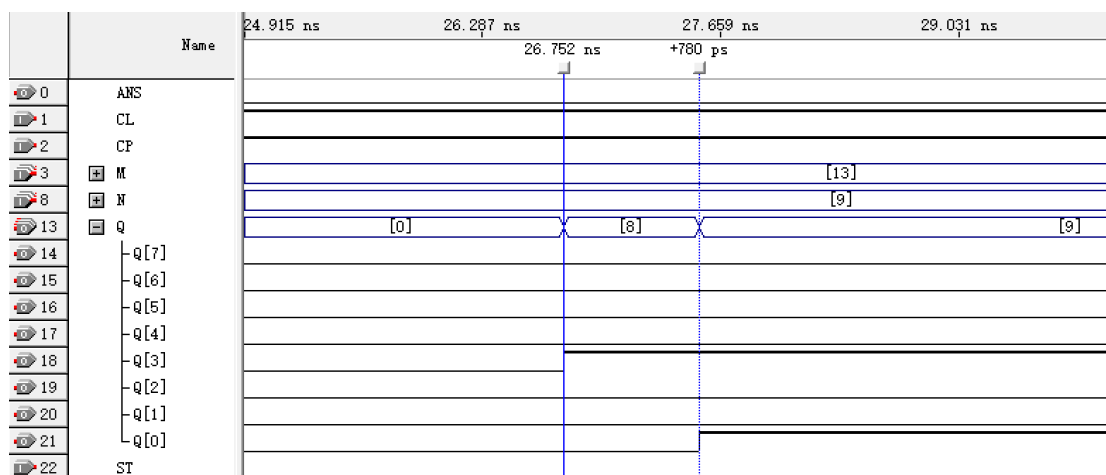
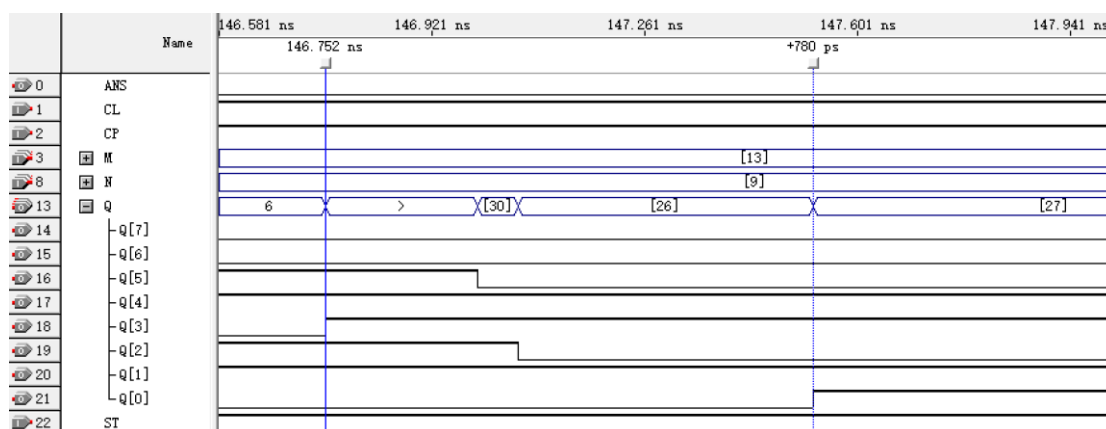


图 10

任选两处不稳定的输出状态，试对 4 位二进制串行乘法器做时延分析：



Q7Q6Q5Q4Q3Q2Q1Q0 的状态由 00000000 转移到 00001001 的过程中，Q3 的变化速度比 Q0 快，因此在极短的时间内（780ps）出现了 00001000 的非法状态。



Q7Q6Q5Q4Q3Q2Q1Q0 的状态由 00110110 转移到 00011011 的过程中，输出变量的变化顺序为 Q3→Q5→Q2→Q0，因此在极短的时间内（780ps）依次出现了 00111110→00011110→00011010 的非法状态。

由于设计电路中包含若干个寄存器等时序电路模块，模块自身的延时会导致多变量变化的状态转移无法在同一时间完成，导致了出现极端事件的输出状态错误。可以通过增加选通脉冲的方法，选中正确的状态采样输出，消除竞争与险象。