

预习报告

实验内容

1. 4 位并行输入-串行输出曼切斯特编码电路

在电信与数据存储中,曼彻斯特编码 (Manchester coding), 又称自同步码、相位编码 (phase encoding, PE), 它能够用信号的变化来保持发送设备和接收设备之间的同步, 在以太网中, 被物理层使用来编码一个同步位流的时钟和数据。曼彻斯特编码用电压的变化来分辨 0 和 1, 从高电平到低电平的跳变代表 0, 而从低电平到高电平的跳变代表 1。信号的保持不会超过一个比特位的时间间隔。即使是 0 或 1 的序列, 信号也将在每个时间间隔的中间发生跳变。这种跳变将允许接收设备的时钟与发送设备的时钟保持一致, 图 1 为曼切斯特编码的例子。

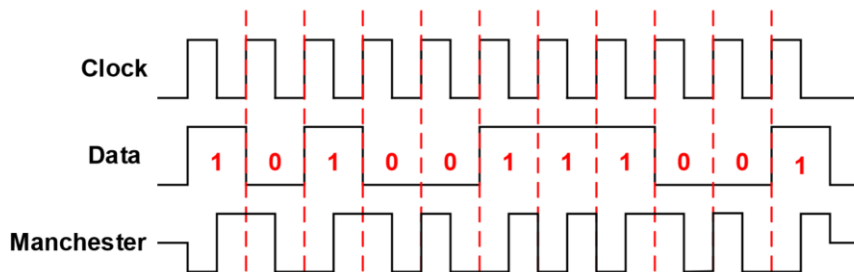


图 1 曼切斯特编码

设计一个电路, 它能自动加载 4 位并行数据, 并将这 4 位数据逐个串行输出 (高位在前), 每个串行输出位都被编码成曼切斯特码, 当 4 位数据全部传输完成后, 重新加载新数据, 继续传输, 如图 2 所示。

1) 写出设计过程, 画出电路逻辑图, 设计不允许手动加载数据。

2) 用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲, 用 Tektronix 示波器观察并记录时钟脉冲 CP、串行数据输出端的波形。

扩展: 给串行数据增加起始位和结束位, 其中起始位为 “0”, 结束位为 “1”, 起始和结束位同样要编码成曼切斯特码, 波形图参看图 3。

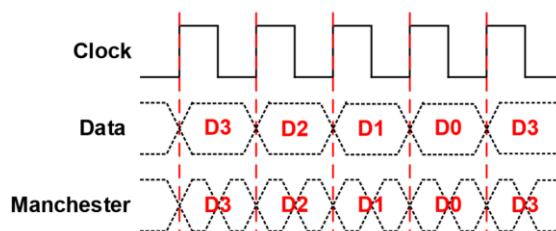


图 2 基础部分波形

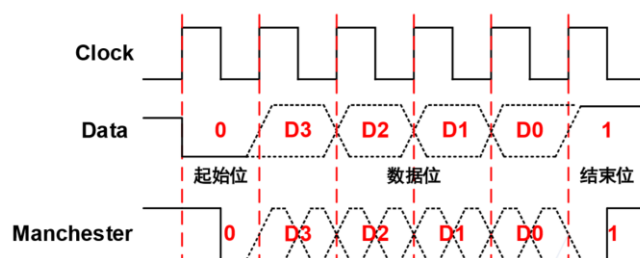


图 3 扩展功能波形

2. 简易数字钟

基础：设计一个只有小时和分钟功能的简易数字钟，4 位数码管用于显示，高 2 位显示小时（0~23），低 2 位显示“分钟”（0~59）。

1) 设计电路，电路要求采用同步计数器设计。

2) 搭试电路，验证电路结果。

3) 用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录“分钟”计数电路中的时钟脉冲及计数器的各输出波形。

4) 用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录“小时”计数电路中的时钟脉冲及计数器的各输出波形。

扩展：增加手动校时和校分功能，通过按动按键，实现校时和校分。

实验设计方案

1.1 4 位并行输入-串行输出曼切斯特编码电路

输入、输出信号编码

输入信号：用 CP、D3、D2、D1、D0 表示输入，CP 表示时钟脉冲，D3D2D1D0 表示 4 位并行数据。

输出信号：用 M 表示输出。

波形图

根据题目可知曼彻斯特编码输出的波形图如图 4。

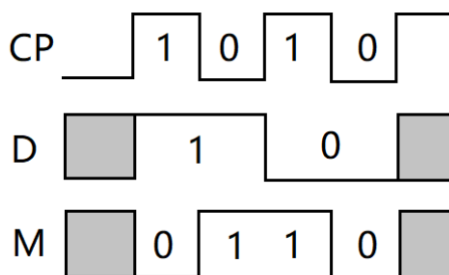


图 4

逻辑函数

由波形图易得 M 的逻辑表达式：

$$M = \overline{CP} \cdot D + CP \cdot \overline{D} = CP \oplus D$$

逻辑电路设计

根据题目要求，电路能够自动加载 4 位并行数据，并将这 4 位数据逐个串行输出。当 4 位数据全部传输完成后，重新加载新数据，继续传输。因此整个电路的工作状态是一个模为 4 的循环，需要一个 74161 计数器完成电路工作状态的循环。

4 位数据并行输入串行输出，因此需要一个 74194 移位寄存器存储数据。数据并行输入时有 $S_1S_0 = 11$ ，数据右移输出时有 $S_1S_0 = 01$ 。 S_1 由计数器的输出状态决定，即计数器输出 00 时对应 $S_1S_0 = 11$ ，计数器输出 01, 10, 11 时对应 $S_1S_0 = 01$ 。

$$S_1 = \overline{Q_1 + Q_0}$$

曼彻斯特编码输出 M 用门电路实现。

逻辑电路图

根据上述设计思路，在 Multisim 软件中绘制逻辑电路图如图 5 所示。

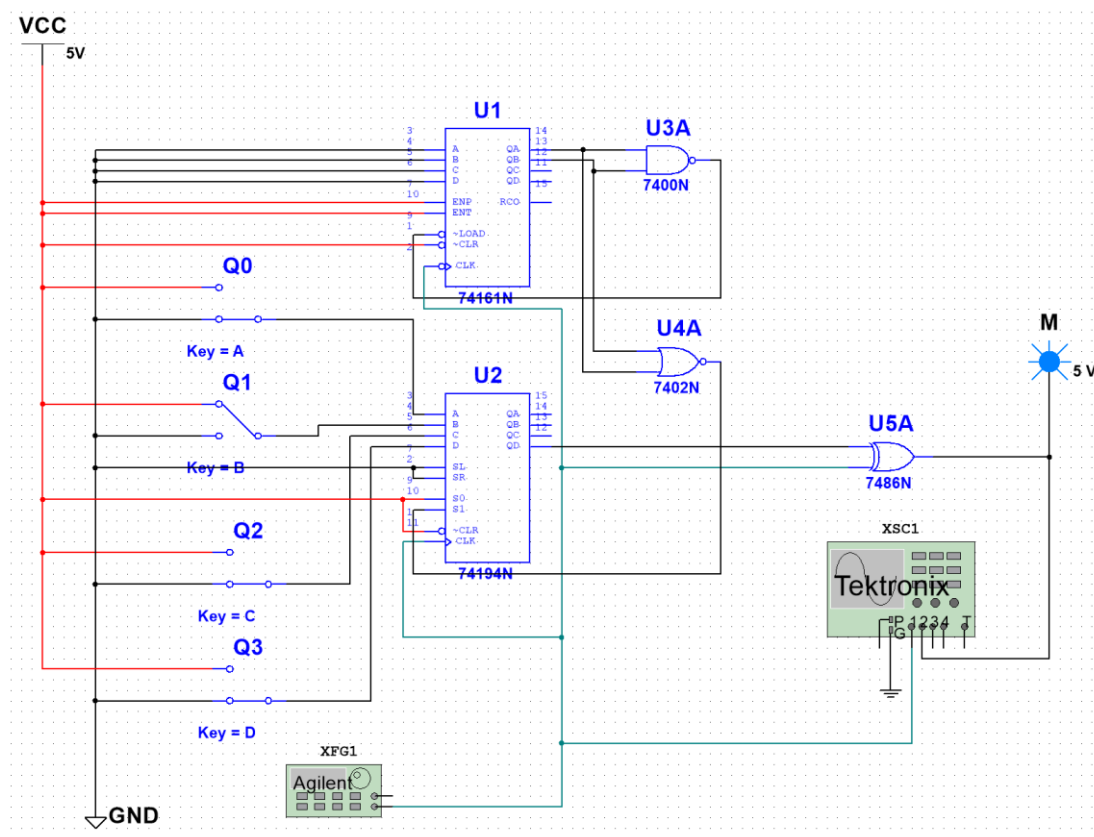


图 5

验证实验电路

用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录时钟脉冲 CP、串行数据输出端的波形如图 6 所示。

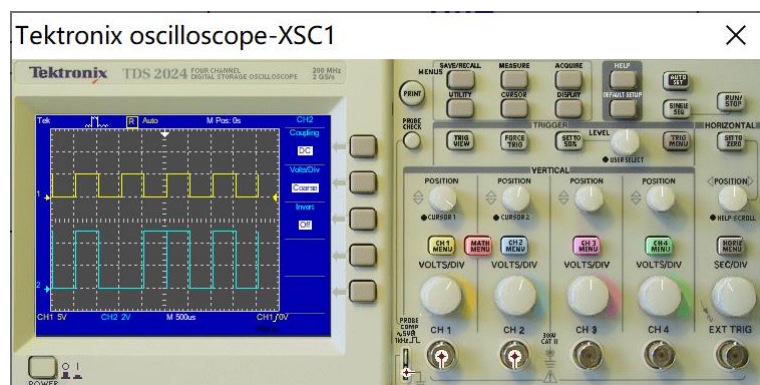


图 6

1.2 4 位并行输入-串行输出曼切斯特编码电路扩展部分 逻辑电路设计

根据题目要求，整个电路的工作状态是一个模为 6 的循环，需要一个 74161 计数器完成电路工作状态的循环。

4 位数据并行输入串行输出，因此需要一个 74194 移位寄存器存储数据。数据并行输入时有 $S_1S_0 = 11$ ，数据右移输出时有 $S_1S_0 = 01$ 。 S_1 由计数器的输出状态决定，即计数器状态为 000 时对应 $S_1S_0 = 11$ ，计数器状态为 001, 010, 011, 100, 101 时对应 $S_1S_0 = 01$ 。曼彻斯特编码输出 M 用门电路实现。

$$S_1 = \overline{Q_2 + Q_1 + Q_0}$$

在数据输出时需要一个 74151 数据选择器辅助，计数器输出为 000 时数据选择器输出为 0，计数器输出为 101 时数据选择器输出为 1，计数器输出为 001, 010, 011, 100 时数据选择器输出串行数据最高位。

曼彻斯特编码输出 M 由 CP 和数据选择器的输出共同产生。

逻辑电路图

根据上述设计思路，在 Multisim 软件中绘制逻辑电路图如图 7 所示。

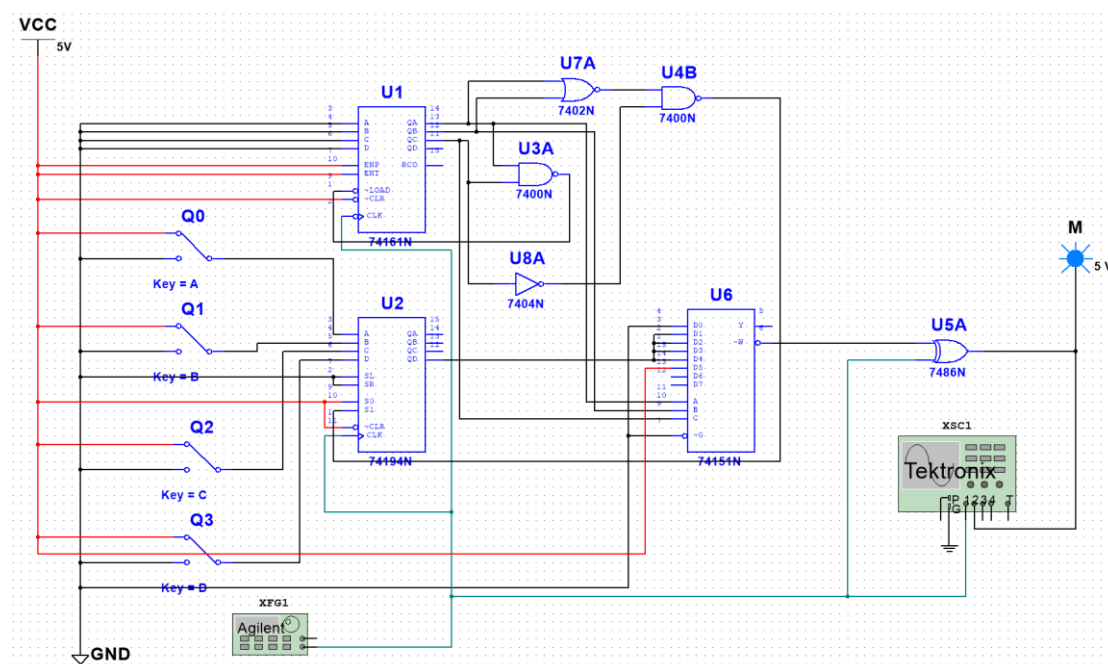


图 7

验证实验电路

用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录时钟脉冲 CP、串行数据输出端的波形如图 8 所示。

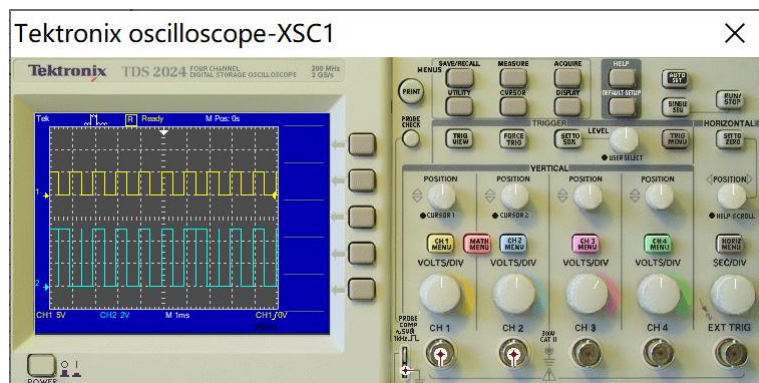


图 8

2.1 简易数字钟 逻辑电路设计

根据题目要求，需要设计一个模 24 计数器和一个模 60 计数器，总共需要 4 个 74161 计数器。

本次实验采取串行级联计数器的方式。由于要用数码管显示数字，所以要将 74161 计数器处理成模 10 计数器，即反馈方程为：

$$\overline{LD} = \overline{Q_3 \cdot Q_0}$$

以模 24 计数器为例，在记满 24 个状态后需要将计数器清零。以下给出两种清零策略：

同步置零：当高位输出 $Q_3Q_2Q_1Q_0 = 0010$ ，低位输出 $Q_3Q_2Q_1Q_0 = 0011$ 时，产生一个反馈信号，将该反馈信号连接到计数器的同步置数端，使两个计数器在下一个时钟脉冲到来时置数为零。反馈方程为：

$$\overline{LD}_{高} = \overline{Q_{高1} \cdot Q_{低1} \cdot Q_{低0}}$$

$$\overline{LD}_{低} = \overline{LD}_{高} + \overline{Q_{低3} \cdot Q_{低0}}$$

异步清零：当高位输出 $Q_3Q_2Q_1Q_0 = 0010$ ，低位输出 $Q_3Q_2Q_1Q_0 = 0100$ 时，产生一个反馈信号，将该反馈信号连接到计数器的异步清零端，使两个计数器立刻清零。反馈方程为：

$$\overline{CR} = \overline{Q_{高1} \cdot Q_{低2}}$$

逻辑电路图

根据上述设计思路，在 Multisim 软件中绘制逻辑电路图如图 9 所示。

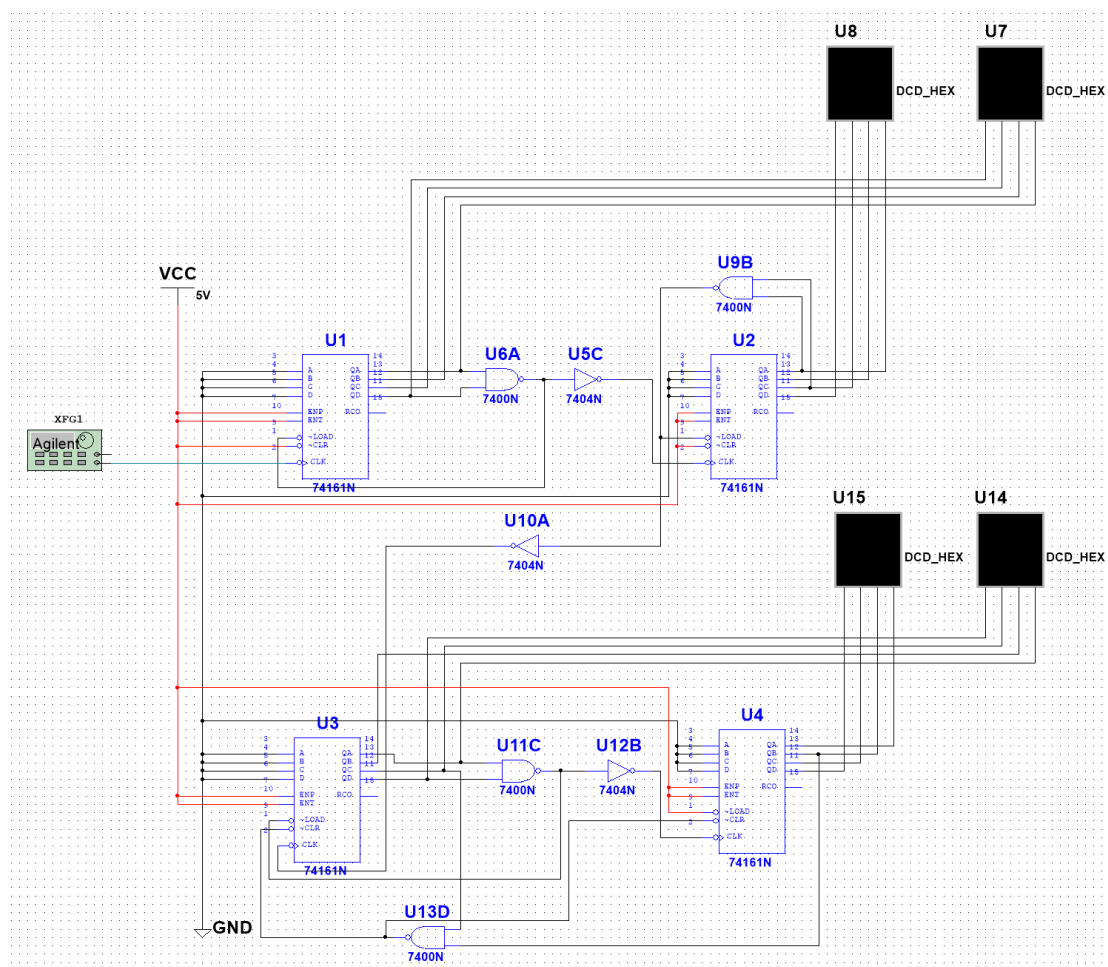


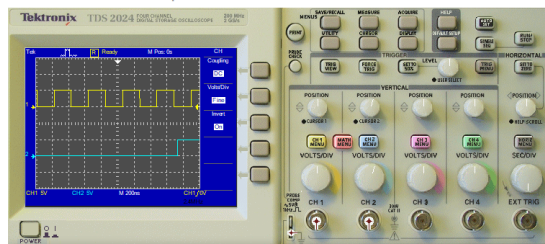
图 9

验证实验电路

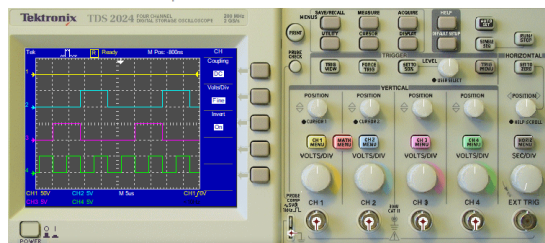
用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录“分钟”计数电路中的时钟脉冲及计数器的各输出波形如图 10。从上到下依次是分钟计数低位时钟脉冲、分钟计数高位时钟脉冲、分钟计数高位计数器输出 Q3Q2Q1Q0、分钟计数低位计数器输出 Q3Q2Q1Q0。

用 Multisim 中 Agilent 函数发生器产生 TTL 连续脉冲，用 Tektronix 示波器观察并记录“小时”计数电路中的时钟脉冲及计数器的各输出波形如图 11。从上到下依次是小时计数低位时钟脉冲、小时计数高位时钟脉冲、小时计数高位计数器输出 Q3Q2Q1Q0、小时计数低位计数器输出 Q3Q2Q1Q0。

Tektronix oscilloscope-XSC1



Tektronix oscilloscope-XSC3



Tektronix oscilloscope-XSC2

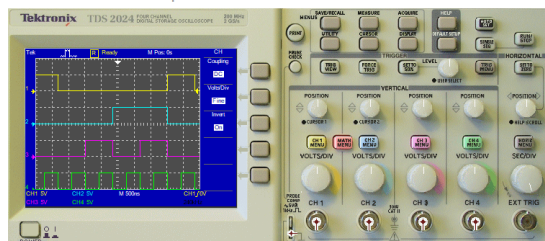
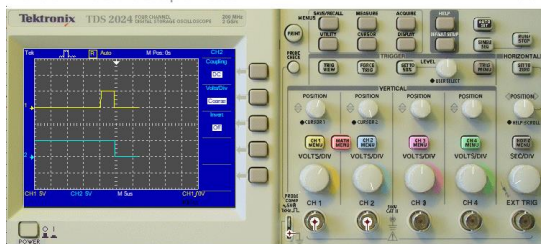
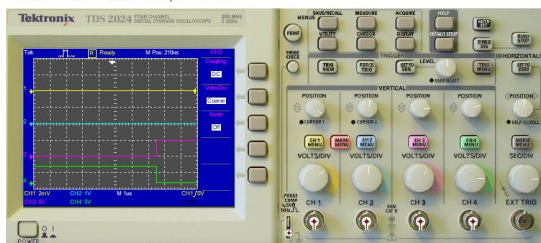


图 10

Tektronix oscilloscope-XSC6



Tektronix oscilloscope-XSC4



Tektronix oscilloscope-XSC5

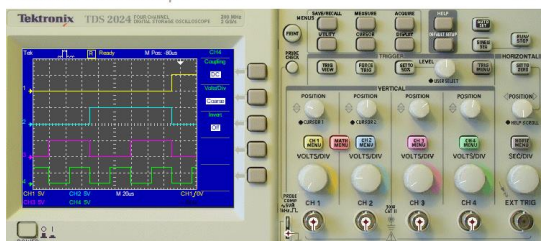


图 11

2.2 简易数字钟扩展部分

逻辑电路设计

根据题目要求，在 2.1 电路设计的基础上，增加手动校时和校分功能，通过按动按键，实现校时和校分。

针对此功能，电路需要增设两个开关，分别控制分钟计数电路和小时计数电路。开关分别连接相应计数器的清零端。当开关连接到高电平时，计数电路正常工作；当开关连接到低电平时，其所控制的两个计数器进行清零操作，从而到达校正功能。

以模 24 计数器为例，电路会在两种情况下进行清零操作：自动循环出现“24”状态时，校正开关连接到低电平时。这两种状态之间的逻辑关系满足“与”，使用一个与门将两种情况结合起来即可。

逻辑电路图

根据上述设计思路，在 Multisim 软件中绘制逻辑电路图如图 12 所示。

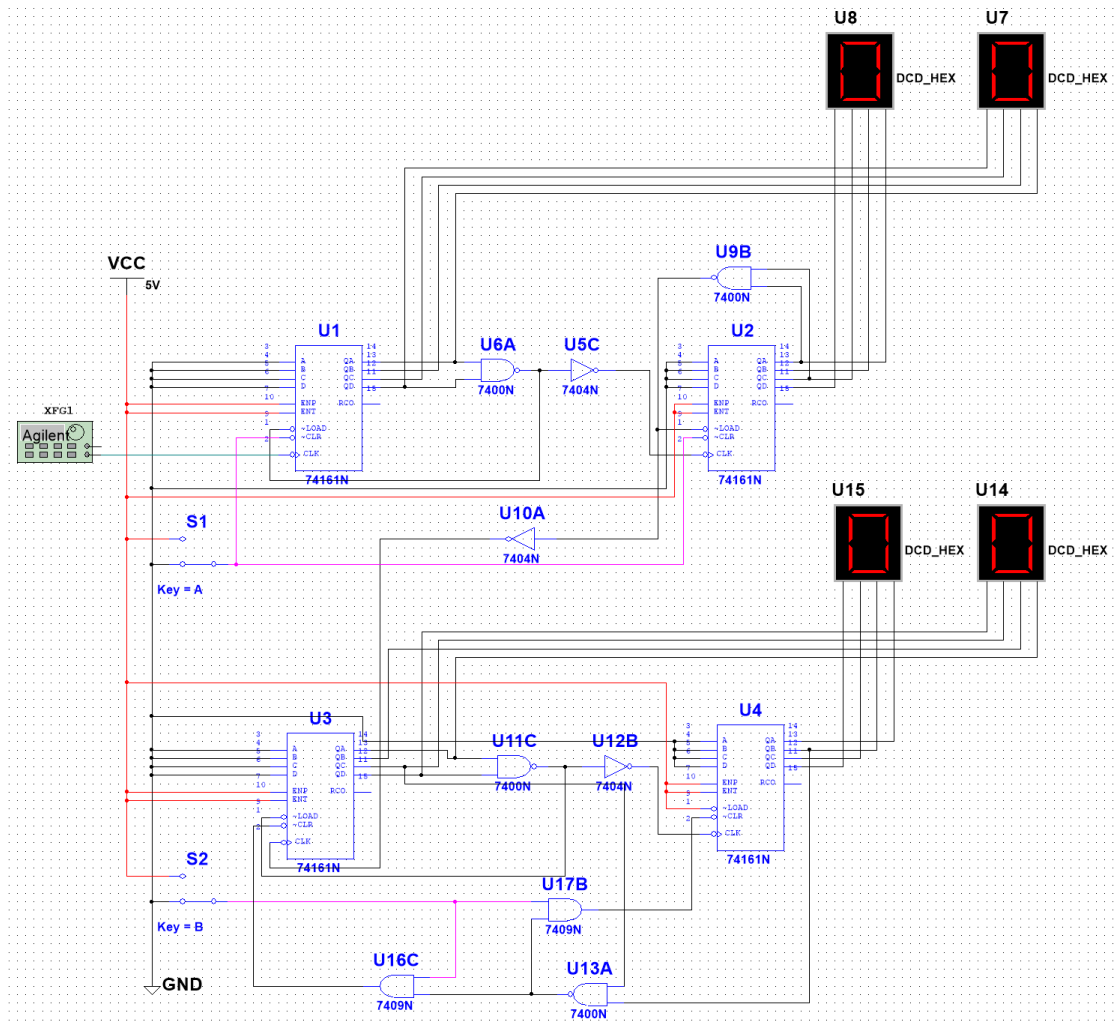


图 12