

实验七 实验报告

一. 实验目的和要求

实验目的：了解可编程数字系统设计的流程，能够使用原理图输入方式在 Quartus 软件中完成数字系统设计。

实验要求：学习掌握可编程数字系统设计的流程，在熟练掌握 Quartus 软件使用方法的基础上独立完成本次实验设计。

二. 实验原理

实验内容

利用实验六设计的全加器，设计一个 4 位二进制串行乘法器，其中“被乘数”用 4 个逻辑电平开关输入，“乘数”也用 4 个逻辑电平开关输入，“积”用 2 个数码管显示（十六进制）。

实验设计方案

输入、输出信号编码

输入信号：用 M3、M2、M1、M0、N3、N2、N1、N0 表示输入，M3M2M1M0 表示被乘数，N3N2N1N0 表示乘数。

输出信号：用 Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0 和 P7、P6、P5、P4、P3、P2、P1、P0 表示输出。利用 Q7Q6Q5Q4Q3Q2Q1Q0 实时观测状态转移，而 P7P6P5P4P3P2P1P0 在计算周期结束时输出最终计算结果。

逻辑电路设计

通过对实验要求的分析，本次实验使用到的主要元件有：四位全加器，74175 寄存器，74195 右移寄存器，74161 计数器。

按照教材上对于实验过程的描述，应该使用两个寄存器分别存储乘数与被乘数，此外需要一个累加器用来储存加法结果（使用寄存器实现）。在进行每次乘法运算时，考察乘数的末位。如该位为 1，则将累加器中的数据加上被乘数再移位；如该位为 0，就直接进行移位。

运算时首先将累加器 Y 清零，并将被乘数 M 和乘数 N 分别存入寄存器 A 和 B，然后依据寄存器 B 中最右一位 B0（数据 N0）确定第一个部分积。将此部分积送入累加器 Y 后，将其连同寄存器 B 右移一位，部分积的最低位被移进寄存器 B 的最左位，乘数的最低位 N0 被移出寄存器 B，而乘数的次低位 N1 被移至寄存器 B 的 B0 位。第二次仍然依据 B0 位（数据 N1）来确定第二个部分积，将部分积与累加器中的数据相加后右移一位，数据 N1 被移出寄存器，数据 N2 被移到 B0 位置……。如此经过 4 次部分积相加的操作，完成了 1 次乘法运算，乘数 N 恰好被移出寄存器 B，寄存器 B 中保存的就是运算积的低 4 位数据。

移位相加的次数使用一个计数器来控制，每移位一次，计数器累计一次。运算周期结束后，计数器发出一个信号，输出最终运算结果。

根据以上实验分析，设计出实验状态图如图 1。其中 S0 表示初始置数而未进行计算的状态，S1 表示进行计算中的状态。

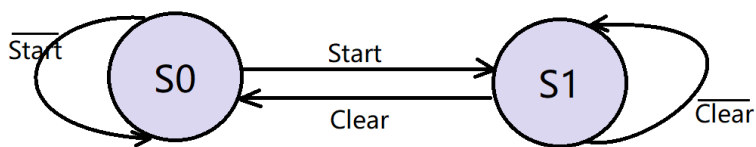


图 1

具体实验电路的初步示意图如图 2。

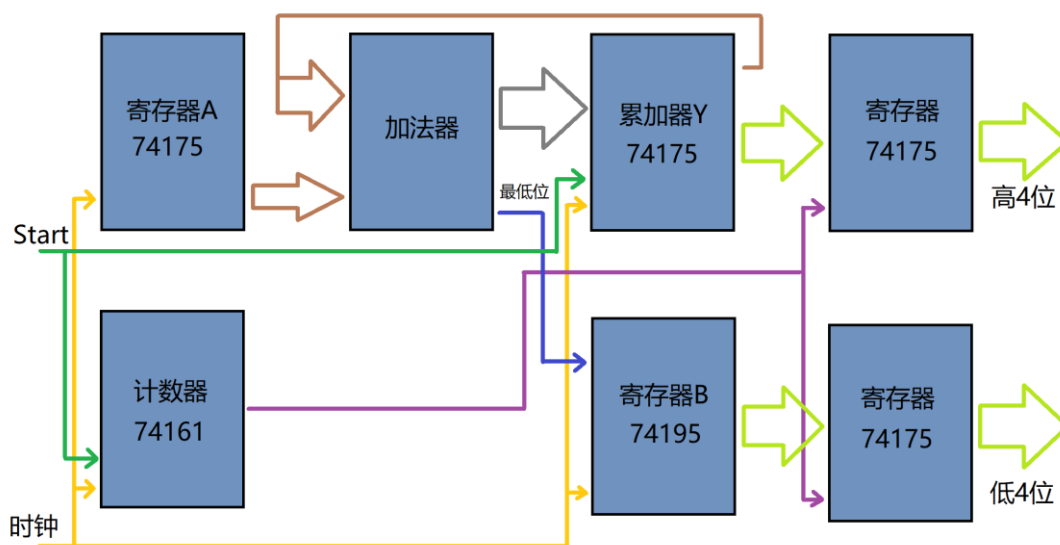


图 2

本次实验，选用实验六中设计的 4 位全加器。4 位全加器原理图如图 3。

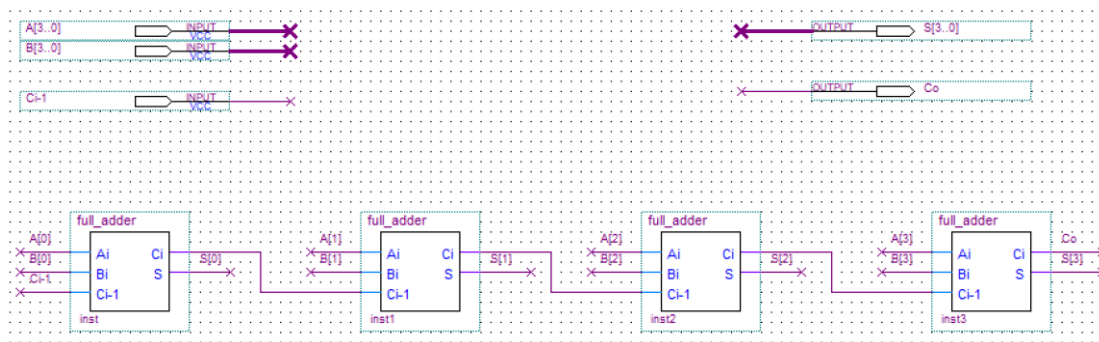


图 3

将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件如图 4。

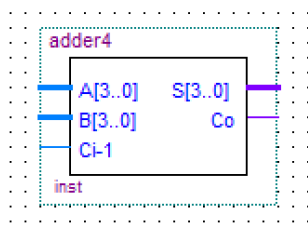


图 4

根据实验分析设计思路，在 Quartus 软件中绘制 4 位二进制串行乘法器原理图如图 5。

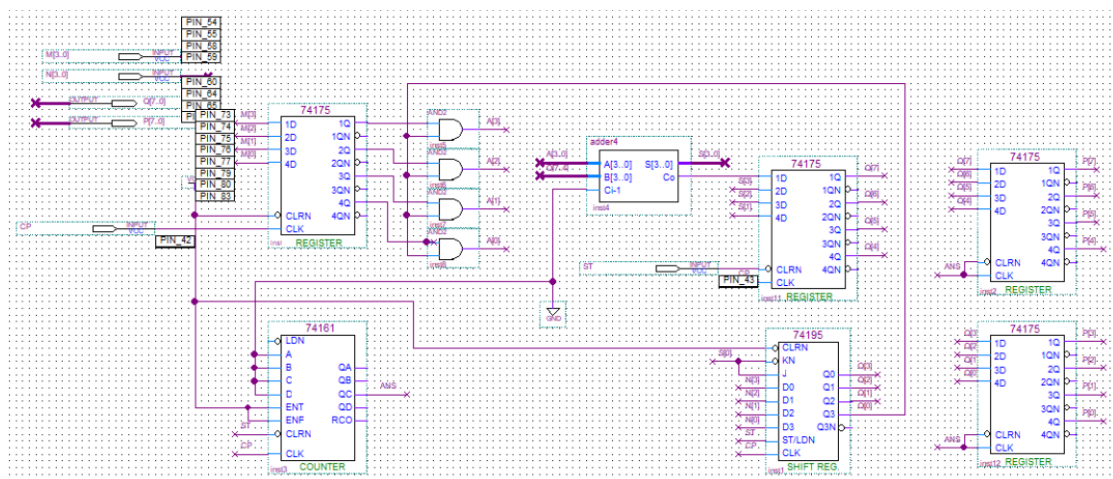


图 5

编译时产生的错误和警告信息

Info: Quartus II Simulator was successful. 0 errors, 0 warnings

引脚分配

在 Quartus 软件中对 4 位二进制串行乘法器完成引脚分配如图 6。

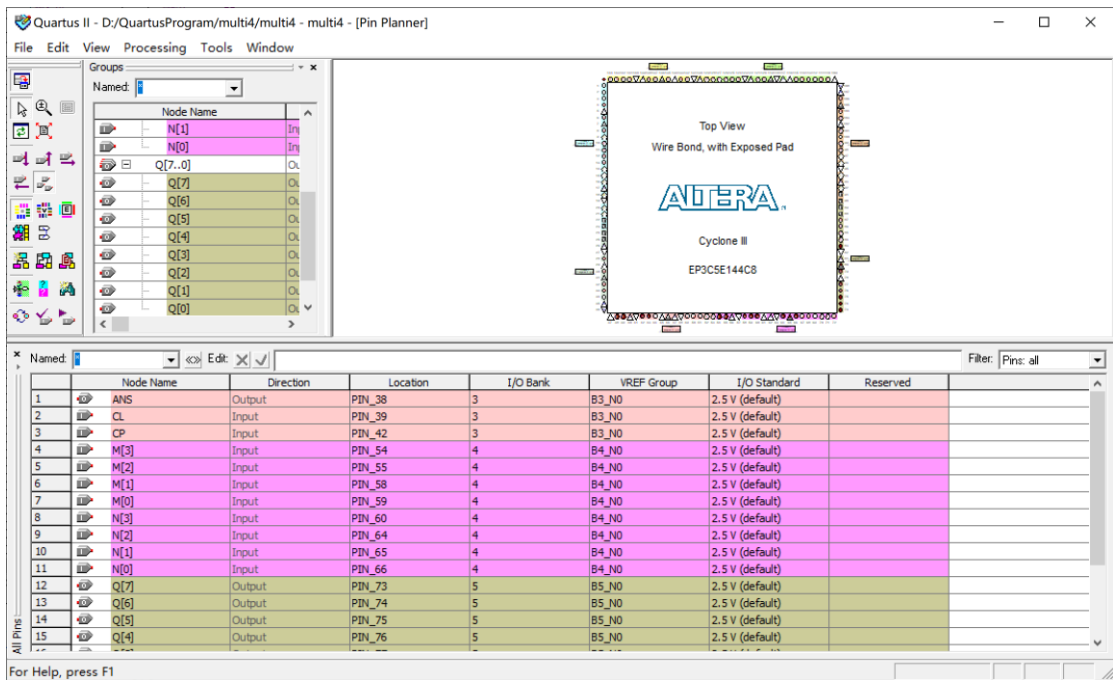


图 6

功能仿真

在 Quartus 软件中对 4 位全加器进行功能仿真如图 7。

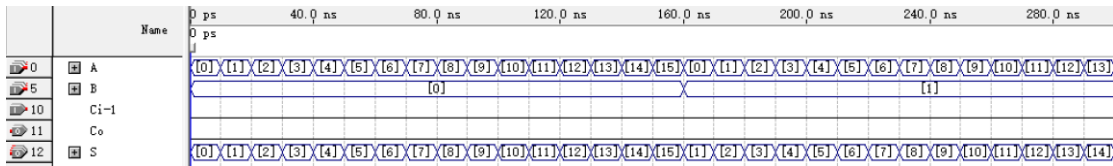


图 7

在 Quartus 软件中对 4 位二进制串行乘法器进行功能仿真如图 8。

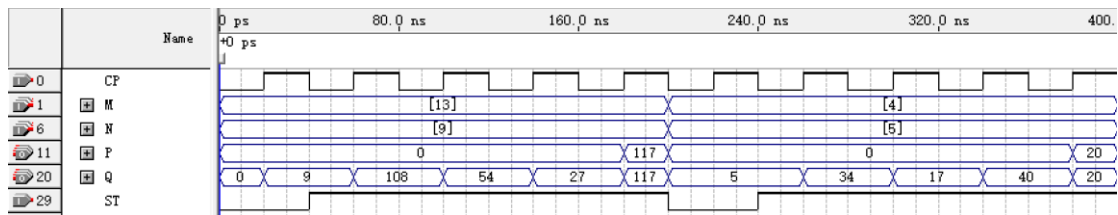


图 8

将 4 位二进制串行乘法器封装成元件如图 9。

时序仿真与分析

对 4 位二进制串行乘法器进行时序仿真。时延信息表如图 10，时延仿真结果如图 11。

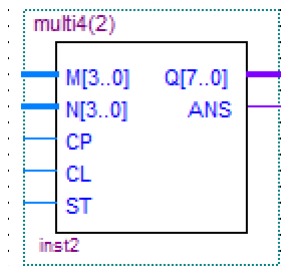


图 9

Setup Times						
	Data Port	Clock Port	Rise	Fall	Clock Edge	Clock Reference
1	M[*]	CP	2.493	2.711	Rise	CP
2	M[0]	CP	2.401	2.594	Rise	CP
3	M[1]	CP	2.428	2.635	Rise	CP
4	M[2]	CP	2.493	2.711	Rise	CP
5	M[3]	CP	2.313	2.521	Rise	CP
6	N[*]	CP	2.676	2.898	Rise	CP
7	N[0]	CP	2.244	2.503	Rise	CP
8	N[1]	CP	2.174	2.448	Rise	CP
9	N[2]	CP	2.194	2.372	Rise	CP
10	N[3]	CP	2.676	2.898	Rise	CP
11	ST	CP	3.094	3.280	Rise	CP

图 10

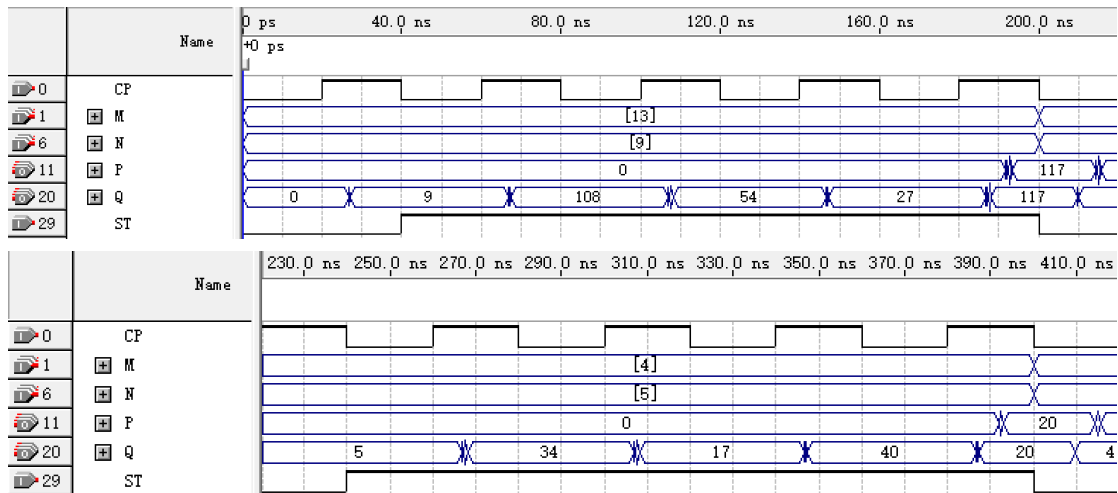
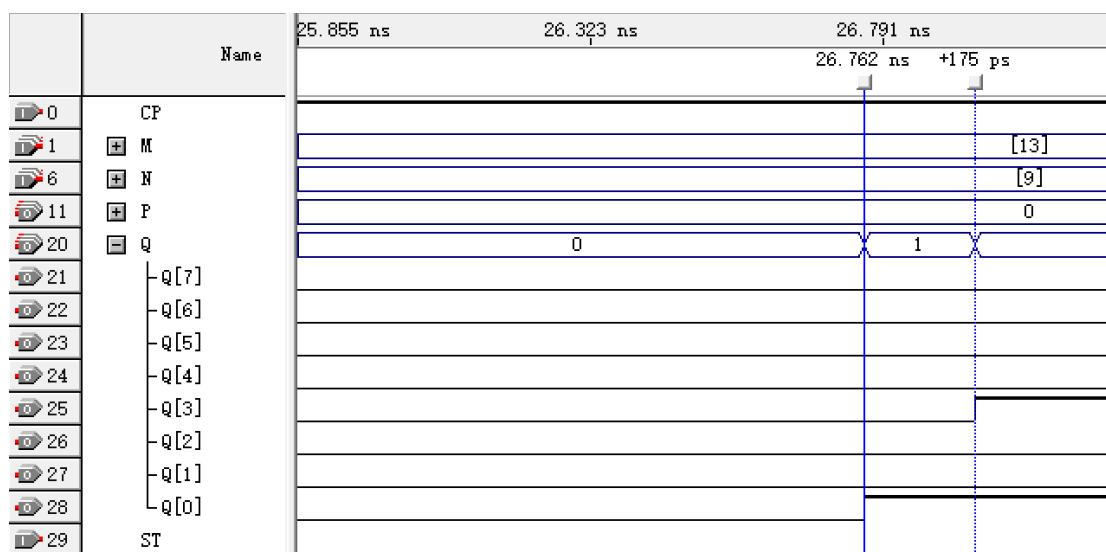
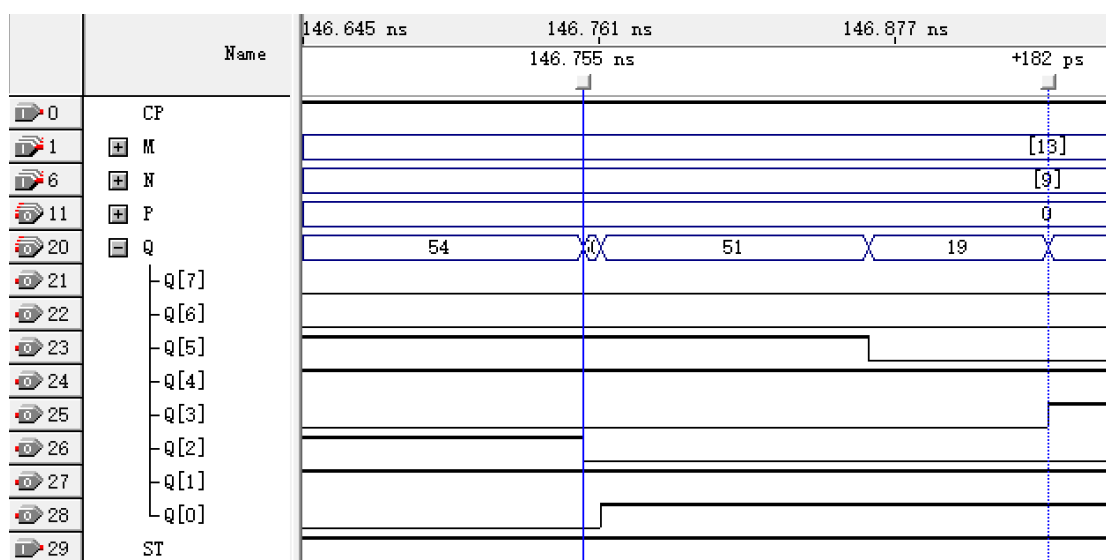


图 11

任选两处非法输出状态，试对 4 位二进制串行乘法器做时延分析：



Q7Q6Q5Q4Q3Q2Q1Q0 的状态由 00000000 转移到 00001001 的过程中，Q1 的变化速度比 Q3 快，因此在极短的时间内（175ps）出现了 00000001 的非法状态。



Q7Q6Q5Q4Q3Q2Q1Q0 的状态由 00110110 转移到 00011011 的过程中，输出变量的变化顺序为 Q2→Q0→Q5→Q3，因此在极短的时间内（182ps）依次出现了 00110010→00110011→00010011 的非法状态。

由于设计电路中包含若干个寄存器等时序电路模块，模块自身的延时会导致多变量变化的状态转移无法在同一时间完成，因此在极短的时间内出现了非法输出状态。可以通过增加选通脉冲的方法，选中正确的状态采样输出，消除竞争与险象。

三. 实验分析

由实验结果可以看出，该电路设计可以完美实现实验要求的功能。

本次实验设计难度较大，实验旨在考察学生独立完成较复杂实验电路设计的能力。要求在熟练掌握 Quartus 软件使用方法的基础上，灵活运用在数字逻辑电路理论课程中学习过的集成芯片和适当门电路完成实验设计。实验难点就在于准确清晰地了解各个芯片的功能和

使用方法，在此基础上进行正确的组合，完成实验要求的功能。

四. 实验小结

完成情况较好。本实验主要考察学生对于不同时序逻辑模块的综合应用能力。我认为实验过程中遇到的最大难点，就是如何正确完成累加器 Y 的置数以及累加器 Y 和寄存器 B 的移位。针对这个问题我考虑了两种可行方案：

1. 采用 D 触发器对时钟进行分频。在两个时钟周期中累加器 Y 的置数以及累加器 Y 和寄存器 B 的移位，之后再进行下一步的部分积判断和累加。此方法的优点是思路简单，但是缺点也比较突出：实验电路的复杂度会大大提升。

2. 在移位的同时完成置数。将累加结果的最低位直接作为右移寄存器的新数据输入，而累加结果的进位和剩余三位存储到寄存器中，等待下次时钟上升沿到来时进行下一步的计算。此方法的构建比较困难，但是在电路实现时难度不大，而且同步的时钟也使仿真结果更加优美直观。

本次实验的最终结果是经过了数个小时的优化改良才得到的。在最初的预习报告基础上，我针对时钟激励信号和最终结果输出进行了较大的优化，努力让实验设计在我自己的能力范围内达到最优。我在 Q 输出之外添加了 P 输出，实际上就是考虑到了时序仿真时出现的短时间非法状态，会影响计算结果的正确判读。

五. 参考资料

- [1] 东南大学电子电工学院.《数字逻辑设计教材》.2020
- [2] 东南大学电子电工学院.《数字逻辑电路实验 C 开课准备事项》.2020
- [3]《Quartus 简明操作指南》