

# 实验六 预习报告

## 实验内容

1. 观察并记录实验箱上的 FPGA 型号（现场可编程门阵列），新建一个 Project，器件选用实验箱上的 FPGA。
2. 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证。
3. 点击“File”-“Create/Update”-“Create Symbol File for Current File”菜单项，将 1 位半加器封装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证。
4. 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能仿真进行验证，用“Tools”-“Netlist Viewers”-“RTL Viewer”查看电路综合结果。
5. 适配编译，用“Tools”-“Netlist Viewers”-“Technology Map Viewer”查看电路 Map 结果。用“Tools”-“Chip Planner”查看器件适配结果。
6. 将 4 位全加器下载到实验箱，连接逻辑电平开关进行功能验证。
7. 对 1 位半加器，进行时序仿真，并做时延分析，可参考预备知识相关内容。
8. 对 1 位全加器，进行时序仿真，并做时延分析，要求：
  - 1) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间；
  - 2) 对输出 S 的毛刺进行测量和分析
  - 3) 对输出 C 的毛刺进行测量和分析
  - 4) 对测得的时延结果进行分析
9. 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件。

## 实验设计方案

### 输入、输出信号编码(1 位半加器)

输入信号：用 A、B 表示两个输入，A 表示被加数，B 表示加数。

输出信号：用 S、C 表示输出，S 半加器的和，C 表示半加器的进位。

### 列出真值表(1 位半加器)

根据实验要求列出真值表如右表：

### 逻辑化简(1 位半加器)

由真值表可得 S，C 的表达式：

$$S = A \oplus B$$

$$C = A \cdot B$$

| A | B | S | C |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

### 逻辑电路图

在 Quartus 软件中绘制 1 位半加器原理图如图 1：

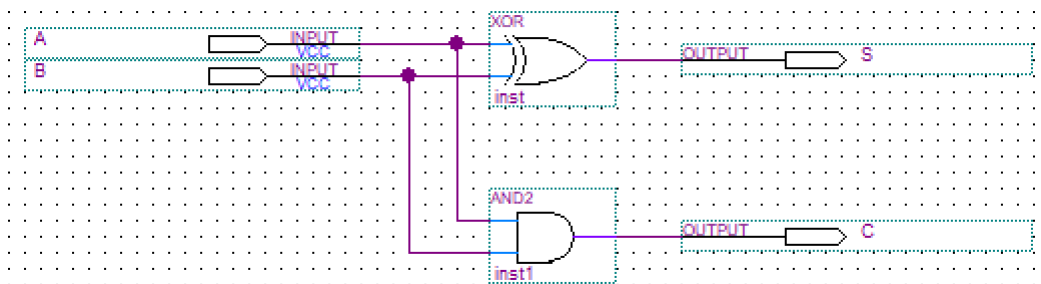


图 1

调用两个 1 位半加器，实现一个 1 位全加器。在 Quartus 软件中绘制原理图如图 2:

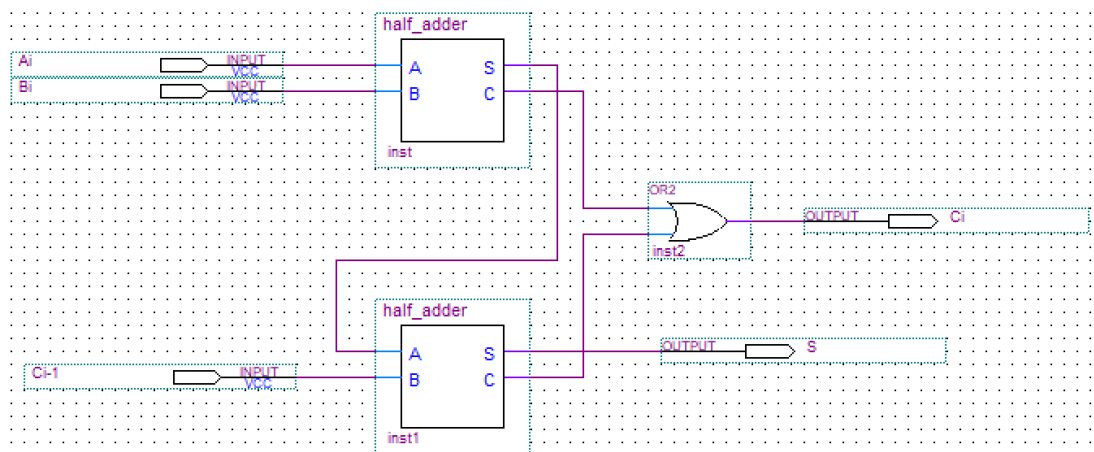


图 2

调用四个 1 位全加器，实现一个 4 位全加器。在 Quartus 软件中绘制原理图如图 3:

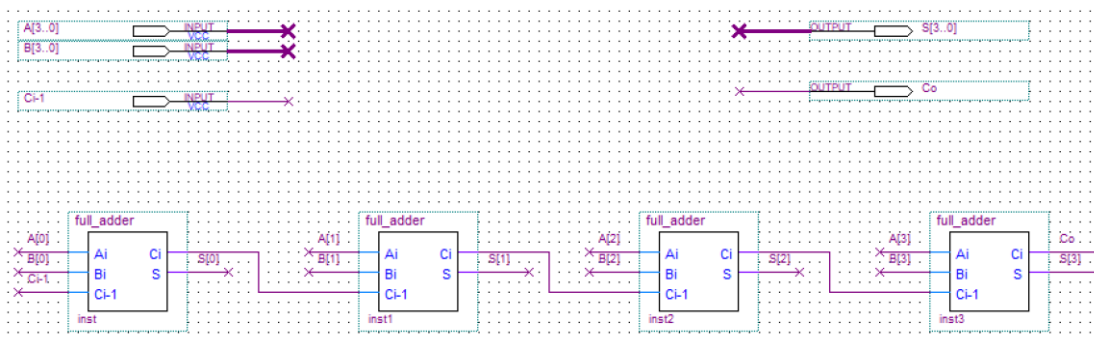


图 3

## 功能仿真

在 Quartus 软件中对 1 位半加器进行功能仿真如图 4:

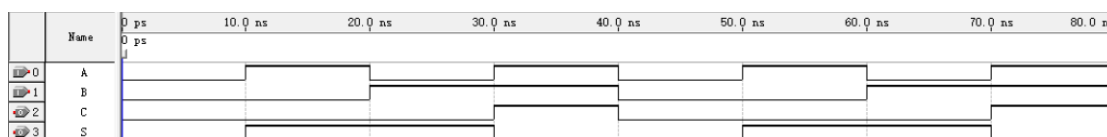


图 4

在 Quartus 软件中对 1 位全加器进行功能仿真如图 5:

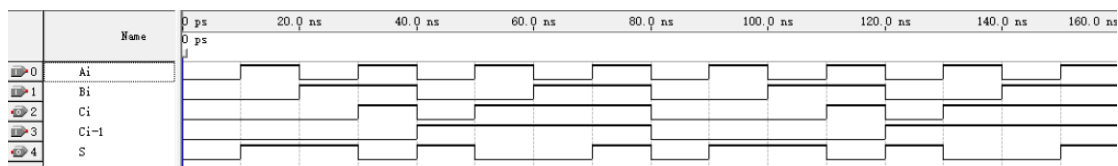


图 5

在 Quartus 软件中对 4 位全加器进行功能仿真如图 6:

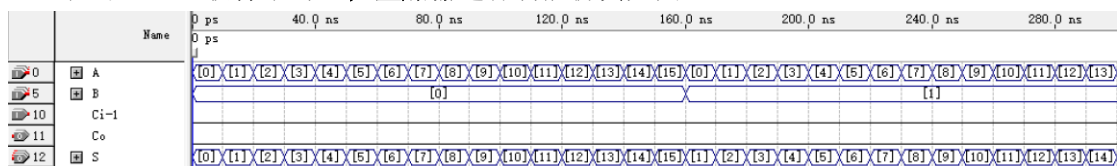


图 6

## 引脚分配

在 Quartus 软件中对 4 位全加器完成引脚分配如图 7:

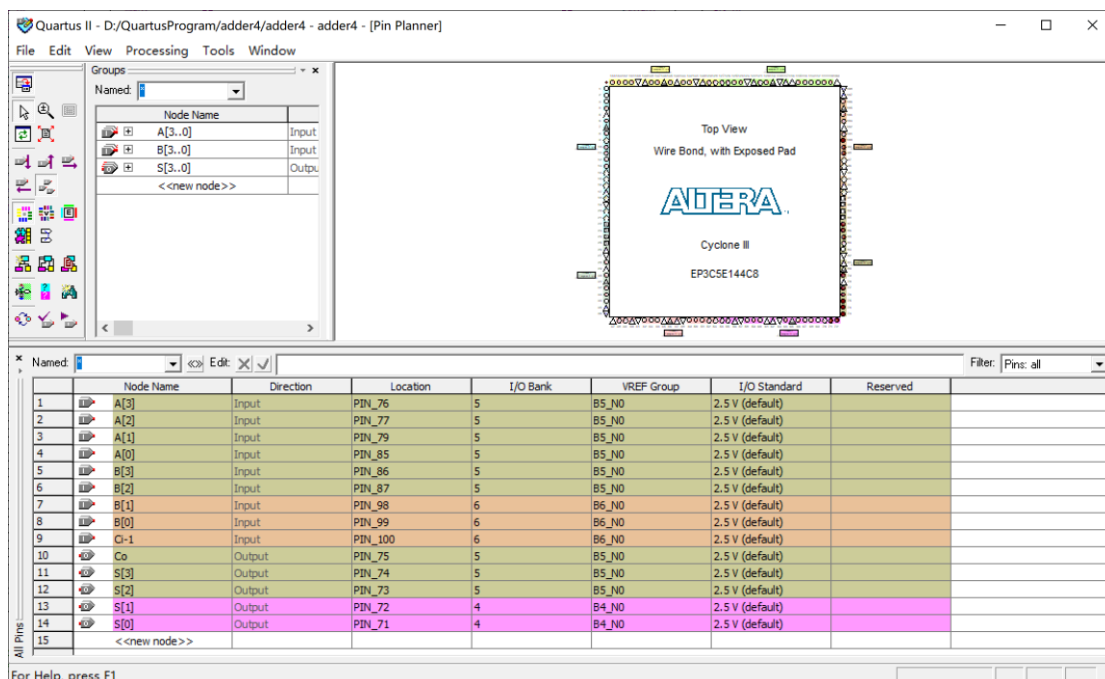
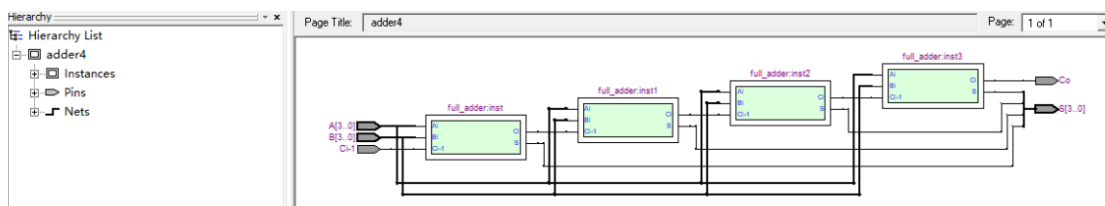


图 7

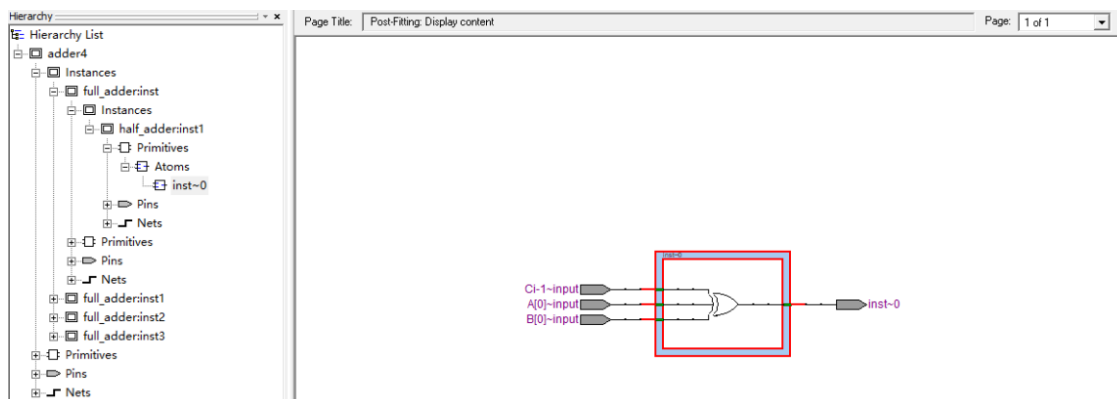
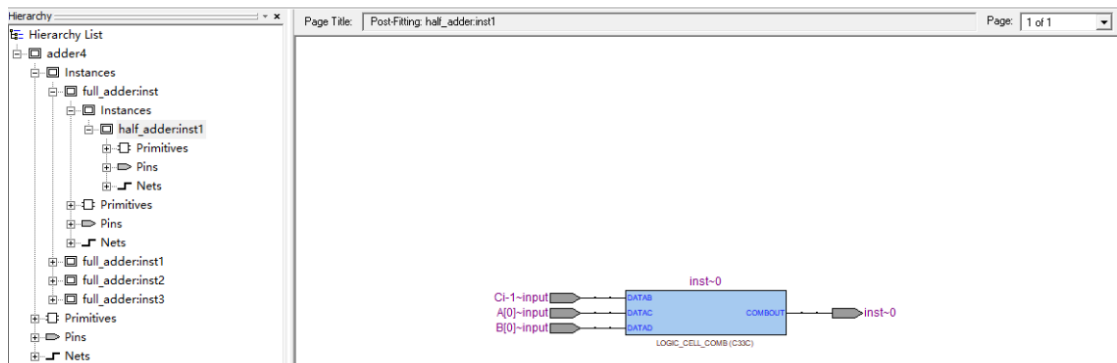
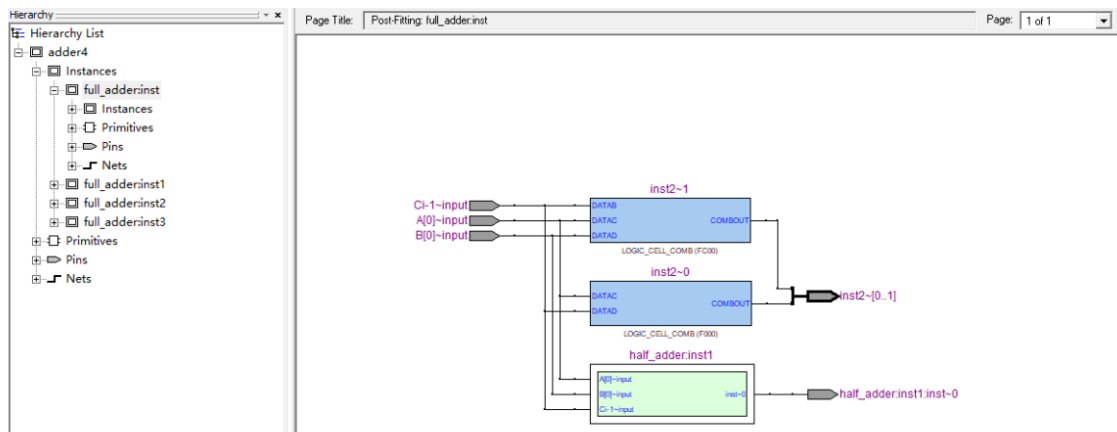
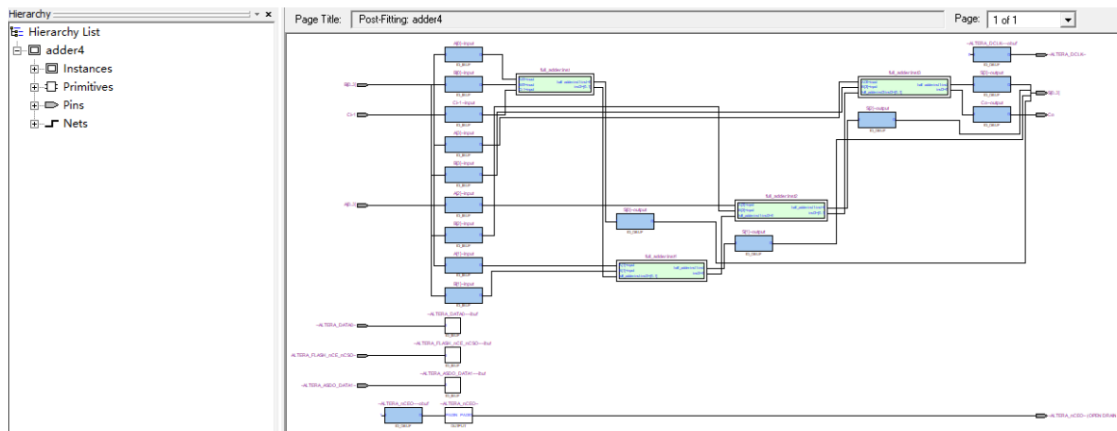
## 电路综合结果

对 4 位行波加法器，用 “Tools” - “Netlist Viewers” - “RTL Viewer” 查看电路综合结果:



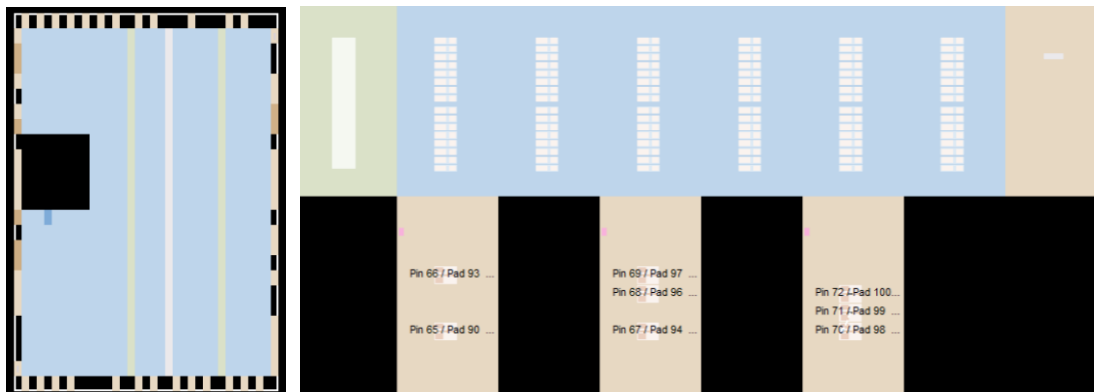
## 电路 Map 结果

对 4 位行波加法器，用 “Tools” - “Netlist Viewers” - “Technology Map Viewer” 查看电路 Map 结果：



## 器件适配结果

对 4 位行波加法器，用“Tools”-“Chip Planner”查看器件适配结果：



## 时序仿真与分析

对 1 位半加器，进行时序仿真。时延信息表如图 8，时延仿真结果如图 9。

| Propagation Delay |            |             |       |       |       |       |
|-------------------|------------|-------------|-------|-------|-------|-------|
|                   | Input Port | Output Port | RR    | RF    | FR    | FF    |
| 1                 | A          | C           | 5.041 |       |       | 5.063 |
| 2                 | A          | S           | 5.102 | 4.987 | 5.183 | 5.145 |
| 3                 | B          | C           | 4.759 |       |       | 4.747 |
| 4                 | B          | S           | 4.754 | 4.656 | 4.857 | 4.752 |

图 8

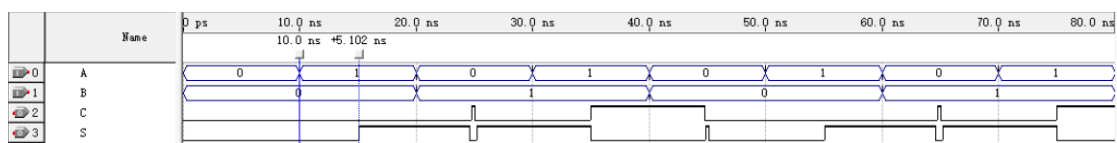
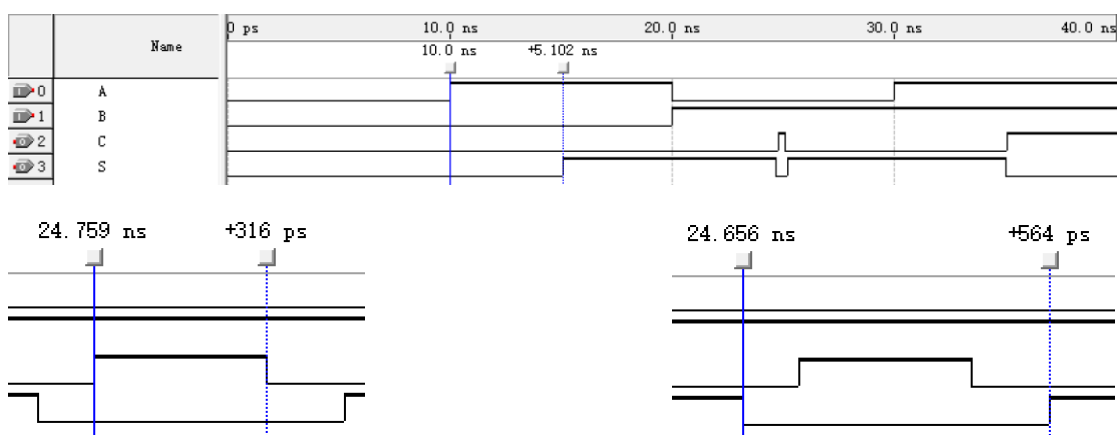


图 9

对 1 位半加器做时延分析：



从图中可以看到，输入信号 A 从“0”→“1”，输出信号 S 并不立刻变化，有一定的延迟。可以测出，输入 A 从“0”→“1”后 5.102ns 输出 S 从“0”→“1”，这和前面查看时延信息表得到的结果一致。

从图中可以看到，当输入 BA 从“01”→“10”时，输出信号 S 出现了一个很短的低电平，输出 C 则出现了一个很短的高电平，这表明出现了竞争和冒险现象。BA 从“01”→“10”

是两个信号同时变化，而从时延信息表可知 AS 的 FR=5.183ns，BS 的 RF=4.656ns，也就是说，由于 B 信号变化的快，B 因此“0”→“1”，A 还未从“1”→“0”，短时间输入端出现了“11”状态，根据逻辑函数，此时 S 输出 0，C 输出 1。等到 A 从“1”→“0”后，输入稳定为“10”，根据逻辑函数，S 输出 1，C 输出 0。

对 1 位全加器，进行时序仿真。时延信息表如图 10，时延仿真结果如图 11。

| Propagation Delay |            |             |       |       |       |       |
|-------------------|------------|-------------|-------|-------|-------|-------|
|                   | Input Port | Output Port | RR    | RF    | FR    | FF    |
| 1                 | Ai         | Ci          | 5.543 |       |       | 5.554 |
| 2                 | Ai         | S           | 5.603 | 5.501 | 5.725 | 5.624 |
| 3                 | Bi         | Ci          | 5.385 |       |       | 5.420 |
| 4                 | Bi         | S           | 5.428 | 5.294 | 5.558 | 5.467 |
| 5                 | Ci-1       | Ci          | 8.872 |       |       | 8.966 |
| 6                 | Ci-1       | S           | 8.915 | 8.781 | 9.155 | 9.014 |

图 10

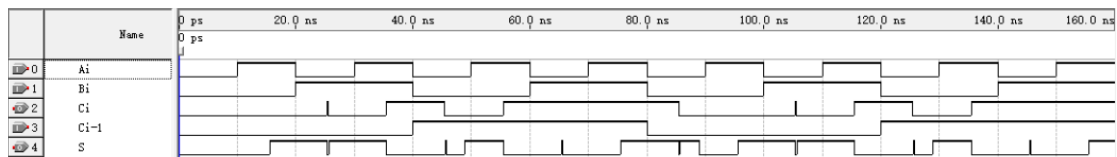


图 11

对 1 位全加器做时延分析：

1) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间，结果如表 1：

| Ai/(ns) | S/(ns) | $\Delta t$ /(ns) |
|---------|--------|------------------|
| 10.0    | 15.603 | 5.603            |
| 30.0    | 35.501 | 5.501            |
| 50.0    | 55.501 | 5.501            |
| 70.0    | 75.603 | 5.603            |

表 1

| S 毛刺 | 起始时间 / (ns) | 结束时间 / (ns) | 输入变化 / AiBiCi-1 |
|------|-------------|-------------|-----------------|
| 1    | 25.305      | 25.735      | 100→010         |
| 2    | 45.59       | 45.633      | 110→001         |
| 3    | 65.428      | 65.633      | 101→011         |
| 4    | 85.467      | 85.735      | 111→000         |

表 2

2) 对输出 S 的毛刺进行测量，结果如表 2：

分析第一个 S 毛刺和第三个 S 毛刺的成因：

第一个 S 毛刺：

当输入 AiBiCi-1 从“100”→“010”时，输出信号 S 出现了一个很短的低电平，这表明出现了竞争和冒险现象。AiBiCi-1 从“100”→“010”是两个信号同时变化，而从时延信息表可知 AiS 的 FR=5.725ns，BiS 的 RF=5.294ns。由于 B 信号变化的快，B 因此“0”→“1”，A 还未从“1”→“0”，短时间输入端出现了“110”状态，根据逻辑函数，此时 S 输出 0。等到 A 从“1”→“0”后，输入稳定为“010”，根据逻辑函数，S 输出 1。

第三个 S 毛刺：

当输入 AiBiCi-1 从“101”→“011”时，输出信号 S 出现了一个很短的高电平，这表明出现了竞争和冒险现象。AiBiCi-1 从“101”→“011”是两个信号同时变化，而从时延信息表可知 AiS 的 FR=5.725ns，BiS 的 RF=5.294ns。由于 B 信号变化的快，B 因此“0”→“1”，A 还未从“1”→“0”，短时间输入端出现了“111”状态，根据逻辑函数，此时 S 输出 1。等到 A 从“1”→“0”后，输入稳定为“011”，根据逻辑函数，S 输出 0。

3) 对输出 C 的毛刺进行测量和分析，结果如表 3:

| C 毛刺 | 起始时间<br>/(ns) | 结束时间<br>/(ns) | 输入变化<br>/AiBiCi-1 |
|------|---------------|---------------|-------------------|
| 1    | 25.385        | 25.554        | 100→010           |

表 3

分析 C 毛刺的成因:

当输入 AiBiCi-1 从 “100” → “010” 时，输出信号 C 出现了一个很短的高电平，这表明出现了竞争和冒险现象。出现了竞争和冒险现象。AiBiCi-1 从 “100” → “010” 是两个信号同时变化，而从时延信息表可知 AiS 的 FR=5.725ns，BiS 的 RF=5.294ns。由于 B 信号变化的快，B 因此 “0” → “1”，A 还未从 “1” → “0”，短时间输入端出现了 “110” 状态，根据逻辑函数，此时 C 输出 1。等到 A 从 “1” → “0” 后，输入稳定为 “010”，根据逻辑函数，C 输出 0。

封装元件

将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件如图 12。

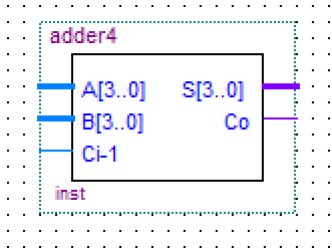


图 12