

实验六 实验报告

一. 实验目的和要求

目的：了解可编程数字系统设计的流程，掌握 Quartus 软件的使用方法，掌握竞争和冒险的基本概念和电路时延分析方法。

要求：阅读参考资料并观看教学视频，学习使用 Quartus 软件进行实验设计，并完成基本的电路时延分析。

二. 实验原理

实验内容

1. 观察并记录实验箱上的 FPGA 型号（现场可编程门阵列），新建一个 Project，器件选用实验箱上的 FPGA。
2. 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证。
3. 点击“File”-“Create/Update”-“Create Symbol File for Current File”菜单项，将 1 位半加器封装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证。
4. 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能仿真进行验证，用“Tools”-“Netlist Viewers”-“RTL Viewer”查看电路综合结果。
5. 适配编译，用“Tools”-“Netlist Viewers”-“Technology Map Viewer”查看电路 Map 结果。用“Tools”-“Chip Planner”查看器件适配结果。
6. 将 4 位全加器下载到实验箱，连接逻辑电平开关进行功能验证。
7. 对 1 位半加器，进行时序仿真，并做时延分析，可参考预备知识相关内容。
8. 对 1 位全加器，进行时序仿真，并做时延分析，要求：
 - 1) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间；
 - 2) 对输出 S 的毛刺进行测量和分析
 - 3) 对输出 C 的毛刺进行测量和分析
 - 4) 对测得的时延结果进行分析
9. 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件。

实验设计方案

输入、输出信号编码(1 位半加器)

输入信号：用 A、B 表示两个输入，A 表示被加数，B 表示加数。

输出信号：用 S、C 表示输出，S 半加器的和，C 表示半加器的进位。

列出真值表(1 位半加器)

根据实验要求列出真值表如右表：

逻辑化简(1 位半加器)

由真值表可得 S, C 的表达式:

$$S = A \oplus B$$

$$C = A \cdot B$$

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

逻辑电路图

在 Quartus 软件中绘制 1 位半加器原理图如图 1:

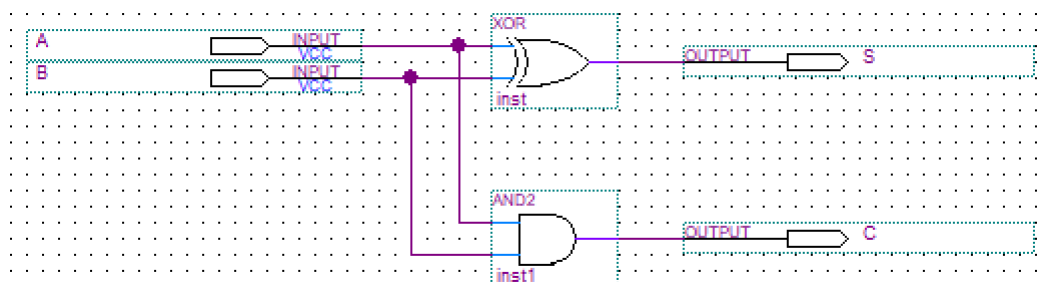


图 1

调用两个 1 位半加器, 实现一个 1 位全加器。在 Quartus 软件中绘制原理图如图 2:

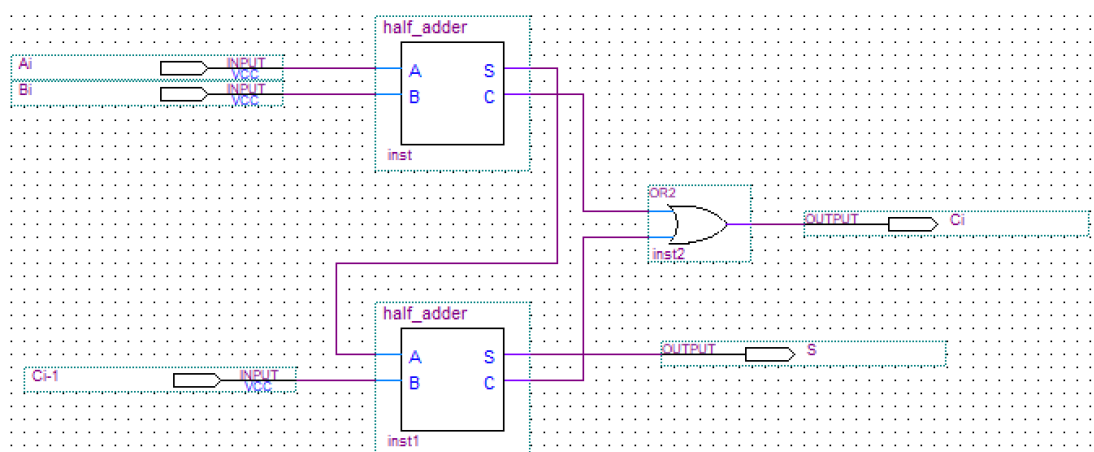


图 2

调用四个 1 位全加器, 实现一个 4 位全加器。在 Quartus 软件中绘制原理图如图 3:

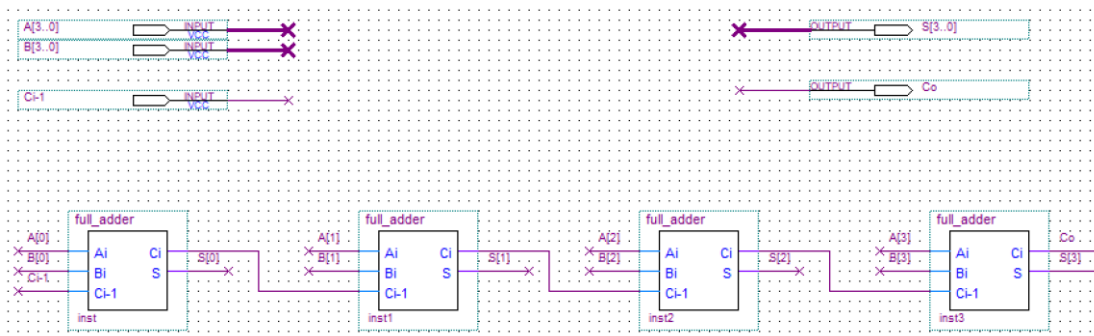


图 3

功能仿真

在 Quartus 软件中对 1 位半加器进行功能仿真如图 4:

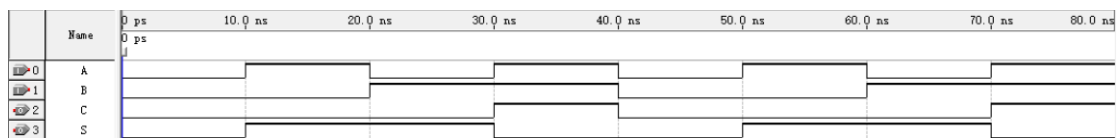


图 4

在 Quartus 软件中对 1 位全加器进行功能仿真如图 5:

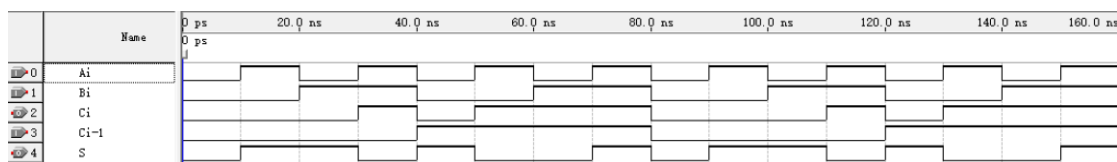


图 5

在 Quartus 软件中对 4 位全加器进行功能仿真如图 6:

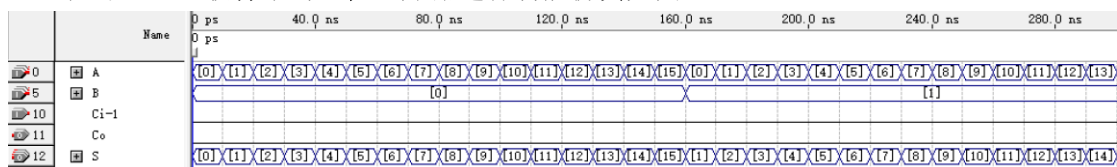


图 6

引脚分配

在 Quartus 软件中对 4 位全加器完成引脚分配如图 7:

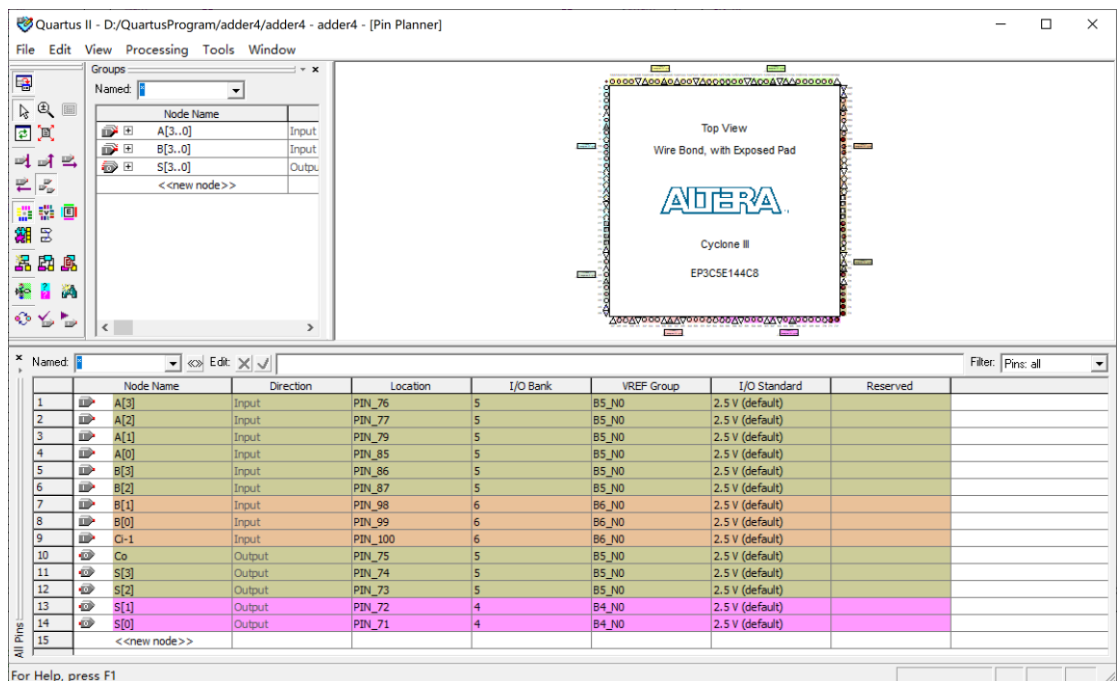
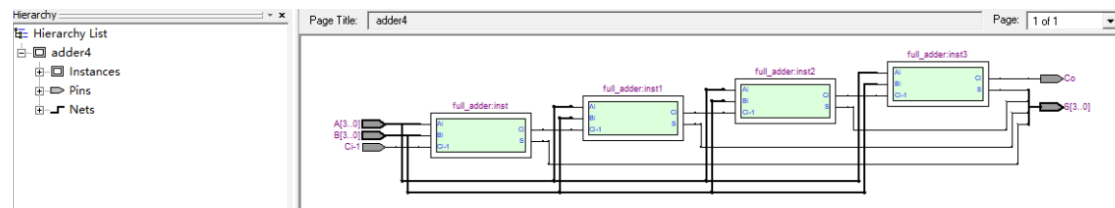


图 7

电路综合结果

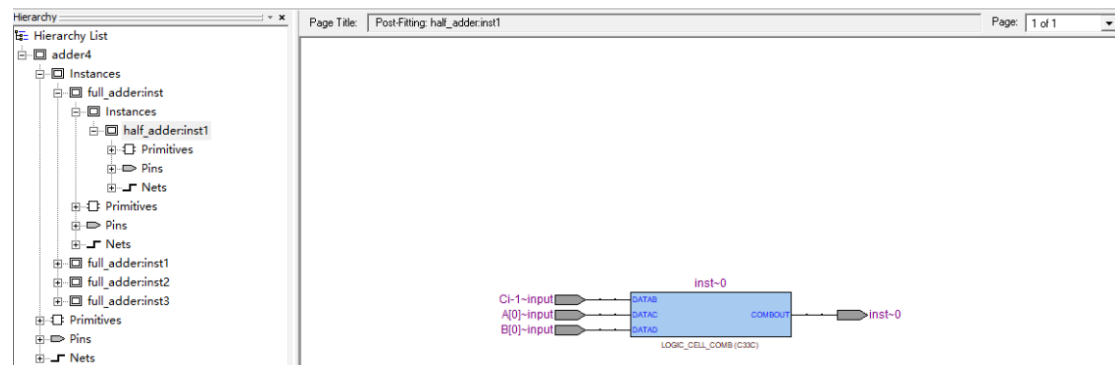
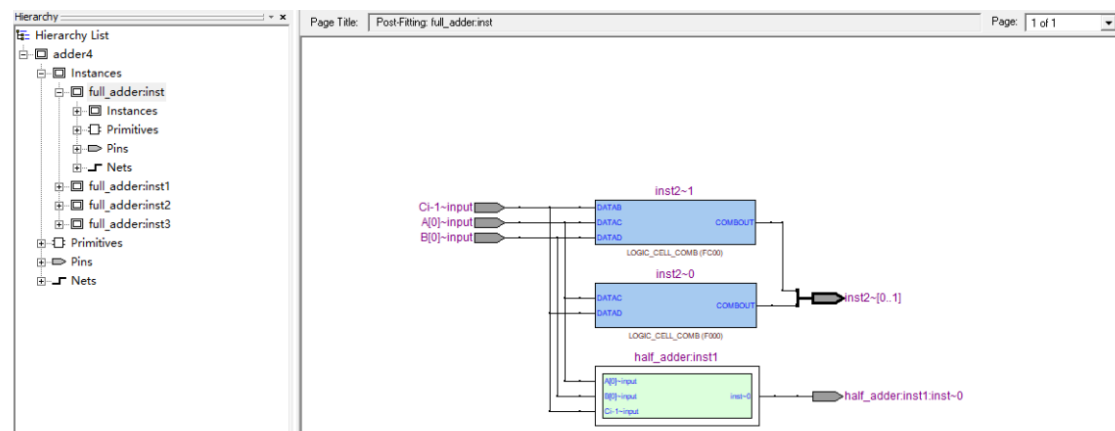
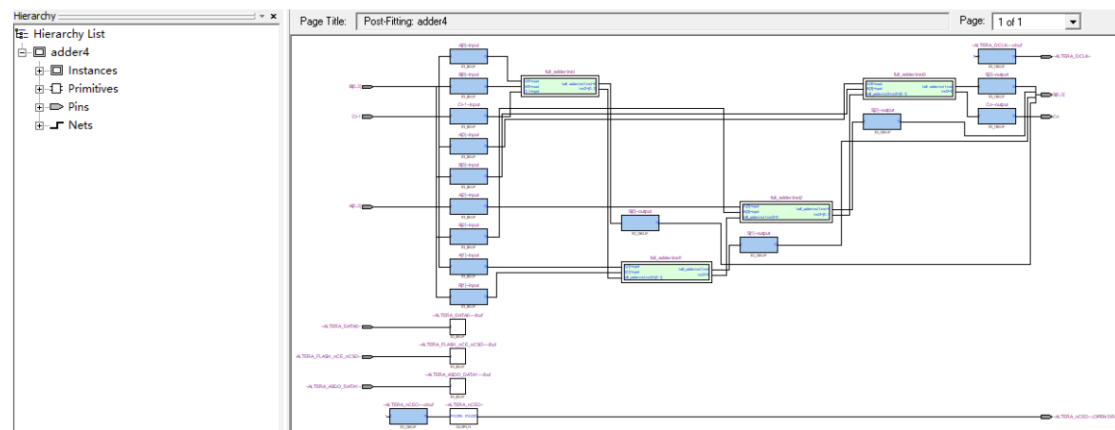
对 4 位行波加法器, 用 “Tools” - “Netlist Viewers” - “RTL Viewer” 查看电路综

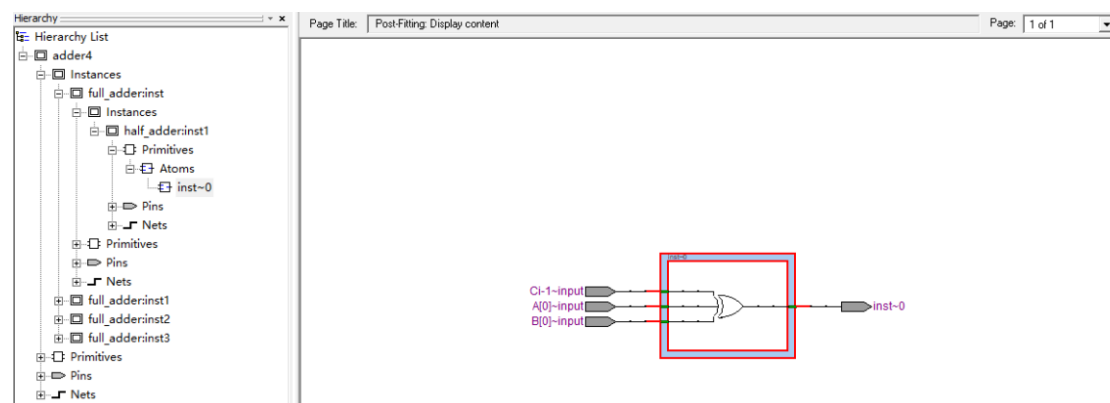
合结果:



电路 Map 结果

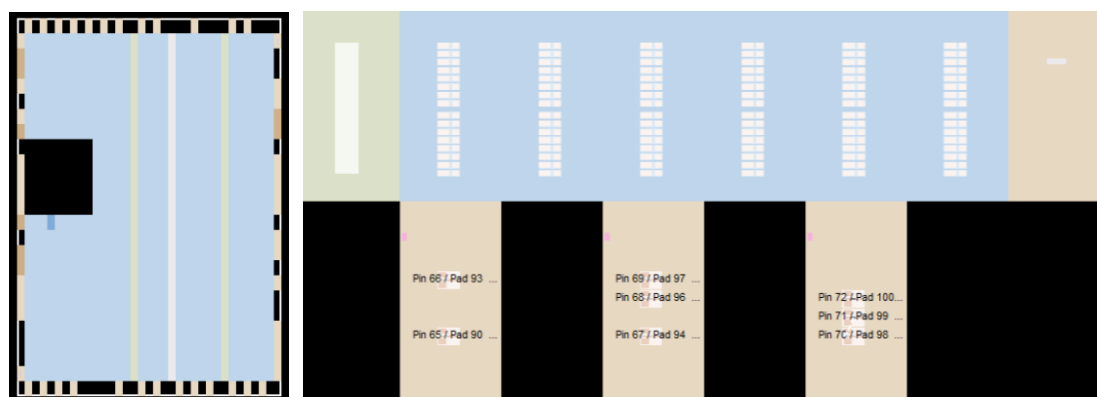
对 4 位行波加法器，用 “Tools” - “Netlist Viewers” - “Technology Map Viewer” 查看电路 Map 结果:





器件适配结果

对 4 位行波加法器，用“Tools”-“Chip Planner”查看器件适配结果：



时序仿真与分析

对 1 位半加器，进行时序仿真。时延信息表如图 8，时序仿真结果如图 9。

Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	A	C	5.041			5.063
2	A	S	5.102	4.987	5.183	5.145
3	B	C	4.759			4.747
4	B	S	4.754	4.656	4.857	4.752

图 8

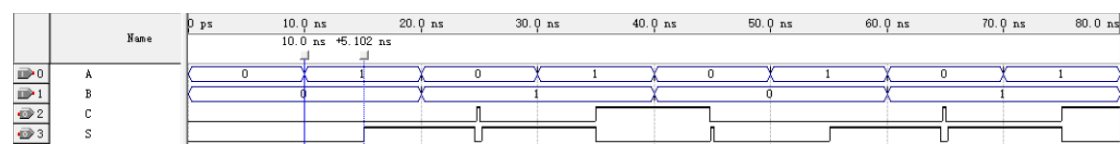
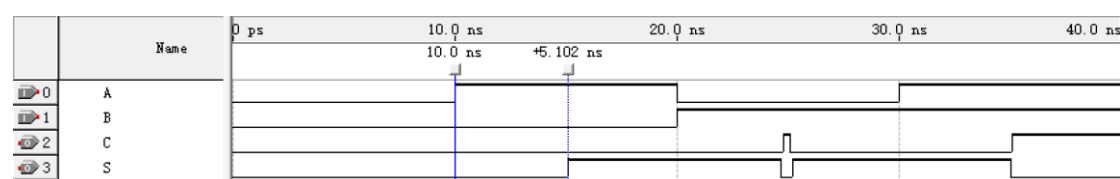
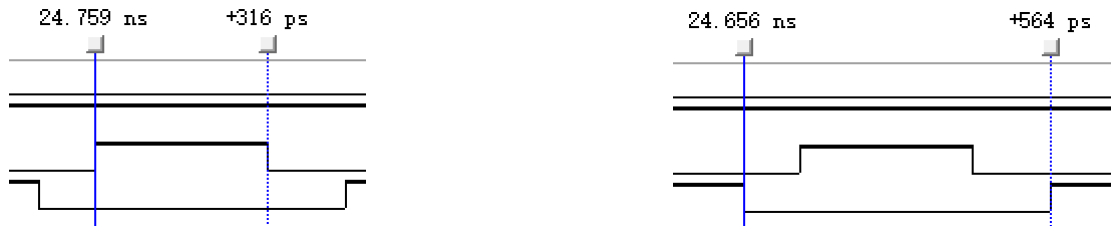


图 9

对 1 位半加器做时延分析：





从图中可以看到，输入信号 A 从“0”→“1”，输出信号 S 并不立刻变化，有一定的延迟。可以测出，输入 A 从“0”→“1”后 5.102ns 输出 S 从“0”→“1”，这和前面查看时延信息表得到的结果一致。

从图中可以看到，当输入 BA 从“01”→“10”时，输出信号 S 出现了一个很短的低电平，输出 C 则出现了一个很短的高电平，这表明出现了竞争和冒险现象。BA 从“01”→“10”是两个信号同时变化，而从时延信息表可知 AS 的 FR=5.183ns，BS 的 RF=4.656ns，也就是说，由于 B 信号变化的快，B 因此“0”→“1”，A 还未从“1”→“0”，短时间输入端出现了“11”状态，根据逻辑函数，此时 S 输出 0，C 输出 1。等到 A 从“1”→“0”后，输入稳定为“10”，根据逻辑函数，S 输出 1，C 输出 0。

对 1 位全加器，进行时序仿真。时延信息表如图 10，时延仿真结果如图 11。

Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	Ai	Ci	5.543			5.554
2	Ai	S	5.603	5.501	5.725	5.624
3	Bi	Ci	5.385			5.420
4	Bi	S	5.428	5.294	5.558	5.467
5	Ci-1	Ci	8.872			8.966
6	Ci-1	S	8.915	8.781	9.155	9.014

图 10

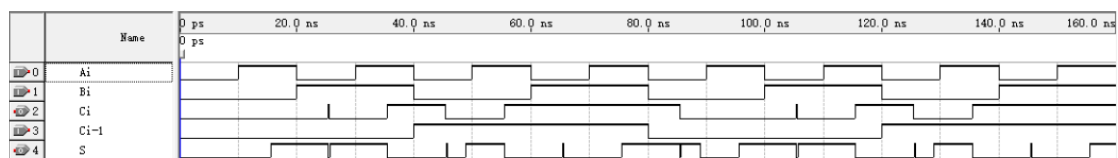


图 11

对 1 位全加器做时延分析：

1) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间，结果如表 1：

Ai/(ns)	S/(ns)	Δt /(ns)
10.0	15.603	5.603
30.0	35.501	5.501
50.0	55.501	5.501
70.0	75.603	5.603

表 1

S 毛刺	起始时间 / (ns)	结束时间 / (ns)	输入变化 / AiBiCi-1
1	25.305	25.735	100→010
2	45.59	45.633	110→001
3	65.428	65.633	101→011
4	85.467	85.735	111→000

表 2

2) 对输出 S 的毛刺进行测量，结果如表 2：

分析第一个 S 毛刺和第三个 S 毛刺的成因：

第一个 S 毛刺：当输入 AiBiCi-1 从“100”→“010”时，输出信号 S 出现了一个很短的低电平，这表明出现了竞争和冒险现象。AiBiCi-1 从“100”→“010”是两个信号同时变

化, 而从时延信息表可知 AiS 的 FR=5.725ns, BiS 的 RF=5.294ns。由于 B 信号变化的快, B 因此 “0” → “1”, A 还未从 “1” → “0”, 短时间输入端出现了 “110” 状态, 根据逻辑函数, 此时 S 输出 0。等到 A 从 “1” → “0” 后, 输入稳定为 “010”, 根据逻辑函数, S 输出 1。

第三个 S 毛刺: 当输入 AiBiCi-1 从 “101” → “011” 时, 输出信号 S 出现了一个很短的高电平, 这表明出现了竞争和冒险现象。AiBiCi-1 从 “101” → “011” 是两个信号同时变化, 而从时延信息表可知 AiS 的 FR=5.725ns, BiS 的 RF=5.294ns。由于 B 信号变化的快, B 因此 “0” → “1”, A 还未从 “1” → “0”, 短时间输入端出现了 “111” 状态, 根据逻辑函数, 此时 S 输出 1。等到 A 从 “1” → “0” 后, 输入稳定为 “011”, 根据逻辑函数, S 输出 0。

3) 对输出 C 的毛刺进行测量和分析, 结果如表 3:

C 毛刺	起始时间 /(ns)	结束时间 /(ns)	输入变化 /AiBiCi-1
1	25.385	25.554	100→010

表 3

分析 C 毛刺的成因: 当输入 AiBiCi-1 从 “100” → “010” 时, 输出信号 C 出现了一个很短的高电平, 这表明出现了竞争和冒险现象。AiBiCi-1 从 “100” → “010” 是两个信号同时变化, 而从时延信息表可知 AiS 的 FR=5.725ns, BiS 的 RF=5.294ns。由于 B 信号变化的快, B 因此 “0” → “1”, A 还未从 “1” → “0”, 短时间输入端出现了 “110” 状态, 根据逻辑函数, 此时 C 输出 1。等到 A 从 “1” → “0” 后, 输入稳定为 “010”, 根据逻辑函数, C 输出 0。

封装元件

将 4 位全加器的输入输出信号用总线的方式引出, 并封装成元件如图 12。

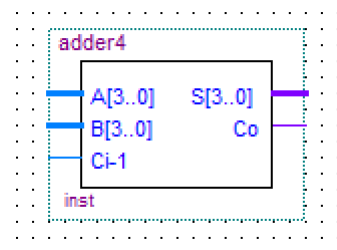


图 12

三. 实验分析

由实验结果可以看出, 该电路设计可以完美实现实验要求的功能。

本次实验设计难度较小, 实验目标主要在于引导学生掌握 Quartus 软件的使用方法。要求在熟练掌握 Quartus 软件使用方法的基础上, 灵活运用门电路实验设计方法完成实验设计。在完成实验设计后, 利用 Quartus 软件进行功能仿真和时序仿真, 并进行初步的时延分析, 加深对数字逻辑电路设计模拟及仿真的理解。

四. 实验小结

完成情况较好。本次实验主要目熟悉新软件的使用方法。在使用软件的过程中, 难免会

出现一些初学者普遍会遇到的问题：

1. 时序仿真缺少毛刺：仿真频率过低或者硬件引脚分配失误
2. 每次封装元件时，务必保证当前原理图的设计完全正确，不然会对之后的设计产生影响
3. 项目管理要合理简洁，以便在今后的实验设计中调用此次实验设计结果

五. 实验思考题

实验内容(选做)

1. 调用 2 个 4 位全加器模块，实现 1 个 8 位全加器，做时序仿真，测量 $C_{in}=“1”$ ， $B=(80)H$ ， A 从 $(00)H \rightarrow (7F)H$ 所对应输出 C_{out} 的时延。
2. 查找资料，修改 8 位全加器的结构，选择更合理的方案，降低延迟，提高工作频率。

实验原理

实验设计方案

逻辑电路图

在 Quartus 软件中绘制 8 位全加器原理图如图 13：

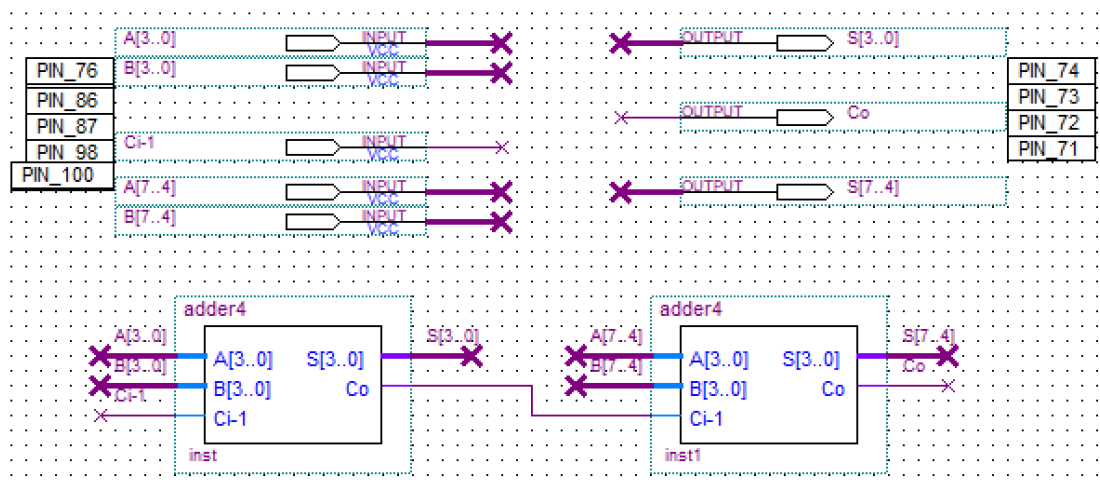


图 13

时序仿真与分析

对 8 位半加器，进行时序仿真。时延仿真结果如图 14：

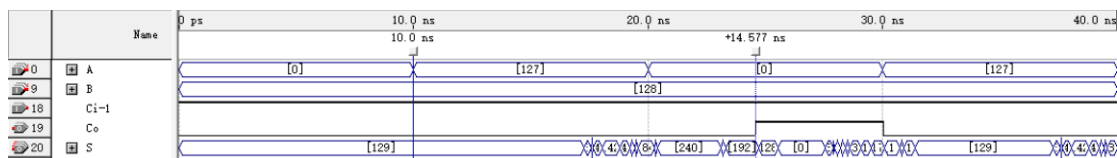


图 14

改进方案

我们考虑构成 1 位全加器的进位输出与和输出：

$$C_i = (A_i \cdot B_i) + (A_i \oplus B_i) \cdot C_{i-1}$$

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

现在为二级制数的每一位构建两个新信号：^[4]

(1) 生成 (Generate) 信号：

$$G_i = A_i \cdot B_i$$

(2) 传输 (Propagate) 信号：

$$P_i = A_i \oplus B_i$$

于是，某位全加器从低一位获得的进位可以表示为：

$$C_i = G_i + P_i \cdot C_{i-1}$$

超前进位加法器采取的方式是，将 C_{i-1} 的逻辑函数代入到 C_i 于是，这一位的进位输出就只取决于计算电路外部的已知信号，而非低一位的计算结果。

$$C_0 = G_0 + P_0 \cdot C_{i-1}$$

$$S_0 = A_0 \oplus B_0 \oplus C_{i-1}$$

$$C_1 = G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1})$$

$$S_1 = A_1 \oplus B_1 \oplus (G_0 + P_0 \cdot C_{i-1})$$

$$C_2 = G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1}))$$

$$S_2 = A_2 \oplus B_2 \oplus (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1}))$$

$$C_3 = G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1})))$$

$$S_3 = A_3 \oplus B_3 \oplus (G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1})))$$

$$C_4 = G_4 + P_4 \cdot (G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1}))))$$

$$S_4 = A_4 \oplus B_4 \oplus (G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot C_{i-1}))))$$

C_i, S_i ($5 \leq i \leq 7$) 的表达式以此类推。由于超前进位加法器的原理图较为复杂，调用两片超前进位 4 位二进制全加器 74283 完成电路设计如图 15：

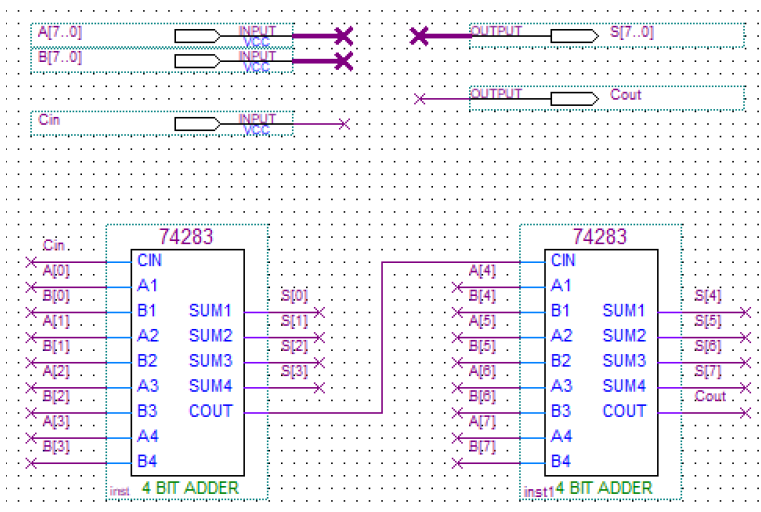


图 15

对超前进位 4 位二进制全加器级联得到的超前进位 8 位二进制全加器，进行时序仿真。时延仿真结果如图 16:

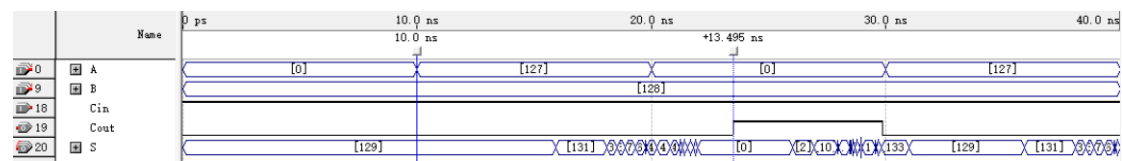


图 16

六. 参考资料

- [1] 东南大学电子工程学院.《数字逻辑设计教材》.2020
- [2] 东南大学电子工程学院.《数字逻辑电路实验 C 开课准备事项》.2020
- [3] 《Quartus 简明操作指南》