

DICD 2025_1

3_4 주차 실습 보고서

학번: 12191529

이름: 장준영

1. 이론 : Inverter

1.1. 인버터(Inverter)란?

인버터는 디지털 회로에서 가장 기본적인 논리소자 중 하나로, 입력 신호의 논리 상태를 반전시키는 역할을 한다. 즉, 입력이 '1'(High)일 때 출력은 '0'(Low), 입력이 '0'(Low)일 때 출력은 '1'(High)이 된다. 이러한 동작 특성은 CMOS(Complementary Metal-Oxide-Semiconductor) 구조를 기반으로 구현된다.

1.2. CMOS 인버터의 구조

CMOS 인버터는 하나의 PMOS 와 하나의 NMOS 트랜지스터로 구성되며, 다음과 같은 구조를 가진다:

■ PMOS : 전원(VDD)와 출력 사이에 위치. 입력이 '0'일 때 켜져서 출력이 '1'이 된다.

■ NMOS : 접지(GND)와 출력 사이에 위치. 입력이 '1'일 때 켜져서 출력이 '0'이 된다.

1.3. 동작 원리

입력 전압에 따라 NMOS 와 PMOS 의 동작 상태가 달라지며, 출력 전압이 결정된다:

■ $V_{in} = 0V$: PMOS 는 On, NMOS 는 Off $\rightarrow V_{out} = V_{DD}$

■ $V_{in} = V_{DD}$: PMOS 는 Off, NMOS 는 On $\rightarrow V_{out} = GND$

■ $V_{in} = V_{DD}/2$ 부근(중간 전압 부근) : 두 소자가 모두 부분적으로 On 되어, 짧은 시간 동안 전류가 흐른다. 이 때 전력 소모(Power Dissipation)가 발생할 수 있다. 이 특성은 전이 특성(Voltage Transfer Characteristic, VTC) 곡선으로 분석할 수 있다.

1.4. 전이 특성 및 임계 전압

인버터의 전이 특성은 입력 전압(V_{in})에 따른 출력 전압(V_{out})을 나타낸 곡선이며, 전이 영역(Transition region)에서 출력 전압이 급격히 바뀐다. 이때의 입력 전압을 전이점(V_M) 또는 임계 전압(V_{th})이라 부르며, 일반적으로 $V_{DD}/2$ 근처에 위치한다. 이 특성은 노이즈 마진(Noise Margin) 분석에서도 중요한 기준이 된다.

1.5. 인버터의 특성

- **Prop Delay (전파 지연):** 입력이 바뀐 뒤 출력이 바뀔 때까지 걸리는 시간.
- **Noise Margin (노이즈 여유도):** 잘못된 신호를 출력으로 전달하지 않고 견딜 수 있는 범위.
- **Power Consumption (전력 소모):** 정적 소비 전력이 거의 없지만, 동작 중에는 순간적인 전류 흐름이 존재.
- **Layout Area (면적):** CMOS 는 소형화에 적합하여 집적 회로 설계에 유리하다.

1.6. 설계 고려사항

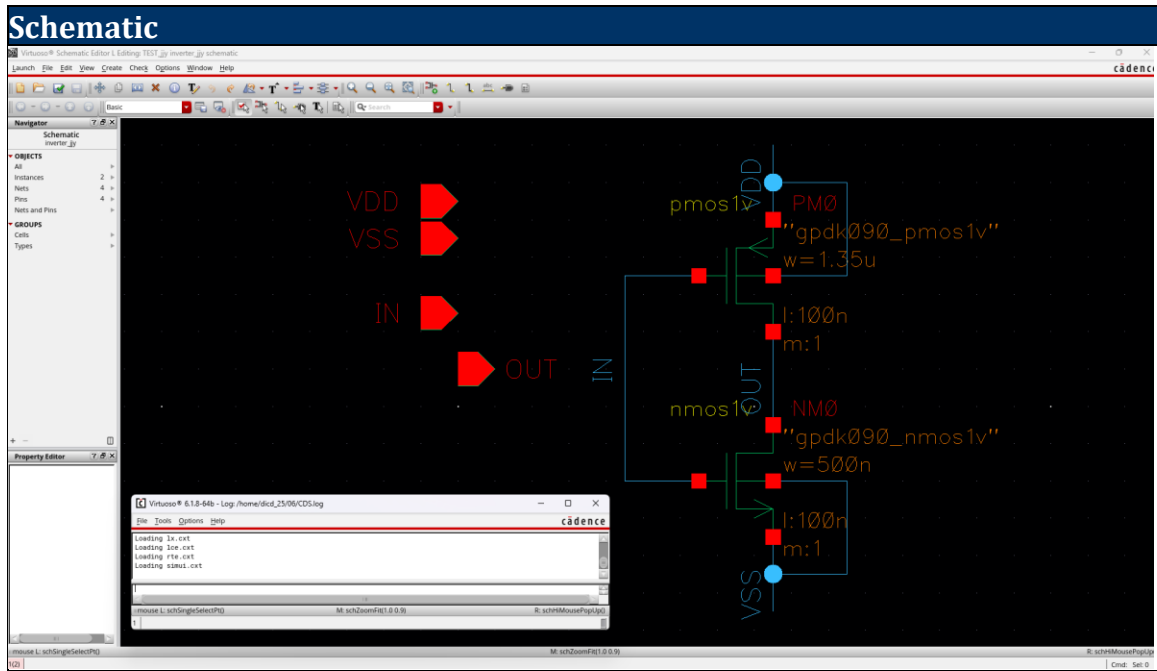
Cadence 를 고려한 실제 설계에서는 다음과 같은 항목들을 고려한다:

- **Schematic Design:** 트랜지스터 레벨에서 PMOS/NMOS 배치.
- **Layout:** DRC(Design Rule Check)를 만족하는 폴리, 메탈 배치.
- **Simulation:** Transient 및 DC 해석을 통한 동작 검증.
- **DRC & LVS:** 물리적 디자인 규칙 검사 및 회로 연결 일치 검증.

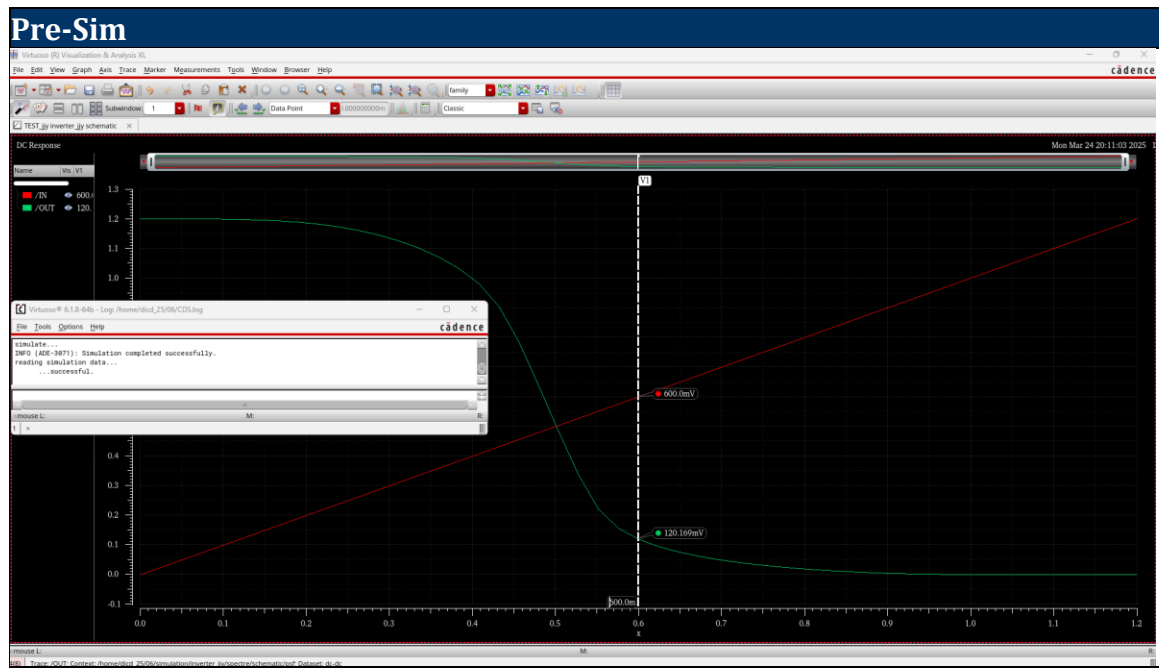
2. 본문

2-1) 실습 1

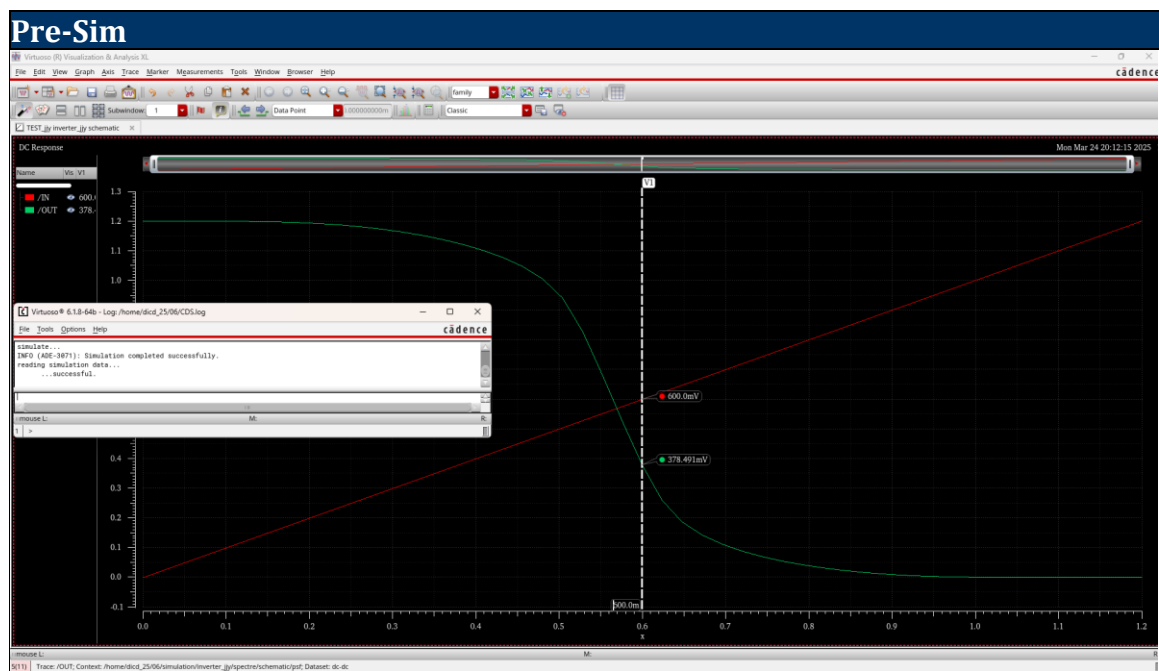
Schematic



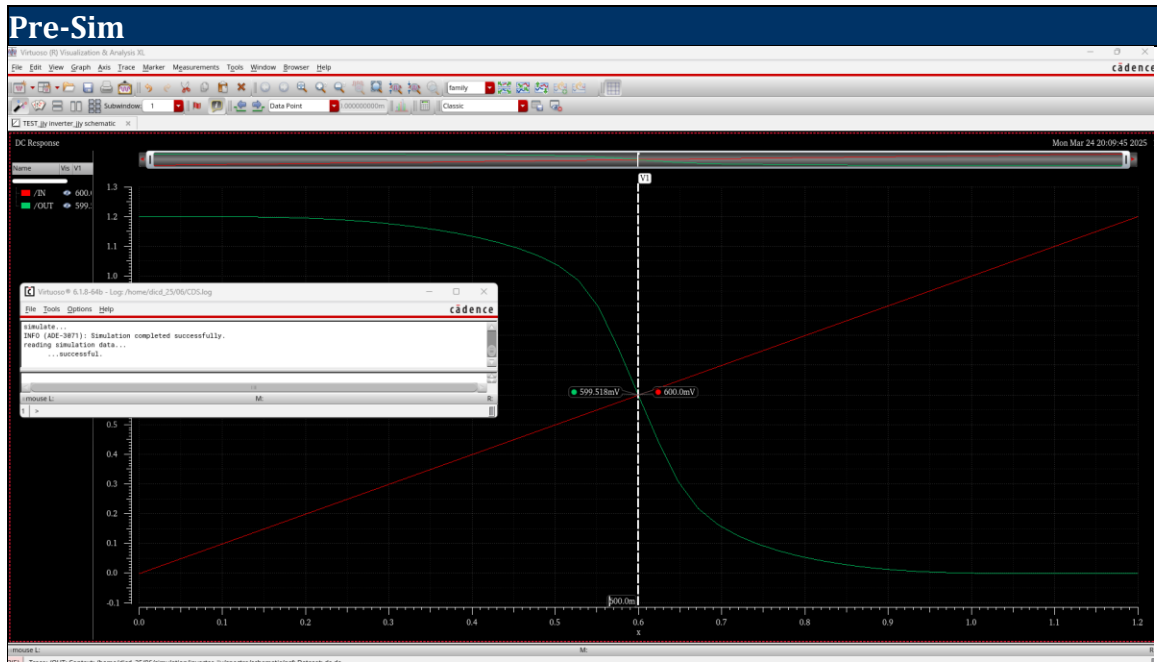
Pre-Sim 결과 : PMOS 500nm



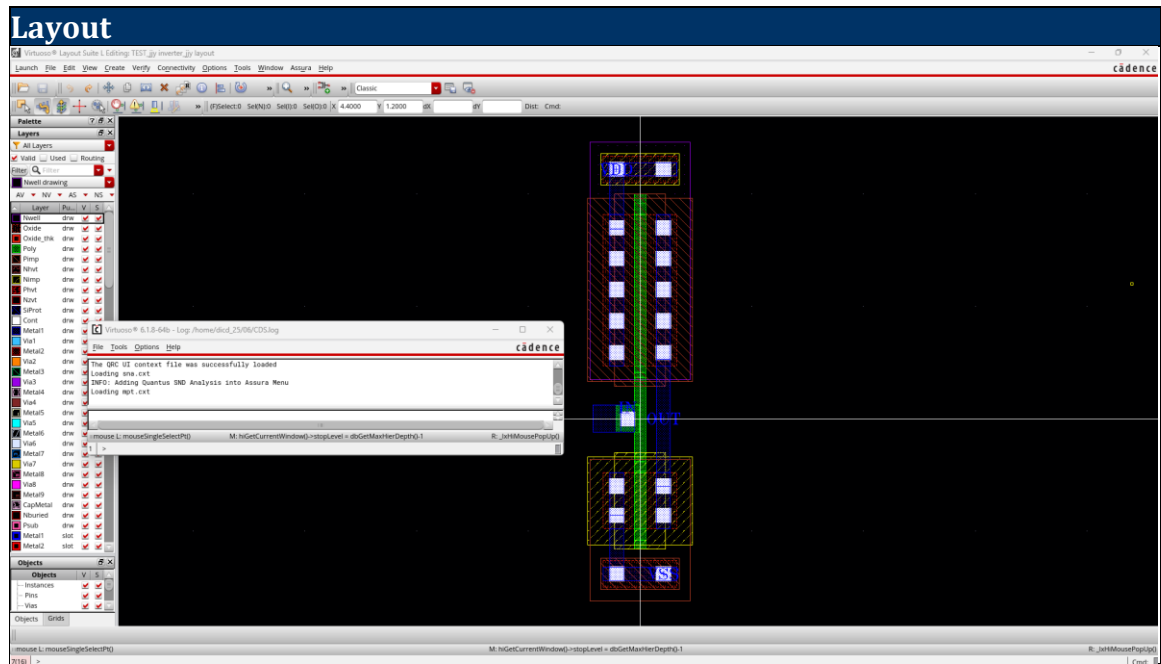
Pre-Sim 결과 : PMOS 1000nm



Pre-Sim 결과 : PMOS 1350nm



Layout



DRC 결과

DRC 결과

Run Assura DRC

Layout Design Source: **DFII** Compare two layouts: ☐ [Generate LVL Compare Rules...](#)

Library: **TEST_jjy** Cell: **inverter_jjy** View: **layout** [Browse...](#)

Save Extracted View: ☐ View Name: **drc_extracted**

Area To Be Checked: **Full**

Run Name: **test_jjy** Run Directory: **../DRC** [...](#)

Run Location: **local**

View Rules Files: ☒ Technology: **gdk090** Rule Set: **default**

☐ Rules File: **/tools/PDK/gdk090_v4.6/assura/drc.ru1** [View...](#) [Reload](#)

☐ Switch Names: [Set Switches](#)

☐ RSF Include: [View...](#)

Variable	Value	Default	Description
None			

View avParameters: ☐ [Modify avParameters...](#) 1 avParameter is set.

View Additional Functions: ☐ No additional functions are set.

Enable limitDrcCheck: ☐

[OK](#) [Cancel](#) [Apply](#) [Defaults](#) [Load State](#) [Save State](#) [View RSF](#) [Help](#)

No DRC errors found.

[Close](#)

LVS 결과

LVS 결과

Run Assura LVS

Schematic Design Source

DFII

Use Existing Netlist

☐

Netlisting Options...

Use Verilog Top Cell

☐

Library

TEST_jjy

Cell

inverter_jjy

View

schematic

Browse...

Layout Design Source

DFII

Use Existing Extracted Netlist

☐

Library

TEST_jjy

Cell

inverter_jjy

View

layout

Browse...

Run Name

test_jjy

Run Directory

./LVS

...

Run Location

local

...

View Rules Files

☒

Technology

gpd090

Rule Set

default

View...

Reload

☐ Extract Rules

/tools/PDK/gpd090_v4.6/assura/extract.rul

View...

☐ Compare Rules

/tools/PDK/gpd090_v4.6/assura/compare.rul

View...

Switch Names

Set Switches

☐ Binding File(s)

/tools/PDK/gpd090_v4.6/assura/bind.rul

View...

☐ RSF Include

/tools/PDK/gpd090_v4.6/assura/LVSinclude.rsf

View...

Variable

None

Value

Default

Description

View avParameters

☐

Modify avParameters...

7 avParameters are set.

View avCompareRules

☐

Modify avCompareRules...

1 avCompare rule is set.

View Additional Functions

☐

No additional functions are set.

OK

Cancel

Apply

Defaults

Load State

Save State

View RSF

Help

Run: "test_jjy"

Run: "test_jjy" from
/home/dicd_25/06/opus/LVS

Schematic and Layout Match.
You currently have an open run (project).

Do you want to close current project and view the results of new run?

Summary of LVS Issues

Extraction Information:

0 cells have 0 mal-formed device problems

0 cells have 0 label short problems

0 cells have 0 label open problems

Comparison Information:

0 cells have 0 Net mismatches

0 cells have 0 Device mismatches

0 cells have 0 Pin mismatches

0 cells have 0 Parameter mismatches

ELW Information:

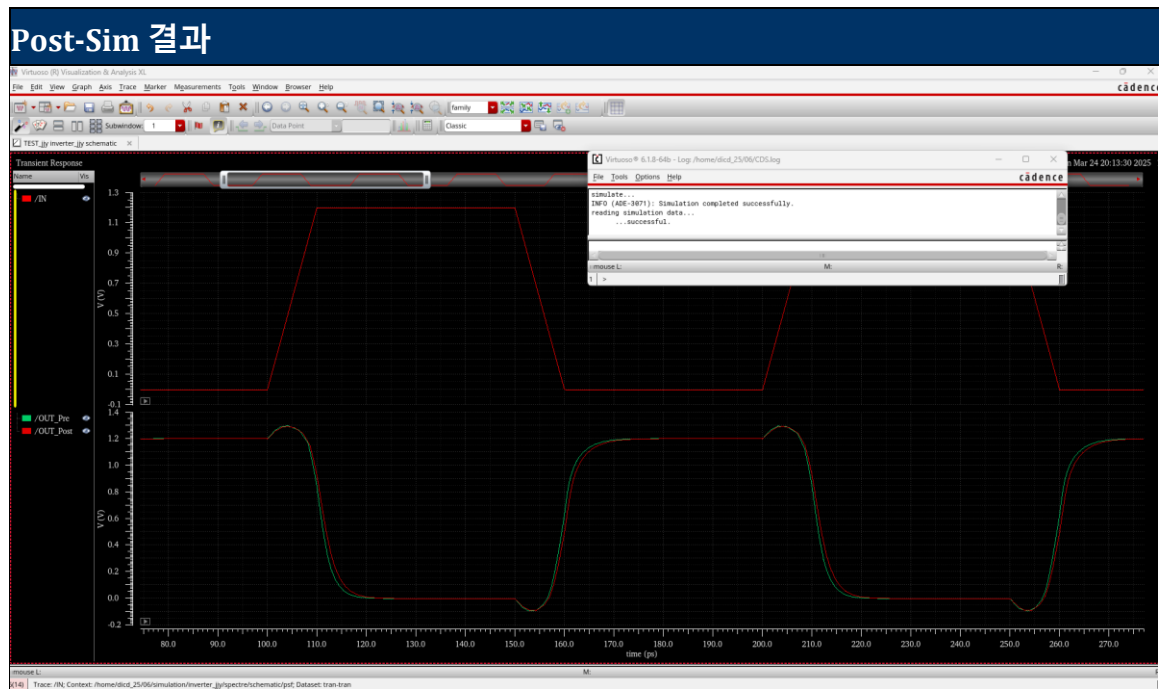
Total DRC violations: 0

Yes

No

Help

Post-Sim 결과 : tran(Pre vs. Post)



3. 실습 결론 및 고찰

이번 실습에서는 Cadence 환경에서 CMOS 인버터를 설계하고, PMOS 트랜지스터의 Width 를 변화시키며 DC 시뮬레이션을 수행하였다. NMOS 의 Width 는 고정(500nm)하고, PMOS Width 를 각각 500nm, 1000nm, 1350nm 으로 변화시키면서 전이 특성 곡선(Voltage Transfer Characteristic, VTC)을 관찰하였다.

시뮬레이션 결과, 다음과 같은 특성을 확인할 수 있었다:

■ PMOS Width = 500nm:

PMOS 와 NMOS 의 크기가 동일한 경우, 출력 전압의 High(1) 상태 유지 구간이 매우 짧았으며, 전체 전이 특성이 오른쪽으로 치우친 비대칭 곡선을 보였다. 이는 PMOS 의 구동 능력이 NMOS 에 비해 상대적으로 약하기 때문에 발생한 현상이다.

■ PMOS Width = 1000nm:

PMOS 의 구동 능력이 향상되면서 전이 특성 곡선이 다소 대칭에 가까워졌으나, 여전히 이상적인 대칭 곡선에는 미치지 못하였다. 출력 High 구간의 길이는 다소 개선되었지만, 여전히 출력 Low 상태 구간이 지배적이다.

■ PMOS Width = 1350nm:

이 경우, $V_{in} = 0.6V$ 일 때 V_{in} 이 약 0.6V 에 도달하여 가장 이상적인 전이점을 보여주었고, 전체 곡선 또한 대칭에 가까운 형태를 띠었다. 이는 PMOS 의 Width 가 NMOS 보다 충분히 크게 설정되었을 때, 두 트랜지스터가 상보적으로 균형 있게 동작하며 인버터가 최적의 성능을 발휘함을 의미한다.

이를 통해, CMOS 인버터에서 NMOS 와 PMOS 의 Width 비(W_{PMOS}/W_{NMOS}) 조절이 출력 특성과 전이점에 미치는 영향이 매우 크다는 점을 확인할 수 있었다. 일반적으로 PMOS 의 mobility 가 NMOS 에 비해 낮기 때문에, PMOS 의 Width 는 NMOS 보다 크게 설정해야 VTC 곡선을 대칭적으로 만들 수 있다. 이는 Noise Margin 을 확보하고, 회로의 안정성과 속도를 향상시키는 데 중요한 요소로 작용한다.

이번 실습을 통해 이론에서 배운 내용을 실제 설계와 시뮬레이션으로 검증할 수 있었으며, 디지털 회로 설계 시 트랜지스터 사이즈 조절의 중요성을 직관적으로 이해할 수 있는 좋은 기회가 되었다.