

## 세미나 보고서

학 과	학 년	학 번	성 명	일 시
전기전자공학부	4	12191529	장준영	04/02
세미나 주제	Understanding of Logic Technology			

### 세미나 핵심내용

1) 목적: 반도체 칩 설계의 최신 흐름에 대해 이해하고자 함.

#### 2) 주요 내용

- AP: Smart Phone
- CPU: Computer
- Network, Sensor, DDI, PMIC
- AP: Bionic, Snapdragon, Exynos, MediaTek
- 무어의 법칙대로 하더라도, 단위 면적당 심을 수 있는 트랜지스터 개수가 점점 한계에 다다르고 있다.
- 따라서, 3D 방식으로 쌓아올리는 패러다임으로 나아가고 있다.
- 중요한 것: Low Power Consumption, High Performance(Speed), High Density(Area), Cost Effective, Time to Market
- Aluminium에서 Copper로 간 이유: 선풍이 좁아지면서 전기 저항과 전자 마이그레이션 문제가 심각해짐, Copper는 이러한 신뢰성 문제를 줄여줌. / 전기 전도도가 높아서 신호 전송 속도가 빨라지고 전력 소모가 줄어듦. / 제조 공정이 어려워도, Dual Damascene 공정 등 새로운 기술이 개발되면서 구현 가능해졌다.
- G-line -> I- line -> KrF/KrF w/RET -> ArF/ArF immersion w/RET -> ArF I - MPTEUV -> High, NA
- Logic은 맨 하단부에만 트랜지스터가 있고, 그 위는 전부 interconnect(Metal)이다.
- 메모리는, 트랜지스터를 많이 사용하여 쌓아올리기까지 한다.

## 고찰

이번 세미나를 통해 우리가 일상적으로 사용하는 스마트폰, 컴퓨터 속 반도체 칩이 얼마나 정교한 기술의 산물인지 체감할 수 있었다. AP나 CPU와 같은 핵심 부품들은 단순히 연산 능력만 중요한 것이 아니라, 전력 소모를 최소화하면서도 고성능을 달성하고, 고집적 설계를 통해 면적을 줄이며, 동시에 제조 비용과 출시 시간을 고려하는 등 다면적인 요구 조건을 만족해야 한다는 점에서 복합적인 시스템이라는 것을 느꼈다.

무어의 법칙이 점점 한계에 다다르고 있다는 내용은 현재 반도체 산업이 처한 기술적 현실을 잘 보여주는 부분이었다. 단위 면적당 트랜지스터 수를 계속 늘릴 수 없다면, 결국 기존 2D 평면 구조의 한계를 넘어 3D 방식으로 쌓아올리는 새로운 패러다임으로 나아갈 수밖에 없다는 흐름이 매우 설득력 있게 다가왔다. 이러한 변화는 단순한 기술 업그레이드가 아니라, 전체적인 시스템 아키텍처와 공정 방식의 전환을 의미하며, 이에 따라 반도체 설계와 제조에 필요한 기술적 역량도 더 고도화될 수밖에 없다는 생각이 들었다.

Aluminium에서 Copper로 배선 재료가 바뀐 이유에 대해서도, 그저 전도율이 더 좋아서라는 단편적인 설명이 아닌, 전기 저항과 전자 마이그레이션에 대한 신뢰성 문제 해결이라는 근본적인 동기가 있었음을 알 수 있었다. 전기적 성능을 높이기 위해 재료를 바꾸는 과정에서, 제조 공정 또한 새롭게 정립되었고, 그 결과로 Dual Damascene 공정이라는 새로운 접근 방식이 필요하게 되었다는 점이 기술 진보의 대표적인 예로 느껴졌다.

또한 로직과 메모리 구조의 차이를 비교하며, 로직에서는 대부분이 Interconnect로 구성되고, 메모리는 트랜지스터 자체를 수직으로 쌓아올려 고집적화를 구현한다는 점도 매우 흥미로웠다. 이를 통해 반도체 설계는 단순히 '작고 빠르게' 만드는 것이 아니라, 전력 효율성과 신뢰성, 면적 활용, 그리고 상업적 실현 가능성까지 고려한 '전체 시스템 최적화'라는 사실을 다시 한 번 깨닫게 되었다. 기술적인 디테일 하나 하나에 이렇게 많은 고민과 설계 철학이 담겨 있다는 점에서, 반도체 산업의 깊이와 매력을 새롭게 느끼는 시간이었다.