

연구 계획

1) 연구의 필요성

Adder(덧셈기)는 디지털 시스템에서 가장 기본적이고 필수적인 연산 소자로, 중앙처리장치(CPU), 디지털 신호처리(DSP), 인공지능(AI) 가속기, 이미지 및 영상처리 회로 등 다양한 응용에서 빈번하게 사용된다. 특히 덧셈 연산은 곱셈, 이동, 축소 등의 고차 연산의 기반이 되기 때문에, 해당 연산 유닛의 구조적 효율성은 전체 시스템의 연산 성능, 전력 소비, 회로 면적, 동작 속도 등에 직접적인 영향을 미친다.

전통적인 정확한 Adder(Accurate Adder)는 높은 정밀도를 제공하는 대신 많은 수의 트랜지스터를 필요로 하며, 이는 칩 면적 증가, 높은 전력 소모, 긴 연산 지연시간 등 다양한 문제를 유발한다. 특히, 저전력 고집적 회로가 요구되는 최신 반도체 시스템에서는 이러한 전통적인 구조의 한계가 더욱 두드러지게 나타나고 있다.

이러한 문제를 해결하기 위해 근사 연산(Approximate Computing) 기반의 Adder, 특히 Inexact Adder(InXA) 구조가 활발히 연구되어 왔다. InXA는 일부 연산 오차를 허용하는 대신 회로를 단순화하여 트랜지스터 수, 전력 소비, 면적 등을 줄이는 것이 목적이다. 주로 전체 N-bit Adder의 하위 비트에 InXA를, 상위 비트에 Accurate Adder를 배치하는 Hybrid Adder 구조로 사용되어, 연산 품질을 일정 수준 유지하면서도 자원 절감을 실현하는 전략이 널리 채택되어왔다.

지금까지 제안된 다양한 InXA 구조들은 각각 고유의 Truth Table을 기반으로 설계되었고, 일정 수준의 트랜지스터 최적화를 이루었다. 하지만 대부분의 연구는 이미 정의된 Truth Table에 대해 구현 가능한 최소 회로 구조를 찾는 데 집중되어 있으며, 새로운 Truth Table 자체를 정의함으로써 더 큰 구조적 최적화를 시도하는 접근은 상대적으로 적었다.

본 연구는 이러한 기존 한계를 넘어서기 위한 시도이다. 본 연구의 핵심은 기존 InXA와는 다른 새로운 Truth Table을 정의하고, 이를 기반으로 기능적으로 의미 있는 연산을 수행하면서도 트랜지스터 개수를 더욱 줄일 수 있는 InXA 회로 구조를 찾는 것이다. 여기서 말하는 "기능적으로 의미 있는"이란 단순히 회로가 동작한다는 차원을 넘어, 이 회로를 Accurate Adder와 조합하여 Hybrid Adder로 구성했을 때 전체 연산 성능이 유지되는지, 즉 정확도 손실이 실용적 허용 범위를 벗어나지 않는지를 평가 기준으로 한다.

이와 같은 시도는 근사형 회로 설계의 새로운 방향을 제시할 수 있다. 단순한 논리 최적화가 아닌, 논리 기능(Truth Table) 자체의 재정의와 회로 구조의 동시 최적화를 통해, 연산 성능과 자원 효율성 간의 균형을 추구하는 것이다. 만약 제안된 구조가 기존 InXA보다 적은 트랜지스터로 구현 가능하면서도 Hybrid Adder 구성 시 연산 정확도가 떨어지지 않는다면, 이는 저전력 회로 설계, 경량화 칩 설계, 그리고 AI 및 영상처리 응용에서 실질적인 채택 가능성을 가진다.

따라서 본 연구는 회로 최적화 연구에서 다소 간과되어온 "새로운 Truth Table 설계 기반 근사 Adder" 라는 설계 흐름을 실험적으로 검증하고, 나아가 구조의 단순화와 시스템 수준 성능 유지가 공존할 수 있음을 입증하는 것에 중요한 의의가 있다.

2) 연구 목표 및 내용

#2-1. 연구 목표

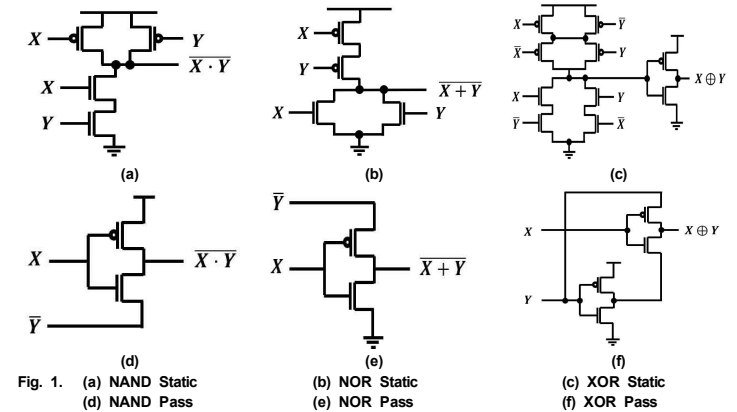
(1) 서론 : Adder(덧셈기)의 중요성

Adder(덧셈기)는 디지털 시스템의 거의 모든 영역에서 사용되는 핵심 연산 모듈로, 중앙 처리장치(CPU), 디지털 신호처리(DSP) 시스템, 그래픽 처리 장치(GPU), 임베디드 시스템, 인공지능(AI) 가속기, 그리고 이미지 및 비디오 처리 회로에 이르기까지 광범위한 응용 분야에 필수적으로 포함된다. 이러한 시스템들은 대부분 다수의 반복적인 산술 연산을 포함하고 있으며, 그중에서도 덧셈 연산은 곱셈(Multiplication), 이동(Shift), 축소(Reduction) 등의 고차원 연산의 기초가 되는 필수 연산이다.

특히, 고속 데이터 처리를 요구하는 환경에서는 단순한 덧셈 연산이라 하더라도 최적화가 필수적이며, Adder의 구조와 특성은 전체 시스템의 성능, 면적(Area), 전력 소모(Power Consumption), 연산 속도(Speed) 등 다양한 설계 지표에 직접적인 영향을 미친다. 따라서 Adder의 설계 방식과 최적화는 반도체 칩 설계의 핵심 요소로 작용하며, 이를 효율적으로 개선하는 것은 디지털 회로 설계 분야에서 중요한 연구 주제 중 하나로 자리 잡고 있다.

(1-1) Pass Transistor Logic의 활용 가능성

최근 회로 최적화 전략 중 하나로 Pass Transistor Logic (PTL) 기반 설계 방식이 주목받고 있다. PTL은 전통적인 CMOS 논리 게이트 방식과는 달리, NMOS 또는 PMOS 트랜지스터를 직접 스위치로 사용하여 입력 신호를 전달하는 방식이다. 이를 통해 동일한 논리 기능을 수행하는 데 필요한 트랜지스터 수를 줄일 수 있으며, 불필요한 논리 게이트 계층을 제거함으로써 회로 면적과 전력 소모를 동시에 절감할 수 있다. 본 연구에서는 PTL의 특성을 활용하여 트랜지스터 수준에서 효율적인 InXA 회로를 구현하는 것을 하나의 방향으로 설정하고자 한다.



(2) 전통적인 Adder 구조와 한계점

정밀한 결과를 요구하는 경우에는 Carry-Lookahead Adder (CLA), Carry Select Adder (CSA), Carry-Skip Adder (CSPA) 등 다양한 고속 덧셈 구조를 사용하게 되며, 이들은 높은 연산 정확도를 제공하지만 그 대가로 많은 수의 트랜지스터를 포함하고, 복잡한 캐리 (Carry) 전달 로직을 갖기 때문에 면적과 전력 소모가 증가하는 문제를 야기한다.

■ 면적(Area) 증가 문제

- 정확도를 보장하기 위해 기존 Adder는 다수의 트랜지스터를 포함하며, 그로 인해 칩 면적이 증가함.
- 칩 면적 증가는 제조 비용 증가 및 성능 저하로 이어질 가능성이 높음.

■ 전력 소모(Power Consumption) 증가 문제

- Adder의 복잡한 구조로 인해 스위칭 활동(Switching Activity)이 많아지면서 동적 전력(Dynamic Power)이 증가.
- CMOS 공정에서는 누설 전류(Leakage Current)에 의한 정적 전력(Static Power)도 무시할 수 없음.

■ 연산 속도(Speed)와 레이턴시(Latency) 문제

- Carry Propagation(캐리 전달)로 인해 덧셈 연산이 직렬화되면서, 고속 연산에서 병목(Bottleneck)으로 작용할 수 있음.
- Carry-Lookahead 방식 등의 고속 연산 기법이 존재하지만, 여전히 복잡한 회로 구조를 필요로 함.

이러한 문제들은 최신 CMOS 공정의 고집적화가 진행됨에 따라 더욱 두드러지고 있으며, 특히 모바일 환경이나 IoT 기기 등 전력 효율이 중요한 시스템에서는 기존 Adder 구조를 그대로 적용하기 어렵다는 문제가 발생하고 있다.

(3) 오류 허용형(Approximate Computing) 회로의 필요성

최근에는 고속 처리보다 에너지 효율성(Energy Efficiency)을 더 중시하는 모바일 환경, IoT 센서 노드, 웨어러블 디바이스, 저전력 AI 연산 플랫폼 등이 대두되고 있으며, 이러한 환경에서는 일정 수준의 계산 오차가 시스템 전체 동작에 치명적이지 않은 경우가 많다. 예를 들어, 이미지 처리 및 비디오 처리 시스템에서도 사람의 인지 특성을 고려할 때 완벽한 연산 정확도가 필수적이지 않은 경우가 많다.

이러한 시스템적 특성과 어플리케이션의 요구는 최근 각광받고 있는 근사 연산(Approximate Computing) 기법과 밀접하게 관련되어 있다.

근사 연산이란, 정확도를 일부 포기하는 대신 회로의 간소화, 전력 소모 절감, 면적 감소, 처리 속도 증가 등의 효과를 얻는 설계 전략을 의미한다. 특히 근사형 Adder(Approximate

Adder)는 비교적 단순한 방식으로도 상당한 전력·면적 이득을 확보할 수 있어 활발히 연구되고 있다.

기존의 근사형 Adder는 다음과 같은 방식으로 최적화를 시도하고 있다:

- MSB(Most Significant Bit) 부분의 정확도를 유지하고, LSB(Least Significant Bit) 부분에서 단순화된 논리를 사용하여 평균 오류율을 낮추는 방식.
- 캐리 전달을 제한적으로 수행하여 회로 복잡도를 줄이는 방식.
- 오류율을 조정할 수 있는 가변형 구조를 활용하는 방식.

그러나 기존 연구들은 여전히 다음과 같은 한계를 지닌다:

- 응용 최적화 부족 : 근사화 기법이 특정 응용에 어떻게 영향을 미치는지에 대한 정량적 분석이 부족하다.
- 정확도-효율성 트레이드오프(trade-off) 문제 : 정확도를 유지하면서도 회로를 경량화하는 방법론이 미흡하다.
- 회로 구조적 비효율성: 기존 근사형 Adder 구조들은 여전히 개선 가능한 설계 요소들이 존재한다.

(4) InXA 회로 연구의 필요성

본 연구에서는 이러한 문제를 해결하기 위해 기존의 정확한 Adder와 근사형 Adder의 장점을 결합한 새로운 InXA 회로 설계를 연구하고자 한다. 현재 연구 중인 3가지 InXA 회로를 분석하고, 기존 구조에서 발생하는 문제점을 파악한 후, 이를 개선할 수 있는 새로운 회로 설계를 제안하는 것이 연구의 주요 목표이다.

현재 검토 중인 Acc 및 3개의 InXA 회로는 다음과 같은 문제점을 가질 가능성이 있다:

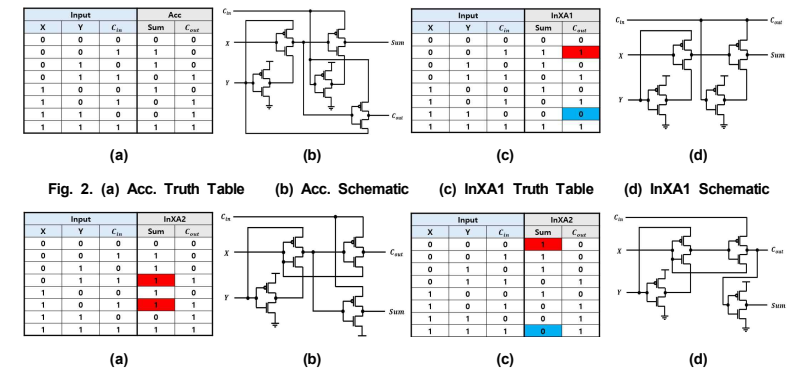


Fig. 3. (a) InXA2 Truth Table (b) InXA2 Schematic (c) InXA3 Truth Table (d) InXA3 Schematic

- 전력 소모 최적화 부족
 - 불필요한 스위칭 활동(Switching Activity)으로 인해 동적 전력 소모(Dynamic Power Consumption)가 증가한다.
 - 기존 Adder 대비 효율성이 떨어지는 경우가 있다.
- 회로 면적(Area) 증가 문제
 - 불필요한 트랜지스터 사용으로 인해 칩 크기가 증가하고 제조 비용이 높아질 가능성이 존재한다.
- 연산 오류(Error) 문제
 - Carry propagation 과정에서 발생하는 오차율이 시스템 성능에 미치는 영향을 분석할 필요가 있다.

본 연구에서는 위의 3가지 InXA 회로를 기반으로, 더 나은 회로 구조를 탐색하고, 최적화된 새로운 Adder 설계를 제안함으로써 전력, 면적, 성능을 모두 개선할 수 있는 방향을 모색하고자 한다.

#2-2. 연구 내용

본 연구는 기존 InXA 회로보다 더 적은 트랜지스터 개수로 구성되며, 새로운 Truth Table을 기반으로 하는 초경량 근사형 Adder 회로 구조를 설계하는 것을 주요 내용으로 한다. 기존 InXA 회로들은 각각의 방식에 따라 회로 최적화 및 근사 연산 기법을 적용하여 효율적인 덧셈 연산을 구현하고 있지만, 여전히 트랜지스터 개수 측면에서 더 줄일 수 있는 여지가 **존재할 수 있다**. 특히, 동일한 논리 기능을 수행하는 것이 아닌 전혀 새로운 Truth Table을 바탕으로 한 Adder 설계를 통해, 면적 최소화와 트랜지스터 수 절감을 달성하는 것이 본 연구의 핵심이다.

연구는 다음의 세 가지 축을 중심으로 진행된다:

- 기존 InXA 회로 3종에 대한 트랜지스터 수준의 정밀 분석.
- 새로운 Truth Table 설계 및 초소형 Adder 구조 제안.
- 회로 구현 및 Cadence 기반 트랜지스터 수준 평가..

(1) 기존 InXA 회로의 분석 및 문제점 도출

연구의 시작점은 기존 InXA 회로 3종의 트랜지스터 수준에서의 구조 분석이다. 각각의 InXA 회로는 고유의 근사 전략과 회로 구조를 바탕으로 설계되어 있으며, 전통적인 Full Adder 대비 적은 자원을 사용하면서도 연산의 핵심 기능을 수행한다. 하지만 이들 회로 역시 트랜지스터 수를 절대적으로 최소화하는 데 중점을 두지는 않았기 때문에, 비교 기준이 되기에 적절하다.

Cadence 사의 회로 설계 환경을 활용하여, 세 가지 InXA 회로 각각의 트랜지스터 수, 논리 게이트 구성, 입력-출력 경로, 게이트 수준 논리흐름 등을 정밀하게 분석한다. 또한 입력 변화에 따른 전환 비율(Switching Activity)이나 논리적 중복 여부 등을 평가함으로써, 회로가 가지는 구조적 특성과 한계를 파악한다. 이를 통해 연구자는 본 연구에서 제안할 회로의 개선 방향 및 잠재적 절감 목표치를 설정할 수 있게 된다.

여기서 중요한 점은, 본 연구는 기존 InXA 회로가 비효율적이거나 불필요한 트랜지스터를 포함하고 있다는 전제에서 출발하지 않는다는 것이다. 오히려, InXA 회로가 주어진 Truth Table 내에서는 상당히 최적화된 구조임을 인정한 상태에서, 논리 정의 자체를 바꿈으로써 트랜지스터 수를 더 줄이는 새로운 방향을 모색하는 것이다.

(2) 새로운 Truth Table 기반 근사형 Adder 정의 및 구조 설계

본 연구의 가장 중요한 차별화 요소는, 기존 InXA 회로들과 전혀 다른 Truth Table을 기반으로 하는 Adder 회로를 새롭게 정의하고, 이를 하드웨어 수준에서 실현 가능하도록 회로화한다는 점이다. 이는 단순한 근사화가 아니라, 연산 기능 자체를 전면적으로 재정의하는 작업이다.

이 새로운 Truth Table은 다음과 같은 설계 원칙을 바탕으로 정의된다:

- 트랜지스터 수 최소화 최우선: 가능한 한 적은 논리 조합과 출력 변화를 유도하여 회로 구성 요소를 줄인다.
- 응용 적합성 고려: 이미지 프로세싱, DNN 연산 등 오류 허용이 가능한 응용을 타겟으로 설정하고, 해당 환경에서 통계적 성능 저하가 크지 않도록 설계한다.
- Carry 제거 또는 축소: 대부분의 회로 면적과 복잡성은 Carry 관련 논리에서 발생하므로, Carry의 역할을 축소하거나 완전히 제거하는 Truth Table을 정의한다.
- 정적 논리 기반의 단순화 가능성: 트라이스테이트, 동적 노드, 복잡한 래치 구조 없이도 구현 가능한 논리만을 사용한다.

이러한 Truth Table이 정의되면, 그것을 충족할 수 있는 최소한의 논리 구조를 설계하는 작업에 착수한다. AND, OR, NOT 등의 게이트를 사용하는 게이트 수준 표현뿐 아니라, 이를 트랜지스터 수준으로 환산할 때 게이트당 트랜지스터 수가 가장 적게 드는 구조를 선택적으로 활용한다. 이 과정에서는 전통적인 Boolean minimization, Karnaugh map, Quine-McCluskey 방법 등을 활용하고, 필요시 multi-output minimization 기법도 병행하여 전체 트랜지스터 수를 줄이는 데 집중한다.

(3) Cadence 기반 회로 구현 및 트랜지스터 수준 성능 검증

본 연구에서 제안한 InXA 회로는 Cadence 사의 설계 툴을 활용하여 schematic 및 layout 단계까지 직접 구현되며, 회로가 설계한 Truth Table에 따라 정확히 동작하는지를 시뮬레이션을 통해 검증한다. 주요 평가지표로는 트랜지스터 개수, 논리적 완전성, 물리적 면적, 전력 소모 및 스위칭 활동 등이 있으며, 특히 회로 단순화로 인해 논리적 불안정성이나 glitch, race condition이 발생하지 않도록 주의 깊게 검토한다.

또한, 제안한 회로는 단일 Adder로 사용하는 것이 아니라, 전체 N-bit Adder의 일부 (Lowest Significant Bits)에만 적용되는 하이브리드 구조로 활용될 예정이다. 이를 위해 InXA 회로를 여러 비트 크기로 구성한 뒤, 정확한 Full Adder와 조합하여 (예: InXA 8bit + Accurate 8bit)의 전체 16bit Hybrid Adder를 구성한다. 이후 다양한 랜덤 입력에 대해 시뮬레이션을 수행하고, 절대 오차(Absolute Error), 평균 제곱 오차(MSE), 오차 발생률(Error Rate) 등의 정량적 지표로 출력 정확도를 평가한다.

기존 InXA 회로와의 비교를 통해 트랜지스터 절감 효과뿐 아니라 연산 정확도 유지 여부까지 함께 검토함으로써, 제안한 구조의 실용성과 시스템 적용 가능성을 종합적으로 검증하고자 한다.

3) 수행방법 및 추진체계

본 연구는 새로운 Truth Table을 기반으로 트랜지스터 수준에서 최적화된 Inexact Adder(InXA)를 설계하고, 이를 Accurate Adder와 결합한 Hybrid 구조로 구성했을 때 연산 성능이 유지되는지를 실험적으로 검증하는 것을 목표로 한다. 연구는 총 4단계로 구성되며, 회로 분석부터 구조 설계, 트랜지스터 수준 구현 및 시스템 적용 평가까지 단계적으로 진행된다. 모든 설계 및 시뮬레이션은 Cadence 사의 회로 설계 환경을 활용하여 수행된다.

#1. 기존 InXA 회로 분석 및 트랜지스터 수준 구조 평가

- 연구의 시작 단계에서는 기존 InXA 회로 3종을 선정하고, 각 구조의 트랜지스터 수, 게이트 구성, 논리 흐름, 면적 및 전력 특성을 분석한다.
- Cadence 툴을 활용하여 schematic 환경에서 각 회로를 직접 구현하고, 트랜지스터 수준에서 구조적 특징 및 자원 사용량을 정량화한다.
- 분석 결과를 통해 제안 구조의 트랜지스터 수 절감 목표치를 수립하고, 구조적 차별화 방향을 설정한다.

#2. 새로운 Truth Table 정의 및 초소형 회로 구조 설계

- 기존 Truth Table과는 다른 형태의 연산 기능을 설계자가 정의하며, 회로 동작의 목적은 근사화와 자원 최적화에 있다.
- 새로 정의된 Truth Table에 맞춰 논리 구조를 최소화하고, 게이트 수준에서 Tr-level 회로로 직접 구성한다.
- Boolean 최소화, Karnaugh Map 등 논리 단순화 기법과 회로 최적화 기법을 병행하여 트랜지스터 수를 최대한 줄인다.

#3. Cadence 기반 회로 구현 및 기능 검증

- Cadence의 Virtuoso 및 Layout 설계 툴을 활용하여 회로 schematic을 구성하고, layout 구현까지 수행한다.
- Truth Table과의 일치 여부를 모든 입력 조합에 대해 검증하고, 논리적 오류(glitch, race condition 등)가 없는지를 확인한다.
- 필요 시, 전력 소모와 스위칭 활동에 대한 보조적 전력 분석도 병행한다.
- 트랜지스터 수, 면적, 신뢰성 등을 기존 InXA 회로와 정량적으로 비교한다.

#4. Hybrid Adder 구성 및 연산 정확도 평가

- 제안한 InXA 회로를 하위 비트에, Accurate Adder를 상위 비트에 구성한 Hybrid Adder(예: 8-bit InXA + 8-bit Accurate) 형태로 전체 Adder를 설계한다.
- 다양한 랜덤 입력 벡터를 기반으로 연산 정확도를 측정하고, 기존 Hybrid 구조와 절대 오차, 평균 오차(MAE), 제곱 오차(MSE), 오차 발생률 등을 비교한다.

4) 추진일정

연구내용 \ 연도	2025년				20**년			
	1분기	2분기	3분기	4분기	1분기	2분기	3분기	4분기
연구개발비	150만원							
주요 Milestone 수행결과	■ 0000				■ 0000			

5) 기대효과

본 연구는 기존 InXA 회로와는 다른 새로운 형태의 Truth Table을 정의하고, 이를 기반으로 트랜지스터 수준에서 직접 최적화된 InXA 회로를 설계한 뒤, 정확한 덧셈기와 결합하여 Hybrid Adder로 구성했을 때 연산 성능이 저하되지 않는 구조를 구현하는 것을 목표로 한다. 이를 통해 다음과 같은 기대 효과를 예측해볼 수 있다.

#1. 트랜지스터 수준 회로 최적화 기반 근사형 Adder 구현

기존 InXA 연구들에서도 다양한 Truth Table이 제안되어 왔으며, 응용 환경에 따라 근사 방식이 달라지는 흐름은 이미 잘 정립되어 있다. 그러나 본 연구는 이러한 흐름 위에서, 논리 기능 정의 이후의 회로 구현을 게이트 수준이 아닌 트랜지스터 수준(Tr-level)에서 수행하고, 트랜지스터 개수 최소화 자체를 최우선 설계 목표로 설정한다는 점에서 차별점을 가진다. 이를 통해 실제 반도체 설계에서 적용 가능한 초소형 회로 구조를 구현하고, 실질적인 소자 수 절감이 가능함을 입증할 수 있다.

#2. Hybrid Adder 구성 시 전체 연산 정확도 유지 실증

본 연구는 제안된 InXA 회로의 성능을 단일 블록 기준이 아니라, 정확한 Adder와의 결합(Hybrid 구성)을 통해 시스템 관점에서 평가한다. 기존 연구에서도 InXA를 하위 비트에만 적용한 Hybrid Adder 구성은 널리 사용되어 왔으나, 트랜지스터 수가 줄어든 새로운 InXA 회로를 적용했을 때, 연산 오차가 얼마나 유지될 수 있는지에 대한 분석은 상대적으로 적었다. 본 연구는 실제 입력 벡터에 대해 연산 결과의 평균 오차, 최대 오차, 오차 발생률 등을 정량적으로 측정하고, 이를 통해 작은 회로가 반드시 낮은 정확도를 의미하지 않음을 실증한다.

#3. 초소형 회로 기반 연산 유닛 설계 전략 제시

트랜지스터 개수는 회로의 물리적 면적, 소비 전력, 배선 복잡도, 연산 속도에 직결되는 중요한 자원 지표이다. 본 연구는 트랜지스터 수준에서 최적화된 회로를 통해, 동일한 연산 목적을 가진 다양한 근사 회로들 사이에서 최소 자원 구조에 대한 기준점을 제시할 수 있다. 이는 향후 모바일, IoT, 엣지 디바이스 등 극한의 경량화가 요구되는 환경에서 유용한 설계 참고 모델이 될 수 있다.

#4. 다양한 연산기 구조로의 확장 가능성 확보

본 연구에서 제안하는 새로운 Truth Table 기반 Adder 설계 방식은 Adder에 국한되지 않고, 근사형 곱셈기(Multiplier), 비교기(Comparator) 등 다른 산술 연산 회로로 확장될 수 있다. 또한 Hybrid 구성 시 오차 분석 방식 역시 일반화가 가능하며, 향후 오류 허용 연산기를 포함한 경량화 연산 시스템의 기본 설계 전략으로 발전할 수 있다.