

DICD 2025_1

6 주차 실습 보고서

학번: 12191529

이름: 장준영

1. 이론

#1. Inverter Chain

Inverter Chain은 여러 개의 인버터(Inverter)를 직렬로 연결한 구조로, 디지털 회로에서 신호 전파(delay control) 또는 부하 구동(buffering) 목적 등으로 널리 사용된다. 하나의 인버터만으로는 큰 부하를 구동하기 어렵거나 먼 거리로 신호를 전달하기 어려운 경우, 인버터 체인을 사용하여 점진적으로 구동 능력을 증가시킬 수 있다.

(1) 목적

- 신호의 구동력 증가 (Driving capability)
- 전파 지연 최소화 (Minimize propagation delay)
- 신호 복원 및 재생 (Restoration)

(2) 전파 지연 최소화 - 최적 스테이징

Inverter Chain의 각 단계는 이전보다 점점 큰 크기(width)를 가지도록 설계할 수 있으며, 이때의 크기 증가 비율을 Stage Effort 또는 Geometric Progression으로 표현한다. 전파 지연의 최적화를 위해서는 총 부하를 일정 비율로 나눠서 각 인버터가 균등한 delay를 가지도록 해야 한다.

일반적으로, 최적화 조건에서:

$$D_{total} \approx N \cdot f^{1/N}$$

- N: Inverter 단계 수.
- f: 전체 logical effort × electrical effort

#2. XOR

XOR(Exclusive OR) 게이트는 두 입력 A 와 B 가 서로 다를 때 출력이 1, 같을 때는 0 이 되는 논리 연산을 수행한다.

표현식은 다음과 같다:

$$A \oplus B = A\bar{B} + \bar{A}B$$

Truth Table 은 다음과 같다:

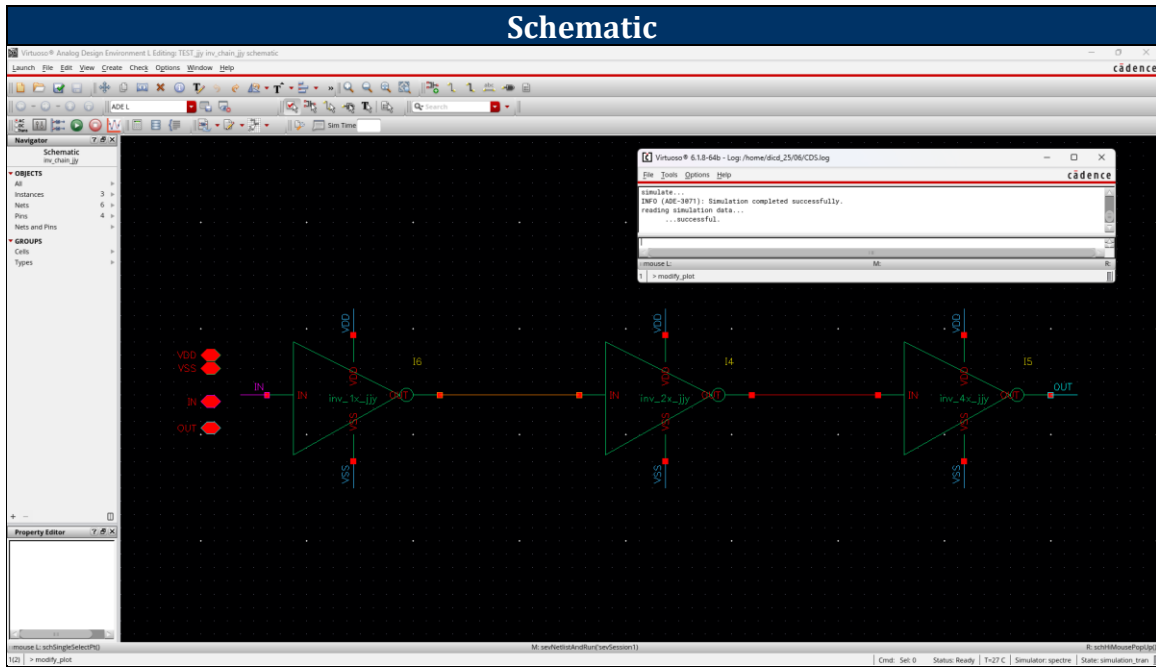
A	B	XOR(A, B)
0	0	0
0	1	1
1	0	1
1	1	0

이번 실습에서는 입력을 A, A_b, B, B_b 형태로 구성하여, 보조 인버터 회로 없이 직접적인 논리 조합만으로 XOR 을 구현하였다.

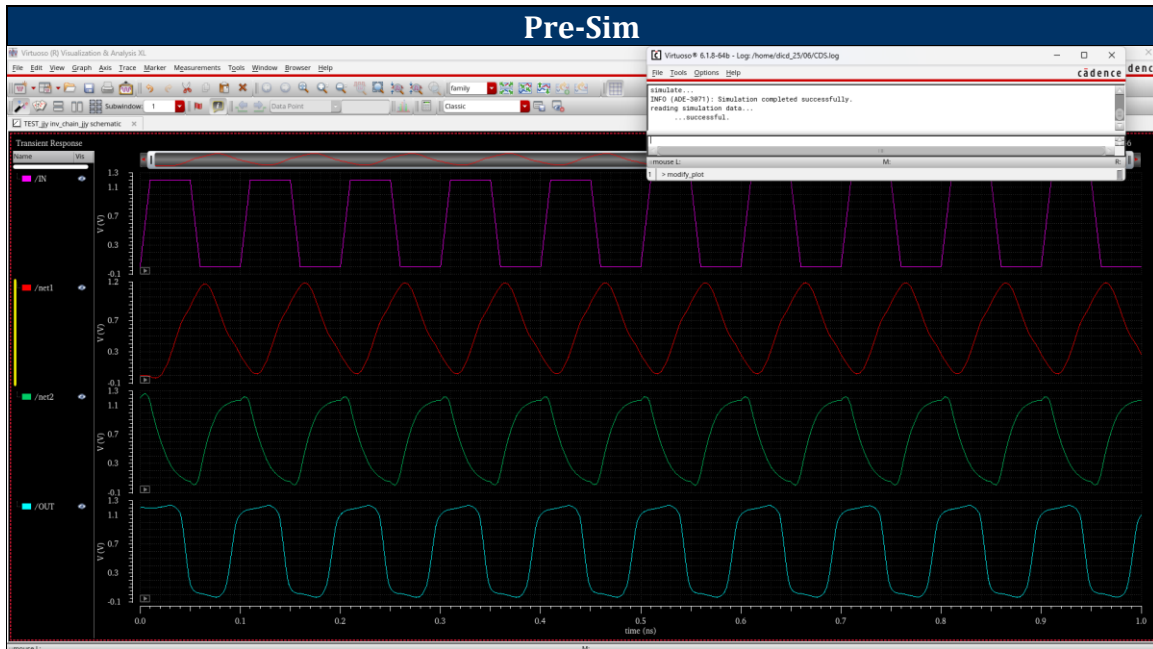
2. 본문

2-1) 실습 1 : Inverter Chain

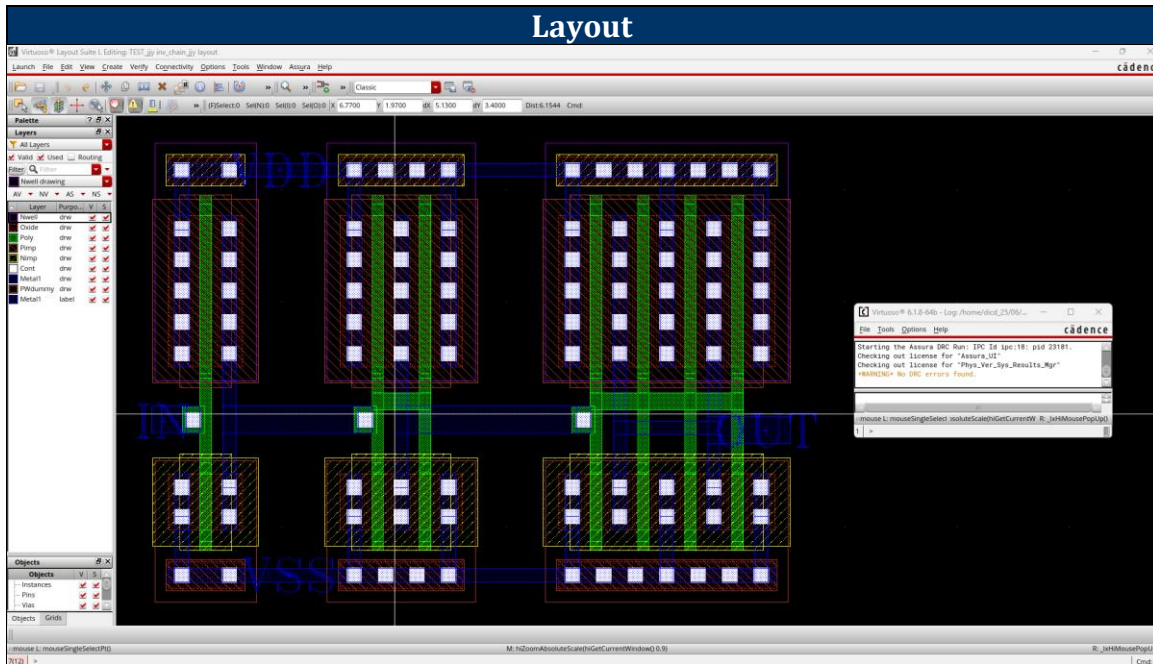
Schematic



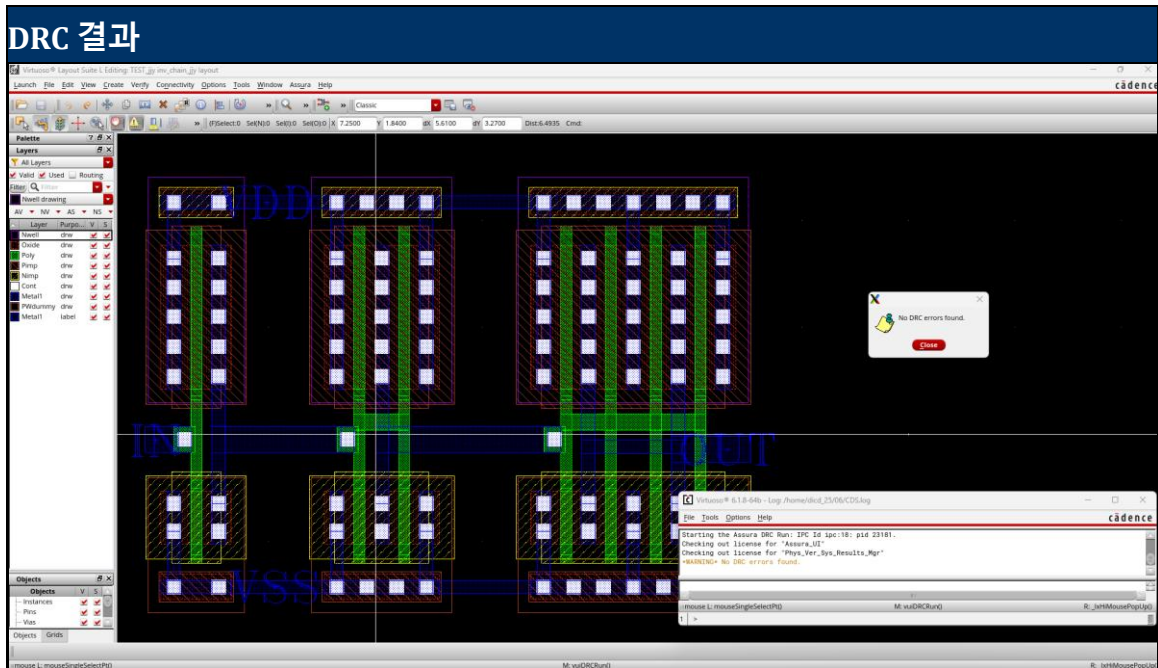
Pre-Sim 결과



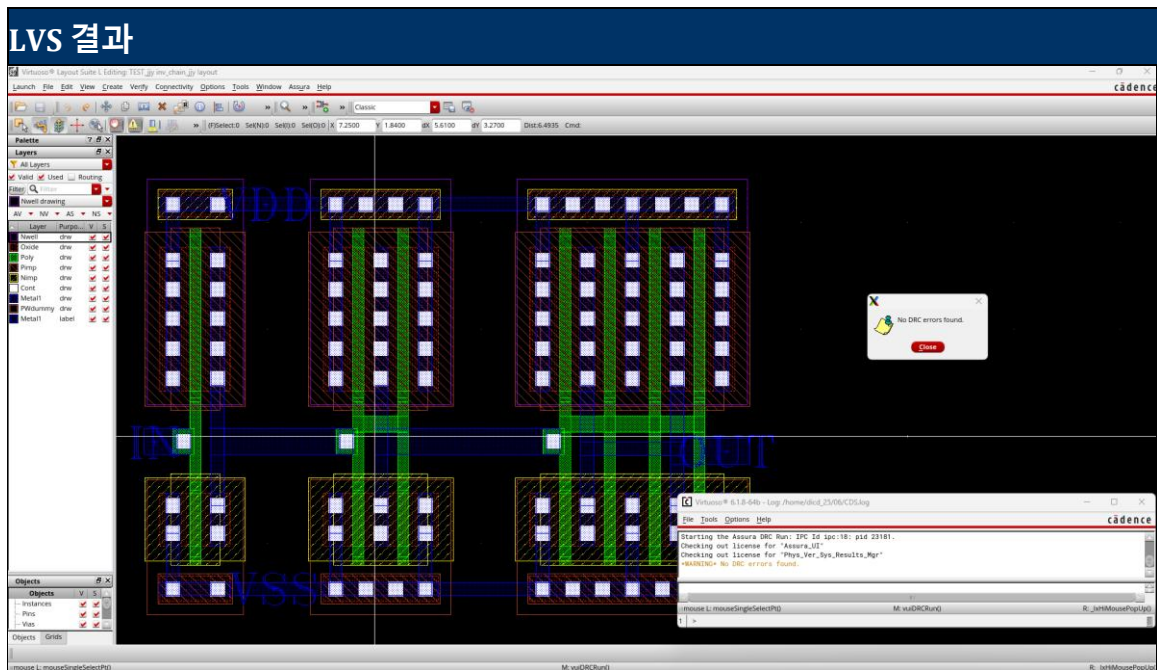
Layout



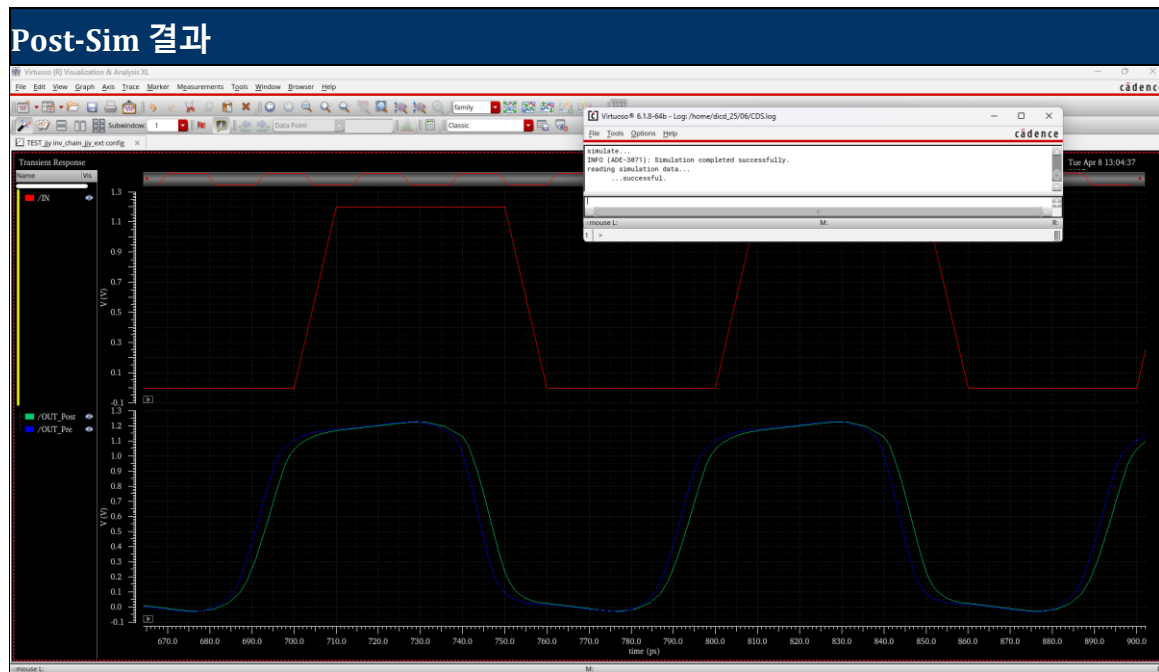
DRC 결과



LVS 결과

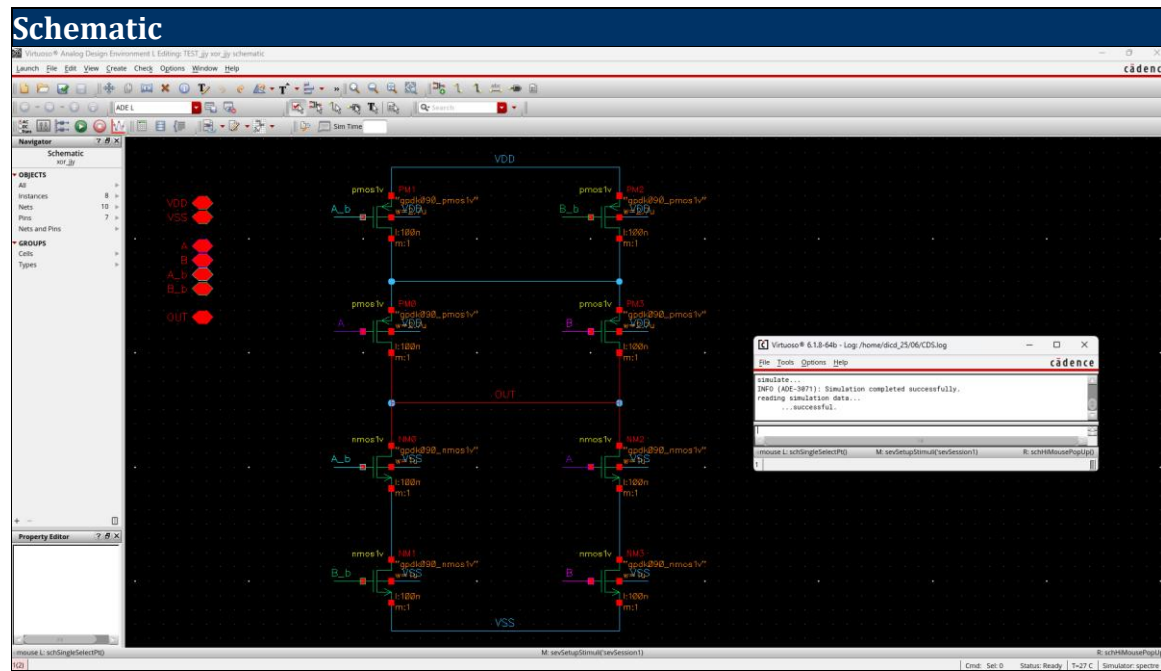


Post-Sim 결과 : tran(Pre vs. Post)



2-2) 실습 2 : XOR

Schematic



The screenshot displays the Cadence Virtuoso simulation environment. The main window shows a transient response plot with five signals: V/A (purple), V/A_b (cyan), V/B (magenta), V/B_b (green), and V/OUT (orange). The x-axis represents time in nanoseconds (ns), ranging from 0.0 to 1.0. The y-axis represents voltage (V), with scales varying for each signal. The V/OUT signal shows a complex waveform with significant ringing and overshoot. The interface includes a menu bar (File, Edit, View, Graph, Aids, Trace, Marker, Measurements, Tools, Window, Browser, Help), a toolbar, and a command window at the bottom. The command window shows the following text:

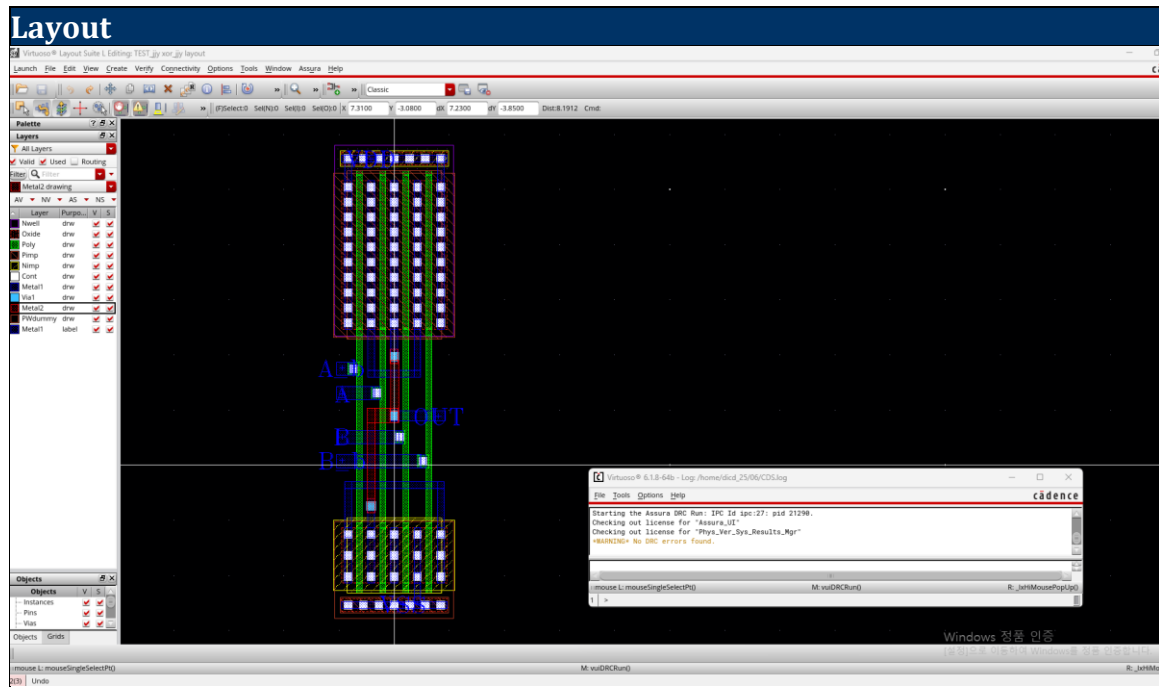
```

simulate...
INFO (ADE-3871): Simulation completed successfully.
resting simulation data...
...successful.

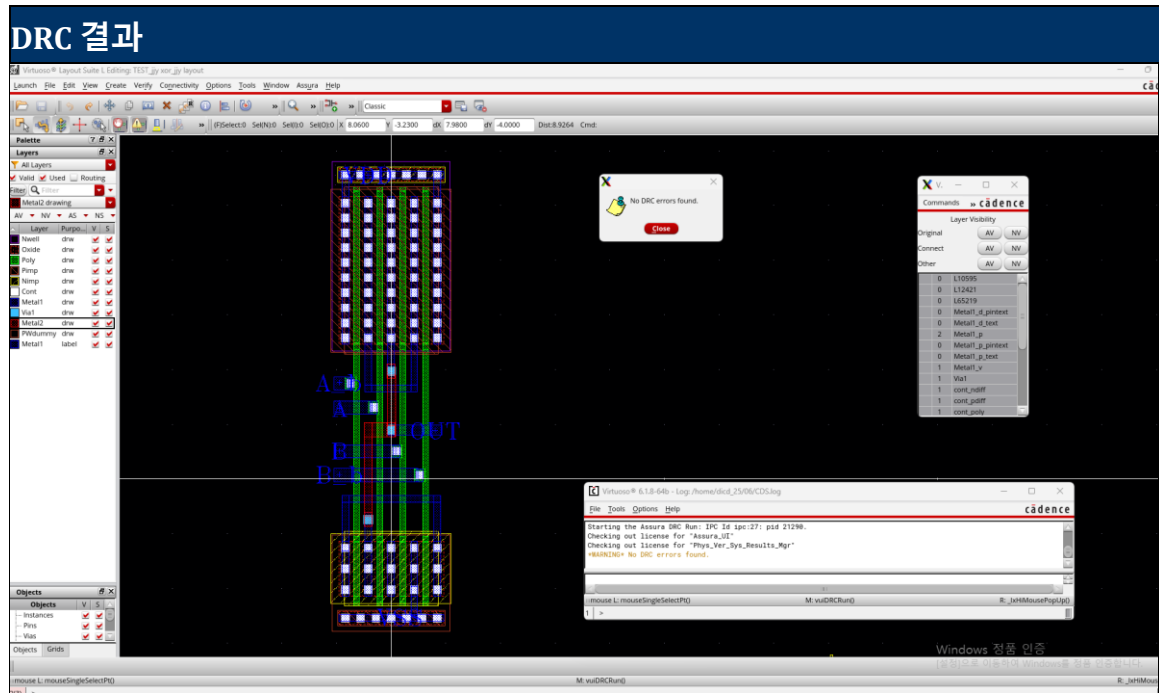
```

The status bar at the bottom indicates the current signal is V/OUT and provides instructions: "Move Selected Traces To New Strip".

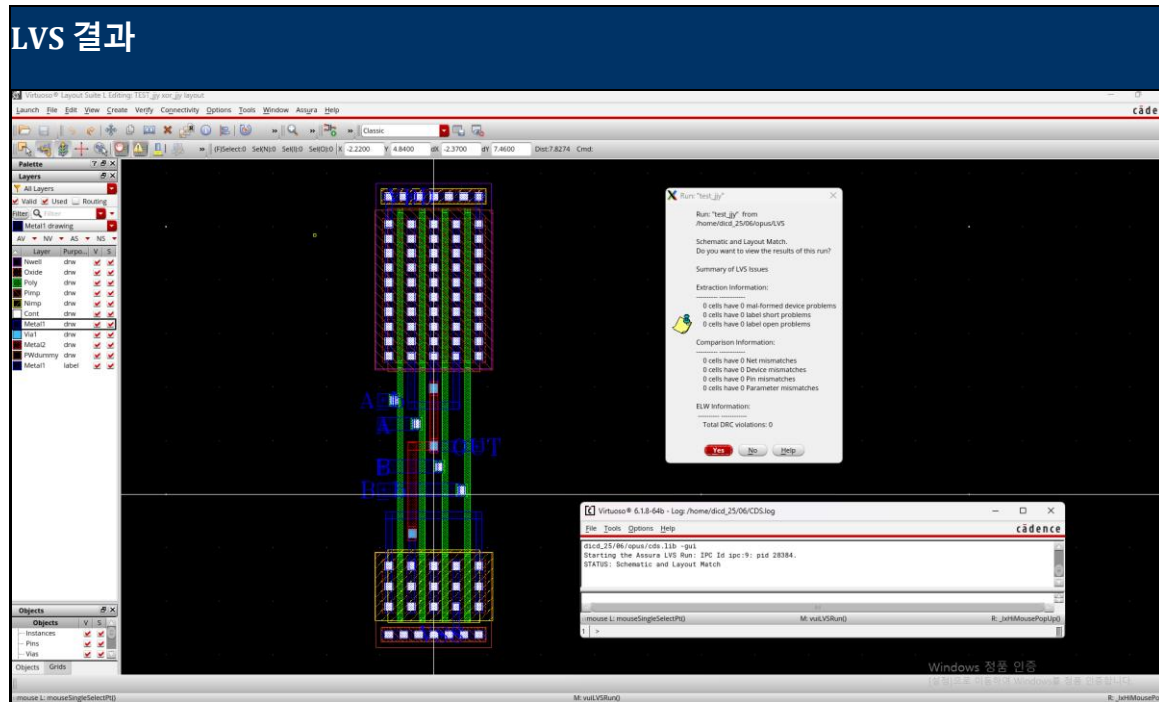
Layout



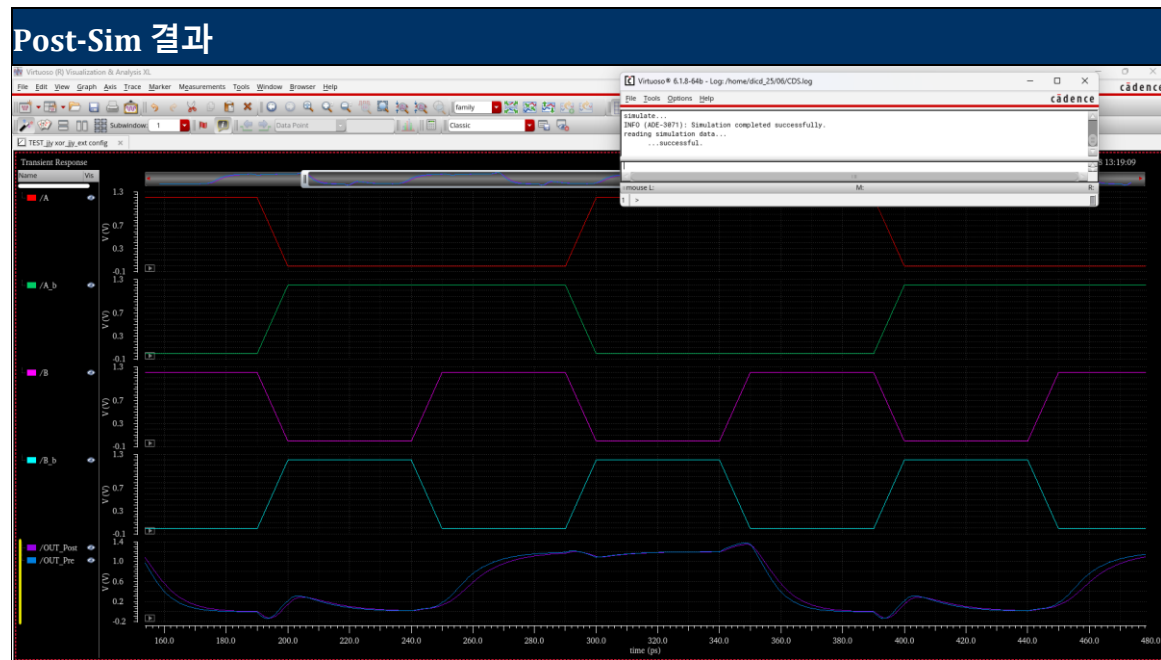
DRC 결과



LVS 결과



Post-Sim 결과 : tran(Pre vs. Post)



3. 실습 결론 및 고찰

이번 6 주차에는 **CMOS Inverter Chain 회로**와 ****XOR 게이트 (입력: A, A_b, B, B_b)****를 설계하고, 회로의 동작을 시뮬레이션 및 검증하였다. 주요 수행 작업은 다음과 같다:

1) Schematic 설계

- Inverter Chain 은 여러 개의 인버터를 직렬로 연결하여 구동력을 증가시키는 구조로 설계되었다.
- XOR 게이트는 A, A_b, B, B_b 의 네 입력을 받아 논리적 배타적 합을 구현하는 구조로 구성되었다.

2) Layout 설계

- 각 회로에 대해 DRC(Design Rule Check)를 통과하는 layout 을 구성하였다.
- 특히 Inverter Chain 은 다수의 인버터를 반복적으로 구성함에 따라 레이아웃 정렬과 공간 효율을 고려하였다.
- XOR 회로는 논리구조가 복잡하여, 연결선 및 트랜지스터 배치 최적화에 시간이 소요되었다.

3) DRC & LVS

- Layout 완료 후, DRC 를 통해 공정 제약 조건을 만족하는지 확인하였고,
- LVS(Layout vs Schematic)를 통해 layout 과 schematic 이 동일 회로 구조임을 검증하였다.

4) Pre-simulation vs Post-simulation

- Pre-sim 에서는 schematic 상에서의 이상적인 파형을 확인할 수 있었으며,
- Post-sim 에서는 layout 에서 추출된 parasitic RC 정보가 반영되어 Inverter Chain 의 propagation delay 증가와 XOR 출력의 rise/fall time 둔화 현상이 관찰되었다.

이번 실습을 통해 다음과 같은 점을 느꼈다:

• Inverter Chain 설계의 의의

Inverter Chain 은 신호를 멀리 전달하거나 큰 부하를 구동할 때 필수적으로 사용되는 구조이다. 시뮬레이션 결과, 인버터 단계 수가 증가할수록 전파 지연이 누적되지만, 각 단계의 구동력이 증가하므로 전체 출력 강도는 개선됨을 확인할 수 있었다. 특히 Post-

sim 에서 parasitic delay 의 누적이 큰 차이를 만들어냈으며, 이는 실제 칩 설계 시 구동 거리와 부하를 고려한 sizing 및 buffer 설계의 중요성을 보여주었다.

• XOR 게이트 설계의 복잡성

A, A_b, B, B_b 를 입력으로 하는 XOR 구조는 기본 XOR 보다 회로가 복잡하며, 트랜지스터 수가 많고, 배선도 복잡해 layout 작업 시 오류 발생 가능성이 높았다. schematic 상에서는 논리적으로 올바르게 작동했지만, layout 시 parasitic 영향이 커서 출력 스윙이 약해지는 문제도 발생할 수 있음을 확인했다. 이는 설계 단계에서 parasitic-aware 한 구조 구성이 얼마나 중요한지를 느끼게 했다.

• DRC, LVS, Post-sim 의 필요성

설계가 schematic 단계에서 제대로 동작하더라도, layout 반영 후에는 예상치 못한 parasitic RC 로 인해 회로 성능이 저하될 수 있다. 따라서 layout 후 Post-sim 까지 수행하지 않으면 실제 동작 여부를 장담할 수 없다는 점을 다시금 느꼈다. 특히 XOR 같이 복잡한 게이트는 layout 이후 특성이 왜곡되기 쉬워 Post-sim 이 필수적이다.