|  |  |  |
| --- | --- | --- |
| **[동계 학부연구생 프로그램] 아날로그 회로설계 Report** | | |
| **학과 : 전자공학과** | **학번 : 12191529** | **성명 : 장준영** |
| **제목 : PLL 개선방안(PFD 중심으로)** | | **조 : 7조** |

|  |
| --- |
| **배경 이론** |

1. **Divider**

Divider 회로는 TSPC\_DFF 회로를 응용하여, 입력 주파수(주로 클럭 신호)를 더 작은 주파수의 신호로 만들어 출력하는 회로이다. Divider 회로를 제대로 이해하기 위해서는 TSPC\_DFF 회로에 대해 알아야 한다.

* 1. **TSPC\_DFF**

**도표, 라인, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명**

**도표, 라인, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명**

TSPC\_DFF(True Single Phase Clocked D Flip Flop)는 입력으로 클럭(clk)과 D 신호, 출력으로 Q신호를 갖는 D Flip Flop이다. 위의 사진은 각각 clk = 0, clk = 1일 때 회로의 동작을 나타낸 것이다.

‘clk = 0’일 때, 두 번째 라인의 회로까지는 D 신호가 전달된다. 그러나 마지막 단에서 clk에 의한 MOSFET이 off 상태이므로, 마지막 단의 회로는 Inverter으로 동작하지 못한다. 따라서 Q에는 D 신호가 반영되지 못하고, 전류가 모두 커패시터 단으로 흐르면서 커패시터에 전하가 저장된다.

‘clk = 1’일 때, 마지막 단에서 clk에 의한 MOSFET이 on 상태이므로, 마지막 단의 회로는 Inverter으로 동작한다. 따라서 Q에 D 신호가 반영된다. 즉, clk = 0->1일 때 Q에 D 신호가 반영된다.

Divider 회로는 TSPC 회로를 응용하여 구현한다. Divider 회로는 다음과 같다.

스크린샷, 도표이(가) 표시된 사진

자동 생성된 설명

구조를 살펴보면, TSPC\_DFF의 출력 를 다시 입력 D에 연결하여, 클럭의 상승 에지마다 출력을 바뀌게 한다. 즉, 출력 신호의 주파수는 클럭 신호 주파수의 1/2이다. 만약 더 작은 주파수의 클럭 신호를 얻고 싶다면, 다음 그림처럼 Divider를 직렬로 연결하면 된다.

스크린샷, 블랙이(가) 표시된 사진

자동 생성된 설명

1. **PFD**

위상주파수 검출기(Phase-Frequency Detector)는 위상차이, 주파수의 높고 낮음을 검출할 수 있는 회로이다. 이 설명에서는 PFD 회로가 위상차를 감지하는 방법에 대해서만 설명하기로 한다.

도표, 라인, 평면도, 기술 도면이(가) 표시된 사진

자동 생성된 설명

위 그림에서, 왼쪽이 PFD 회로이고 오른쪽이 Timing Diagram이다. D Flip Flop은 TSPC\_DFF을 사용하였다. D Flip Flop은 클럭 신호(A, B)가 상승 에지일 때 출력 Q가 입력 D를 캐치하는 구조이다.

위 그림에서, 주파수가 동일하고 위상차가 있는 신호 A, B가 각각 D Flip Flop의 클럭 신호로 입력되고 있다. 그리고 입력 D에는 디지털 신호 1(VDD)가 계속 입력된다. 이 경우, A와 B 신호가 각각 상승 에지일 때 출력 가 1이 된다. 그러나 가 모두 1이 될 경우, 각각의 D Flip Flop에 입력되는 리셋 신호가 1이 된다. 따라서 가 1이 되는 즉시 Reset = 1이 되므로, 는 모두 0으로 초기화된다. 이 때 가 1인 시간을 측정하여 A와 B의 위상차를 계산할 수 있다.

1. **VCO**

전압 제어 발진기(Voltage Controlled Oscillator)는, 입력 신호의 전압 진폭에 따라 주파수가 달라지는 출력 신호를 생성한다. VCO에 대해 알아보기 전, 먼저 Buffer와 Oscillator에 대해 알아야 한다.

* 1. **Buffer**

버퍼(Buffer)는, 어떤 장치에서 다른 장치로 데이터를 송신할 때 발생하는 시간의 차이나 데이터 흐름의 속도 차이를 조정하기 위해 일시적으로 데이터를 기억시키는 회로이다. 버퍼는 Time Delay가 필요하거나, 큰 부하를 감당해야 할 때(신호를 살릴 때) 사용한다. Buffer의 회로도는 다음과 같다.

스크린샷, 텍스트이(가) 표시된 사진

자동 생성된 설명

구조를 자세히 살펴보면, Inverter 4개가 직렬로 연결된 구조이다. 각 Inverter마다 MOSFET의 Aspect Ratio가 4, 8, 16, 32으로 2배씩 차이가 난다. 이는 각 Inverter단에서의 출력 파형을 결정한다. Aspect Ratio가 증가할수록, 입력 신호 대비 출력 신호는 좀 더 사각형 모양의 파형을 갖는다. 다음 그림은 각 Inverter단의 출력 신호이다. 입력 신호와 비교했을 때, 출력 신호가 좀 더 각진 모양의 파형을 갖는 점을 확인할 수 있다. 또한, 입력(IN)신호와 출력(OUT)신호의 위상을 비교해 보면, 약 반주기 정도의 위상차가 발생하고 있음을 확인할 수 있다.

스크린샷, 텍스트이(가) 표시된 사진

자동 생성된 설명

* 1. **Oscillator**

발진기(Oscillator)는 주파수원이다. 일반적으로 저주파에서는 크리스탈류의 자가공진 발진기를 이용하지만, 고주파에서는 활용하기 어렵다. 고주파에서는 능동소자와 DC 전원을 이용하여 특정한 주파수의 신호를 생성한다.

이번 학부연구생 프로그램에서는 Ring Oscillator 회로를 사용하였다. Ring Oscillator는, Inverter 홀수 개를 직렬 연결하여 출력 신호의 위상이 입력 신호 위상과 180도 차이가 나게끔 하는 Oscillator이다. Oscillator는 피드백 시스템이므로, ‘바크하우젠 발진조건(Barkhausen)’에 의해 발진한다.

* 1. **바크하우젠 발진조건(발진의 안정 조건)**

바크하우젠 발진조건은 다음과 같다.

발진회로에서,

1. Loop Gain = 1
2. 입력 신호의 위상과 출력 신호의 위상이 180도 차이가 남.

Buffer와 Oscillator에 대한 내용을 바탕으로, 이제 VCO를 이해해 보도록 하자. 다음 그림은 VCO를 파트별로 나눈 것이다.



우선 Ring Oscillator Stage는, Ring Oscillator를 통해 발진이 이루어지는 부분이다. Inverter를 홀수 개 연결하면, 일정한 delay를 가지면서 logic high와 low를 반복하면서 발진한다.

다음으로 Current Sources는, Ring Oscillator에서 각 단의 delay를 조절하는 역할을 한다. 만약 전류가 많이 흐르면 충/방전 속도가 빠르니 delay가 짧아질 것이고, 전류가 적게 흐르면 그 반대가 될 것이다. 이를 통해 특정 주파수를 선택할 수 있다.

Bias Stage에서는 Current Source의 전류 크기를 조절하는 역할을 한다. VCO는 전압을 통해 주파수를 조절하는 회로이다. 회로를 보면, 을 통해 전류원의 전류를 조절하여 최종적으로 주파수를 선택할 수 있게 한다.

마지막으로 Buffer Stage는 오로지 신호의 힘을 키우는 역할을 수행한다.

1. **CP**

Charge Pump(CP)는 전원이 갖고 있는 Voltage보다 높거나 낮은 전압의 Power Source를 만들기 위해서 capacitor를 이용하는 일종의 DC to DC Converter이다. 일반적인 DC to DC Converter와 비교했을 때, Charge Pump는 에너지를 저장하기 위해서 capacitor를 사용하므로 소형으로 제작 가능하며 90~95%의 매우 높은 효율을 갖는다. 그러나 최대 출력 전류가 작다는 단점이 있다.

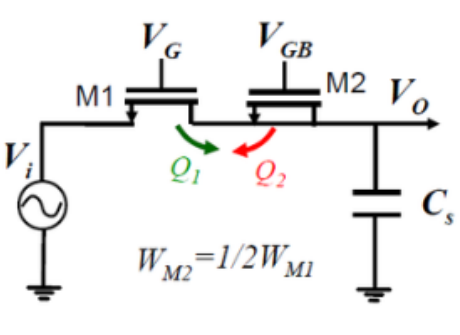
**도표, 평면도, 기술 도면, 라인이(가) 표시된 사진

자동 생성된 설명**

위 그림에서 왼쪽은 PFD + Charge Pump 회로도, 오른쪽은 입력신호(A, B)에 따른 출력을 Timing Diagram으로 나타낸 것이다. 참고로 회로도의 스위치()는 MOSFET으로 구현하였다. 이면 , 이면 인 것이다. 이는 B에 대해서도 마찬가지이다.

회로가 동작을 시작하면, 이다. 그러다가 A=0->1이 될 때, 이 된다. 이 때 이므로 이다. 따라서 전류 은 커패시터 쪽으로 흐른다. 이 과정을 통해 에 전하가 충전되면서 양단에 걸리는 전압이 증가한다. 따라서 이 증가한다. 그러다가 B=0->1이 될 때, 이 된다. 따라서 가 된다. 이 때 PFD의 리셋 작용에 의해 이 되면서 두 스위치가 모두 open된다. 따라서 에 전하가 충전되는 과정이 멈춰지고, 역시 증가하지 않는다.

이번 학부연구생 프로그램에서는 Dummy Switch를 사용하여 CP를 구현하였다. ‘Dummy Switch’란, MOSFET의 Drain단과 Source단을 short시킨 것이다. 다음 그림에서 M2가 Dummy Switch이다. 는 서로 complement 관계의 신호이다.



Dummy Switch를 사용하는 이유는, Channel Charge Injection과 Capacitive Feed-Through를 막기 위해서이다. Channel Charge Injection이란, MOSFET이 OFF될 때 channel의 charge가 다른 곳으로 퍼져 나가는 현상이다. Capacitive Feed-Through란, MOSFET의 커패시턴스 성분에 의해, Gate에 연결된 switch on/off 신호가 출력 전압에 전달되는 현상이다.

두 효과를 막기 위한 Dummy Switch의 작용을 살펴보자. M1이 OFF될 경우, M1 channel charge의 절반이 dummy switch으로 주입된다(이를 위해 dummy switch의 크기는 M1의 1/2배이다.). M2는 ON이므로, channel이 형성되어 있다. 따라서 M1에 의해 주입된 전하가 M2의 channel charge와 만나 사실상 ‘삭제’된다. 만약 M2가 OFF될 경우, 역시 M2 channel charge의 절반이 양쪽으로 퍼져 나간다. 그러나 source단과 drain단이 short되어 있고 M1이 ON이므로, M2의 channel charge는 거의 대부분 M1으로 빠져나간다. 전하는 임피던스가 더 작은 쪽으로 흐르기 때문이다.

1. **PLL**

도표, 평면도, 기술 도면, 라인이(가) 표시된 사진

자동 생성된 설명

위상 동기 루프(Phase Locked Loop, PLL)란, Reference Clock을 입력으로 받아 원하는 주파수의 clock을 출력하는 회로이다. 이 때 Reference Clock은 Crystal Oscillator를 사용하여 생성한다. Crystal Oscillator가 생성한 클럭 신호는 Noise가 거의 없다는 장점이 있지만, 동시에 높은 주파수의 클럭 생성이 어렵다는 단점이 있다.

PLL은 온도나 환경에 의한 영향을 거의 받지 않고, 설계자가 원하는 주파수를 출력한다는 장점이 있다. PLL은 다음의 동작과정을 통해 설계자가 원하는 주파수의 클럭을 출력한다.

1. 출력 주파수를 N(강의에서 N = 5)배로 나눈 Divider를 통과한 신호와, Crystal Oscillator에서 나온 Reference clock 신호를 PFD에 입력한다. PFD에서는 두 신호를 비교하여 Phase차에 해당하는 Pulse 신호를 출력한다.
2. Charge Pump에서는 Up, Down 신호를 입력받아, 그에 맞는 DC 전압을 출력한다.
3. CP에서 출력된 전압이 VCO에 인가되면, 그에 맞는 주파수 신호로 다시 변환되어 출력된다.
4. 위와 같은 상황을 반복하면서, 온도나 환경에 의해 달라진 주파수가 결국에는 설계자가 원하는 주파수로 고정된다.

|  |
| --- |
| **탐구 과정** |

1. **Nonideality CP**

기존의 CP는 PMOS단의 전압 강하가 발생하여 원하는 만큼의 전압이 에 걸리지 않는다. 즉, 원하는 만큼의 전하가 에 저장되지 않는다. 이는 PMOS의 기생 커패시턴스 성분 때문이다. MOSFET은 기본적으로 접합 구조이기 때문에 커패시턴스 성분이 존재한다.

도표, 라인, 텍스트, 폰트이(가) 표시된 사진

자동 생성된 설명

이를 보완하기 위한 방법이 바로 Bootstrapping 회로이다. Bootstrapping 회로란, 더 높은 전압을 걸리게끔 유도하여 원하는 크기의 VCONT를 얻는 것이다. 일반적인 Bootstrapping 회로에서는 커패시터와 다이오드를 활용한다. 그러나 이번 학부연구생 프로그램에서는 OP AMP를 활용하여 구현하였다. 개선된 CP의 대략적인 구조는 다음과 같다.

도표, 라인, 종이접기이(가) 표시된 사진

자동 생성된 설명

위 회로의 동작을 살펴보자. 만약 가 켜진다면, 원래대로라면 를 구현하는 PMOS에 의해 전압 강하가 발생한다. 그러나 개선된 회로에서는 OP AMP를 사용하여 증폭된 전압이 Y단에 걸린다. 따라서 에 의해 전압강하가 발생하더라도, 에는 원하는 만큼의 전압이 걸리게 된다. 이것이 의 증가 작용에서 얻는 이득이다.

다음으로 의 감소 작용에서 얻는 이득을 살펴보자. 만약 이 켜진다면, 원래대로라면 (에 걸린 전압) – (에 걸린 )만큼의 전압이 전류원 에 걸리게 된다. 그러나 개선된 회로에서는 OP AMP를 사용하여 증폭된 전압이 의 드레인 단에 걸리게 되므로, 의 영역을 좀 더 안정적으로 Saturation 영역에 존재하게끔 할 수 있다.

MOSFET과 기타 수동 소자들로 설계한 OP AMP의 회로도는 다음과 같다.

스크린샷, 우주이(가) 표시된 사진

자동 생성된 설명

이렇게 설계한 OP AMP를 활용하여 구현한 개선된 CP 회로도는 다음과 같다.

스크린샷이(가) 표시된 사진

자동 생성된 설명

1. **Nonideality PFD**

기존의 PFD가 가진 문제점은, Up 출력신호와 Down 출력신호의 시간차이다. 이것이 문제가 되는 이유는, 이로 인해 VCONT 신호가 불안정해질 수 있기 때문이다. 다음 Timing Diagram이 이 문제점을 쉽게 보여준다.

도표, 라인, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명

위 회로에서, 신호 와 가 동시에 출발한다고 가정하자. 는 에 바로 도착하지만, 는 Inverter를 거친 후 에 도착한다. 즉, 두 신호간의 딜레이가 발생한다. 이로 인해 (b)에서처럼 가 불안정해진다. 즉, static-0-hazard가 발생한 것이다.

이를 개선하기 위해, 신호에도 딜레이를 주어 결과적으로 와 가 동시에 MOS에 도달하도록 설계할 것이다. 다음 그림과 같이 설계하여 에 딜레이를 줄 수 있다.

도표, 라인, 폰트이(가) 표시된 사진

자동 생성된 설명

개선된 회로를 보면, NMOS와 PMOS의 병렬연결을 통해 딜레이를 주었다. 이렇게 설계한 이유는 두 가지이다.

첫째, Inverter는 MOS 1개에 해당하는 딜레이를 신호에 인가한다. 따라서 도 똑같이 MOS 1개만을 거치도록 설계하였다.

둘째, 만약 PMOS나 NMOS 둘 중 하나만을 딜레이 인가에 사용하였다면, 의 logic high/low 여부에 따라 전류가 흐를 수도, 흐르지 않을 수도 있다. 즉, 가 전달되지 않을 수 있다. 따라서 의 logic high/low 여부에 상관없이 신호가 전달될 수 있도록 NMOS와 PMOS의 병렬연결을 통해 딜레이 인가 파트를 구현하였다. 여기까지의 개선 내용은 모두 TSPC\_DFF\_RST 모듈에 구현하였다.

다음으로 개선해야 할 부분은, Reset에 걸리는 시간이다. 기존의 PFD에서 TSPC\_DFF\_RST의 리셋은 AND Gate를 통해 이루어졌다. 그러나 AND Gate는 입력부터 출력까지 2개의 MOS를 거쳐야 한다. AND Gate와 동일한 작용을 할 수 있는, NOR Gate로 교체하면 Reset 시간을 줄일 수 있다. 이를 위해서는 1) TSPC\_DFF\_RST에서 별도로 출력의 NOT 신호를 생성하여 출력해야 하며 2) 효율적인 NOR Gate를 설계해야 한다.

위 개선점을 모두 반영한 PFD 회로는 다음과 같다.

스크린샷, 우주이(가) 표시된 사진

자동 생성된 설명

* 1. **Nonideality TSPC\_DFF\_RST**

위에서 논의한 TSPC\_DFF\_RST의 개선점은 크게 2가지였다.

1. 에 딜레이를 줄 것.
2. , 신호를 별도로 생성하여 NOR gate에 인가할 것.

위 사항들을 모두 반영한, 개선된 TSPC\_DFF\_RST는 다음과 같다.

스크린샷이(가) 표시된 사진

자동 생성된 설명

기존의 TSPC\_DFF\_RST와 비교해 보면, 신호의 이동 경로에 딜레이 역할을 하는 MOS가 추가된 점을 확인할 수 있다. 또한, NOR gate으로 입력될 신호 QB\_PRE단이 별도로 존재하는 점도 확인할 수 있다.

* 1. **NOR Gate에서 Pull-Up 파트의 변화에 따른 시뮬레이션 변화**

이제 Nonideality PFD에서 필요한 NOR Gate를 설계하겠다. NOR Gate의 기본 회로도는 다음과 같다.

도표, 라인, 평면도이(가) 표시된 사진

자동 생성된 설명

이 회로에서 각 MOSFET의 Aspect Ratio를 정해주는 것이 중요하다. 우선 NMOS의 w = 220nm, l = 180nm으로 고정하였다. 그리고 PMOS의 w = 580nm, l = 180nm으로 설정한 후, finger = 1,2,4,8,16,32으로 변화를 주면서 NOR Gate의 시뮬레이션 파형과 PLL의 시뮬레이션 파형을 관찰하였다. 주요 관찰 포인트는 0에서 1으로 변화하는 데 걸리는 시간, 잡음 신호의 크기이다. 0에서 1으로 변화하는 데 걸리는 시간은, 최저점에서 최고점의 1/배가 되는 지점 ( = 약 1.3V)까지의 dx를 관찰한다. 잡음 신호의 크기는, 1이 되면 안 되는 지점에서의 glitch의 크기 ( = dy)를 관찰한다.

1. **Finger = 1**

|  |  |  |
| --- | --- | --- |
| **회로도** |  | |
| **0에서 1까지 걸리는 시간** |  | **62.9334ps** |
| **잡음 크기** |  | **189.592mV** |
| **PLL의 Jitter 크기** |  | **1.402122ps** |

개선되기 전의 PLL Jitter = 543.0525(fs)이었으므로, 이 회로는 개선된 PLL이라고 보기에는 무리이다. Finger를 증가시켜 가면서 경향성을 관찰해야겠다.

1. **finger = 2**

|  |  |  |
| --- | --- | --- |
| **회로도** |  | |
| **0에서 1까지 걸리는 시간** |  | **35.9431ps** |
| **잡음 크기** |  | **319.449mV** |
| **PLL의 Jitter 크기** |  | **1.150252ps** |

개선되기 전의 PLL Jitter = 543.0525(fs)이었으므로, 이 회로는 개선된 PLL이라고 보기에는 무리이다. 다만 고무적인 점은, finger = 1인 회로에 비해 Jitter가 감소한 점이다. 즉, finger를 증가시키는 방향성이 맞다는 의미이다. 다음 시뮬레이션에서는 finger = 4로 하여 결과를 관찰해 보자.

1. **finger = 4**

|  |  |  |
| --- | --- | --- |
| **회로도** |  | |
| **0에서 1까지 걸리는 시간** |  | **29.0121ps** |
| **잡음 크기** |  | **522.66mV** |
| **PLL의 Jitter 크기** |  | **439.7514fs** |

개선되기 전의 PLL Jitter = 543.0525(fs)와 비교했을 때, 더 작은 Jitter 값을 갖는다. 즉, 이 회로는 개선되었다고 말할 수 있다. 여기서 더 작은 Jitter를 갖도록 설계할 수 있는지, finger를 증가시키면서 관찰해야겠다. 다음 시뮬레이션에서는 finger = 8으로 하여 결과를 관찰해 보자.

1. **finger = 8**

|  |  |  |
| --- | --- | --- |
| **회로도** | **생략.** | |
| **0에서 1까지 걸리는 시간** |  | **29.4265ps** |
| **잡음 크기** |  | **794.14mV** |
| **PLL의 Jitter 크기** |  | **176.1625fs** |

지난 시뮬레이션과 비교해 보았을 때, Jitter가 약 1/4배의 값으로 크게 감소하였다. PLL의 기능이 크게 향상된 것이다.

NOR Gate 자체의 기능을 볼 때, 비록 잡음의 크기는 증가하였지만 전체 출력 신호에 영향을 줄 만큼 큰 신호는 아니다. 또한 0->1 transition 시간이 30ps 이하로 빠르게 동작한다.

다음 시뮬레이션에서는 finger = 16으로 하여 결과를 관찰해 보자.

1. **finger = 16**

|  |  |  |
| --- | --- | --- |
| **회로도** |  | |
| **0에서 1까지 걸리는 시간** |  | **29.1808ps** |
| **잡음 크기** |  | **970.7mV** |
| **PLL의 Jitter 크기** |  | **1.74348ps** |

이전 시뮬레이션과 비교했을 때, Jitter의 크기가 약 10배 정도 증가하였다. 즉, finger의 크기가 증가한다고 하여 Jitter의 크기가 마냥 감소하는 것은 아니라는 의미이다. 또한, NOR Gate의 잡음의 크기도 더는 무시못할 수준의 크기로 증가하였다. 따라서 finger = 8일 때와 비교했을 때, 개선된 회로라고 말하기 어렵다.

Finger와 Jitter의 상관관계를 보다 확실히 하기 위해, 마지막으로 finger = 32으로 설정하여 시뮬레이션 결과를 관찰해 보자.

1. **finger = 32**

|  |  |  |
| --- | --- | --- |
| **회로도** | **생략.** | |
| **0에서 1까지 걸리는 시간** |  | **30.9803ps** |
| **잡음 크기** |  | **1.262V** |
| **PLL의 Jitter 크기** |  | **45.89673ps** |

Finger = 16일 때와 비교해 봐도, Jitter의 크기가 증가한 점을 육안으로도 확인할 수 있다. Jitter = 45.89673(ps)으로, finger = 16일 때보다 약 45배 증가하였다. NOR Gate 자체의 성능을 보더라도, 잡음의 크기가 1V를 넘는 등 정상적인 동작을 한다고 보기 어렵다. 또한 NOR Gate 출력파형을 보면, 디지털 신호라고 보기 어려울 정도로 신호가 요동치고 노이즈가 많이 끼어 있다. 즉, finger = 32인 회로는 PLL으로 활용하기 어렵다.

전체적인 경향성을 보면, finger를 1에서 8까지 증가시키는 동안에는 Jitter의 크기가 감소하고 있다. 그러다가 finger = 8에서 jitter = 176.1625fs으로 최소를 갖는다. 이후 finger = 16~32의 구간에서는 jitter의 크기가 증가하는 점을 확인할 수 있다.

(이유 보완)

다음으로 NOR Gate 자체의 파라미터를 살펴보자. 우선 0에서 1까지 변하는 시간을 살펴보면, finger = 1~4까지의 구간에서는 시간이 감소된다. 그리고 finger = 4~16의 구간에서는 약 29ps으로 일정하게 유지된다. 그러다가 finger = 32부터 30ps으로 서서히 증가한다. 다만 이는 기준이 되는 y값이 각자 다르기 때문에 정확한 경향성이라고 말하기 어렵다.

이를 보완하기 위해 추가로 측정한 것이 바로 ‘glitch(글리치)’이다. 글리치는 입력신호 딜레이 때문에 발생한다. 이번 시뮬레이션에서는 글리치의 크기가 클수록, 0->1으로 더 빠른 전환이 이루어진다고 해석할 수 있다.

글리치 크기의 경향성을 보면, finger의 크기가 증가할수록 글리치의 크기 역시 증가한다. 따라서 finger의 크기가 증가할수록 0->1으로 더 빠른 전환이 발생한다고 해석할 수 있다. 다만 글리치의 크기가 클수록 오류 신호를 출력할 가능성이 증가하기 때문에, 글리치의 크기는 작을수록 좋다. 실제로 finger = 32에서는 글리치 신호의 크기가 매우 컸기 때문에, jitter의 크기가 매우 컸다.

만약 Pull-Up 부분을 수동 저항으로 설계하면 어떤 결과가 나올까? R = 10, 100(kΩ)으로 설정하여 시뮬레이션을 진행하였다.

1. **R = 10 kΩ**

|  |  |
| --- | --- |
| **회로도** |  |
| **NOR 파형** |  |
| **PLL 파형** |  |
| **PLL Jitter** |  |

이 회로는 정상적인 NOR Gate으로 동작하고 있지 않다. 또한 PLL 파형의 VCONT가 계속 진동한다. 즉, 설계자가 원하는 주파수의 신호를 출력하지 않고, 출력 신호의 주파수가 계속 변한다. PLL Jitter 역시 시간축 신호가 심하게 흔들리면서, 신호가 엉망으로 출력된다. 즉, 이 회로는 PLL으로 사용할 수 없다.

1. **R = 100kΩ**

|  |  |
| --- | --- |
| **회로도** |  |
| **NOR 파형** |  |
| **PLL 파형** |  |
| **PLL Jitter** |  |

R = 10kΩ일 때와 비교했을 때, 이 회로는 훨씬 향상된 수준의 동작을 보인다. 다만, 이 회로 역시 PLL으로 활용하기에는 무리가 있다. 그 이유는 VCONT를 보면 알 수 있는데, 설계자가 원하는 주파수대로 수렴하는 듯하다가 갑자기 하락하면서 엉뚱한 주파수를 출력하는 전압으로 수렴하기 때문이다. 즉, 이 회로 역시 PLL으로 사용하기에는 부족하다.

|  |
| --- |
| **인용 및 출처** |

1. 조성근 조교님, 강의자료, ‘1\_PLL 강의\_Cadence Virtuoso사용법’
2. 조성근 조교님, 강의자료, ‘2\_PLL 강의\_Divider\_PFD’
3. 조성근 조교님, 강의자료, ‘3\_PLL 강의\_VCO’
4. 조성근 조교님, 강의자료, ‘4\_PLL 강의\_CP’
5. 조성근 조교님, 강의자료, ‘5\_PLL 강의\_LF\_Nonideality’
6. [CMOS Logic Gates Explained - ALL ABOUT ELECTRONICS](https://www.allaboutelectronics.org/cmos-logic-gates-explained/)
7. [TYPE-Ⅱ(2) PLL에 대한 정리 (tistory.com)](https://doctorinformationgs.tistory.com/236)
8. [RF 회로개념 잡기 - PART 3 ▶ PLL (Phase Locked Loop) (rfdh.com)](http://www.rfdh.com/bas_rf/begin/pll.php3)
9. [전압제어 발진기(Voltage-Controlled Oscillator, VCO)에 대해 (tistory.com)](https://doctorinformationgs.tistory.com/228)
10. [VCO (전압제어발진기 : Voltage Controlled Oscillator) > 위성방송, 위성통신, 헤드엔드 용어 | 에스비테크 | 위성안테나, 헤드엔드 전문 | 에스비테크 쇼핑몰 (sbtech.kr)](http://sbtech.kr/bbs/board.php?bo_table=sbtech_data&wr_id=449)
11. [링오실레이터 ring oscillator 동작 설명 및 측정 방법 (tistory.com)](https://tech-goodtohear.tistory.com/22)
12. [위상 잡음(Phase Noise)과 위상 지터(Phase Jitter)란? (tistory.com)](https://rf-yeolmu.tistory.com/45)