세미나 보고서

학 과	학 년	학 번	성 명	일 시
전기전자공학부	4	12191529	장준영	04/16
ᆙᆔᆡᄌᆌ	Manage Co. LIDBA To at			

세미나 주제

Memory & HBM Test

세미나 핵심내용

1) 목적: DRAM 기술 및 메모리 테스트 공정 전반에 대한 이해를 높이고, 최신 반도 체 패키징 트렌드와 수율 관리의 중요성을 학습.

2) 주요 내용

#1. (DRAM) Memory Trend 변천사

- 3가지 기술적 변곡점: Synchronous, Double Data Rate, ECC
- 최근 요구사항: 저전력, 고속동작, 고용량

#2. Memory Test 기본 컨셉

- Data Input과 Output을 정확히 Matching시켜주는 것.
- Corrective, Screenability, Reliability
- Measure(공정 규격), Test(전기적 특성 검사)
- Test 공정: Wafer Test, Package Test, Midule Test
- 상태 분류: Good, Repairable, Fail Die
- 과정: Loading, TDBI, Hot/Cold Speed, MVP(Device Marking, Visual Inspection, Packing 공정), QA(Quality Assurance)

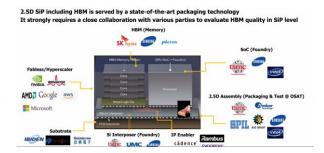
#3. Module & SSD Test 공정

- Chip Mount(PCB 상에 부품 실장), Cycle Test, Under Fill, Case & Label, POST, QSA
- Original Good Die 수율 획득 불가. -> Repair 필수!
- 수율: 투입된 제품이 처리과정을 통하여 완성 제품으로 나오는 비율.
- 여기서는 Wafer 내 Total Die 수 대비 Good Die 수.

- Cum 수율 = Fab * Wafer_Test * Package_Test
- Binning: 제조된 제품의 양품 내에서 완성 제품(Output)의 특성별(Speed, Current) 구분 수율.

#3. HBM Ecosystem Overview





- SiP: System-in-Package -> HBM + Processor
- CoWoS(TSMC), EMIB(INtel), CoCoS(other OSATS)

고찰

이번 DRAM 및 메모리 테스트 공정에 대한 내용을 정리하면서, 반도체 산업에서 '검증'과 '수율'이라는 개념이 얼마나 중요한지를 다시 한 번 실감하게 되었다. 단순히 메모리를 설계하고 제조하는 것을 넘어서, 실제로 제대로 동작하는지를 일일이 확인하고, 그 결과를 기반으로 분류(Binning)하거나 수리하는 작업이 매우 정교하게 이뤄지고 있다는 점이 인상 깊었다.

특히 HBM 생태계를 보며, DRAM이 단독으로 존재하는 것이 아니라 프로세서와 패키징 기술(CoWoS, EMIB 등)을 통해 시스템 차원에서 통합된다는 점도 흥미로웠다. 이제는 메모리 기술도 단순 용량 경쟁이 아니라, 속도, 소비 전력, 통신 구조까지 포함한 종합적인 시스템 설계의 일부라는 걸 느낄 수 있었다.

그리고 무엇보다, 원래는 Wafer 수율로만 성능을 평가할 줄 알았는데, 실제로는 Fab 공정, Wafer Test, Package Test까지 누적 수율을 따지고, 또 Output의 전류/속도 특성에 따라 나눠서 제품화한다는 점에서 '좋은 제품'을 만들기 위한 끊임없는 노력이 엿보였다.

이처럼 반도체 산업은 결국 '보이지 않는 완성도'를 쌓아올리는 산업이라는 느낌이들었다. 눈에 보이지 않는 작은 결함 하나가 전체 시스템에 영향을 줄 수 있다는 사실이, 품질관리와 테스트의 중요성을 더욱 부각시킨다.