

DICD 2025_1

10 주차 실습 보고서

학번: 12191529

이름: 장준영

1. 이론

#1. Full Adder

Full-Adder(FA)는 디지털 회로에서 두 개의 입력 비트와 이전 자리에서 전달되는 이월 입력(Carry-in)을 받아, 그 결과로 합(Sum)과 새로운 이월 출력(Carry-out)을 생성하는 조합 논리 회로이다. 반가산기(Half Adder)가 이월 입력 없이 두 비트만 더할 수 있는 데 반해, 전가산기는 이월 입력을 고려하기 때문에 연속적인 이진 덧셈 연산을 수행할 수 있으며, 실제로 다비트 가산기 구조에서는 여러 개의 전가산기를 직렬로 연결하여 사용한다.

Full Adder의 입력은 A, B, 그리고 이전 자리에서 넘어온 Carry-in(C_{in})으로 구성되며, 출력은 현재 자리의 합(Sum)과 다음 자리로 전달되는 Carry-out(C_{out})으로 구성된다. Full Adder의 동작은 다음과 같은 논리식으로 표현된다. 합 출력은 세 입력의 XOR 연산으로, $S = A \oplus B \oplus C_{in}$ 으로 정의되며, 이는 입력 비트 중 홀수 개가 '1'일 때 출력이 '1'이 되는 특성을 가진다. Carry-out 출력은 다수결 논리 구조로, $C_{out} = AB + AC_{in} + BC_{in}$ 과 같이 표현되며, 세 입력 중 두 개 이상이 '1'일 때 Carry가 발생하도록 구성되어 있다.

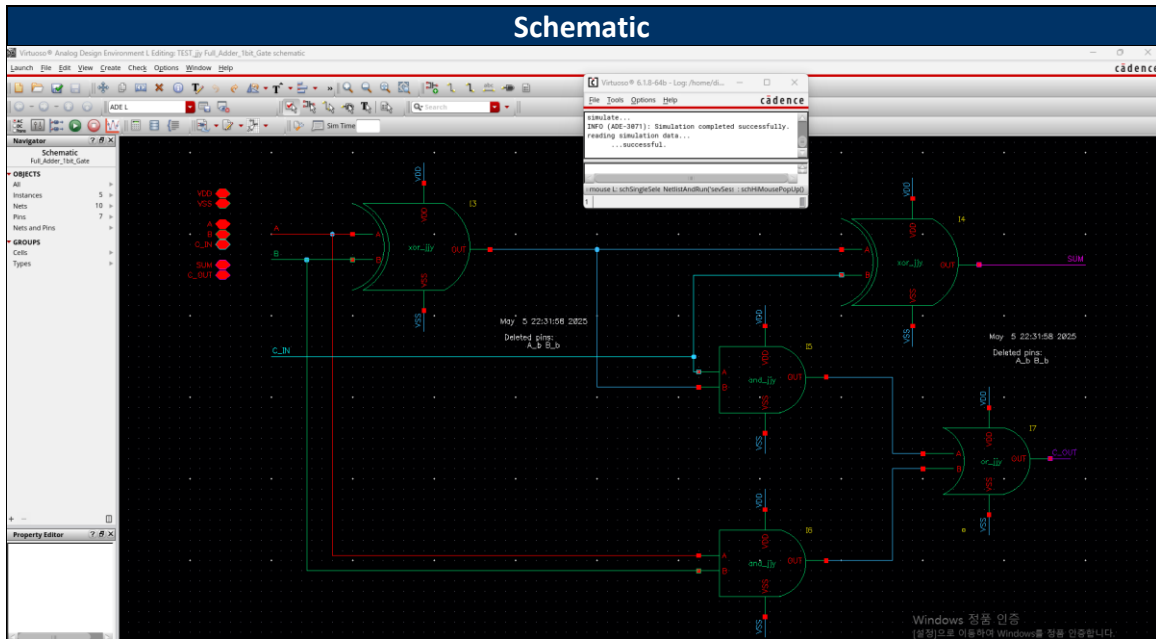
회로 구현 측면에서는 Full Adder를 XOR, AND, OR 게이트의 조합으로 설계할 수 있으며, 흔히 두 개의 Half Adder와 하나의 OR 게이트를 결합하여 구현하는 방식이 사용된다. CMOS 회로 설계에서는 Complementary 방식, Transmission Gate 방식, 또는 Pass-Transistor 방식으로 구현이 가능하며, 각각의 방식은 속도, 전력 소모, 면적, 출력 신호 강도 등에서 서로 다른 특성을 가진다.

Full Adder는 디지털 시스템 내에서 매우 빈번하게 사용되는 기본 구성 요소 중 하나로, 전체 회로의 속도와 전력 효율성에 직접적인 영향을 미친다. 특히 Carry-out이 다음 자리로 전파되는 특성 때문에, 여러 개의 Full Adder가 직렬로 연결되는 Ripple Carry Adder 구조에서는 누적된 지연이 성능 저하의 원인이 될 수 있다. 이러한 이유로 Full Adder 회로의 효율적인 설계와 최적화는 고속 연산이 요구되는 시스템에서 매우 중요한 요소가 된다.

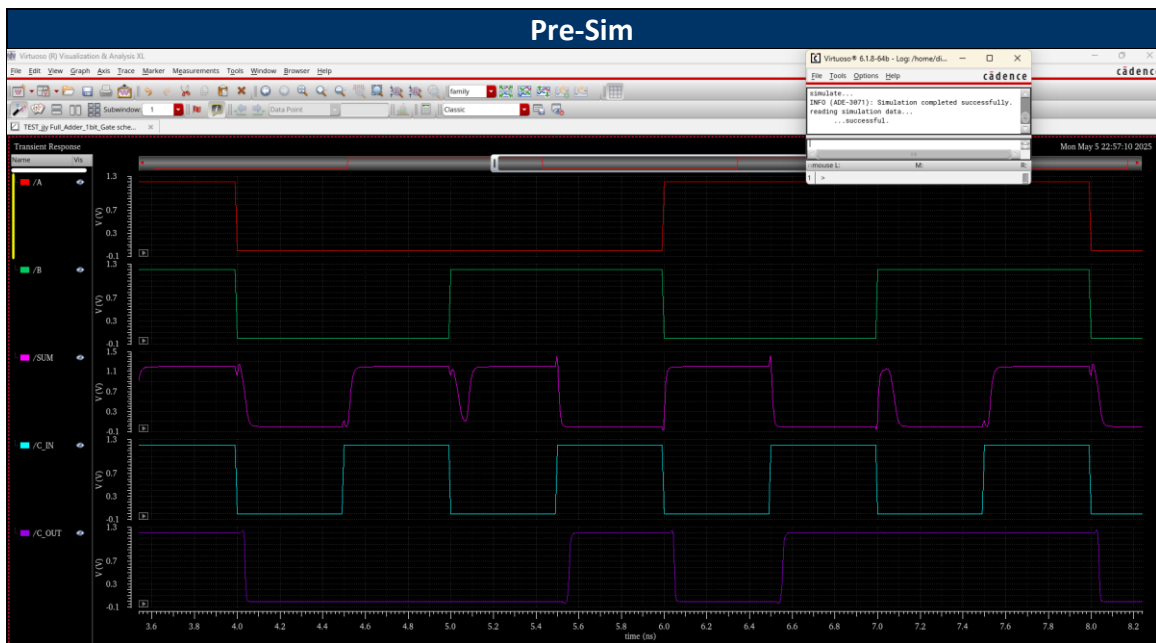
2. 본문

2-1) 실습 1: Gate 를 활용한 Full Adder

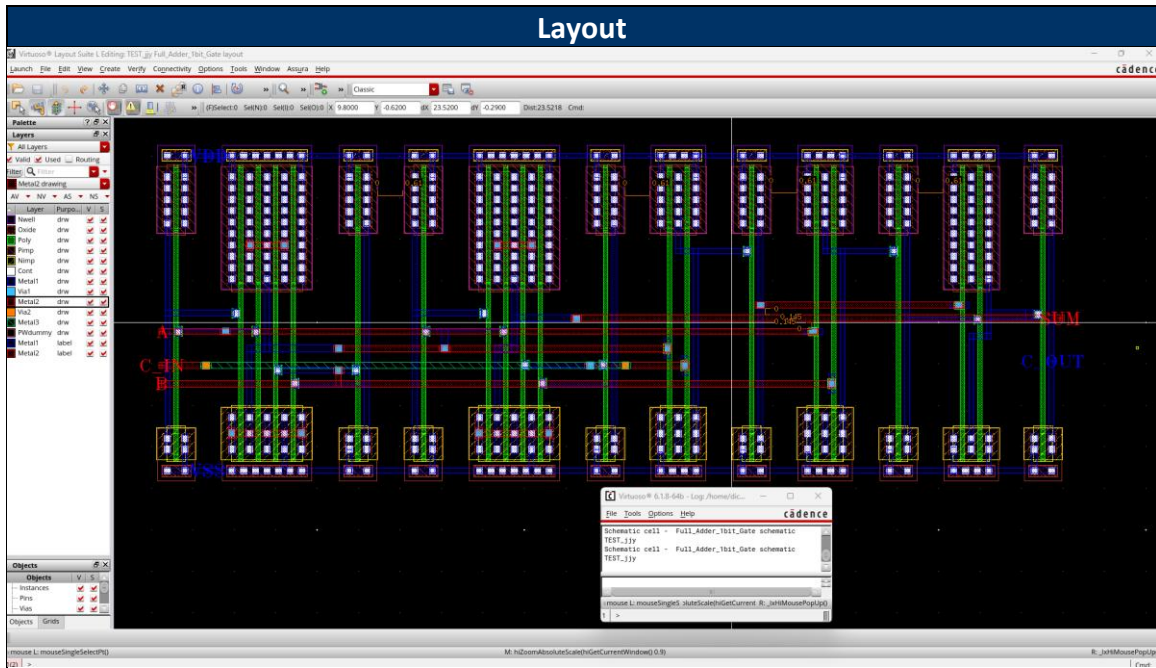
Schematic(부족할 경우 복사에서 사용)



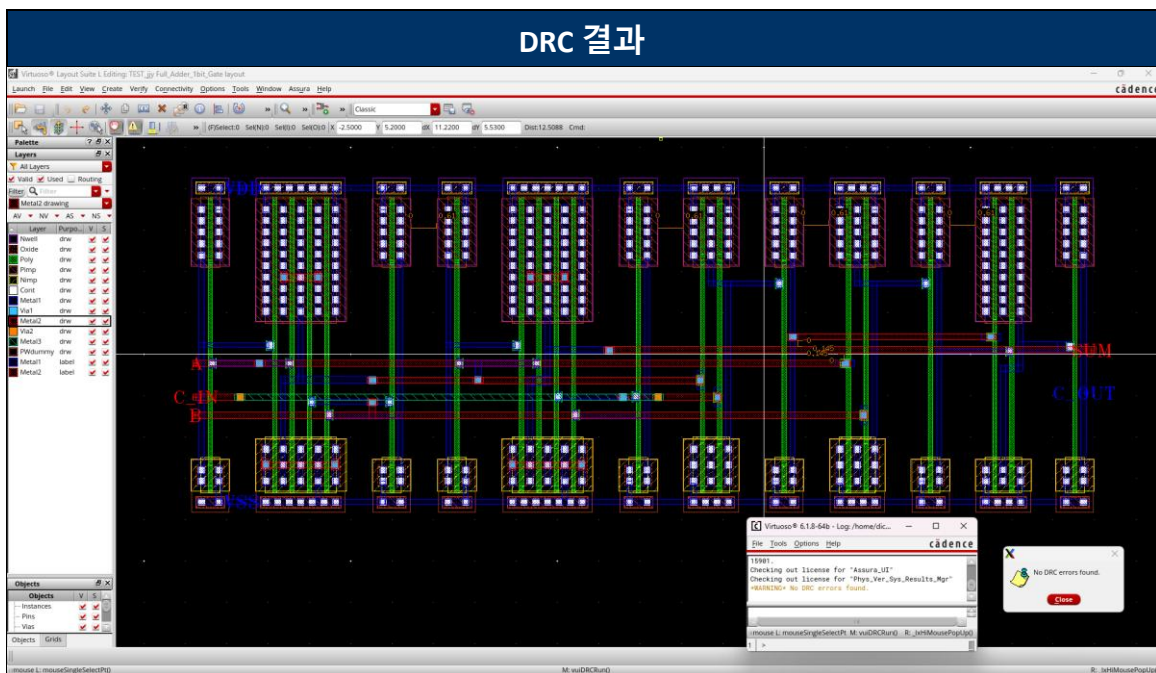
Pre-Sim 결과(부족할 경우 복사에서 사용)



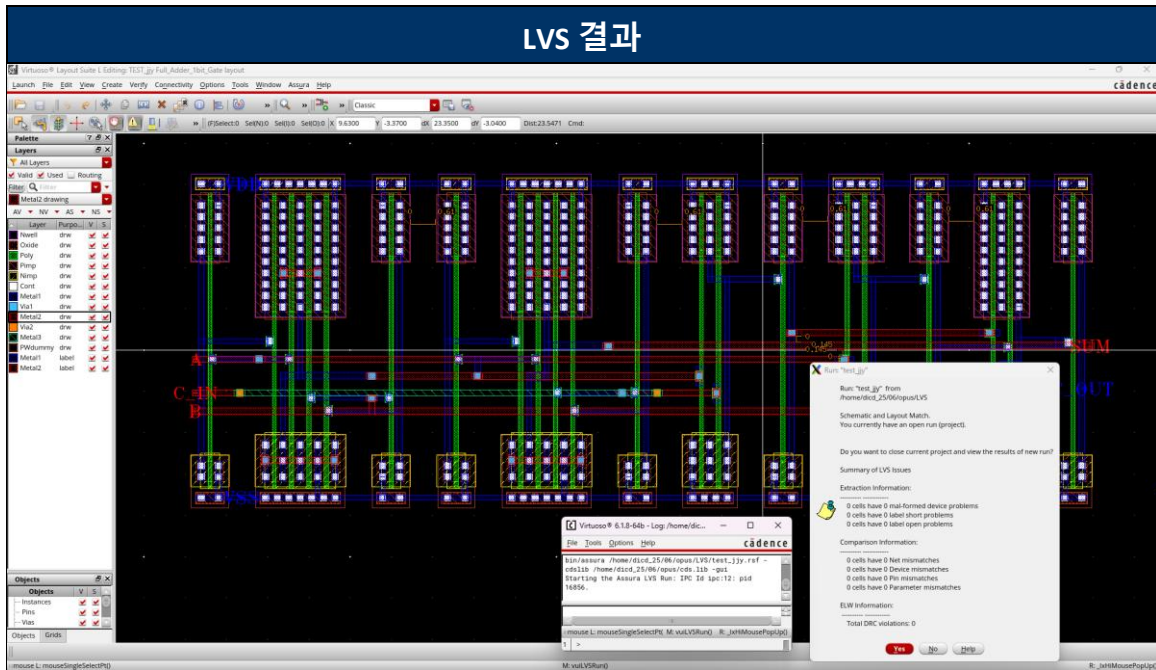
Layout(부족할 경우 복사에서 사용)



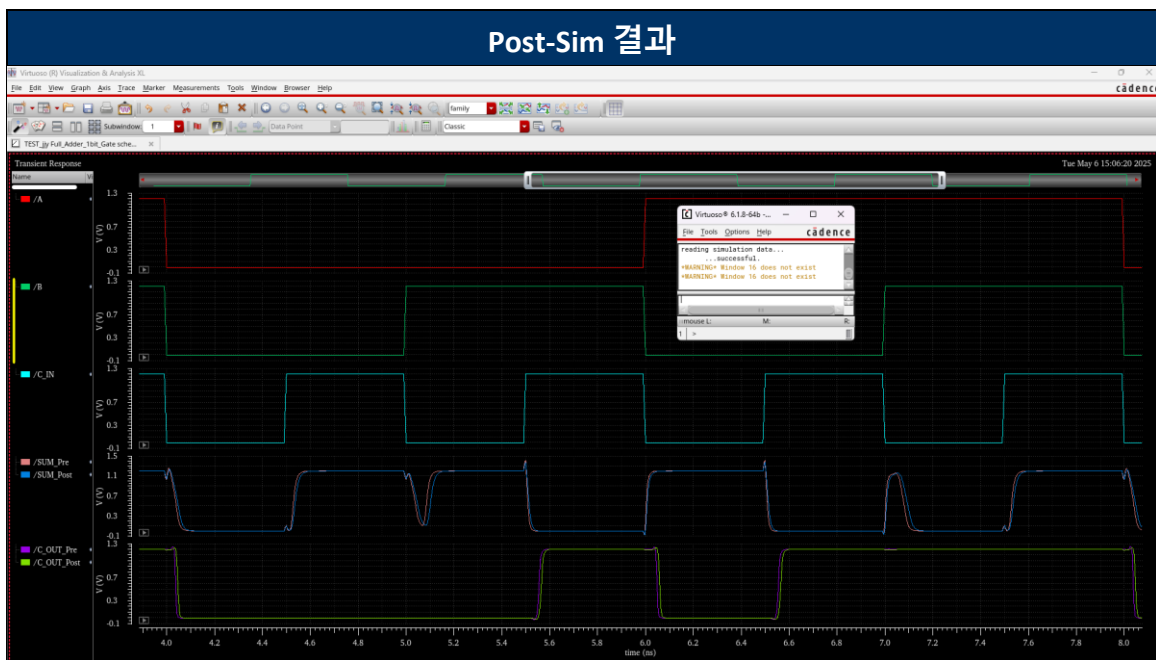
DRC 결과(부족할 경우 복사에서 사용)



LVS 결과(부족할 경우 복사에서 사용)



Post-Sim 결과(부족할 경우 복사에서 사용)

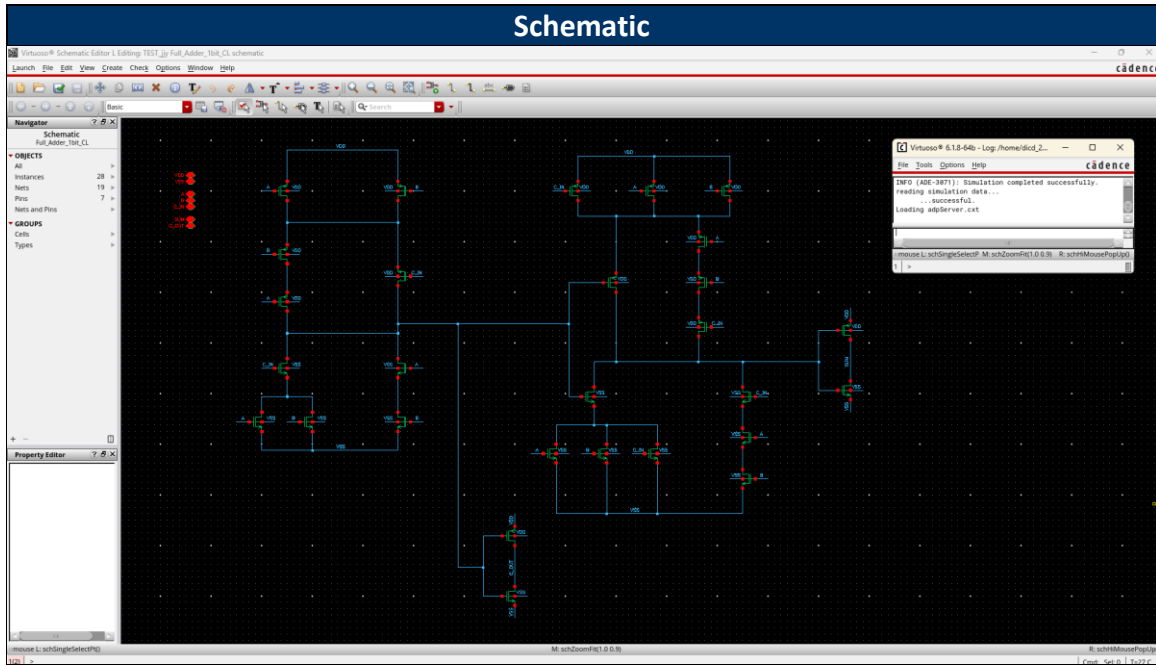


The screenshot displays the Cadence Virtuoso interface during a post-simulation analysis. The main window shows a 'Transient Response' plot with multiple waveforms. The top waveform is a red square wave labeled 'A'. Below it are several other waveforms in different colors (green, purple, cyan, magenta) representing various signals. The x-axis is labeled 'time (ns)' and ranges from 0.0 to 10.0. The y-axis for the top waveform is labeled 'V(V)' and ranges from -0.1 to 1.3. A status bar at the bottom indicates 'Simulation completed successfully. Restoring simulation data... successful.'.

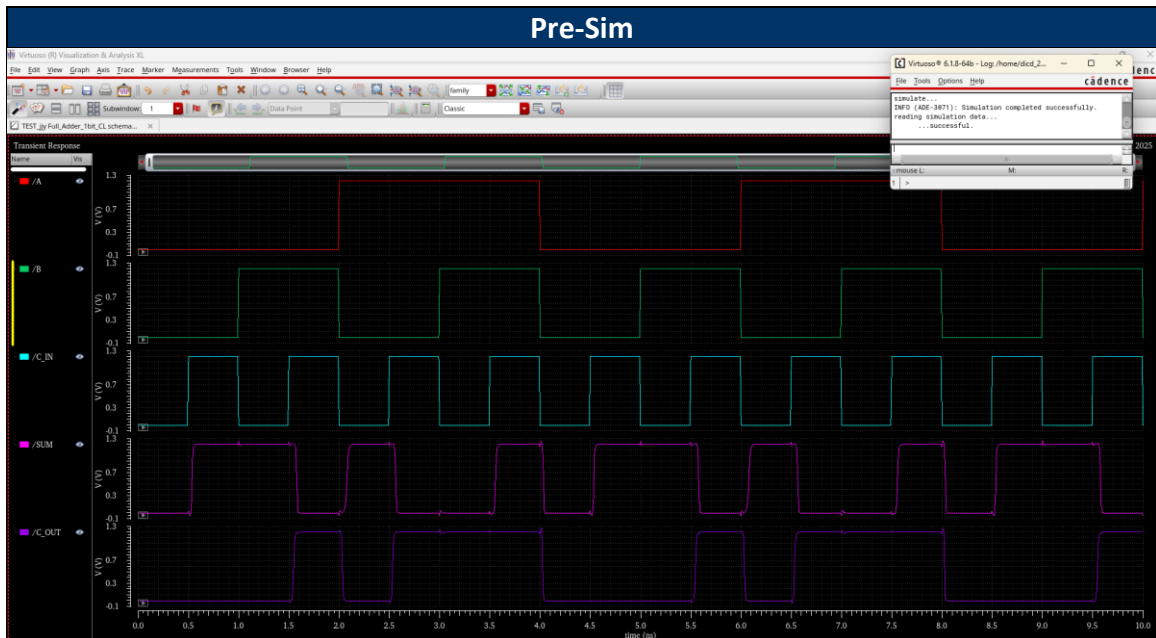
In the foreground, a calculator window is open, showing the expression `average(getData(":pwr" ?result "tran"))` in the input field. The calculator's display shows the result `24.07E-12`. The calculator interface includes a numeric keypad, a function keypad with buttons like `expr`, `fn`, and `Pop insert`, and a stack area at the bottom.

2-2) 실습 2: Complementary Logic Full Adder

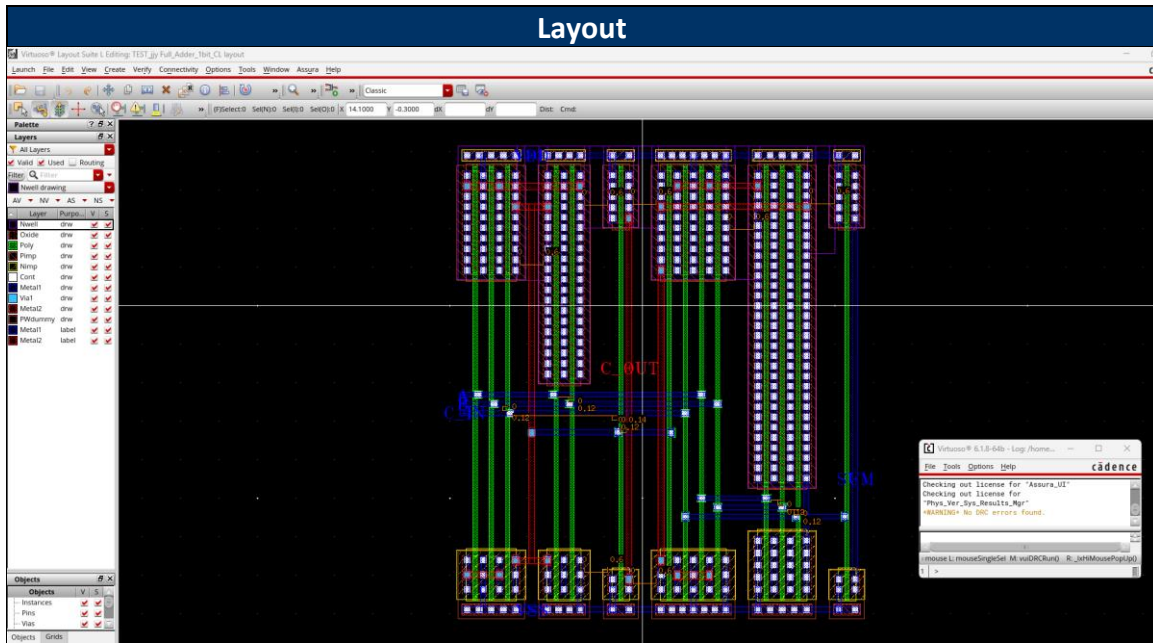
Schematic



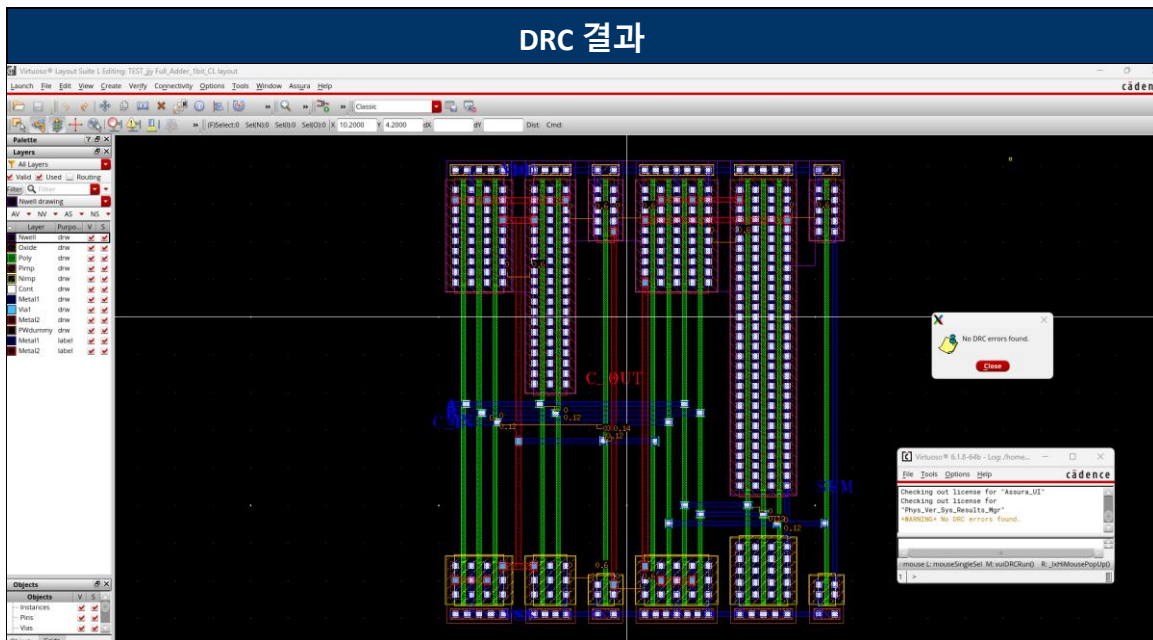
Pre-Sim 결과



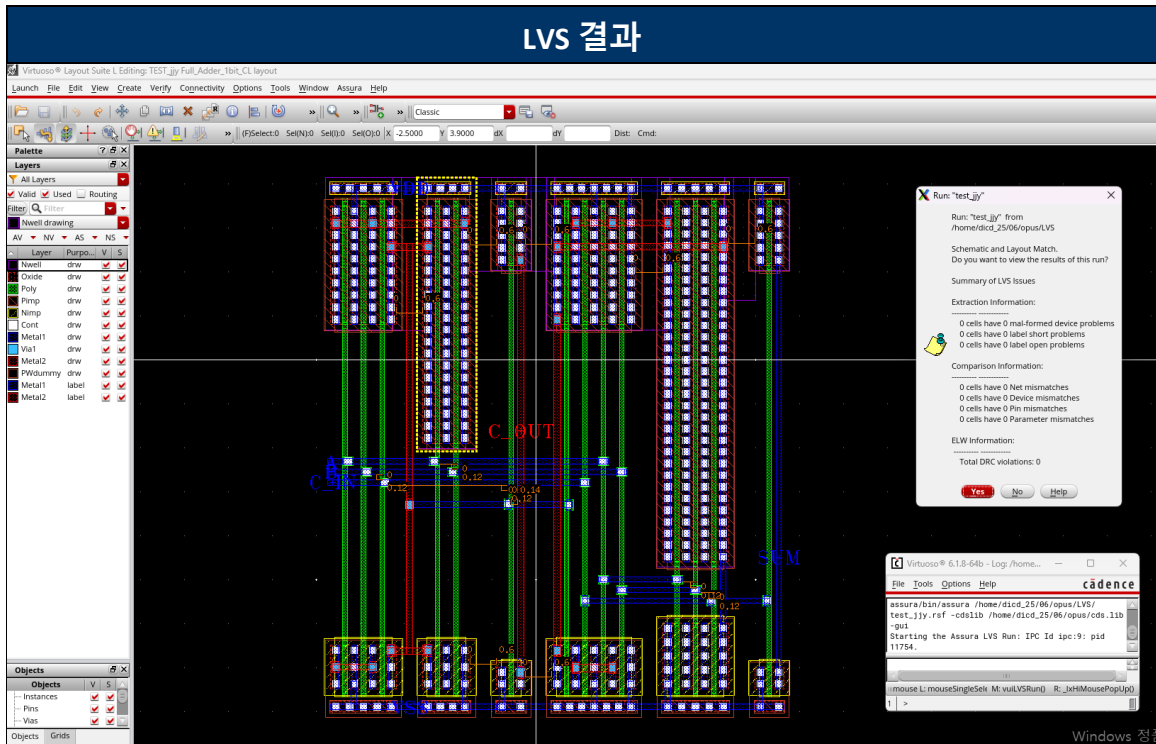
Layout(부족할 경우 복사에서 사용)



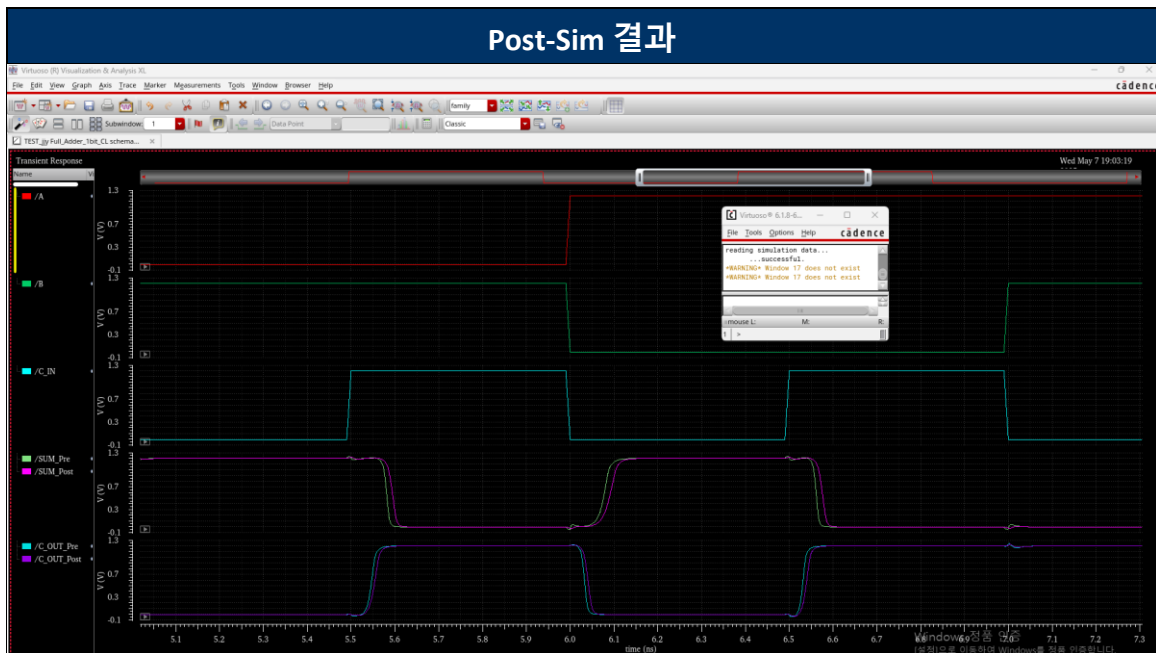
DRC 결과



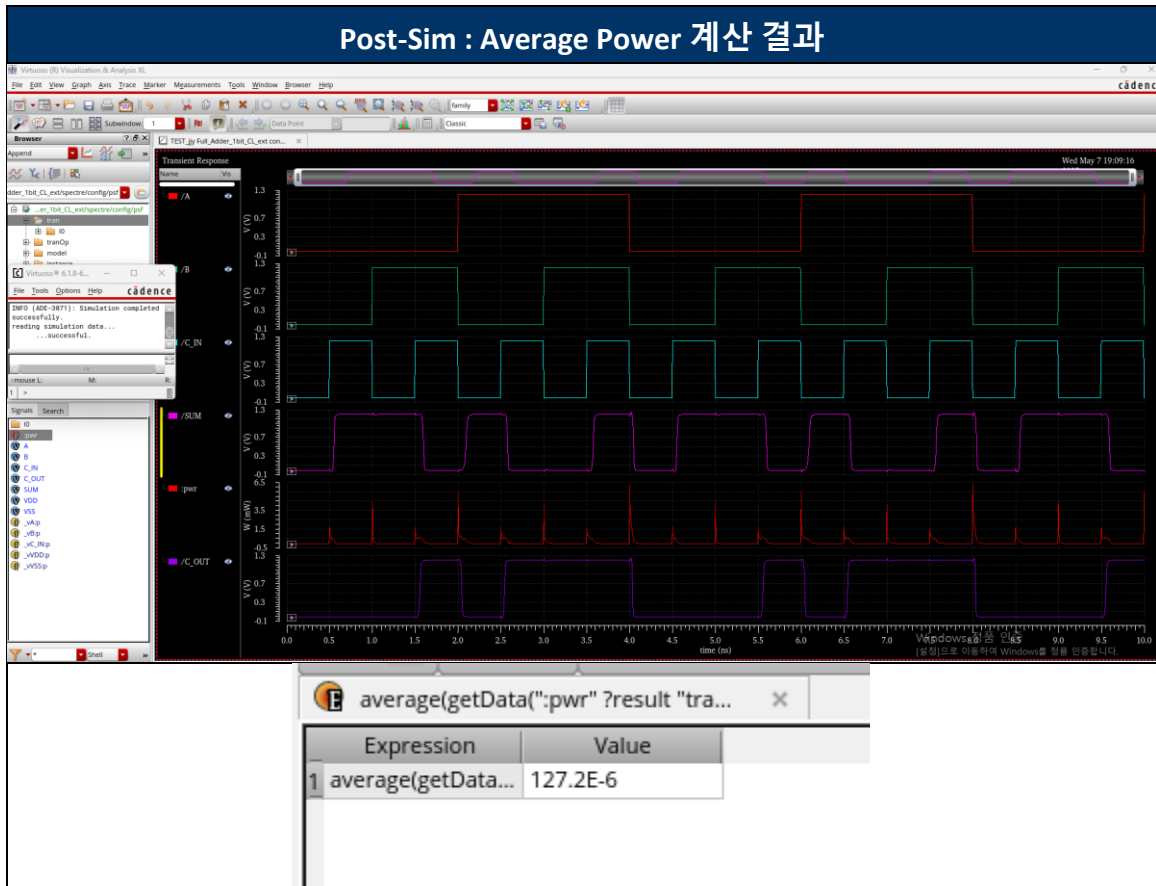
LVS 결과



Post-Sim 결과



Post-Sim : Average Power 계산 결과(부족할 경우 복사에서 사용)



3. 실습 결론 및 고찰

이번 실습에서는 동일한 논리 기능을 수행하는 회로를 두 가지 방식으로 구현하여 비교하였다. 하나는 기본적인 **Gate 기반 논리회로**, 다른 하나는 **Complementary Logic 기반 회로**이다. 두 방식은 설계 구조 뿐 아니라 성능(performance) 및 전력 소모(power consumption) 면에서도 뚜렷한 차이를 보였다.

Gate 기반 회로는 AND, OR, NOT 등의 기본 논리 게이트들을 조합하여 구성된 구조로, 전체 회로의 구성이 직관적이고 간단하지만, 실험 결과 성능 측면에서는 다소 불리한 것으로 나타났다. 입력 신호 주파수가 동일한 조건에서 여러 번의 시뮬레이션을 수행한 결과, Gate 기반 회로는 Hazard(신호의 불안정한 흔들림 현상)가 다수 발생하였으며, 이는 회로의 응답 지연과 출력 신호의 불안정성으로 이어졌다. 그러나 반면, 전력 소모 측면에서는 매우 효율적인 결과를 보였으며, **약 24.07pW(24.07E-12 W)** 수준의 낮은 Dynamic Power 를 기록하였다. 이는 회로의 구성 자체가 비교적 단순하고, 불필요한 스위칭이 적었기 때문으로 분석된다.

반면, Complementary Logic 기반 회로는 NMOS 와 PMOS 를 상보적으로 구성한 전형적인 CMOS 구조로 설계되었으며, 성능 측면에서 매우 우수한 결과를 보였다. 특히 같은 입력 조건에서도 Hazard 가 거의 발생하지 않았으며, 출력 신호가 안정적이고 지연도 짧게 나타났다. 이는 회로가 논리적 균형을 기반으로 동작하기 때문에 내부 노드 간의 전위 변화가 안정적이기 때문으로 판단된다. 그러나 전력 소모 측면에서는 Gate 기반 회로보다 훨씬 높은 수준의 Dynamic Power 를 요구하였으며, **약 127.2uW(127.2E-6 W)** 수준으로 확인되었다. 이는 complementary 구조 특성상 클럭 주기에 따라 여러 노드에서 불필요한 충·방전이 발생하고, 스위칭 횟수가 많아지기 때문으로 볼 수 있다.

또한, 본 실습에서는 **Pre-simulation 과 Post-simulation 간의 차이**도 함께 분석하였다. Pre-simulation 은 RC 딜레이 등 parasitic 요소가 반영되지 않은 schematic 기반 시뮬레이션으로, 회로의 이론적 성능을 빠르게 확인할 수 있다. 이에 반해 Post-simulation 은 실제 layout 에서 추출된 parasitic RC 요소가 포함된 모델로, 보다 현실적인 회로 동작을 반영한다. 실험 결과, 동일한 회로에서 Post-sim 결과가 Pre-sim 보다 확실히 더 느린 반응을 보였으며, 이는 RC delay 로 인해 신호 전달에 시간이 추가로 소요되었기 때문으로 분석된다. 이와 같은 차이는

특히 고속 설계에서 무시할 수 없는 요인이며, 최종 회로 성능 평가 시 반드시 고려되어야 할 요소이다.

따라서 이번 실습을 통해 설계 구조에 따른 성능 및 전력 효율성의 차이를 체감할 수 있었으며, 이상적인 동작을 가정한 Pre-sim 만으로는 실제 회로 특성을 충분히 평가할 수 없다는 점 또한 확인할 수 있었다. 향후 설계에서는 이러한 구조적 trade-off 를 고려하여, 회로의 목적에 맞는 설계 방식을 선택하는 판단 능력이 중요하다고 생각된다.