

DICD 2025_1

9 주차 실습 보고서

학번: 12191529

이름: 장준영

1. 이론

#1. Flip Flop

Flip-Flop(FF)는 클럭 신호에 동기화되어 동작하는 순차 논리 회로로, 하나의 비트를 저장할 수 있는 기본적인 메모리 소자이다. 디지털 시스템에서 데이터를 저장하거나 클럭 신호에 맞춰 상태를 전환하는 데 사용되며, 대표적인 종류로는 D-Flip-Flop, T-Flip-Flop, JK-Flip-Flop 등이 있다.

특히 **D Flip-Flop** 은 가장 널리 사용되는 형태로, 입력 D 값을 클럭 상승 에지에서 캡처하여 출력 Q 로 전달한다. 이러한 특성으로 인해 타이밍 제약 (Setup, Hold Time)이 매우 중요하다.

#2. Setup time / Hold time / Clk-to-q

Setup Time 은 클럭의 활성 에지(보통 상승 에지)가 도달하기 전, 입력 신호(D)가 안정적으로 유지되어야 하는 최소 시간을 의미한다. 이 시간이 보장되지 않으면, Flip Flop 이 잘못된 데이터를 캡처하거나 메타안정성 문제가 발생할 수 있다.

Hold Time 은 클럭 에지 발생 직후에도 입력 신호(D)가 안정적으로 유지되어야 하는 최소 시간을 의미한다. 즉, 클럭 에지가 지나간 후에도 일정 시간 동안 입력 값이 바뀌지 않아야 출력에 정확히 반영된다.

Clk-to-Q Delay 는 클럭 에지가 발생한 후, 출력 Q 가 실제로 반응하여 변경되기까지의 지연 시간이다. 이 값은 Flip Flop 의 내부 회로 지연에 따라 달라지며, 전체 회로의 타이밍 분석에서 중요한 요소가 된다.

#3. 타이밍 제약과 설계상의 고려사항

Setup/Hold Time 은 전체 동기 회로의 동작 속도 및 신뢰성에 직접적으로 영향을 미친다.

- 만약 **Setup Time** 위반이 발생하면, 다음 클럭에서 잘못된 데이터가 캡처될 수 있다.

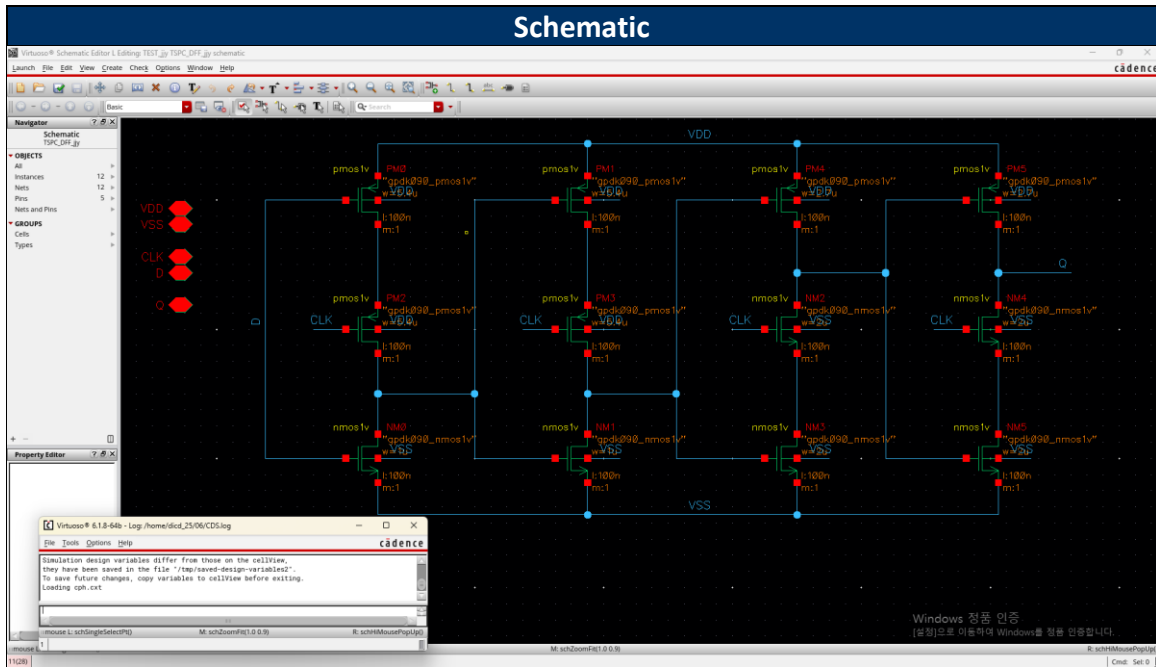
- **Hold Time 위반은 회로의 메타안정성 문제나 불안정한 출력으로 이어질 수 있다.**

따라서 설계자는 Timing Diagram 과 Static Timing Analysis(STA)를 통해 이 조건들이 충족되는지 확인해야 하며, 이를 위해 타이밍 여유(Margin)를 확보하고, 필요한 경우 버퍼 삽입, Clock skew 조정 등을 통해 위반을 방지해야 한다.

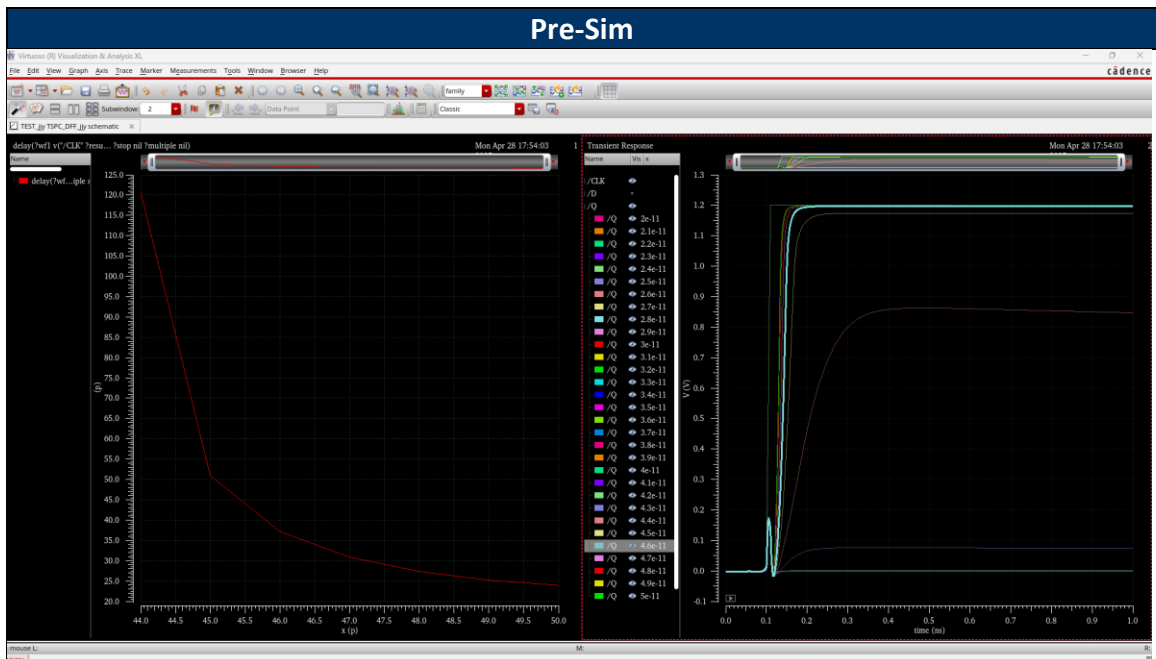
2. 본문

2-1) 실습 1: TSPC D FF

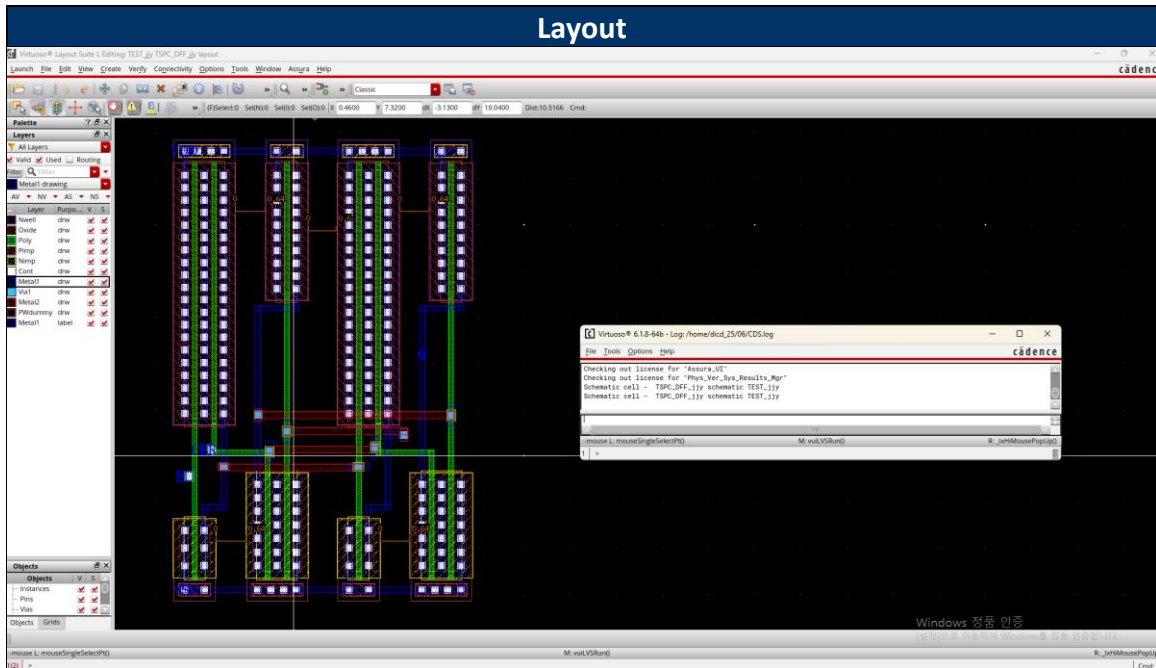
Schematic(부족할 경우 복사에서 사용)



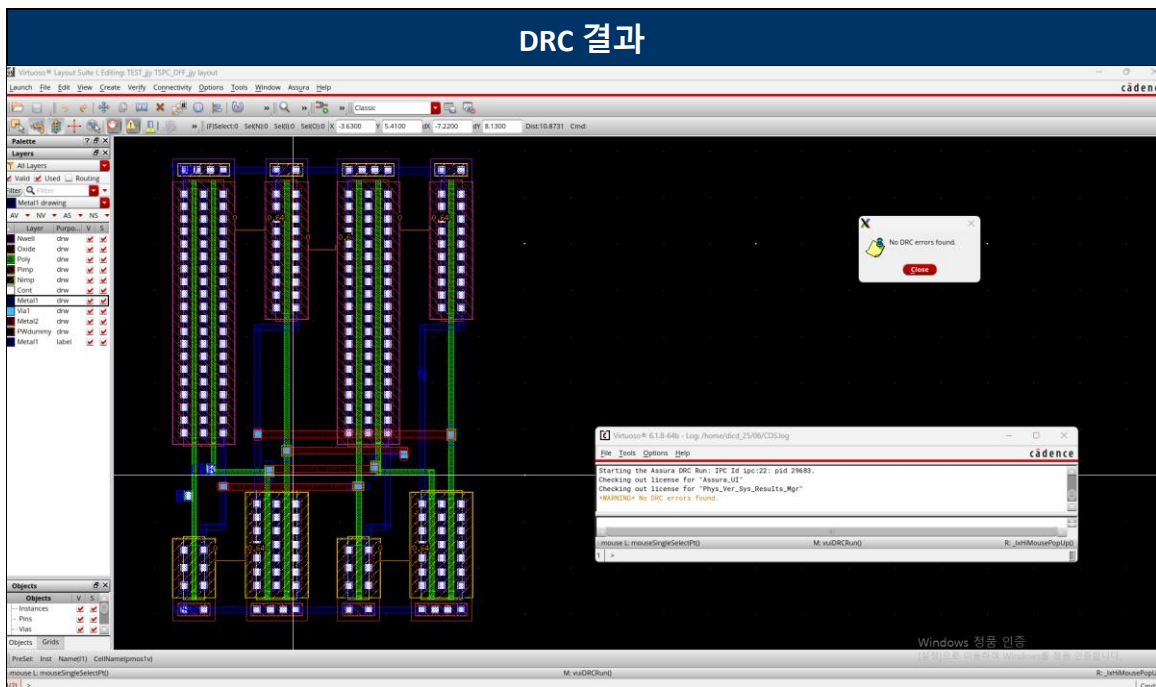
Pre-Sim 결과(부족할 경우 복사에서 사용)



Layout(부족할 경우 복사에서 사용)



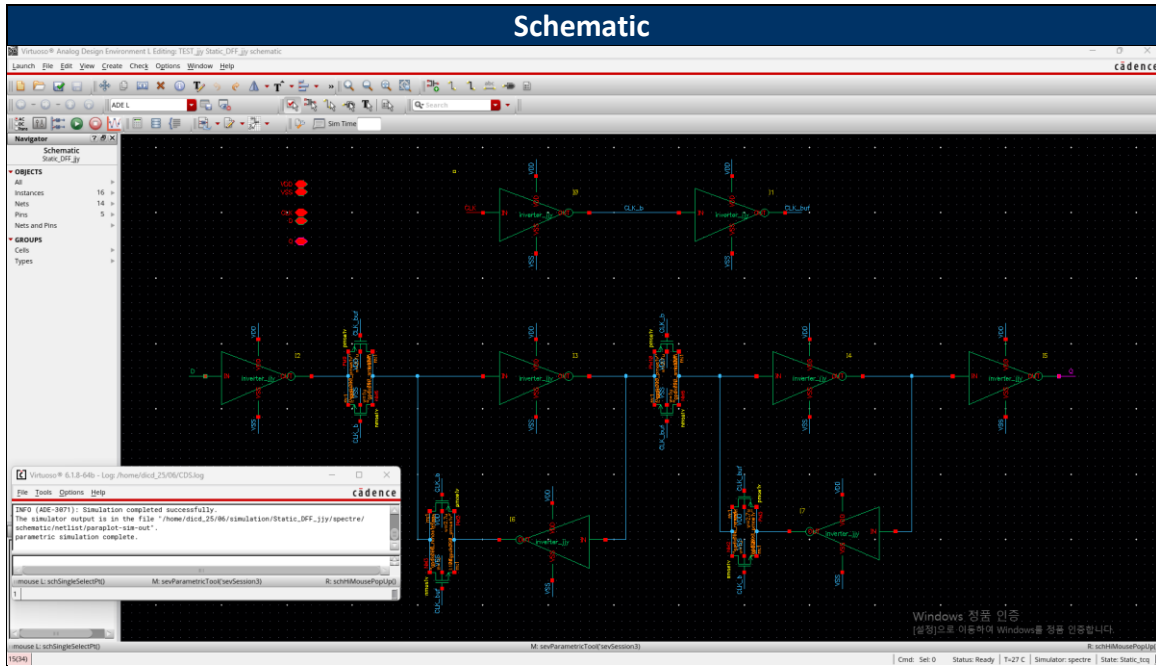
DRC 결과(부족할 경우 복사에서 사용)



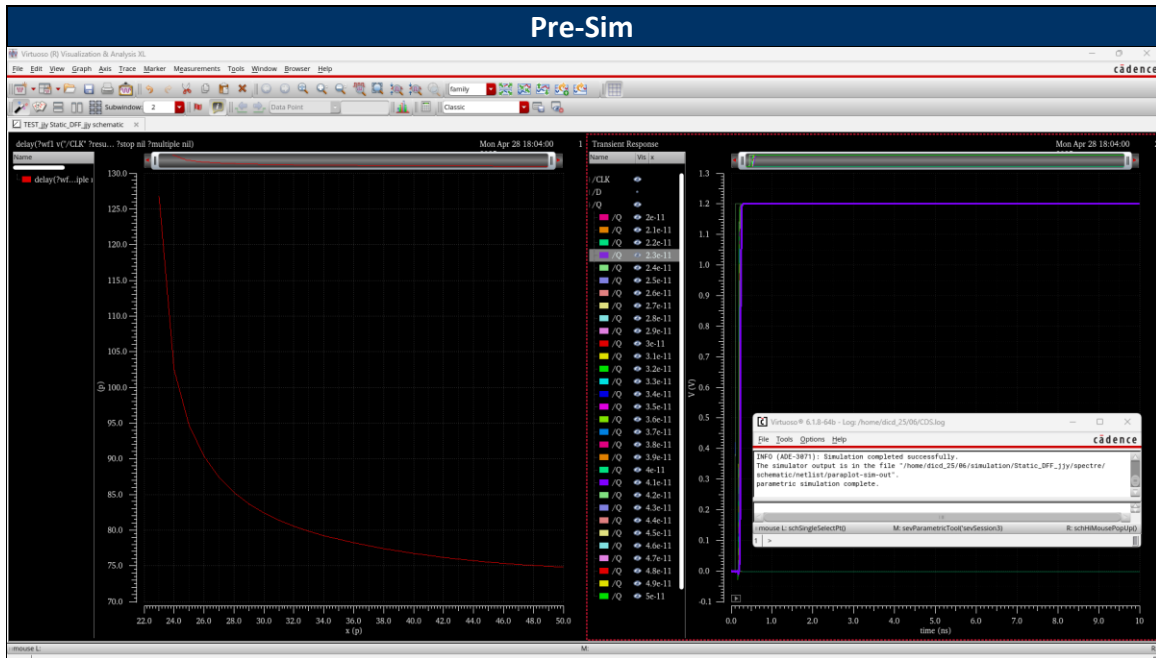
The screenshot displays the Cadence Virtuoso interface with two simulation plots. The left plot, titled 'delay(hw1_v1@CLK) hwa... Temp all (multiple all)', shows a red line graph of delay versus frequency f (Hz). The y-axis ranges from 30.0 to 150.0, and the x-axis ranges from 46.0 to 50.0. A red line shows the delay increasing from approximately 35 at 46.0 Hz to over 150 at 50.0 Hz. A terminal window is overlaid on this plot, showing the command 'virtuoso 6.1.8-64b -Log /home/dic25/06/CD5.log' and the message 'Loading state set... The simulator output is in the file "/home/dic25/06/simulation/TSPC_DFF_jy.net/apspec/config/netlist/paramlist-sim-out". parametric simulation complete.' The right plot, titled 'Transient Response', shows a yellow line graph of voltage $V(Q)$ versus time. The y-axis ranges from -0.1 to 1.3, and the x-axis ranges from 0.0 to 1.0. The plot shows a sharp rise in voltage from 0.0 to approximately 1.2 within the first 0.1 units of time. The Cadence Virtuoso window title is 'Virtuoso (R) Visualization & Analysis XL'.

2-2) 실습 2: Static Storage D FF

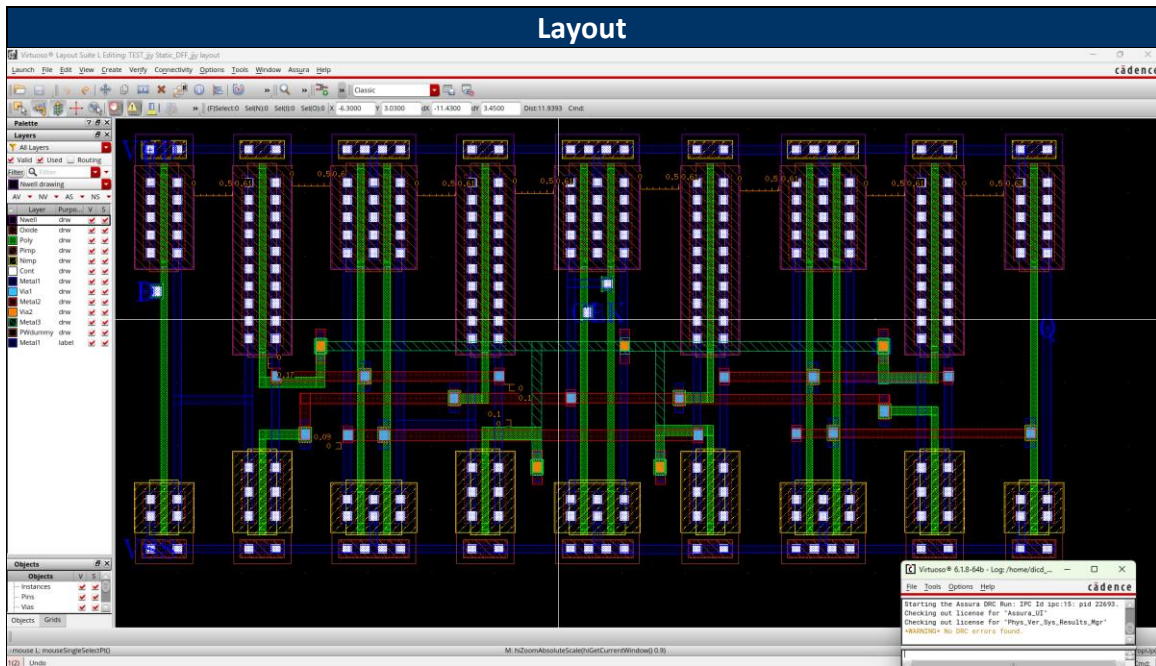
Schematic



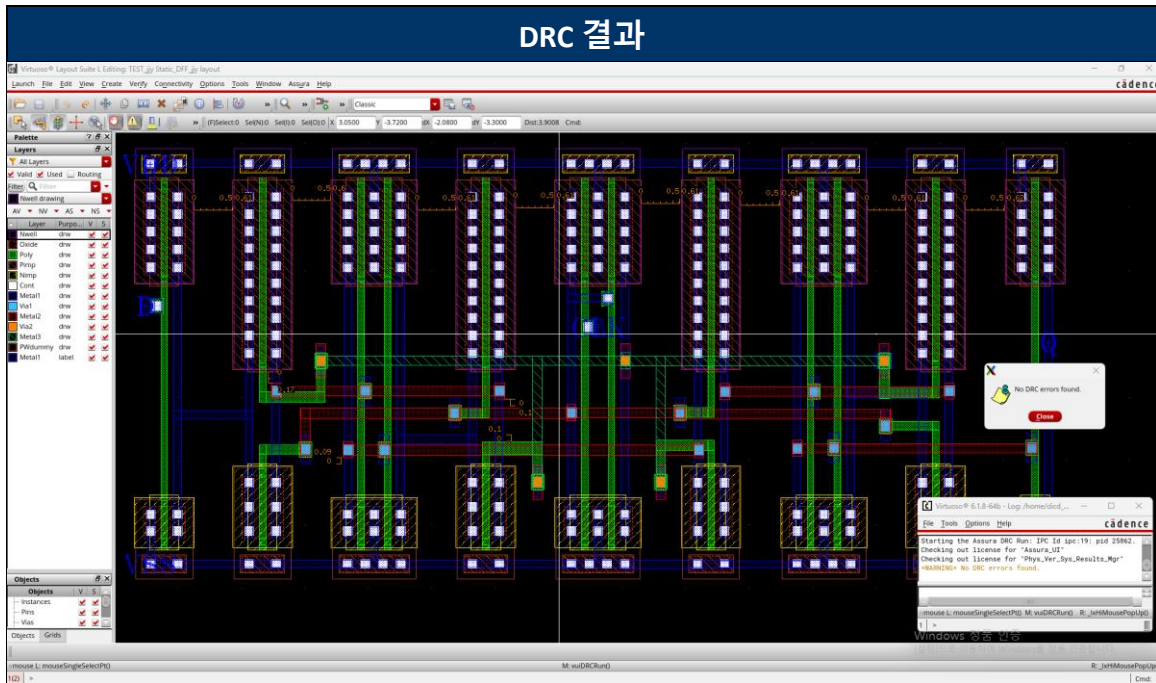
Pre-Sim 결과



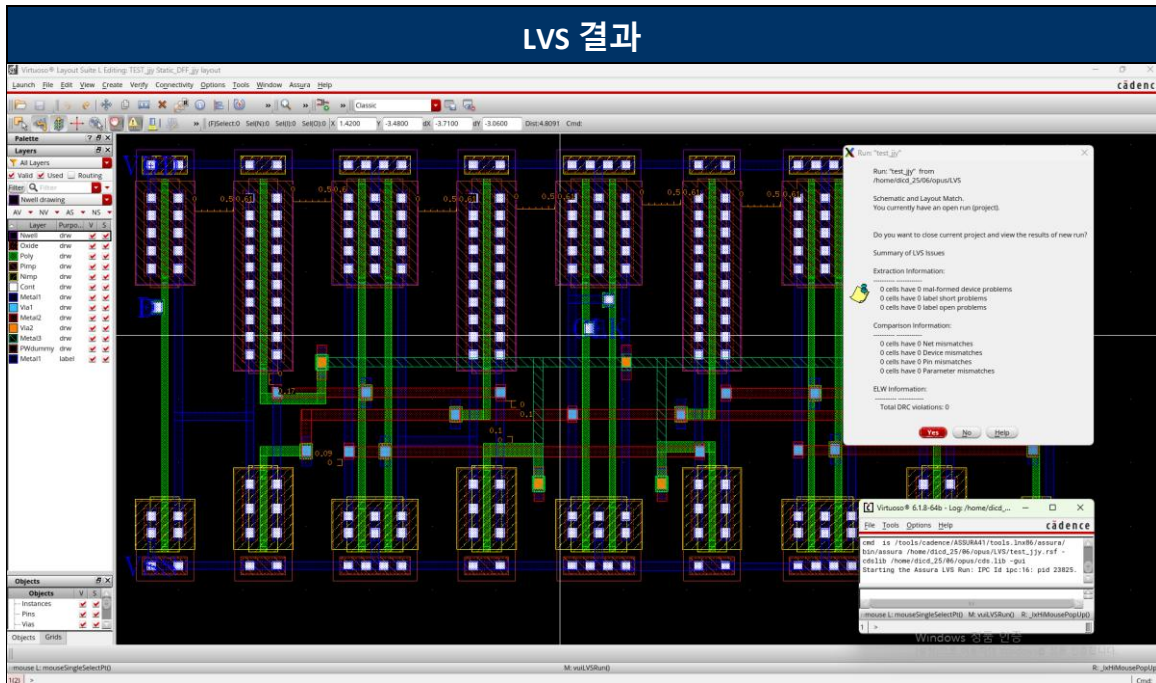
Layout



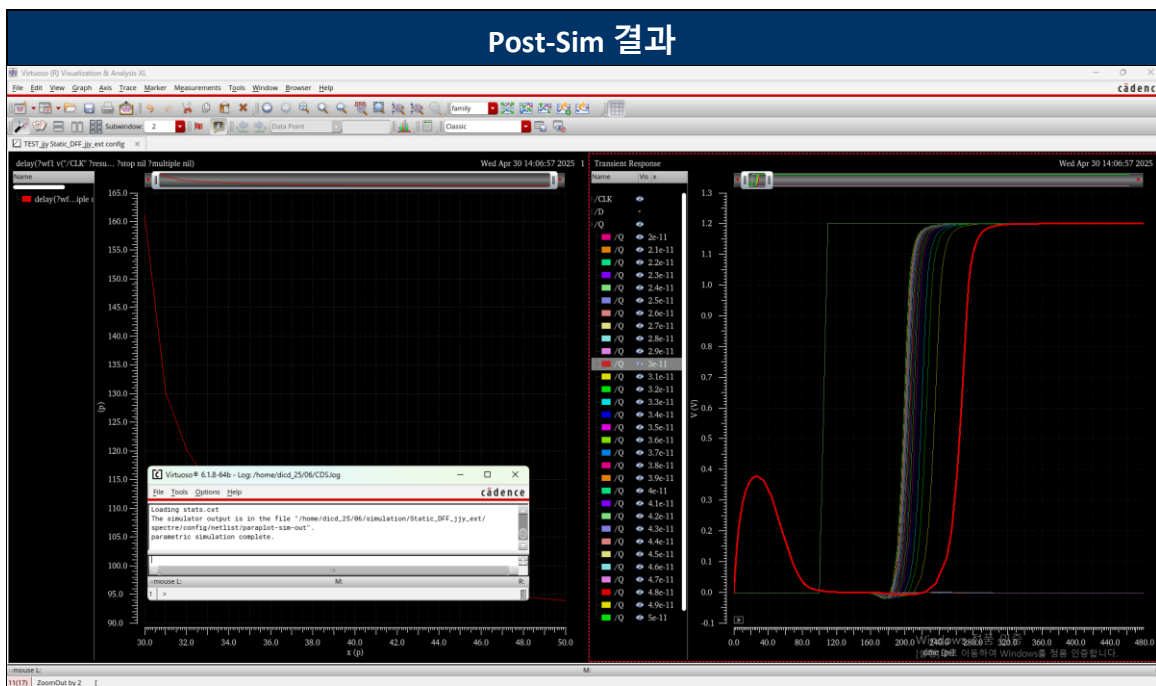
DRC 결과



LVS 결과



Post-Sim 결과



3. 실습 결론 및 고찰

이번 실습에서는 두 종류의 D Flip-Flop — **TSPC D Flip-Flop** 과 **Static Storage D Flip-Flop** — 에 대해 **Set-up time 특성 분석**을 중심으로 Pre-simulation 및 Post-simulation 을 수행하였다. 실습의 주요 목적은 각각의 구조가 갖는 타이밍 특성 차이를 파악하고, 실제 layout parasitic 요소가 timing 에 미치는 영향을 이해하는 데 있었다.

#1. Q plot 을 찾기 위한 최소 Set-up time :

- TSPC D FF : 46(ps) (Pre-sim 기준)
- Static Storage D FF : 23(ps) (Pre-sim 기준)

Pre-simulation 환경에서는 RC delay 나 parasitic 효과가 반영되지 않은 schematic-only 조건으로, 순수한 논리 구조에 따른 timing 특성이 반영된다.

- **TSPC D Flip-Flop** 의 경우, Q 출력이 정상적으로 반응하기 위해 필요한 최소 Setup Time 은 **약 46ps** 로 측정되었다.
- 반면, **Static Storage D Flip-Flop** 에서는 **23ps** 로 더 짧은 Setup Time 을 보였다.

이는 Static Storage 구조가 데이터 보존에 유리한 내부 피드백 구조를 갖고 있어, 클럭 에지 이전의 안정화 요구 시간이 상대적으로 짧다는 것을 의미한다.

#2. Post-sim 에서의 최소 set-up time vs. Pre-sim 에서의 최소 set-up time :

- TSPC D FF : 49(ps) (Post-sim 기준)
- Static Storage D FF : 30(ps) (Post-sim 기준)

Post-simulation 에서는 layout 후 추출된 parasitic 요소(R, C)가 반영되어 실제 회로 동작에 가까운 결과를 얻을 수 있다.

- **TSPC D FF** 의 최소 Setup Time 은 Post-sim 에서 **49ps** 로 소폭 증가하였다.
- **Static Storage D FF** 는 Post-sim 기준 **30ps** 로, 역시 일정 수준의 증가가 관찰되었다.

이는 실제 회로 환경에서 배선의 저항과 정전용량이 입력 신호의 도달 시간에 영향을 주며, 이를 통해 데이터가 충분히 안정적으로 유지되기까지 더 긴 시간이 필요하다는 것을 보여준다. 특히, **RC delay 로 인한 Setup Time 증가**는 클럭 주기를 결정하는 데 있어 반드시 고려해야 할 요소임을 확인할 수 있었다.

종합 고찰

이번 실습을 통해, 동일한 기능(D 플립플롭)을 수행하는 회로라도 구조적 차이에 따라 **Setup Time 등의 타이밍 특성이 크게 달라질 수 있음**을 실감할 수 있었다. 또한, Pre-simulation 만으로는 실제 회로의 타이밍 한계를 완전히 예측할 수 없으며, **layout 이후 parasitic RC 를 반영한 Post-simulation 이 타이밍 검증에 필수적임을** 체감하였다.

특히 TSPC 구조는 고속 설계에 유리한 점이 있지만 parasitic 에 민감할 수 있으며, Static Storage 구조는 상대적으로 견고한 타이밍 특성을 보이는 대신 면적 및 트랜지스터 수 증가와 같은 trade-off 가 존재한다. 향후에는 이러한 **타이밍 vs. 면적 vs. 전력** 간의 설계 균형을 종합적으로 고려한 회로 선택이 중요할 것이라 판단된다.