

# DICD 2025\_1

## 7 주차 실습 보고서

학번: 12191529

이름: 장준영

## 1. 이론

### #1. Multiplexer(MUX)

Multiplexer(MUX)는 여러 개의 입력 신호 중에서 하나를 선택하여 출력으로 전달하는 디지털 회로이다. 즉, 다수의 입력 중 하나를 골라서 단일 출력으로 내보내는 선택 회로(Selector Circuit) 역할을 한다. 이를 통해 회로의 입력 경로를 효율적으로 관리하거나, 다양한 데이터를 하나의 통신 라인으로 전송할 수 있다.

일반적으로 MUX 는 다음과 같은 특징을 가진다:

- $n$  개의 선택선(Select lines)을 이용해  $2^n$ 개의 입력 중 하나를 선택한다.
- 출력은 항상 선택된 하나의 입력 값을 따른다.

예시로, 2:1 MUX 는 두 개의 입력 중 하나를 선택하며, 4:1 MUX 는 네 개의 입력 중 하나를 선택한다. 가장 기본적인 2:1 MUX 를 예로 들면, 구성은 다음과 같다:

- 입력:  $D_0, D_1$
- 선택 신호:  $S$
- 출력:  $Y$

동작 원리:

- $S = 0$ 이면  $Y = D_0$
- $S = 1$ 이면  $Y = D_1$

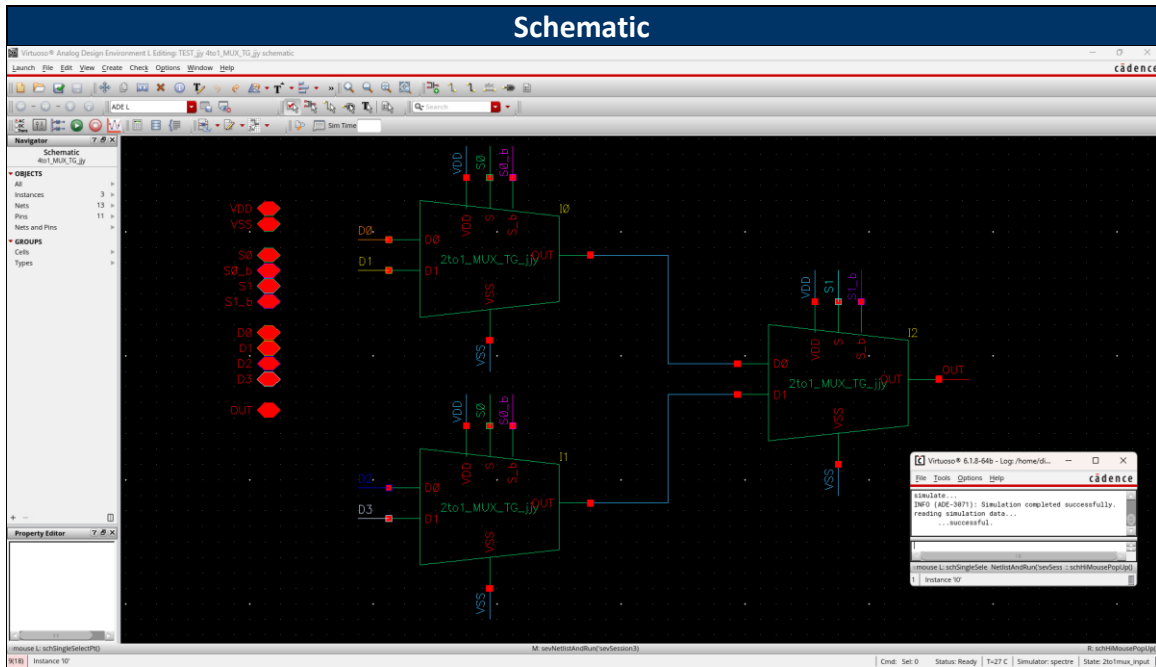
논리식:

- $Y = \bar{S}D_0 + SD_1$

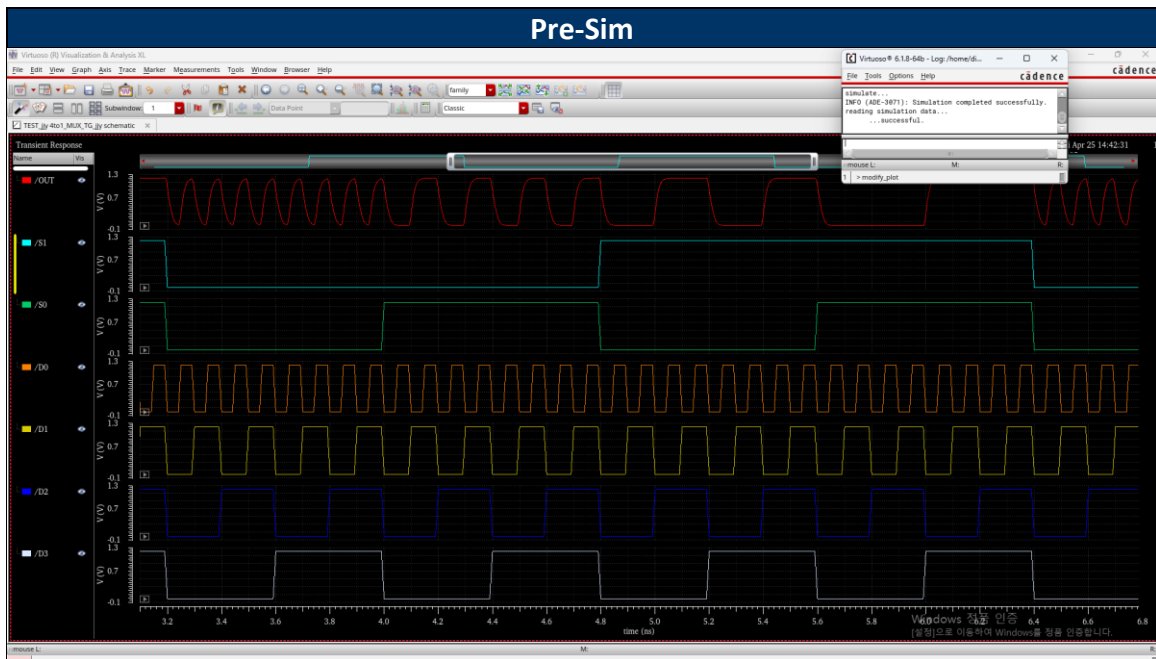
## 2. 본문

### 2-1) 실습 1: Transmission Gate MUX

Schematic(부족할 경우 복사에서 사용)



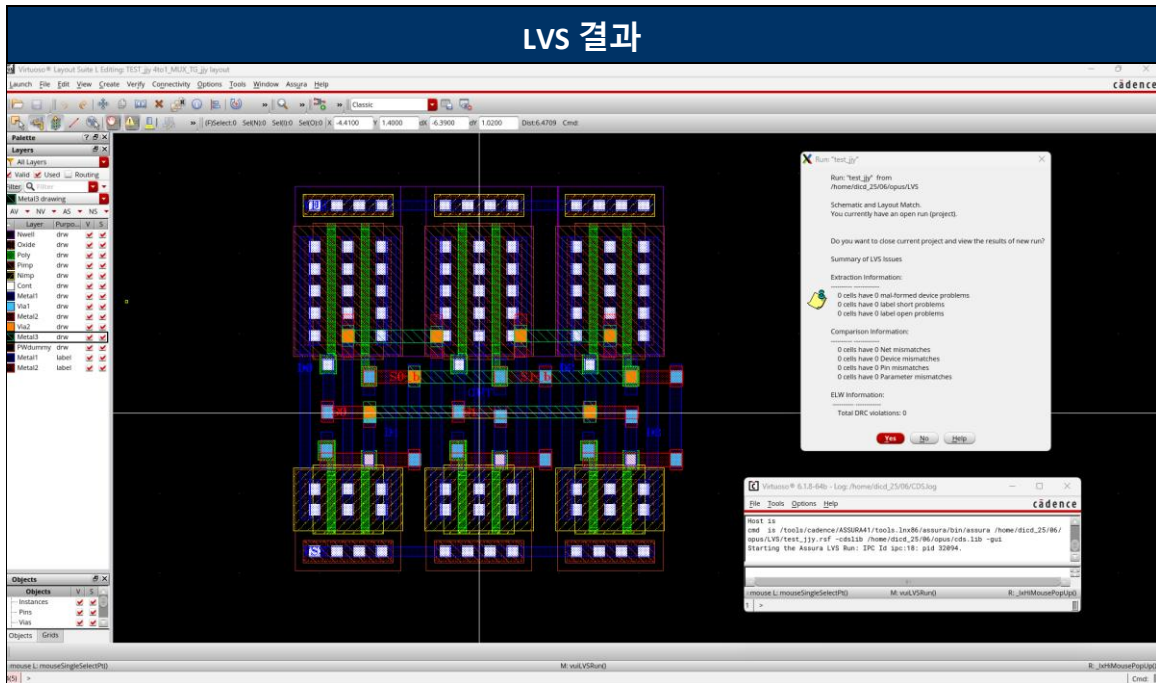
Pre-Sim 결과(부족할 경우 복사에서 사용)



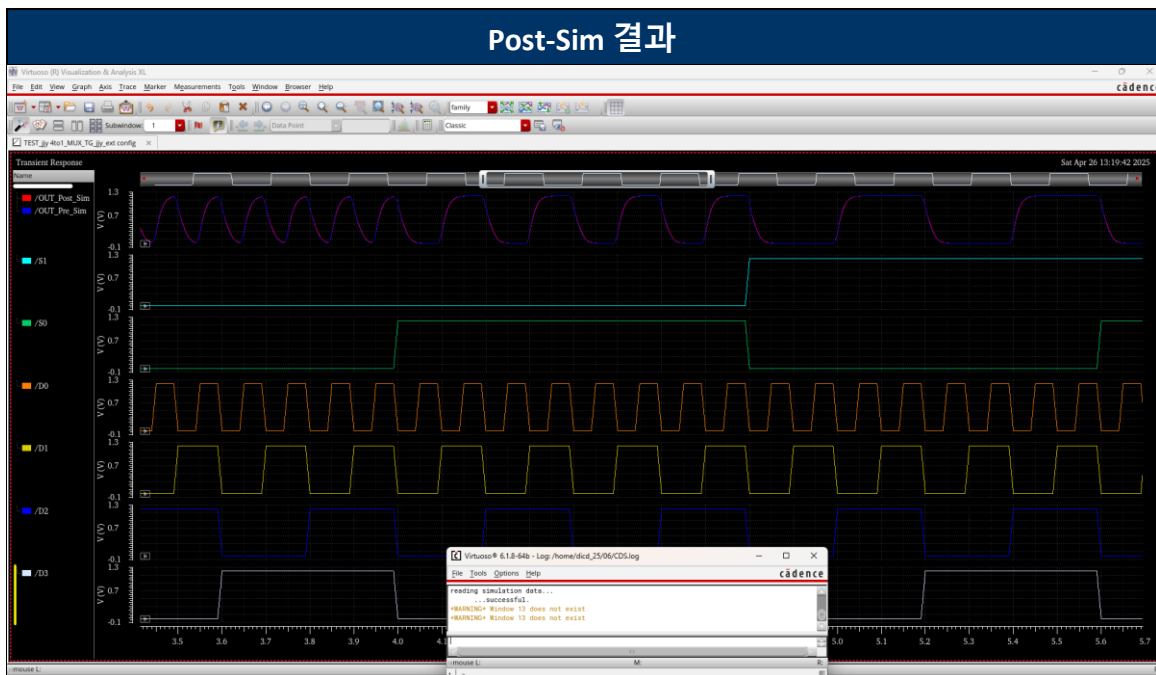
The screenshot displays the Cadence Virtuoso layout editor interface. The top menu bar includes options like File, Edit, View, Create, Verify, Connectivity, Options, Tools, Window, Assura, and Help. Below the menu is a toolbar with various icons for layout manipulation. On the left side, there are several panels: a 'Layers' panel showing a list of layers (e.g., Newell, Drc, Poly, Pimp, Cont, Mnta1, Mnta2, Mnta3, P90dummy, Mnta4, Mnta2) with checkboxes for 'Valid', 'Used', and 'Routing'; an 'Objects' panel showing a list of objects (e.g., Instances, Pins, Vias) with checkboxes for 'Valid', 'Used', and 'Routing'; and a 'Layers' panel showing a list of layers (e.g., Newell, Drc, Poly, Pimp, Cont, Mnta1, Mnta2, Mnta3, P90dummy, Mnta4, Mnta2) with checkboxes for 'Valid', 'Used', and 'Routing'. The main workspace shows a complex PCB layout with multiple layers, components, and routing. The layout is organized into a grid of components, with various routing paths and layers visible. The bottom status bar shows the current layer as 'M: NcZoomAbsoluteScaleGetCurren@Window@0 B'.

The screenshot displays the Virtuoso Layout Suite interface. The main workspace shows a detailed circuit layout with components like resistors, capacitors, and transistors, along with their interconnecting wires. A 'DRC 결과' (DRC Result) window is open, indicating 'No DRC errors found.' Below this, a terminal window shows the command 'drc' being executed, with the output confirming that no errors were found. The interface includes a top menu bar, a toolbar, and a left sidebar with panels for layers and objects.

## LVS 결과(부족할 경우 복사에서 사용)

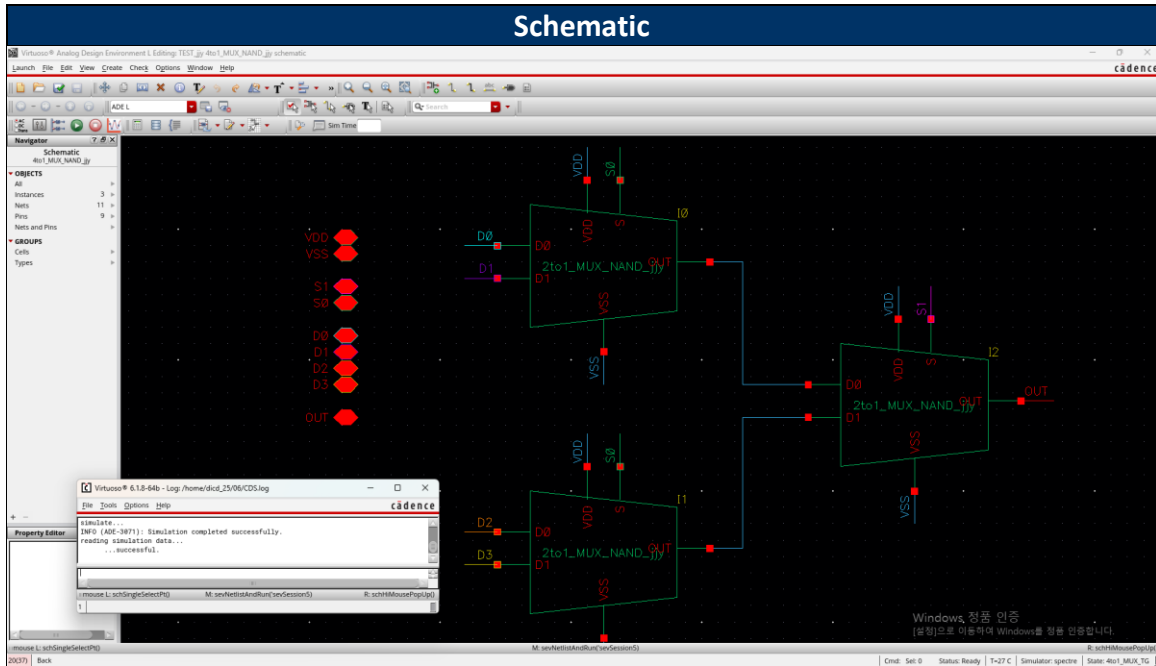


## Post-Sim 결과(부족할 경우 복사에서 사용)

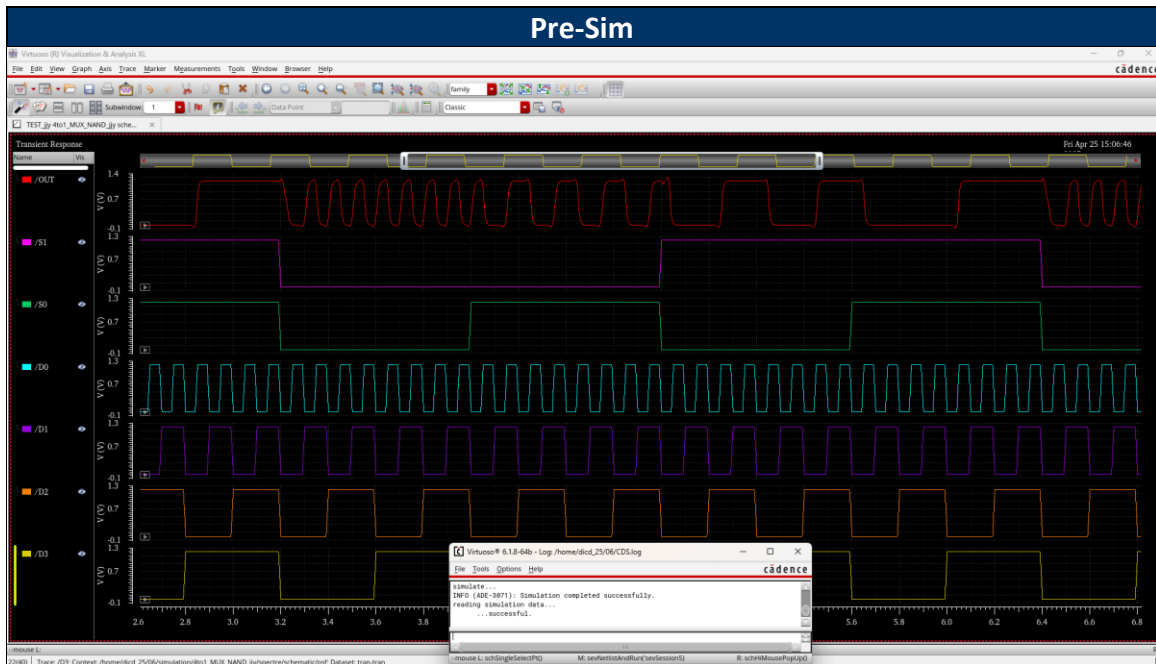


## 2-2) 실습 2: NAND Base MUX

### Schematic

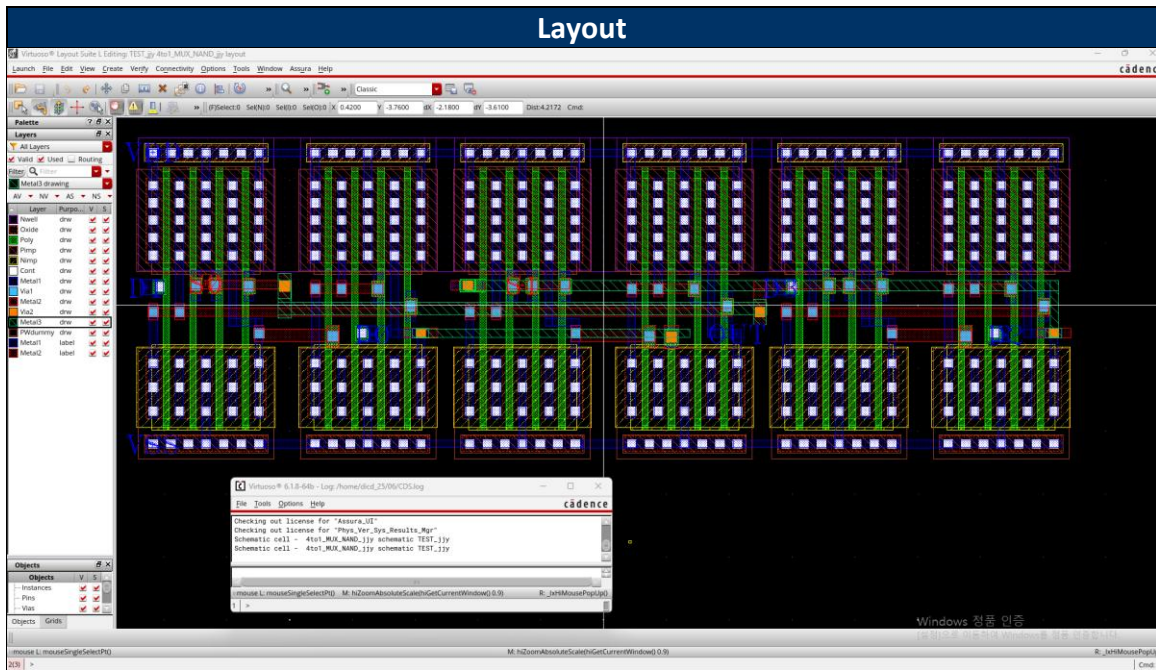


### Pre-Sim 결과

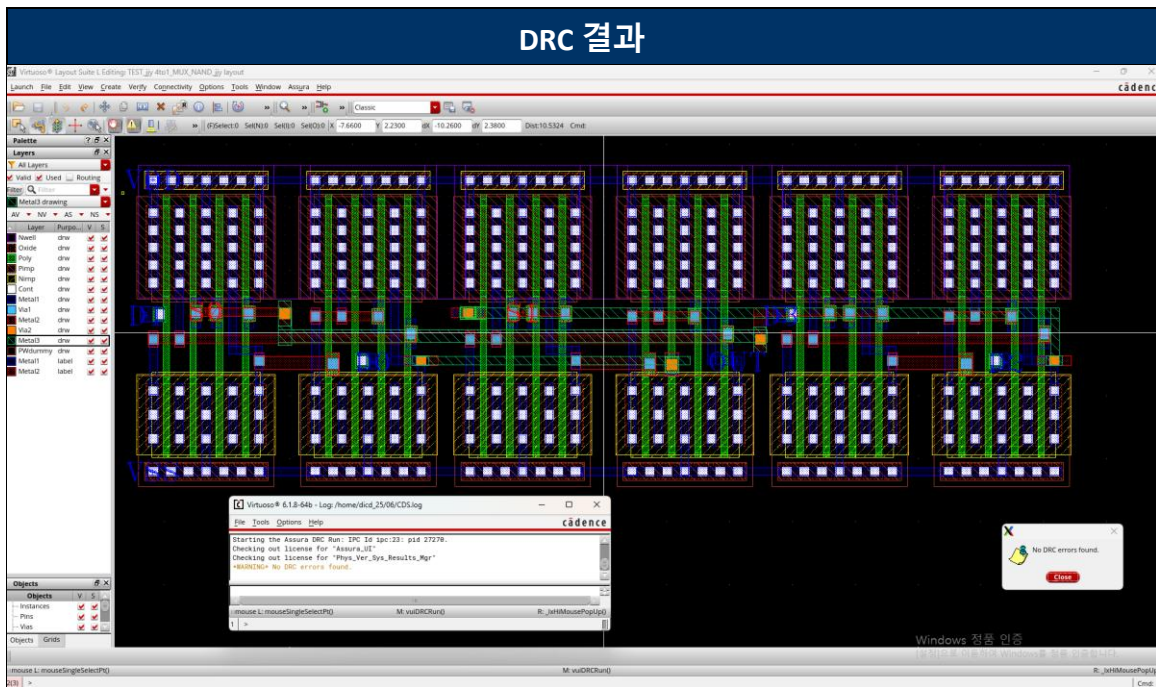




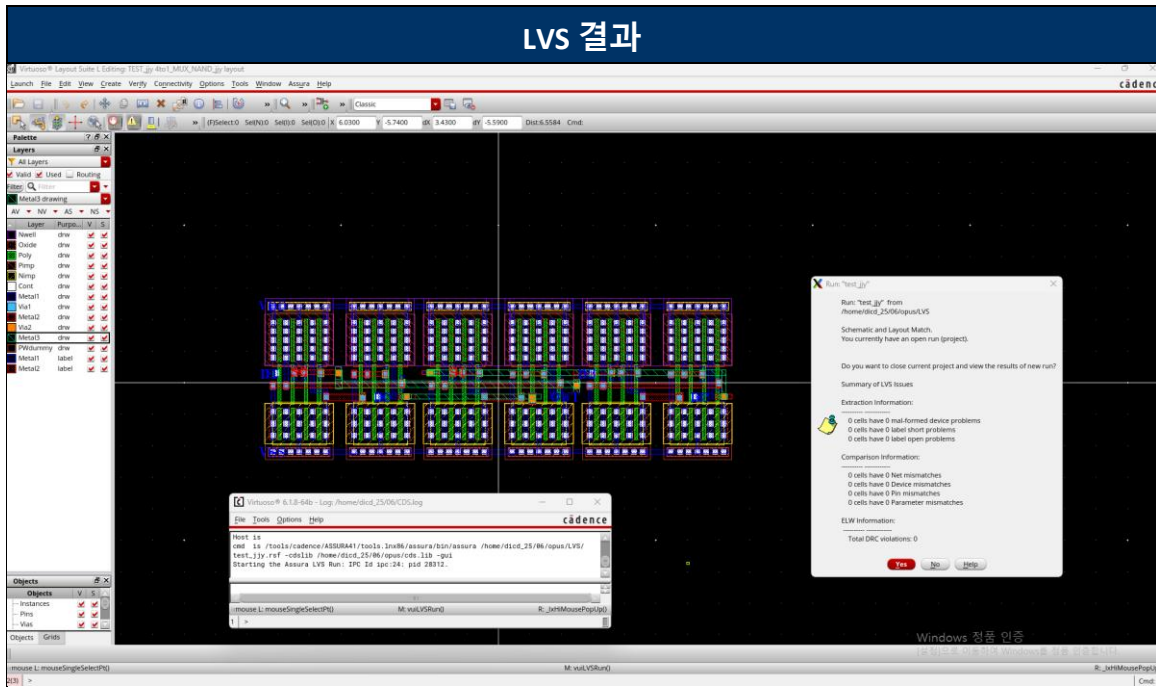
## Layout



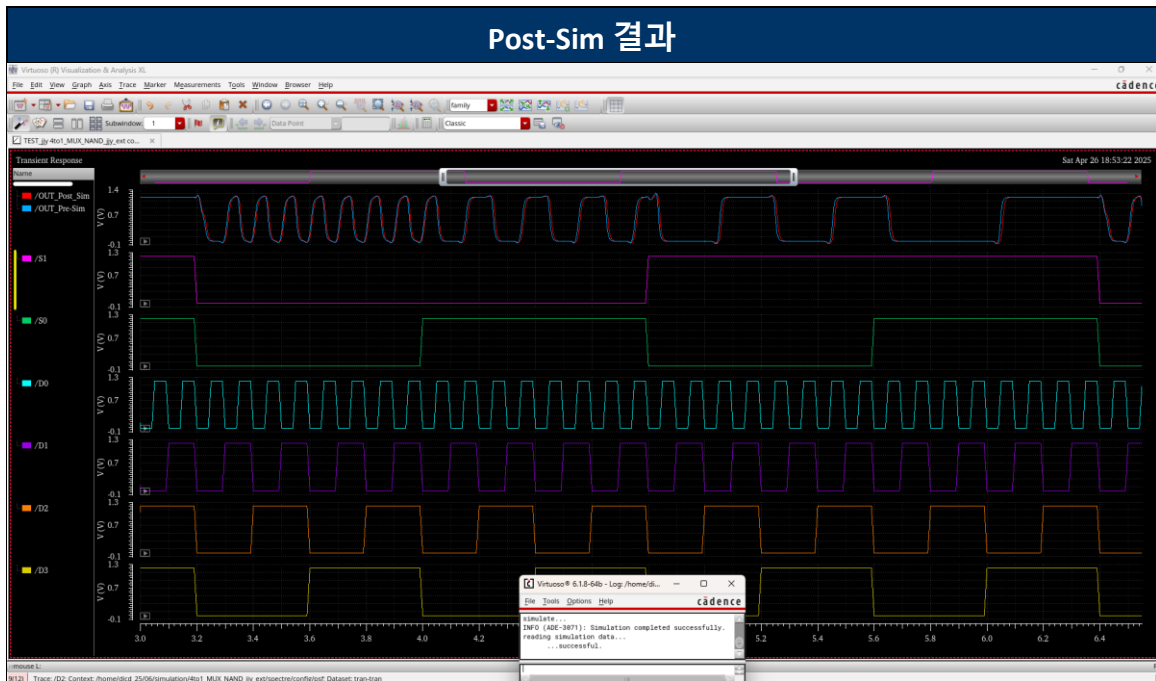
## DRC 결과



## LVS 결과



## Post-Sim 결과





### 3. 실습 결론 및 고찰

이번 실습에서는 4:1 MUX 회로를 설계 및 검증하고, Pre-simulation 과 Post-simulation 의 결과 차이를 비교 분석하였다. 또한, 두 가지 방식 — **Transmission Gate 기반 MUX** 와 **NAND 기반 MUX** — 를 비교하여 각각의 장단점을 분석하였다.

#### #1. Transmission Gate 기반 4:1 MUX vs NAND 기반 4:1 MUX 비교

이번 실습에서는 4:1 MUX 를 두 가지 방식으로 설계하여 비교하였다.

- **Transmission Gate 기반 4:1 MUX**
  - 구조가 간단하고, 데이터 전달 경로에 별도의 pull-up/pull-down 필요 없이 신호를 직접 통과시킨다.
  - 트랜지스터 개수가 상대적으로 적었으며, layout 이 간결하게 구성되었다.
  - 다만, transmission gate 사용 시 입력 신호가 충분히 강하지 않으면 출력 스윙이 약해질 수 있으며, 추가적인 보강 회로가 필요할 수 있다.
- **NAND 기반 4:1 MUX**
  - 기본 논리 게이트(NAND, NOT)를 이용해 MUX 기능을 구현하였다.
  - 구조가 정형화되어 안정적이고 robust 한 동작이 가능하지만, 트랜지스터 개수가 더 많았고, 회로 면적과 parasitic 요소도 증가하였다.
  - 이에 따라 Post-sim 결과에서도 NAND 기반 MUX 가 Transmission Gate 기반 MUX 보다 지연이 더 크게 나타났다.

이 결과를 통해, 트랜지스터 수가 적고 간결한 구조를 갖는 **Transmission Gate 기반 MUX** 가 속도 및 면적 측면에서 유리할 수 있다는 점을 확인할 수 있었다. 반면, **NAND 기반 MUX** 는 구조적 안정성 및 논리 오류 방지 측면에서 장점을 가질 수 있다는 점도 함께 고려해야 한다.

## #2. Pre-sim vs Post-sim 비교 (RC Delay 영향)

Pre-simulation 은 schematic 회로를 기준으로 수행된 시뮬레이션으로, 기생 RC 요소(parasitic capacitance/resistance)가 반영되지 않은 이상적인 환경을 가정한다. 반면, Post-simulation 은 layout 추출 후 생성된 parasitic netlist 를 기반으로 수행되며, 실제 배선과 트랜지스터 간의 RC delay 가 반영된다.

- **Pre-sim 결과**에서는 출력의 rise/fall time 이 매우 빠르고, 지연(propagation delay) 또한 작아 이상적인 동작을 보였다.
- **Post-sim 결과**에서는 RC delay 로 인해 출력 파형의 상승/하강 속도가 늦어졌고, 전파 지연이 명확히 증가하였다.

이는 실제 회로에서는 parasitic 요소가 성능에 상당한 영향을 미친다는 것을 보여주며, 회로 설계 시 Pre-sim 결과에만 의존할 경우 실제 성능을 과대평가할 위험이 있다는 점을 확인할 수 있었다. 따라서, Post-sim 검증은 필수적임을 다시 한 번 체감했다.