

Approximate Computing을 위한 Pass Gate 기반 Adder Cell 구조 비교 연구

장준영*, 최용환*, 강준구*, 서영교**

A Comparative Study on Pass Gate-Based Adder Cell Structures for Approximate Computing

Jun Yeong Chang*, Yong Hwan Choi*, Jun Gu Kang* and Yeong Kyo Seo**

요 약

기존의 In-Exact Adder Cell 연구는 논리적 시뮬레이션에 기반한 비교 분석에 그쳐, 실제 회로 수준에서의 성능은 충분히 검증되지 못했다. 본 논문에서는 Post-Layout Simulation을 수행하여, 각 구조의 transistor 개수, 동작 시 소비 전력, 지연 시간, 출력 전압 스윙, 면적 등을 정량적으로 비교하였다. 본 연구는 근사 연산 회로 설계에서 구조 선택의 기준을 제시하고, 회로 수준에서의 성능 검증의 필요성을 강조한다.

Abstract

Existing In-Exact Adder Cell research has been limited to comparative analysis based on logical simulations, and performance at the actual circuit level has not been sufficiently verified. In this paper, we performed a Post-Layout Simulation to quantitatively compare the number of transistors, power consumption during operation, delay time, output voltage swing, area, etc. of each structure. This study presents criteria for structural selection in approximate operation circuit design and emphasizes the need for performance verification at the circuit level.

Key words

approximate computing, in-exact adder, pass gate logic, post-layout simulation, low-power circuit design

1. 서 론

Approximate Computing 방법은, 연산의 정확도를 일부 희생하는 대신, 연산 회로의 전력 소모, 지연 시간, 면적 등을 줄일 수 있는 설계 기법으로, 최근 저전력 회로 시스템에서 활발히 연구되어 왔다. 특히 이미지/영상 처리, 센서 데이터 분석, 딥러닝 추

론과 같은 오류 허용 응용 분야에서는, 전통적인 Accurate 연산보다 근사화된 연산이 오히려 시스템 자원 효율 향상에 기여할 수 있다.

이러한 맥락에서, 1-bit Full Adder는 Approximate Computing 회로 설계에서 가장 기본적이고 중요한 구성 요소로 자리 잡고 있다. 기존의 Approximate Computing Adder 구조는 AMA, AXA 등 다양한 방

*소속, Email, **소속, Email(교신저자표시), ...

※ 지원기관표기(사사표기)

식들이 제안되어 왔으며[1][2]. 최근에는 InXA1, InXA2, InXA3 구조와 같이 Sum 혹은 Carry-Out 출력을 선택적으로 근사화하여 트랜지스터 수를 줄이는 구조가 제안되었다[3]. 하지만 기존 연구들은 대부분 논리적 시뮬레이션 수준에서의 기능 검증과 Truth Table 기반의 오차 지표(ex. Error Distance)만을 활용한 분석에 그치고 있다.

본 연구에서는 이러한 한계를 극복하고자, InXA1, InXA2, InXA3 Cell들과 동일한 Pass Gate 기반의 정확한 Adder Cell을 설계하고, Layout level에서의 구조 구현 및 Post-Layout Simulation까지 수행하였다. 특히 모든 회로(Accurate 1-bit Full Adder, InXA1 Adder, InXA2 Adder, InXA3 Adder)는 동일한 Pass Gate 방식으로 구현되었으며, 이는 Transistor 개수를 줄이면서도 전력 효율적인 회로 구현이 가능하다는 장점을 지닌다. 그러나 전압 강하로 인한 출력 Full-Swing 저하가 발생할 수 있다.

Post-Layout Simulation을 통해 본 연구에서는 기존 InXA1, InXA2, InXA3 Cell들과 Pass Gate 기반 Accurate Full Adder Cell을 비교하여, 트랜지스터 수, 회로 면적, 출력 정확도, 지연 시간, 소모 전력 등 다양한 성능 지표에 따른 유효성을 평가하였다. 이러한 실질적 분석을 통해 InXA1, InXA2, InXA3 Cell의 회로적 타당성과, 저전력/고효율 시스템에서의 적용 가능성을 재조명하고자 한다.

II. Accurate Full Adder : Pass Gate Logic

Accurate Full Adder는 본 논문의 기준 회로로서, 모든 입력 조합에 대해 올바른 Sum과 Carry 출력을 생성하도록 구성된 정밀한 1-bit Adder이다. 회로는 Pass Gate 기반으로만 구현되었으며, 이를 통해 기존 논리 게이트 기반 구조 대비 transistor 수를 최소화하면서도 논리적 정확성을 유지할 수 있도록 하였다.

Accurate Full Adder 회로는 Cadence Virtuoso 환경에서 GPDK 90nm PDK 공정을 기반으로 설계되었으며, Supply Voltage는 VDD 1.2V, VSS 0V로 설정하였다. 동작 온도는 25°C, Corner simulation 조건은 Normal-Normal(NN)로 고정하였다. 입력 파형은

4(ns), 2(ns), 1(ns)의 주기를 갖는 사각파를 인가하였으며, 상승 및 하강 시간은 각각 10(ps)로 설정하였다. 출력 신호는 Sum, Cout 노드에서 관찰하였다.

시뮬레이션 결과, Accurate Full Adder 구조는 총 10개의 transistor를 사용하며, Layout 면적은 $7.22(\mu\text{m}) \times 5.67(\mu\text{m})$ 로 측정되었다. 동작 시 소비 전력은 21.84(uW)였으며, Full-Swing에 도달한 출력 중에서 가장 느린 전파 지연 시간은 28.81(ps)로 측정되었다. 출력 전압 스윙 중 worst case는 Sum이 약 0.24V에서 0.82V, Cout은 0.30V에서 0.85V로 관찰되었다. 이는 Pass Gate 방식 특유의 전압 강하로 인해 이상적인 출력 전압 범위(0~12V)에는 도달하지 못한 것으로 예상된다.

표 1. Accurate Full Adder 진리표

Table 1. Accurate Full Adder Truth Table

X	Y	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	1

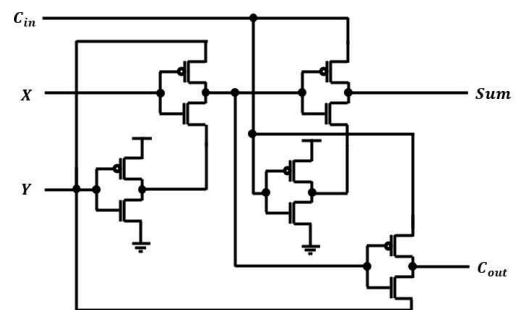


그림 1. Accurate Full Adder 회로도

Fig. 1. Accurate Full Adder Schematic

III. InXA1

InXA1 구조는 기존 연구에서 제안된 In-Exact

Adder Cell 중 하나로, Sum 출력에 대해 근사화를 적용한 회로이다. 본 논문에서는 해당 구조를 Pass Gate 방식만을 이용하여 구현하였으며, Accurate Full Adder와 동일한 설계 조건 및 시뮬레이션 환경에서 비교 가능하도록 동일한 기준 및 환경을 적용하였다.

InXA1 구조는 총 8개의 transistor를 사용하여 구현되었으며, Layout 면적은 $5.68(\mu\text{m}) \times 5.28(\mu\text{m})$ 로 측정되었다. 시뮬레이션 결과, 동작 시 소비 전력은 $22.50(\mu\text{W})$ 로, 기준이 되는 Accurate Full Adder와 유사한 수준을 유지하면서도 회로 면적을 줄이는 데 성공하였다. Full-Swing에 도달한 출력 중에서 가장 느린 전파 지연 시간은 $26.48(\text{ps})$ 로 측정되었으며, 이는 정확한 구조에 비해 소폭 향상된 수치이다. 출력 전압 스윙 중 worst case는 Sum이 약 0.29V 에서 1.06V , Cout은 0.0V 에서 1.2V 로 관찰되었으며, 특히 Cout의 경우 거의 이상적인 Full-Swing을 달성하였다.

표 2. InXA1 진리표
Table 2. InXA1 Truth Table

X	Y	C_i	S	C_o
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	1
0	0	0	1	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	1

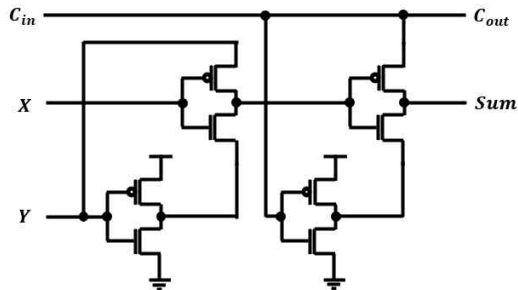


그림 2. InXA1 회로도
Fig. 2. InXA1 Schematic

IV. InXA2

InXA2 구조는 기존 연구에서 제안된 In-Exact Adder Cell 계열 중에서 Carry 출력을 정확하게 유지하고, Sum 출력을 근사화하는 방식으로 제안된 구조이다. 본 논문에서는 비교 대상인 Accurate Full Adder 및 InXA1과 동일한 환경에서 설계 및 시뮬레이션을 수행하여 성능을 평가하였다.

InXA2 구조는 총 8개의 transistor를 사용하여 구현되었으며, Layout 면적은 $5.61(\mu\text{m}) \times 5.85(\mu\text{m})$ 로 측정되었다. 시뮬레이션 결과, 동작 시 소비 전력은 $10.61(\mu\text{W})$ 로, 비교된 모든 구조 중에서 가장 낮은 전력 소모를 기록하였다. Full-Swing에 도달한 출력 중에서 가장 느린 전파 지연 시간은 $5.63(\text{ps})$ 로 측정되었으며, 지연 시간 측면에서도 매우 우수한 성능을 보였다. 출력 전압 스윙 중 worst case는 Sum이 약 0.29V 에서 1.2V , Cout은 0.38V 에서 0.95V 로 관찰되었다.

표 3. InXA2 진리표
Table 3. InXA2 Truth Table

X	Y	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	1	1
0	0	0	1	0
0	0	1	1	1
0	1	0	0	1
0	1	1	1	1

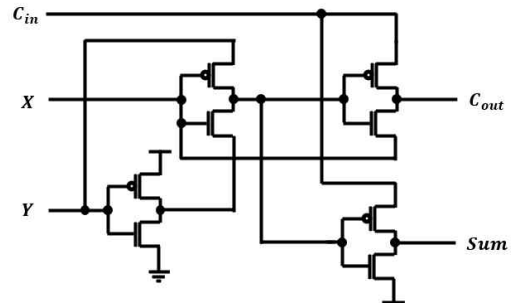


그림 3. InXA2 회로도
Fig. 3. InXA2 Schematic

V. InXA3

InXA3 구조는 기존 In-Exact Adder 계열 중에서 Sum, Carry 모두에 근사화를 적용하여 회로의 복잡도를 최대한 줄인 형태이다. 본 논문에서는 이 구조 역시 Pass Gate 방식만을 사용하여 구현하였으며, 비교 대상인 Accurate Full Adder 및 InXA1과 동일한 환경에서 설계 및 시뮬레이션을 수행하여 성능을 평가하였다.

InXA3 구조는 총 8개의 transistor를 사용하여 구현되었으며, Layout 면적은 $5.58(\mu\text{m}) \times 4.54(\mu\text{m})$ 로, 비교된 네 가지 구조 중 가장 작게 측정되었다. 동작 시 소비 전력은 $20.08(\mu\text{W})$ 로 상대적으로 낮은 편에 속하며, Full-Swing에 도달한 출력 중에서 가장 느린 전파 지연 시간은 $49.96(\text{ps})$ 로 측정되어 지연 시간 성능은 가장 저조하였다. 출력 전압 스윙 중 worst case는 Sum이 약 0.01V 에서 1.2V , Cout은 0.22V 에서 0.93V 로 관찰되었다.

표 4. InXA3 진리표
Table 4. InXA3 Truth Table

X	Y	C_i	S	C_o
0	0	0	1	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1

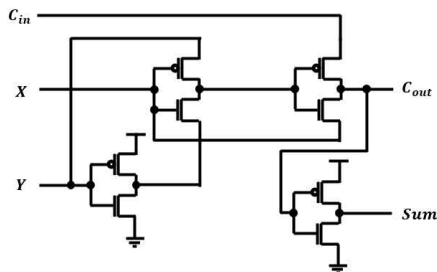


그림 4. InXA3 회로도
Fig. 4. InXA3 Schematic

VI. 결 론

본 논문에서는 근사 컴퓨팅 환경에서 사용될 수 있는 Pass Gate 기반 1비트 Full Adder 구조들을 비교 분석하였다. 비교 대상은 정확한 Full Adder 구조(Accurate FA)와 기존 Inexact 구조인 InXA1, InXA2, InXA3였으며, 네 가지 회로 모두 동일한 Pass Gate 방식으로 구현하고, GPDK 90nm 공정 기반 Cadence Virtuoso 환경에서 Layout 및 후공정 시뮬레이션을 통해 회로 수준에서의 성능을 평가하였다.

표 5. Adder Cell 구조별 성능 비교
Table 5. InXA3 Truth Table

	Acc.	InXA1	InXA2	InXA3
Tr. 개수	10	8	8	8
면적 ($\mu\text{m} \times \mu\text{m}$)	7.22 \times 5.67	5.68 \times 5.28	5.61 \times 5.85	5.58 \times 4.54
소비전력 (μW)	21.84	22.50	10.61	20.08
지연시간 (ps)	28.81	26.48	5.63	49.96
출력 스윙 (Sum) (V)	0.24~0.82	0.29~1.06	0.29~1.2	0.01~1.2
출력 스윙 (Cout) (V)	0.3~0.85	0.0~1.2	0.38~0.95	0.22~0.93

비교 결과, InXA 계열 Cell 구조들은 공통적으로 transistor 수와 Cell 면적이 감소하여 H/W 자원 절감에 유리한 특성을 보였다. 특히 InXA3 구조는 면적($5.58(\mu\text{m}) \times 4.54(\mu\text{m})$) 측면에서 가장 우수한 결과를 나타냈다. 동작 시 소비 전력 측면에서는 InXA2 구조가 $10.61(\mu\text{W})$ 로 가장 낮은 값을 보였다. 이는 구조상 OR 연산 단순화로 인해 불필요한 스위칭이 감소한 결과로 해석된다. 전파 지연 시간은 InXA2 구조가 $5.63(\text{ps})$ 로 가장 짧았으며, 반대로 InXA3 구조는 $49.96(\text{ps})$ 로 가장 긴 지연 시간을 보였다.

출력 전압 스윙 분석 결과, InXA3 구조의 Sum 출력은 $0.01(\text{V}) \sim 1.2(\text{V})$ 로 가장 이상적인 Full-Swing

에 근접하였다. 이는 구조상 Pass Gate를 통한 신호 경로가 짧고 직접적인 전압 분배가 이루어졌기 때문이라고 해석된다. 반면 일부 구조에서는 Sum 또는 Cout 출력의 스윙 폭이 제한되는 경향을 보였으며, 이는 Pass Gate 특성상 중간 노드의 부유 전압 또는 전압 분할 효과에 의한 것으로 해석된다.

종합적으로 볼 때, InXA2 구조는 저전력 및 고속 동작을 요구하는 시스템에 적합할 수 있으며, InXA1 구조는 전력과 출력 신뢰도의 균형을 고려한 선택지로 적절할 수 있다. 반면 InXA3 구조는 면적 효율과 출력 전압 품질 면에서는 우수하지만, 지연 시간 측면에서 제약이 있다. 이러한 분석 결과는 응용 시스템의 요구 특성에 따라 적절한 근사 회로를 선택하는 데 유의미한 설계 지표를 제공할 수 있다.

향후 연구에서는 Pass Gate 기반 구조 외에도 Static CMOS Logic, Transistor sizing optimization, 또는 Level shifting 기법 등을 적용하여 출력 스윙을 보완하고 전체 회로 특성을 더욱 개선할 수 있을 것이다.

참 고 문 헌

- [1] Z. Yang, A. Jain, J. Liang, J. Han, and F. Lombardi, "Approximate xor/xnor-based Adders for Inexact Computing", Proceedings of the IEEE International Conference on Nanotechnology, Beijing, China, August 2013.
- [2] J. Liang, J. Han, and F. Lombardi, "New metrics for the reliability of approximate and probabilities adders", IEEE Transactions on Computers, vol. 62, no. 9, pp. 1760-1771, 2013.
- [3] H. A. F. Almurib and T. N. Kumar, "Inexact Designs for Approximate Low Power Addition by Cell Replacement", in Proc. Design, Automation & Test in Europe Conf. & Exhibition (DATE), pp. 660-665, 2016.