

세미나 보고서

학 과	학 년	학 번	성 명	일 시
전기전자공학부	4	12191529	장준영	05/28
세미나 주제	DRAM 구조 및 동작, 트렌드			

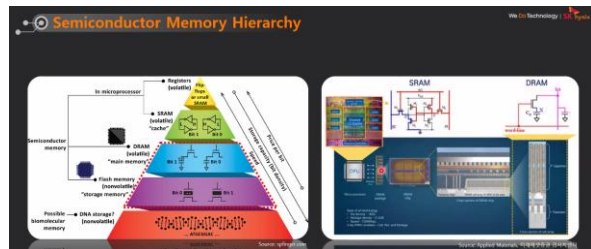
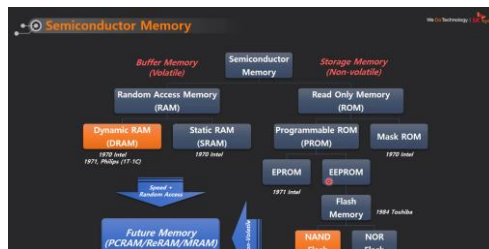
세미나 핵심내용

1) 목적: 디스플레이 반도체의 설계 방법 및 화두를 이해한다.

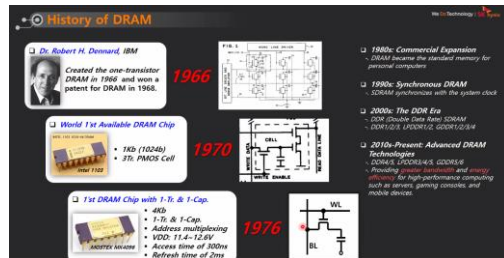
2) 주요 내용

#1. Semiconductor Memory

- NAND Flash cell 크기 < DRAM cell 크기 < SRAM cell 크기
- DRAM, SRAM은 Volatile Memory이다.
- 데이터 저장, 사용을 하는 소자 및 회로를 "Memory"라고 한다.

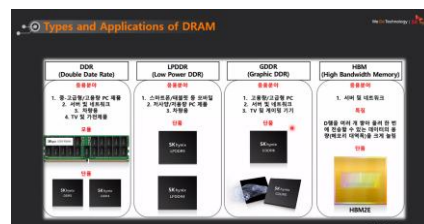
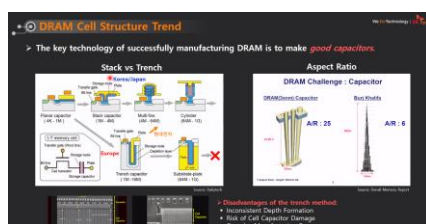


Memory	SRAM	DRAM	Flash
Cell			
Refresh	6 Tr or 4 Tr = 2 Load	1 Tr = 1 C	1 Tr
Data	Stable	Volatile	Non-volatile
Power (leak)	Low	High (Refresh)	Very Low
Storage Mechanism	Switching of cross coupled inverters	Charging & discharging of capacitor	Charging & discharging of Floating Gate (FG)
Speed (access time)	< 5 ns	< 10 ns	100 ~ 1000 ns
Write Cycle	Infinitely	Infinitely	100K ~ 1M
Cost	High	Low	Very Low
Market	Small	Big	Big & Fast-growing

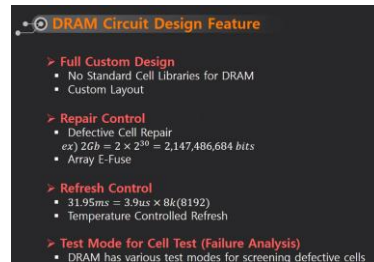
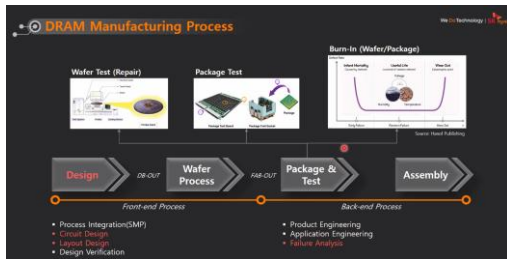


#2. DRAM Architecture

- 공정 방식의 차이: Stack vs Trench

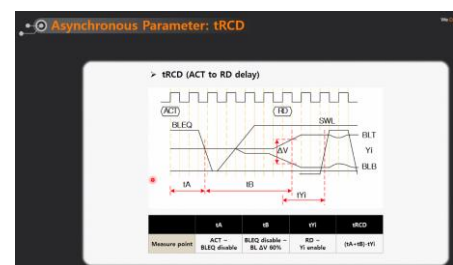
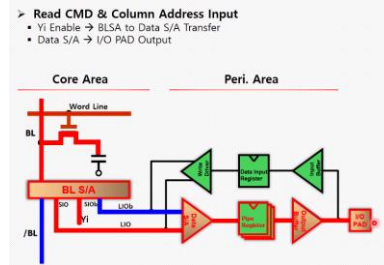
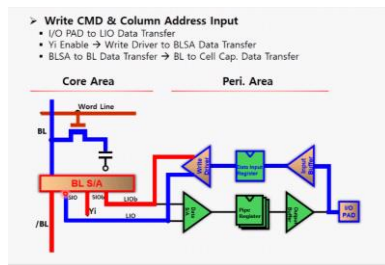


- Trench 방식의 단점: Inconsistent Depth Formation / Risk of Cell Capacitor Damage / Complex Manufacturing Process
- DRAM 종류: DDR / LPDDR / GDDR / HBM



- DRAM 설계: Full Custom Design (Transistor level 에서의 설계.)
- DRAM Cell 4대 구성요소: 1Tr, 1Cap, WL, BL

#3. DRAM Operation



고찰

이번 세미나를 통해 반도체 메모리의 구조 및 설계 방식에 대한 이해를 한층 더 깊이 있게 다질 수 있었다. 특히 NAND Flash, DRAM, SRAM 등 다양한 메모리 소자의 특성과 그에 따른 셀 크기의 차이에 대해 정리한 부분이 인상 깊었다. 우리는 흔히 메모리를 단순한 저장장치로만 인식하지만, 실제로는 데이터의 저장과 처리를 위한 복잡한 소자와 회로로 구성된 정교한 시스템임을 다시금 깨달았다.

DRAM 아키텍처에 관한 설명에서는 공정 방식의 차이(Stack vs Trench)와 Trench 방식의 기술적 한계점에 대한 언급이 흥미로웠다. 특히 Trench 방식에서 발생하는 '깊이 불균일성'과 '셀 캐패시터 손상 위험'은 공정 기술이 얼마나 민감한지, 그리고 얼마나 정밀한 설계와 제조 기술이 요구되는지를 보여주는 사례였다. 또한 DRAM의 다양한 응용 분야(DDR, LPDDR, GDDR, HBM)에 따라 최적화된 설계가 필요하며, 이 과정에서 트랜지스터 레벨에서의 풀커스텀 설계가 수행된다는 점은 메모리 설계자의 전문성과 숙련도를 실감하게 했다.