

세미나 보고서

학 과	학 년	학 번	성 명	일 시
전기전자공학부	4	12191529	장준영	05/21
세미나 주제	PPA focused Semiconductor Design for the HPC/AI Era			

세미나 핵심내용

1) 목적: Packaging 설계 및 공정의 이해

2) 주요 내용

#1. How to design Semiconductor Package

- SoC: CPU, GPU, NPU, USB, Memory card, Audio, Video, Power id
- Block 지정.
- Chip 설계: Interconnection
- IC Power vs PKG Thermal Resistance vs System Power & Thermal Design
- Wire Bond PKG

#2. Process

- WLP (Wafer Level CSP Package) Process

#3. What is Advanced Semiconductor Package?

- Design Rule: PKG Substrate vs Interposer Routing DR (2/2um L/S, 8/13um Via/Pad), Area Array Die Pad/Bump Pitch DR (bigger than 55um uBump/Advanced PKG,)
- PKG Substrate Manufacturing Process (PCB Aligner, DRI/Drill): RDL Stepper/Lithography
- Pad, Die, Wafer Interconnecting Process (Wire/Bump에서 uBump, DAF/FC에서 FC/TSV, COC에서 COW/WOW)
- Adding the 1st Level PKG (Photo/Litho/TSV based on Wafer Fab Process)
- Expanding to the 3rd Level PKG (SIP, System/WSE Module for wearable, Mobile,

Automotive, etc.)

- Single Substrate SoC PKG: Moduled WB (iP1) -> Bare die FC (iP3) -> eMUF FC (iP5) -> InFO FC (iP8)
- Dual Substrate SoC PKG: Bare die FC (GS1) -> eMUF FC (GS2) -> PCB Interposer (GS7) -> RDL Interposer (GS24)

#4. High Density Fanout PKG Solutions

- More Processing Performance: Bigger Mono SoC Die, Chiplet SoC Dies/WSE
- Higher Off-chip IF Performance: Single Ended, Differential Pair
- Higher Power/Thermal Solution
- Lower Cost SoC/PKG Solution

고찰

이번 세미나는 반도체 패키징 기술의 전반적인 구조와 진화 과정을 심도 있게 다루었다. 특히 패키징 설계가 단순한 연결이 아닌 **전력, 열, 비용 등을 통합적으로 고려해야 하는 고차원적 작업**임을 실감할 수 있었다.

SoC(System on Chip)는 CPU, GPU, NPU, USB, 메모리 카드, 오디오, 비디오 등을 하나의 칩에 통합하며, 각 블록 간의 상호 연결(interconnection) 설계가 매우 중요하다. 따라서 칩의 성능이 시스템 전체에서 제대로 발휘되기 위해서는, 시스템 레벨의 전력/열 설계가 뒷받침되어야 함을 배웠다.

고급 패키징 기술로 넘어가면서는, 와이어 본딩(Wire Bond)에서부터 플립칩(FC), TSV(Through Silicon Via), CoW/WoW(Chip on Wafer/Wafer on Wafer) 등 다양한 interconnection 방식들이 소개되었고, 이는 단순한 물리적 연결을 넘어 **3차원 집적과 고밀도 연결 기술의 복합적 융합**이라는 점에서 매우 인상 깊었다.

또한, PKG Substrate와 Interposer의 Routing Design Rule, RDL 공정, 그리고 고집적 Fan-out 패키지 기술까지 이어지는 설명을 통해, 패키징이 단순한 '마지막 단계'가 아니라, **시스템 전체 성능을 결정짓는 핵심 요소**임을 확실히 인식할 수 있었다. 특히 단일 기판과 이중 기판 SoC 패키지의 진화 경로는, 미래 패키징 기술이 고성능, 고속 인터페이스, 저비용이라는 상충되는 요구사항을 어떻게 균형 있게 수렴해가는지에 대한 좋은 예시였다.