

Ceas Numeric

Proiect la disciplina Circuite numerice

Profesor: dr. ing. Cristian Fet.

Student: Codreanu Dan

gr. 6304

Tema proiectului:

Se va proiecta un ceas numeric. Acosta va avea următoarele caracteristici:

1. Frequentă oscilatorului va fi de: 3,51 MHz
2. Afisajele va fi: multiplexată și catod comun
pt. BCD și segm. care va afisa pe 6 afise.
3. Va afisa: 24 h, m, s
4. Va avea alarmă
5. Parametrii ceasului pot fi setați de către utilizator.

Cuprins.

1. Schema generală a cascului
2. Directorul de frecvență.
3. Numărătorul cascului
4. Logica de comandă
5. Alarma:
 - 5.1. Blacul de memorie (h/min)
 - 5.2. Comp. memorie pe 13 fișe
6. Afisarea:
 - 6.1. Blac afisare MUX
 - 6.2. Decod. BCD și regm. k.comun
7. Simulație finală.

Cap. 1. Schema generală a ceasului

Ca să funcționeze, ceasul numeric se bazează pe numărările impulsivale de 1Hz obținute prin divizarea frecvenței primite de oscillatorul cu cristal, în cazul nostru 3,51MHz.

Afișarea ceasului este multiplexată, adică cu ecranul unic singur. Deocamdată 7-segment putem genera cele 8 cifre ale ceasului (0-9, m,s). Vom folosi pentru aceasta un MUX 8:1 (4 pentru ceas; 4 pt. alarma); și fiind m. max de băti pt. cifrele sau m. afisate în proiect. Ele vor fi trimise adrese cifrei afișate pt. care gen. de către ea de acasă.

Alarma se construiește din memorie și comparător, astfel că memoria va stoca o anumită atâtă camp cunoscut și

o compara cu ora ceasului și să declanșeze alarmă.

Totuși aceste campuri mai sus menționate lucrează după un tact comun.

În **fig. 1.** avem prezentată schema generală a ceasului numeric:

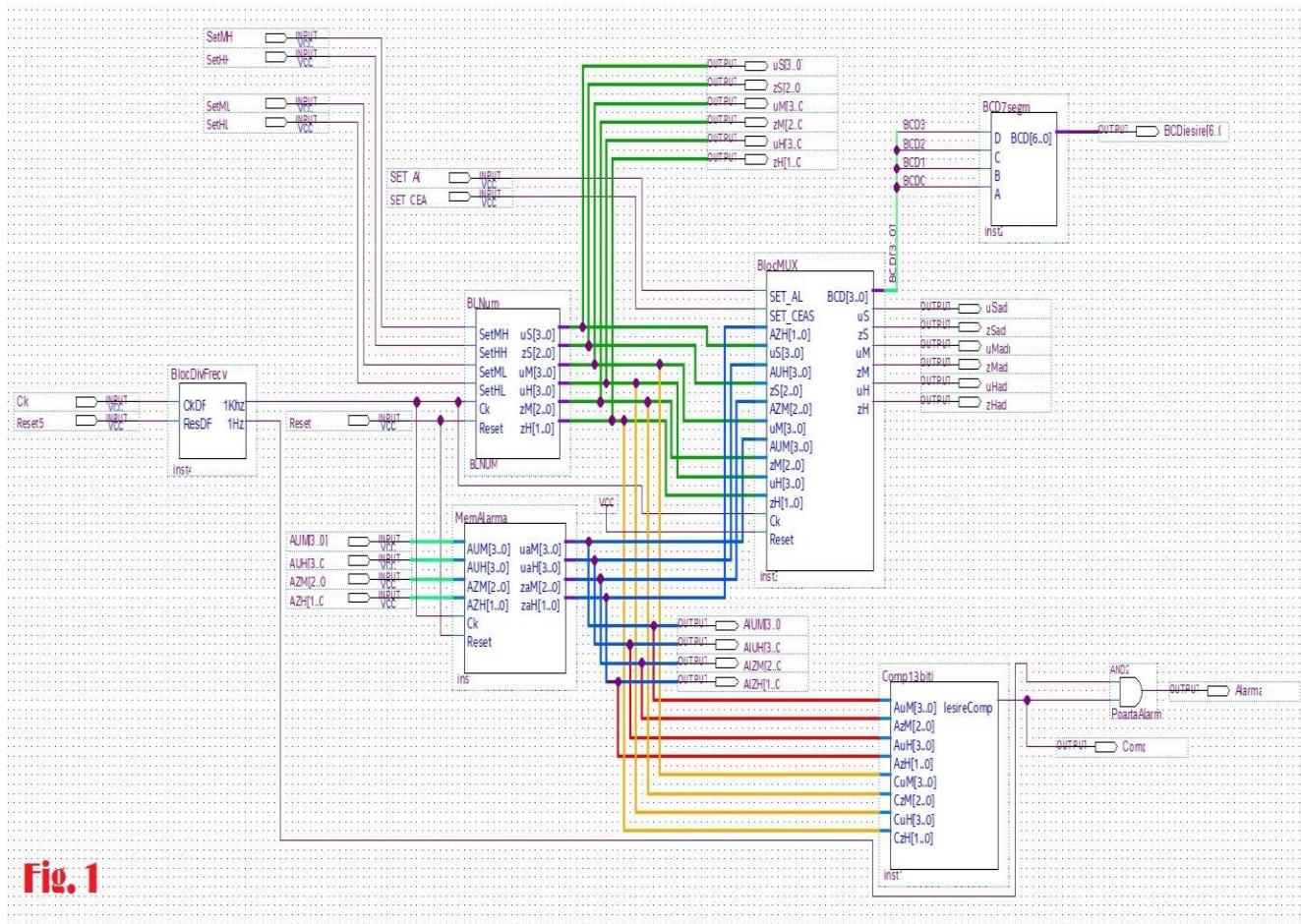


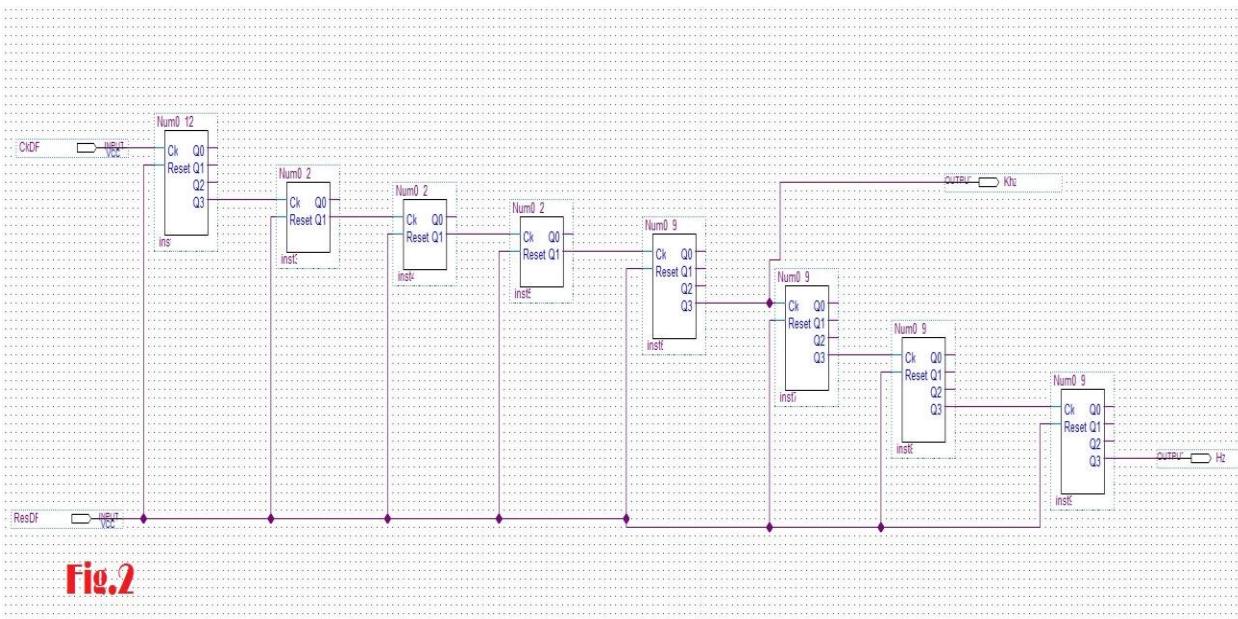
Fig. 1

Cap.2. Dinițoul de frecvență.

Pentru a divide cei 3,51 MHz primiti de la oscillatorul cu cuant la 1Hz pentru ceas și 1KHz pentru frecvență alarmei, vom folosi un bloc de divizare cu frecvență format din mai multe divizoare create în cascadă. (Număr de 13, 3×3 și 4×10). Acastă veni că sunătoare de tip JK. Dupa primul număr 0-9 vom lega rezistență alarmei; în finalul circuitului mare rezistență pt. 1Hz a ceasului.

$$\begin{array}{r}
 351000013 \\
 2700003 \\
 900003 \\
 300003 \\
 1000010 \\
 1000010 \longrightarrow (\text{alarme } 1\text{ Hz}) \\
 10010 \\
 1010 \\
 1 \longrightarrow (\text{coup } 1\text{ Hz})
 \end{array}$$

Acesta este afisat in figura 2.



Numerătorul de 13 (0-12): JK sincron:

Fig.3 - Tabel de adrese + diagrame JK.

Fig.6 - Schema logică

Fig.5 - Forme de unde

Fig.4 - Schema cu porti logice.

Numerătorul de 13

Fig.3

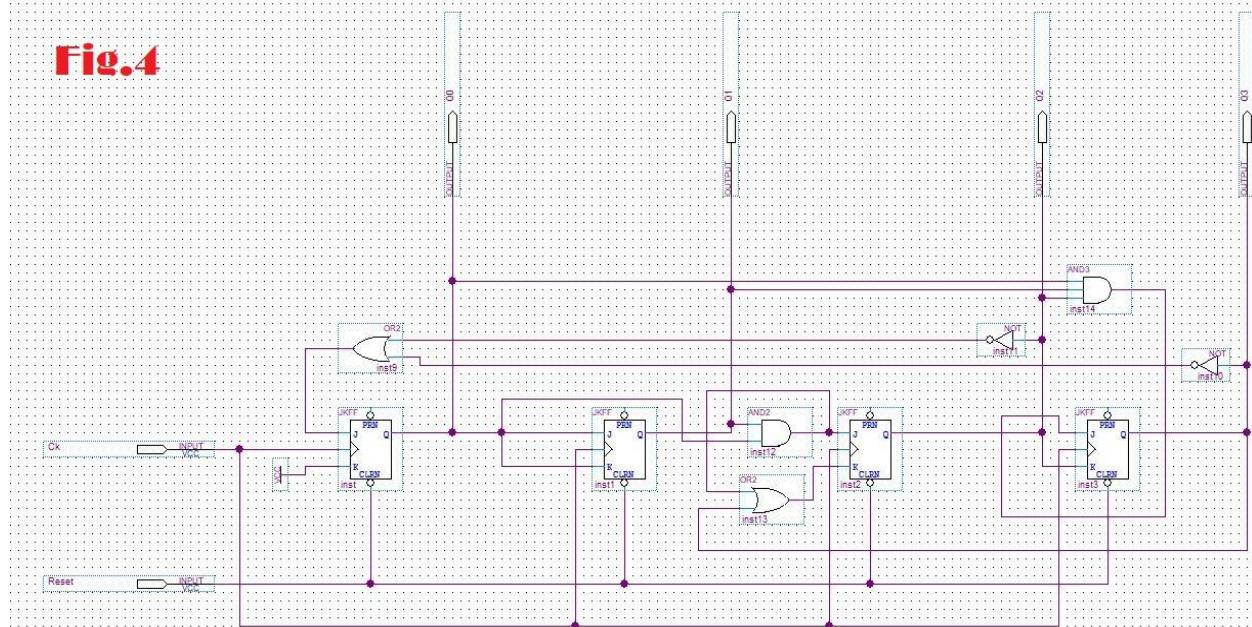
Nz	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0	
0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
1	0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1	
2	0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X	
3	0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	1	
5	0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X	
6	0	1	0	1	0	1	1	1	0	X	X	0	X	1	X	1	
7	0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1	
8	1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X	
9	1	0	0	1	1	0	1	0	X	0	0	X	1	X	X	1	
10	1	0	1	0	1	0	1	1	X	0	0	X	X	0	1	X	
11	1	0	1	1	1	1	0	0	X	0	1	X	X	1	X	1	
12	1	1	0	0	1	0	0	0	X	0	1	1	0	X	0	X	

J_3	K_3	J_2	K_2
$Q_1 Q_0$	00 01 11 10	00 01 11 10	00 01 11 10
00	0 0 X X X 1 0 0 X X 0 X 0 1 X	0 0 X X X 1 0 0 X X 0 X 0 1 X	0 0 X 0 1 1 X
01	0 0 X X X X X 0 0 X X 0 X 0 X X	0 0 X X X X X 0 0 X X 0 X 0 X X	0 0 X 0 X X
11	0 1 X X X X X 0 1 X X 1 X 1 X X	0 1 X X X X X 0 1 X X 1 X 1 X X	1 2 X X X
10	0 0 X X X X X 0 0 X X 0 0 X 0 X X	0 0 X X X X X 0 0 X X 0 0 X 0 X X	0 0 X 0 X X
00	0 0 0 0 X X X X 1 0 1 0 1 X X X X	0 0 0 0 X X X X 1 0 1 0 1 X X X X	X X X X X X
01	1 1 X 1 X X X X X X X X X X X X	1 1 X 1 X X X X X X X X X X X X	1 1 X 1 X 1
11	X X X X X 1 1 X 1 X X X X X X X X	X X X X X 1 1 X 1 X X X X X X X X	1 1 X 1 X 1
10	X X X X X 0 0 X 0 1 1 X X X X X X	X X X X X 0 0 X 0 1 1 X X X X X X	X X X X X X

$J_1 \quad K_1 \quad J_0 \quad K_0$

$J_3 = Q_2 \cdot Q_1 \cdot Q_0$ $K_3 = Q_2$
 $K_3 \cdot J_2 = Q_2 Q_0$ $K_2 = Q_3 + Q_1 Q_0$
 $J_2 \cdot J_1 = Q_0$ $K_1 = Q_0$
 $J_0 = \overline{Q_2 + Q_3}$ $K_0 = 1$

Fig.4



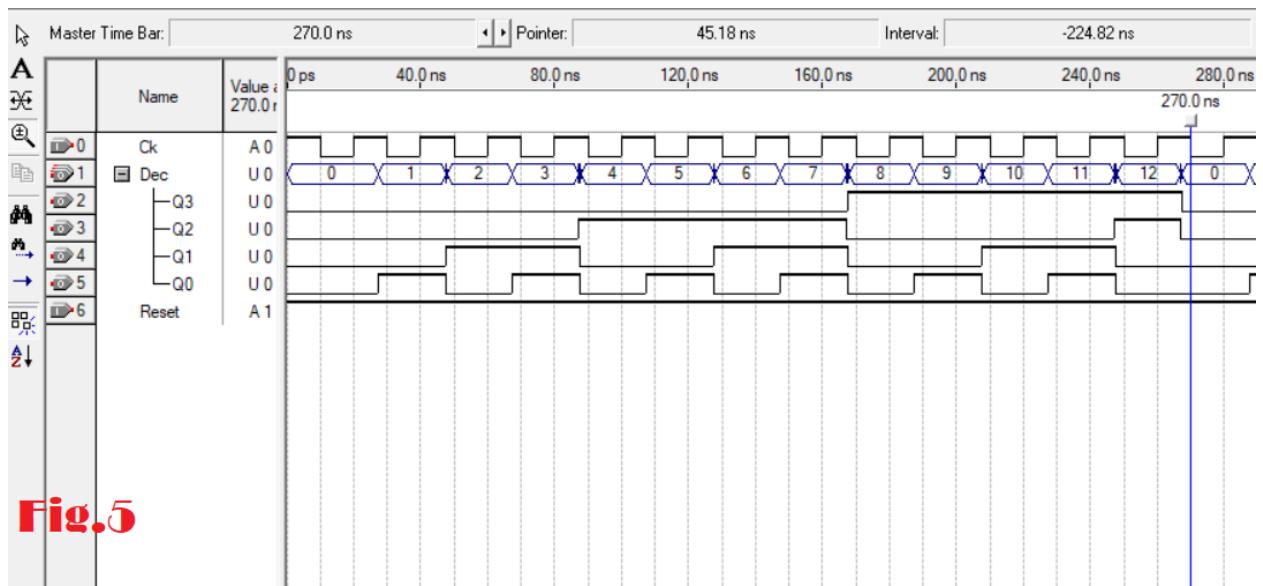


Fig.5

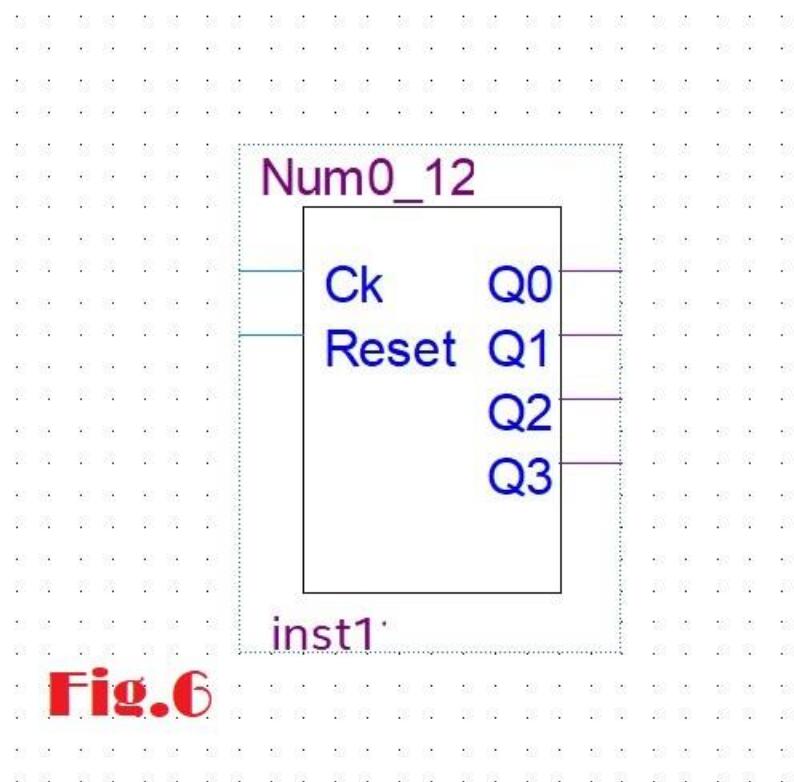


Fig.6

Numărătorul de 3 (0-2): JK sincron:

Fig 7 - Tablou de aderent + diagramme VK

Fig 8 - Schema cu porti logice

Fig 9 - Forme de undă

Fig 10 - Schema bloc.

Nz	t_n		t_{n+1}		J_1		K_1		J_0		K_0	
	Q_1	Q_0	Q_1	Q_0								
0	0	0	0	1	0	ϕ	1	ϕ	1	ϕ		
1	0	1	1	0	1	ϕ	ϕ	1	ϕ	1		
2	1	0	0	0	ϕ	1	0	1	0	ϕ		

Fig.7

Q_1	0	1	0	1	0	1	0	1
Q_0	0	0	ϕ	ϕ	1	ϕ	0	ϕ
	0	1	ϕ	ϕ	1	ϕ	0	ϕ
J_1	1	ϕ	ϕ	ϕ	0	ϕ	1	ϕ
K_1	ϕ	1	ϕ	ϕ	ϕ	0	ϕ	1
J_0	ϕ	0	1	ϕ	ϕ	0	1	ϕ
K_0	1	ϕ	ϕ	1	ϕ	0	ϕ	1

$J_1 = Q_0$ $K_1 = 1$

$J_0 = \overline{Q_1}$ $K_0 = 1$

Fig.8

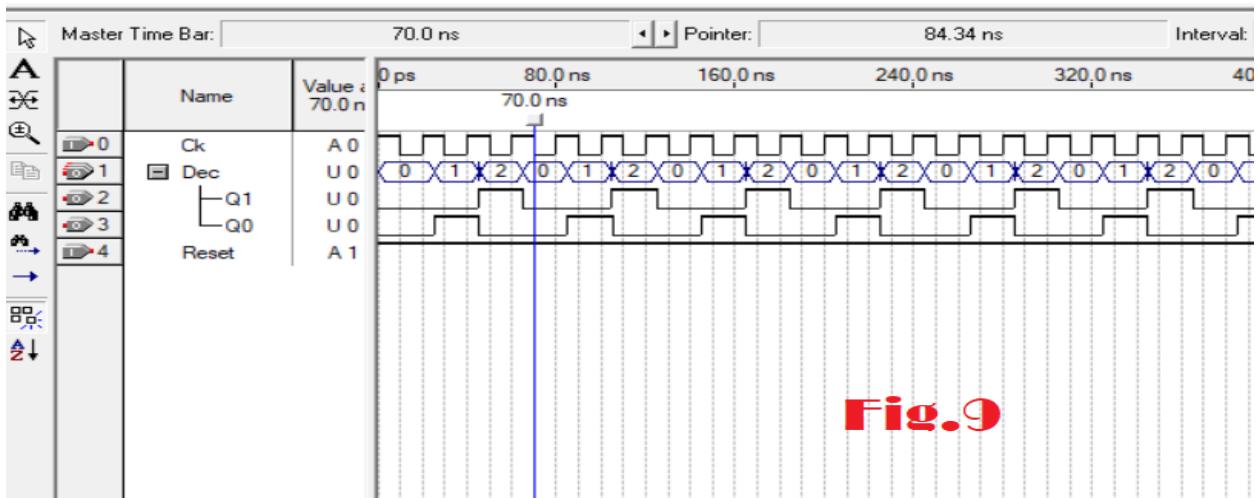
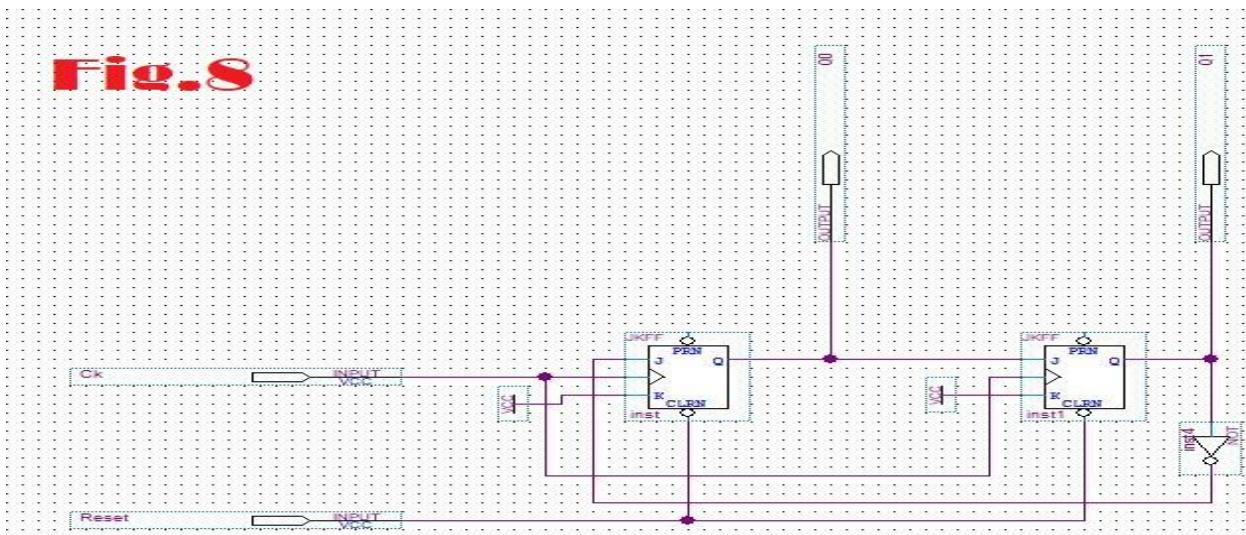


Fig.9

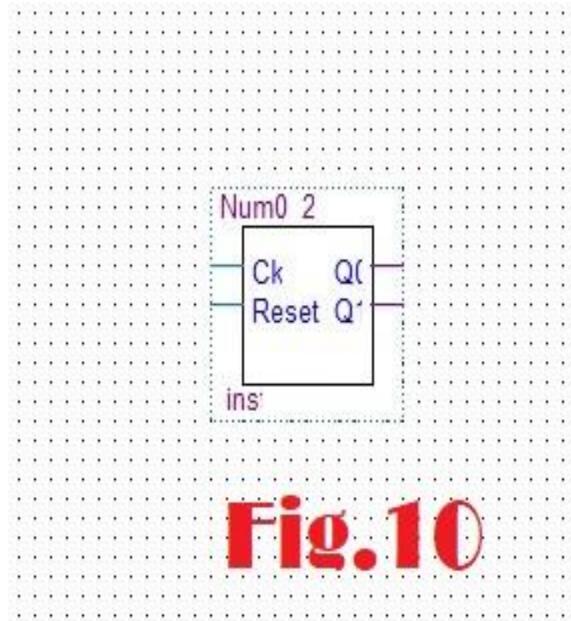


Fig.10

Numeanțorul de 10(0-9). Jt. simon.

Fig 11 - Tablă de aderent diagramme JK

Fig 12 - Schema cu porti logice

Fig 13 - Forme de undă

Fig 14 - Schema logică.

Numeanțorul de 10.

t_m

t_{m+1}

Nz	Q ₃	Q ₂	Q ₁	Q ₀	J ₃	Q ₃	Q ₂	Q ₁	Q ₀	J ₂	K ₃	J ₁	R ₀	J ₀	K ₀
0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X
1	0	0	0	1	1	0	0	1	0	0	X	0	X	1	X
2	0	0	X	0	0	0	0	1	0	0	X	0	X	0	X
3	0	0	1	1	0	1	0	0	0	0	X	0	X	0	X
4	0	1	0	0	1	0	1	0	1	0	X	X	0	X	X
5	0	1	0	1	0	0	1	1	0	0	X	X	0	1	X
6	0	1	1	0	0	0	0	1	1	0	X	X	0	1	X
7	0	1	1	1	0	0	0	0	0	1	X	X	1	X	X
8	1	0	0	0	1	0	0	0	1	X	0	X	0	X	X
9	1	0	1	0	0	0	0	0	0	X	1	0	X	0	X

Fig.11

C ₃ C ₂	J ₃	J ₂	K ₃	J ₁	R ₀	K ₂									
Q ₃ Q ₂	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11
00	0	0	X	X	1	X	0	0	X	X	0	X	0	0	X
01	0	0	X	X	1	X	0	0	X	X	1	0	0	X	X
11	0	1	0	X	1	X	X	X	1	X	0	1	1	X	X
10	0	0	X	X	1	X	X	X	1	X	0	0	0	X	X
00	0	0	X	0	X	X	1	X	1	X	X	1	1	X	X
01	1	X	0	X	X	X	X	X	X	X	X	1	1	X	X
11	1	X	X	1	X	X	X	X	X	X	X	1	1	X	X
10	X	X	1	X	0	0	X	X	1	X	X	X	X	X	X

$$J_3 = Q_2 \bar{Q}_1 \bar{Q}_0$$

$$K_3 = Q_2$$

$$J_2 = Q_1 \bar{Q}_0$$

$$K_2 = Q_1 Q_0$$

$$J_1 = Q_0 \bar{Q}_3$$

$$K_1 = Q_0$$

$$J_0 = 1$$

$$K_0 = 1$$

Fig.12

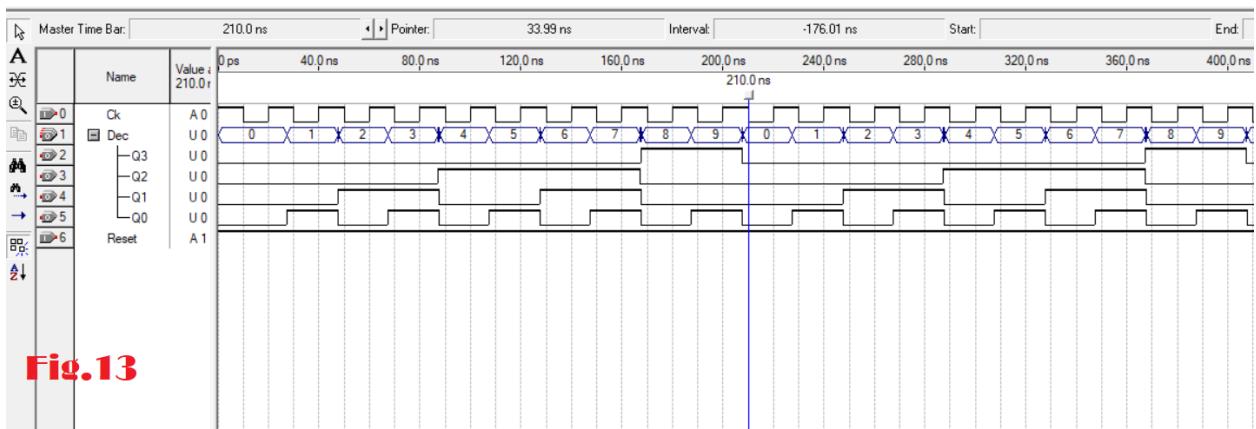
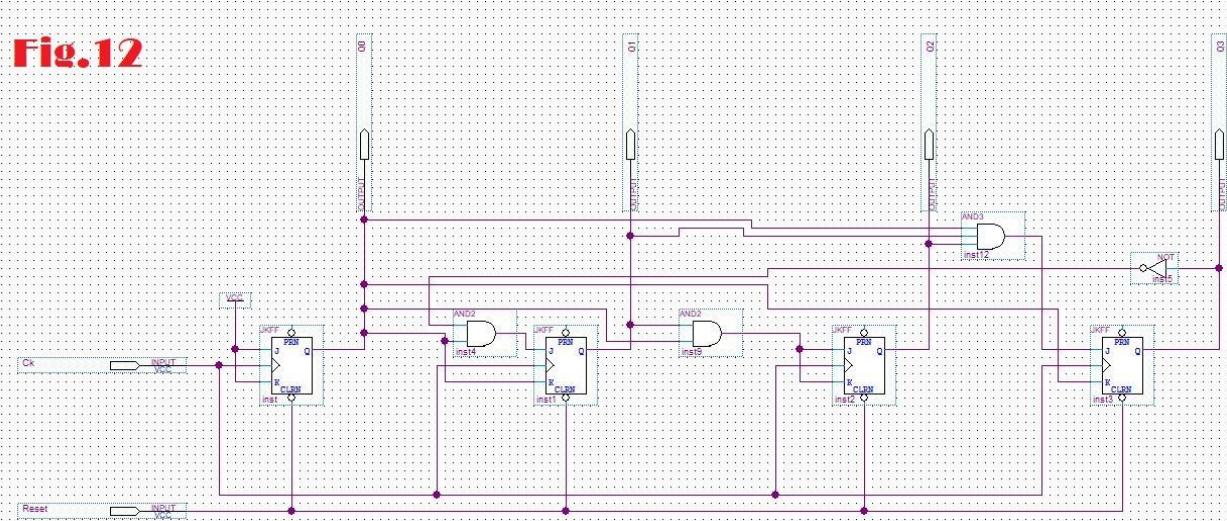


Fig.13

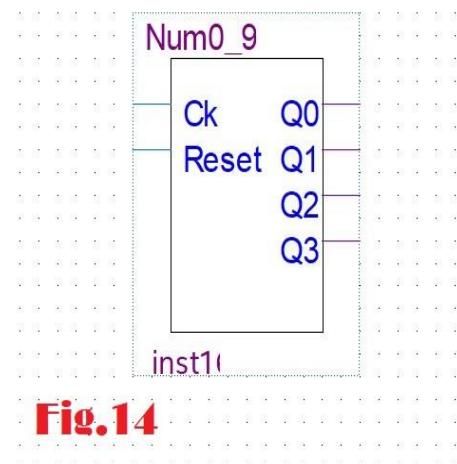


Fig.14

In figura Fig 15 viene simulato il blocco di divisione in
in Fig 16 viene mostrato lo schema blocchi a questo.

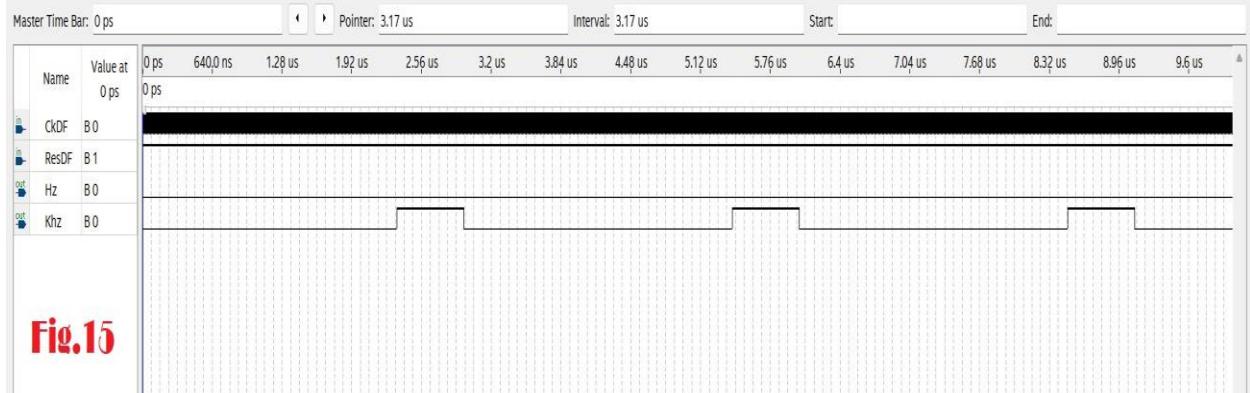
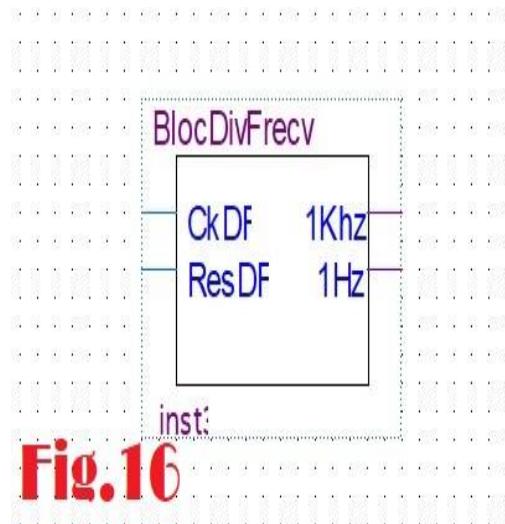


Fig.15



Cap. 3 Numărătorul ceasului.

Blocul de memorare a ceasului este compus din 3 blocuri de memorare: $1\text{h}/\text{m/s}$. Fiecare bloc le sănătății lui este compus din numărătoare pb. unitate și sec.! Număr de secunde în cel de semințe au în componentă lora număr. de 6 și 10 stări, iar cel de ore de 3 și 10 stări. Ca și număr. de func. de la sec la ore fiecare număr incrementă cu 1, astfel că la frecvență de 1Hz unitatele sec. ajungând la 10 încrem. Blocul de sec cu 1 pasă cand număr de ore ajunge la 24 fără logice de programare, respectiv la 24 se restituie utilitatea LP-wL. Se pare acesta vară totuși mai pe larg în Cap. 4.

In Fig. 17 este prezentată schema cu poziții logice a număr. ceasului. Aici mai există doar număr. de 6 decanee cele de 10 și 3 au fost prezentate în cap. anterior la dină de frecvență.

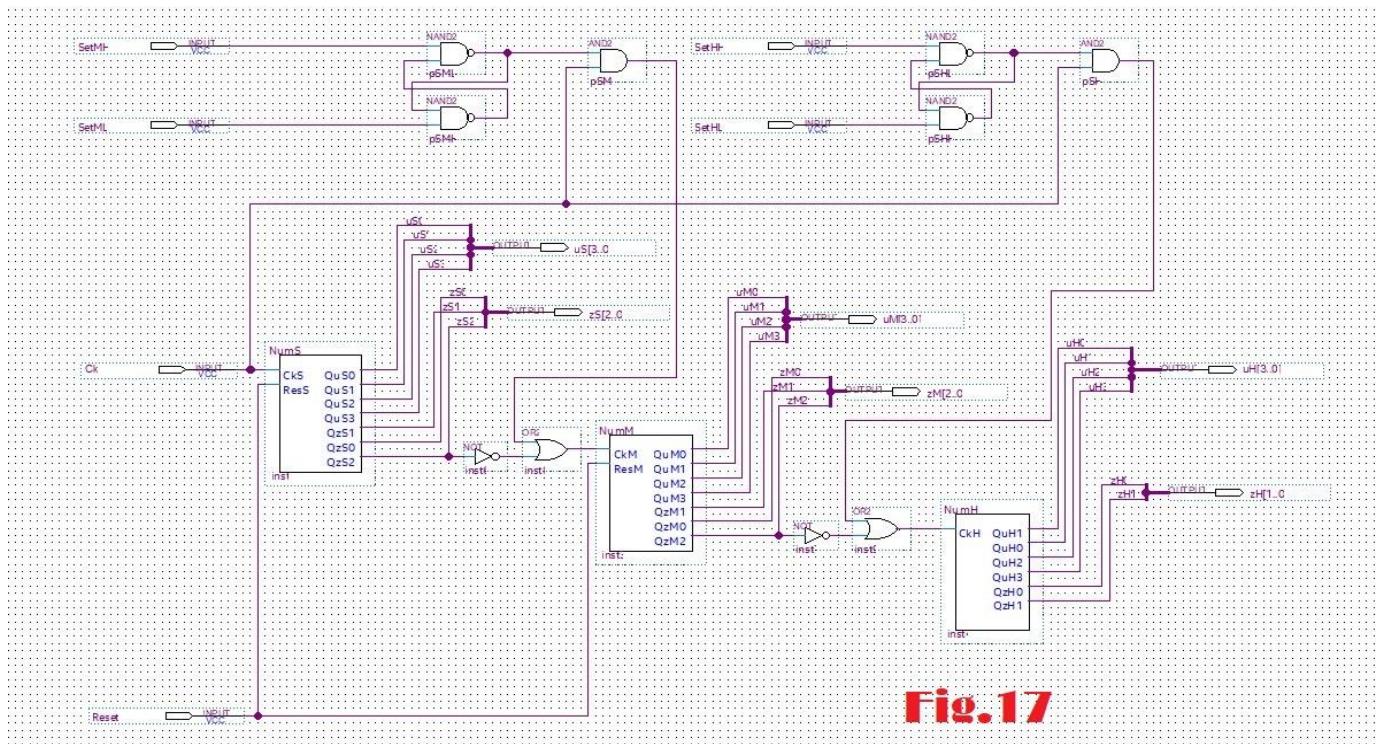


Fig.17

Numerătorul de 6 (0-5): schema JK:

Fig 18 - Tabel aderenț + diagr. VK

Fig 19 - Sch. porti logice

Fig 20 - Forme de cîndă

Fig 21 - Schema în logică.

Numerătorul de 6

Nr	t_n			t_{n+1}			$J_2 \ K_2$	$J_1 \ K_1$	$J_0 \ K_0$
	Q_2	\bar{Q}_1	Q_0	Q_2	\bar{Q}_1	Q_0			
0	0	0	0	0	0	1	0 X	0 X	1 X
1	0	0	1	0	1	0	0 X	1 X	X 1
2	0	1	0	0	1	1	0 X	X 0	1 X
3	0	1	1	1	0	0	1 X	X 1	X 1
4	1	0	0	1	0	1	X 0	0 X	1 X
5	1	0	1	0	0	0	X 1	0 X	X 1

$Q_2 Q_1$	J_2	K_2	J_1
Q_0	00 01 11 10	00 01 11 10	00 01 11 10
0	0 0 X X	X X X 0	0 0 X X 0
1	0 0 X X	(X X X 1) (1 X) X 0	
0	X 0 X X	(1 X) (X X X)	(X X X 0)
1	(X 1 X X) X	X X X 1	(1 1 X 1)

K_1	J_0	K_0

$$J_2 = Q_0 Q_1 \quad J_1 = Q_0 \bar{Q}_2 \quad J_0 = 1$$

$$K_2 = Q_0 \quad K_1 = Q_0 \quad K_0 = 1$$

Fig.18

Fig.19

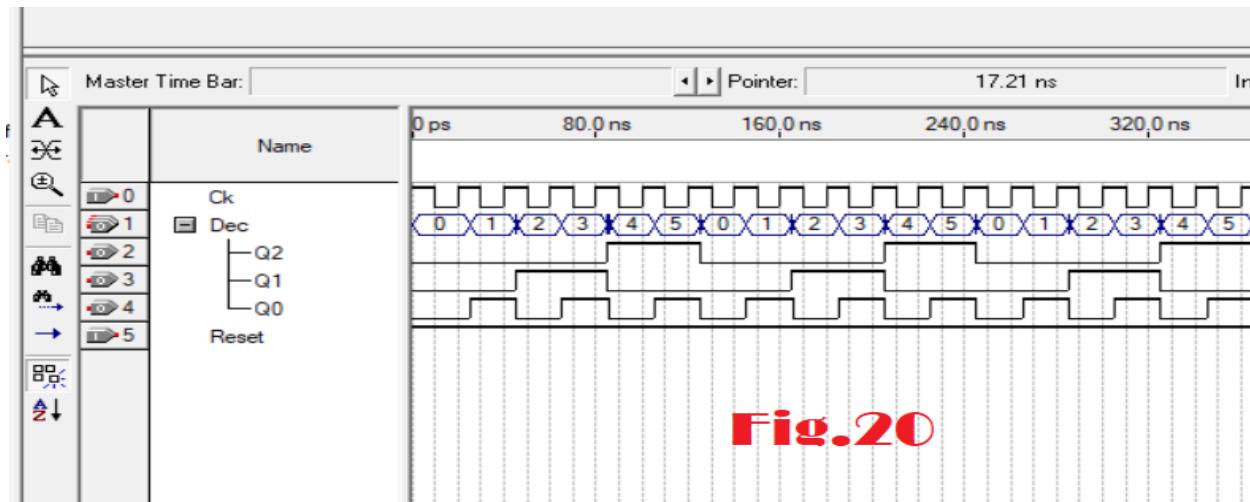
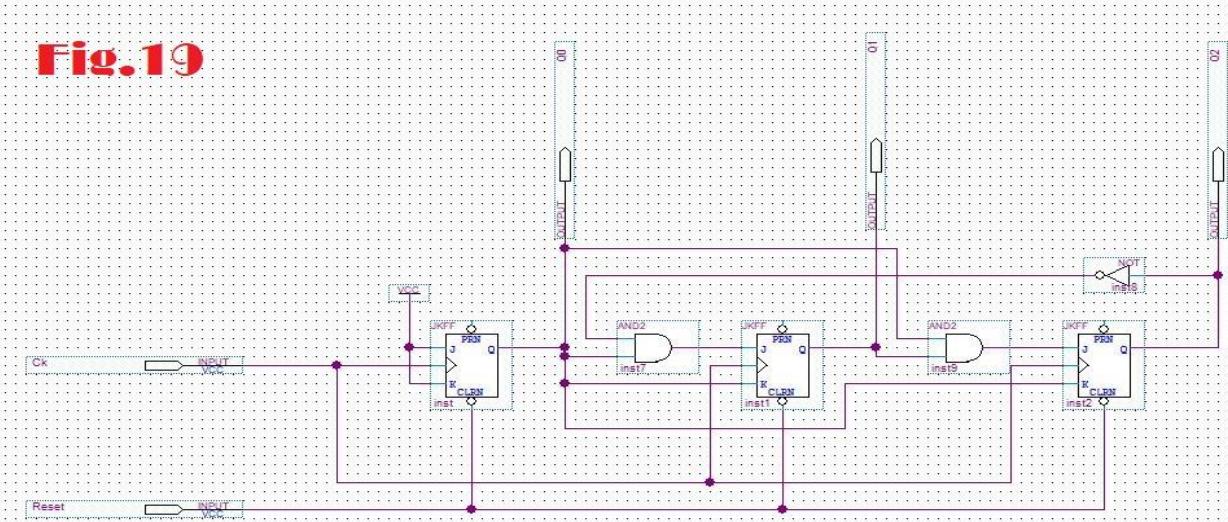


Fig.20

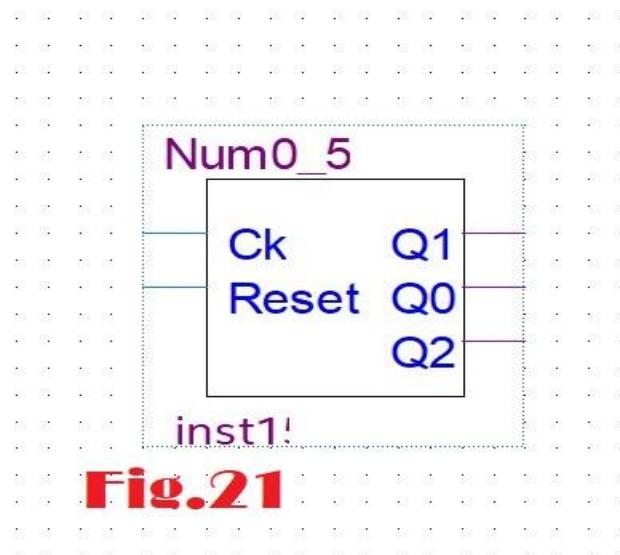


Fig.21

Numérateur de seconde:

Fig.22 - Schéma porté logique

Fig.23 - Forme de onde

Fig.24 - Symbol

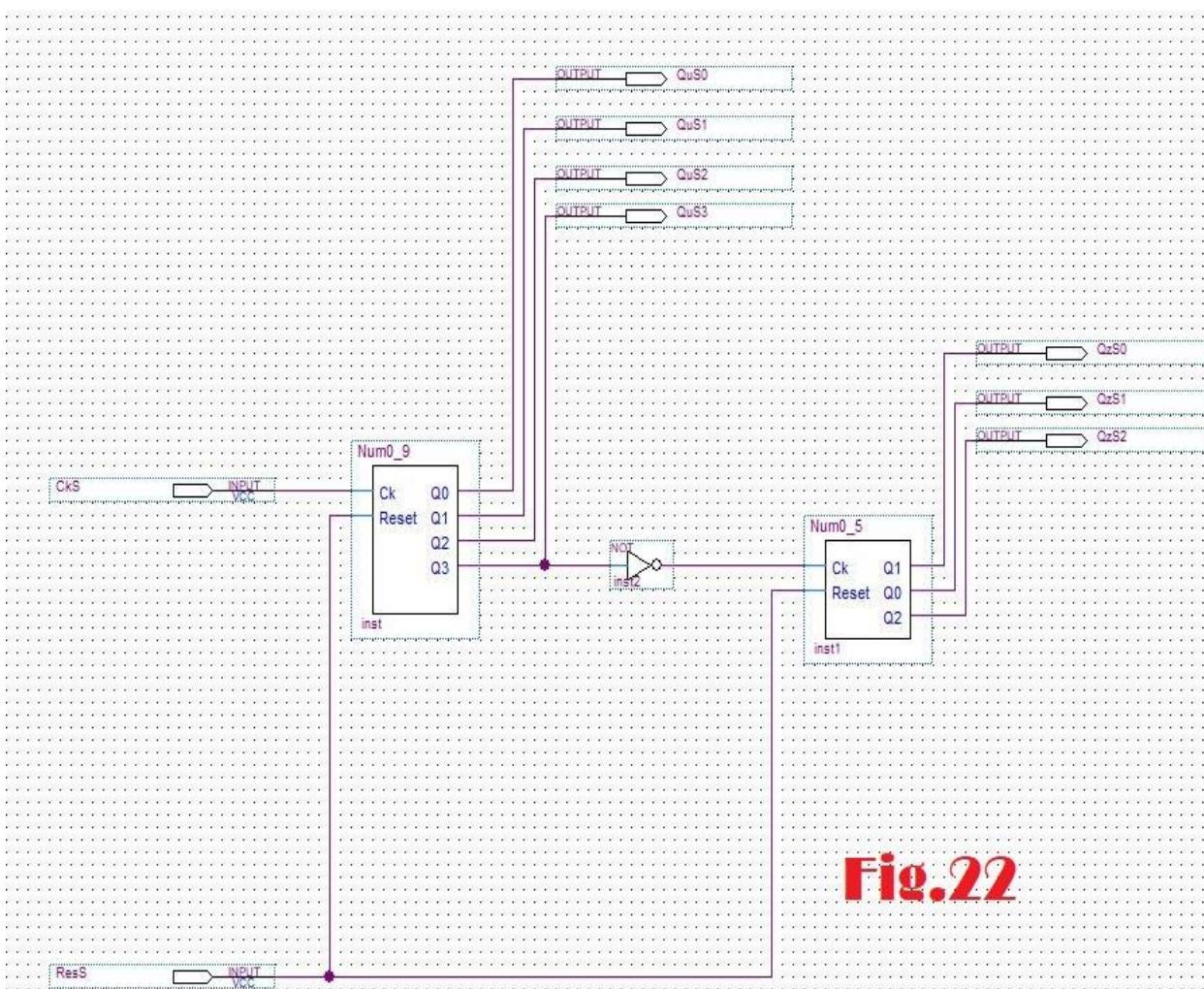


Fig.22

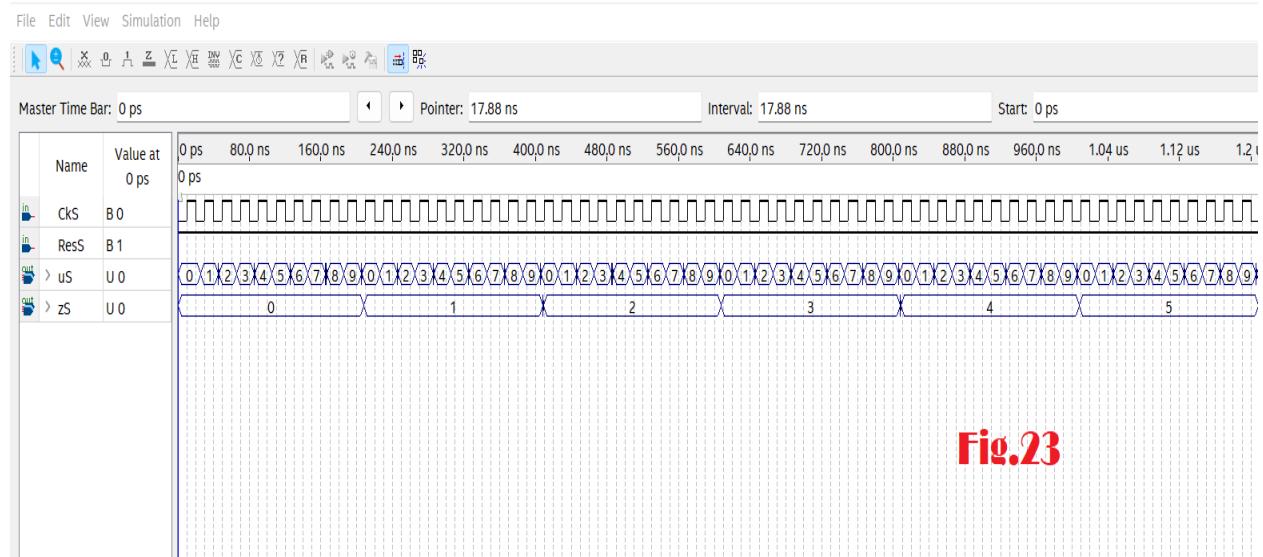


Fig.23

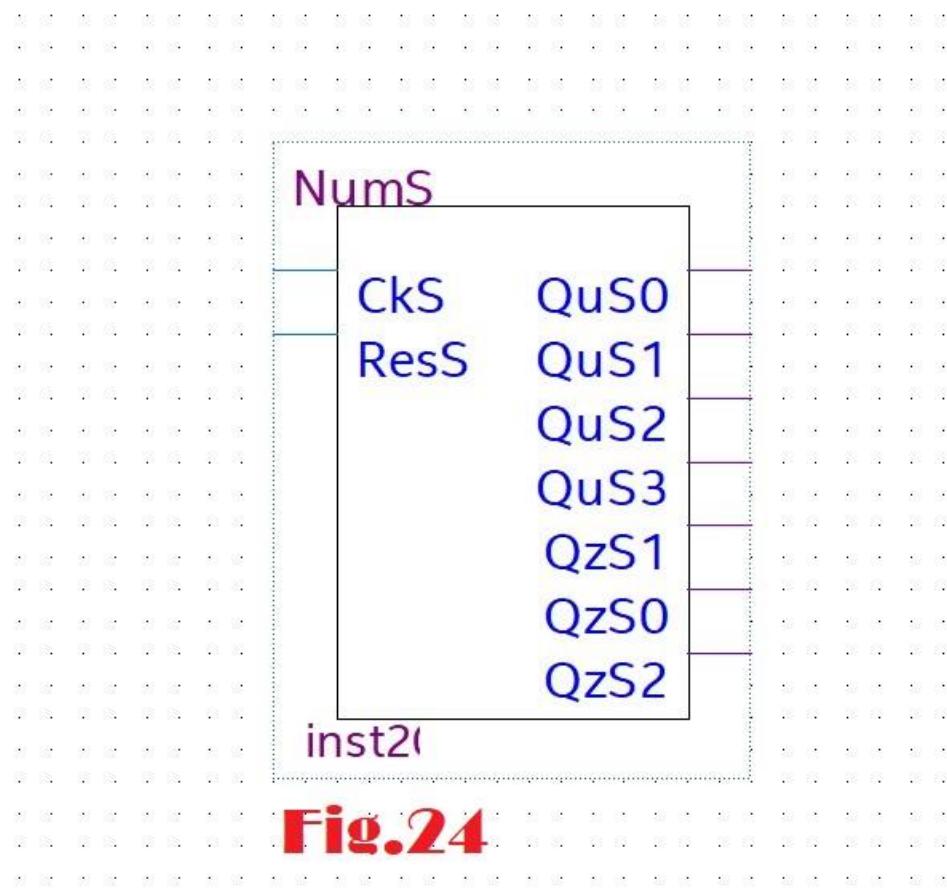


Fig.24

Numérateur de minute

Fig.25 - Schéma porté logique

Fig.26 - Forme de onde

Fig.27 - Symbol

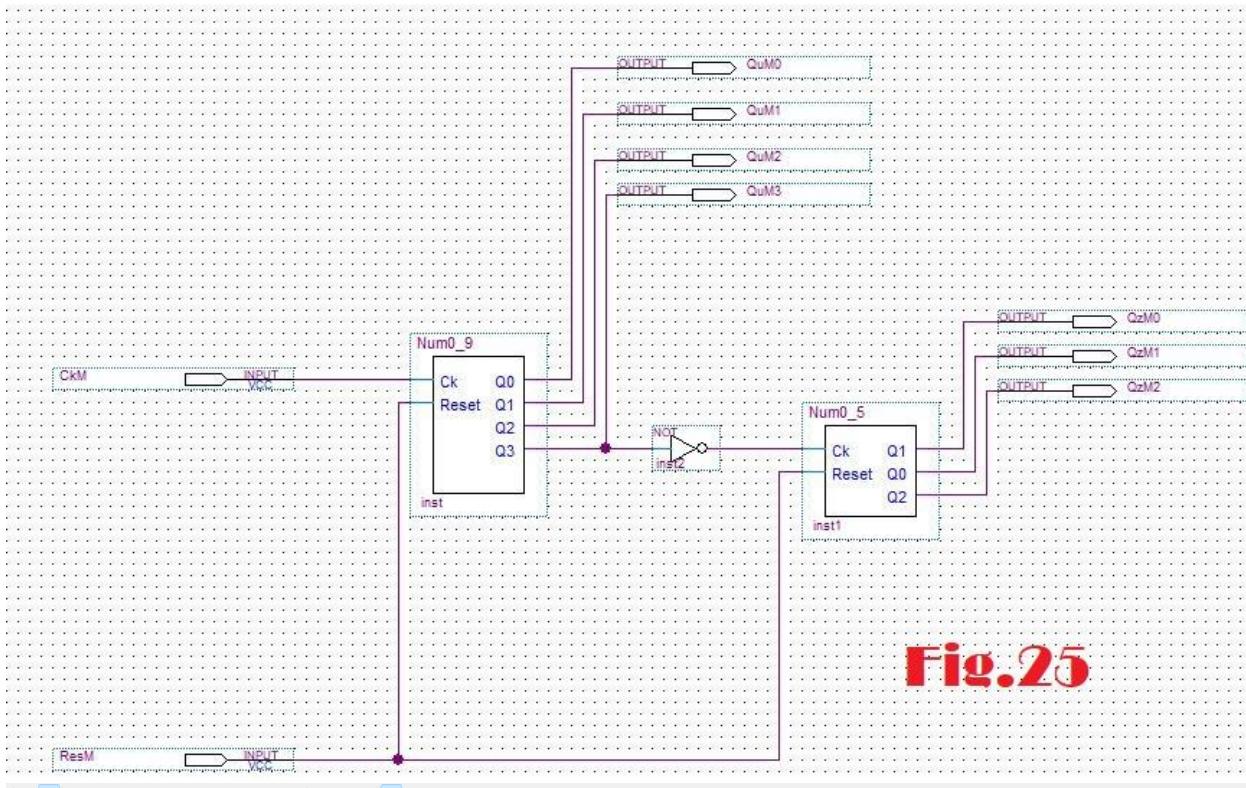


Fig.25

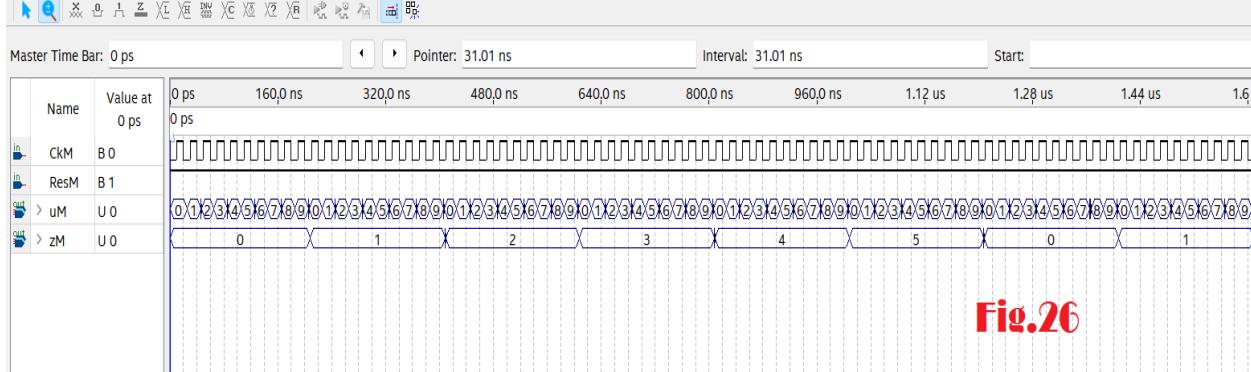


Fig.26

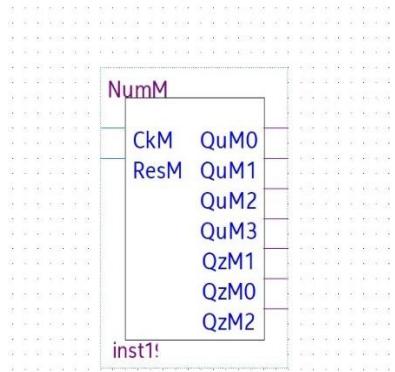


Fig.27

Numaratorul de ore (cu logice de comanda)

Fig.28 - Schemă părți logice

Fig.29 - Forme de unde fizice LP(29h)

Fig.30 - Forme de unde cu LP(24h/reset)

Fig.31 - Simbol.

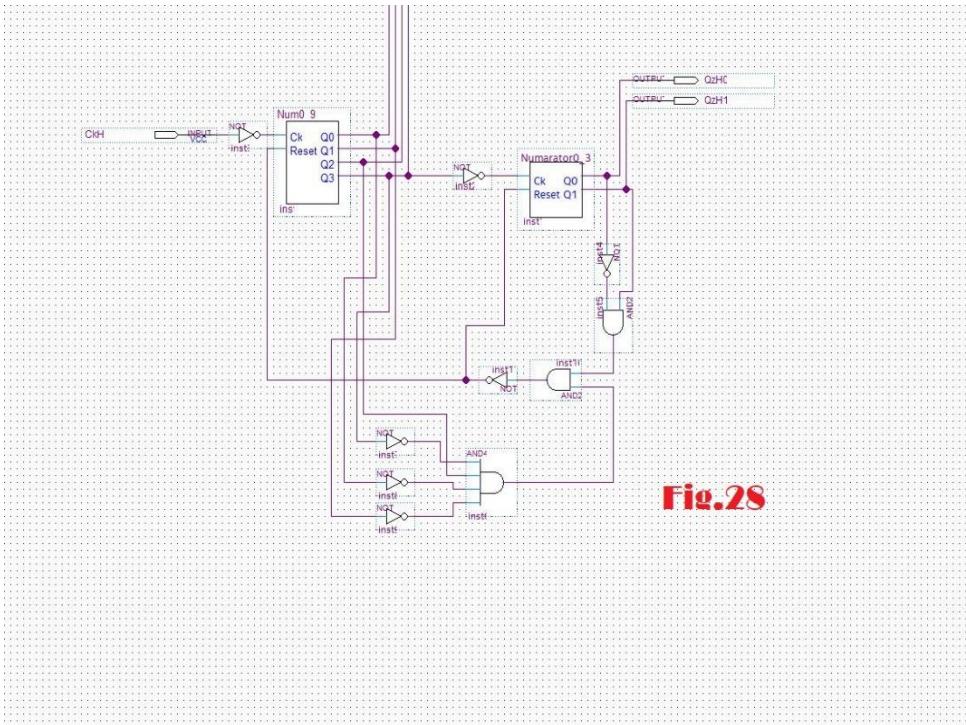


Fig.28

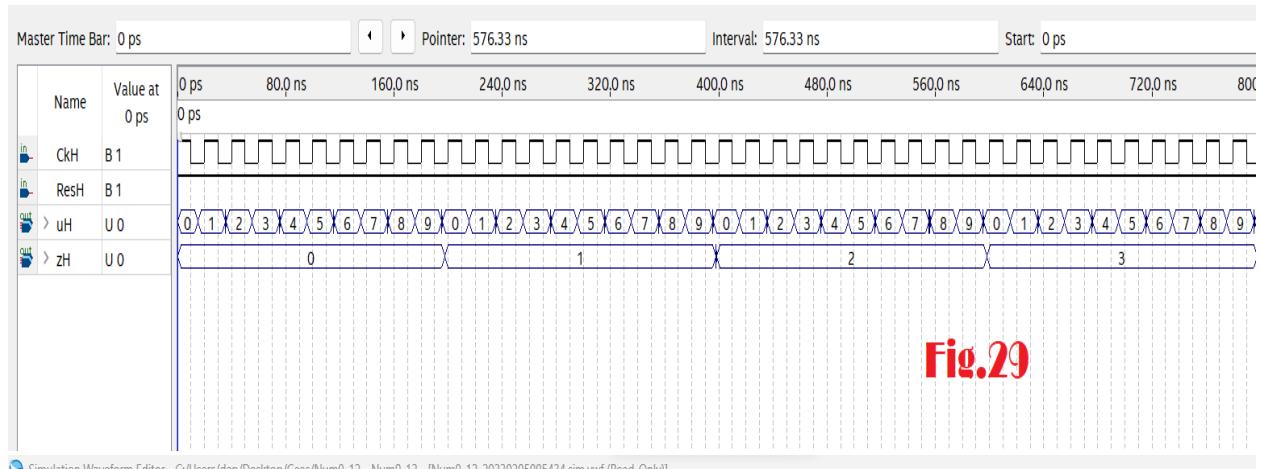


Fig.29

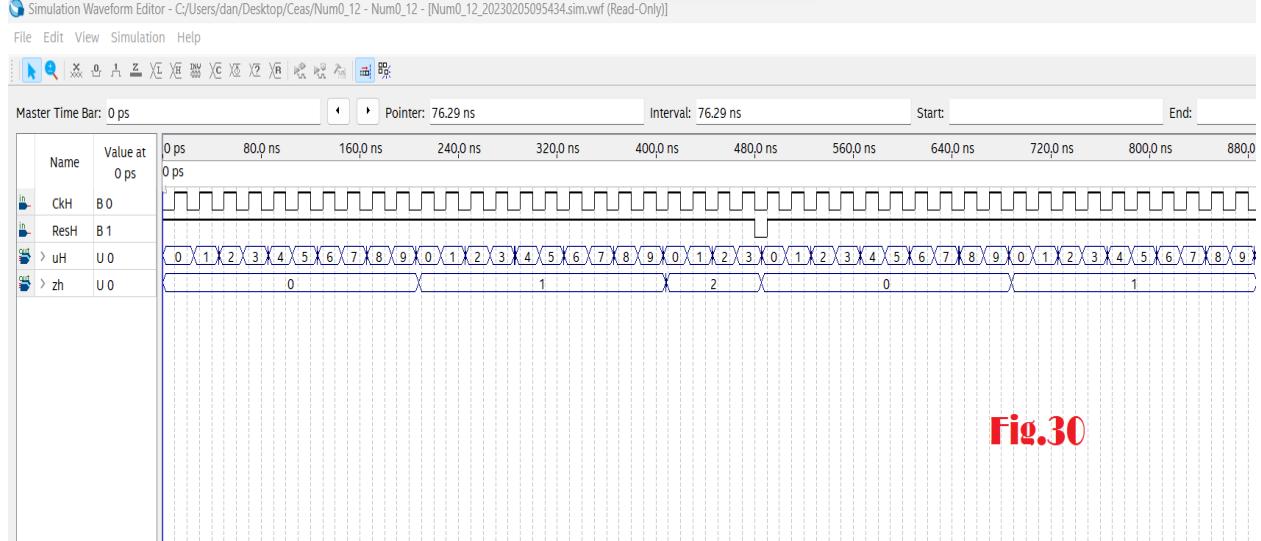


Fig.30

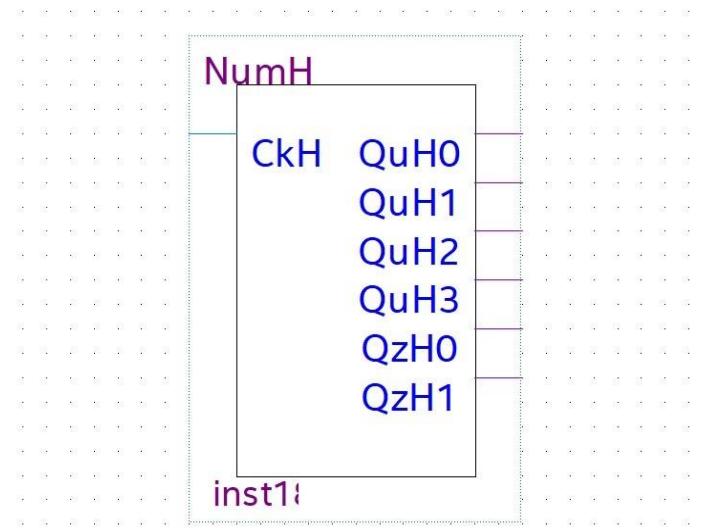
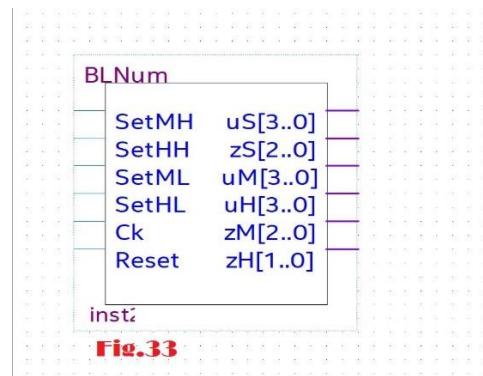


Fig.31

Simulare Numărător clasa (Fig 32) și simbol (Fig 33)



Cap. 4 Logica de comandă

După ce am prezentat în Cap. anterior, vom începe pe pag. de logica de comandă din acest capitol.

1. Prin anea 24. de ore se observă în fig. 28, Cap. 3 că am setat ca rezultat număr de ore să fie același deci atunci când venitul de ore $= 2$ în zecile cu $\textcircled{2}$, deci 25 . Prim curorul ceeașul că reiese rezultat la 23:59:59.

2. Pentru setarea rezultatului am folosit un bistabil JK din conectorul porti logic pt. sincronizare, respectiv incrementarea celor 3 minute folosind:

3. Pentru a afișa alarmă am "montat" 2 butoane și afișarea MUX unei pt. a afișa ceeașul altul pt. a afișa alarmă folosind port: S1 (semnal de la MUX alarmă = 1; buton = 0) și porti SAD (pt. ne va afișa alarmă, la fel și pt. ean) și porti SAD (pt.

că 0,1 sau 1,0 e același lucru căci permite în ceeașul cui alarmei să fie afișate pe BCD-7 segm. (A nu vedea în CAP 6.)

Cap 5. Alarma.

- Alarme sunt compuse din: Memorie + Camp 13 biti.
- Memorie retine ora de alarmă folosind 2 registri de memorie, cu cristalele de tip S, pt. ore și minute.
- Camp pe 13 biti (4b zmin; 3b zhh; 6b -uh; 6b zh) conținând bit cu rol de date din mem. și cele din număratorul curenților. Acestea sunt egale, atunci lăzile să treacă în remarcă cu freqv. de 1KHz către alarmă.

5.1. Blocul de memorare (h/min)

Conține 2 blocuri de memorare: pt. min și pt. ore.

- pt. min : Registru 4biti + 3biti (u/3 min)
- pt. ore : Registru 4biti + 2biti (u/8 h)

- Reg. minute :

Fig 34 - Reg. 4biti

Fig 35 - Reg. 3biti

Fig 36 - Forme de undă

Fig 37 - Schema cu porti log.

Fig 38 - Simbol

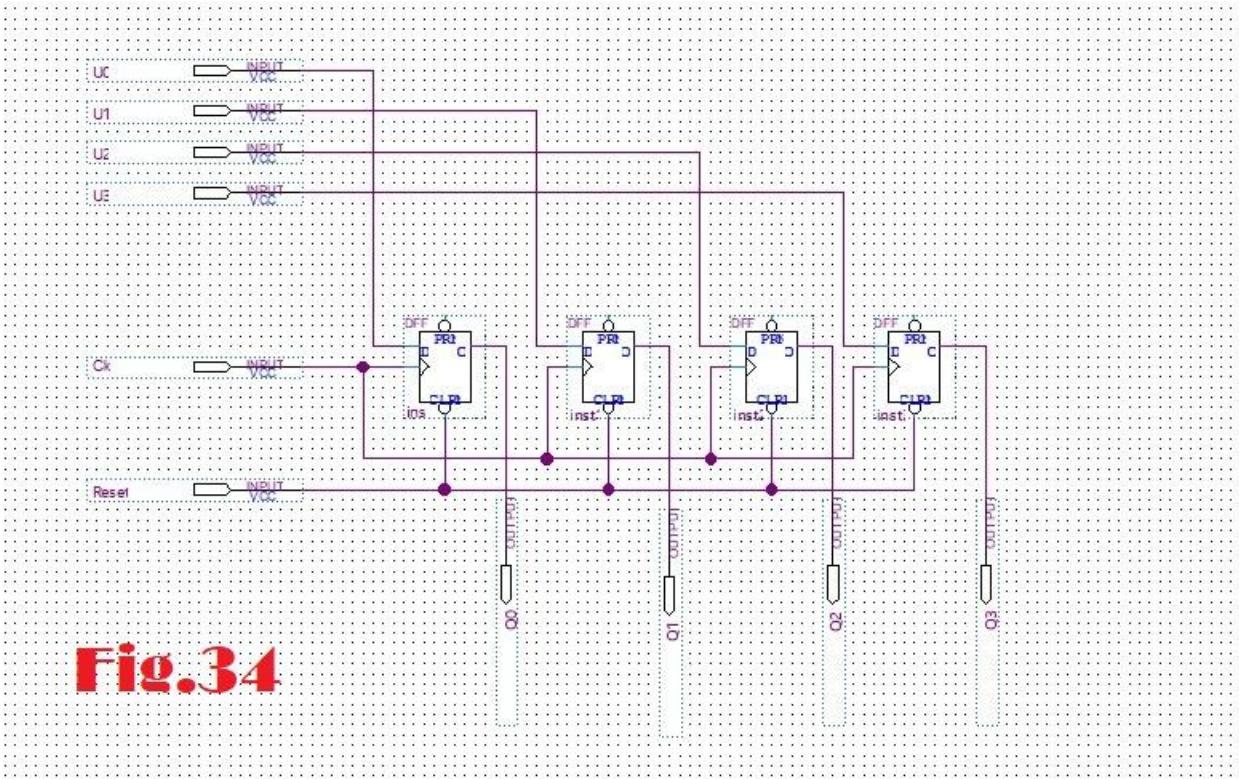


Fig.34

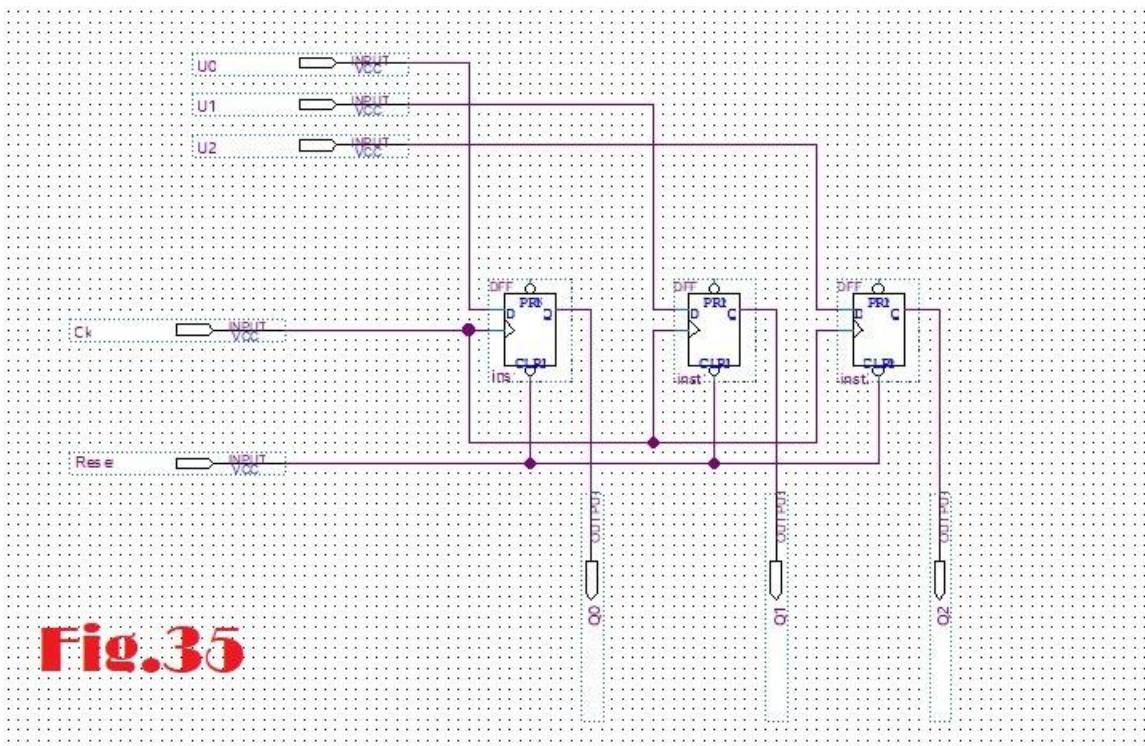
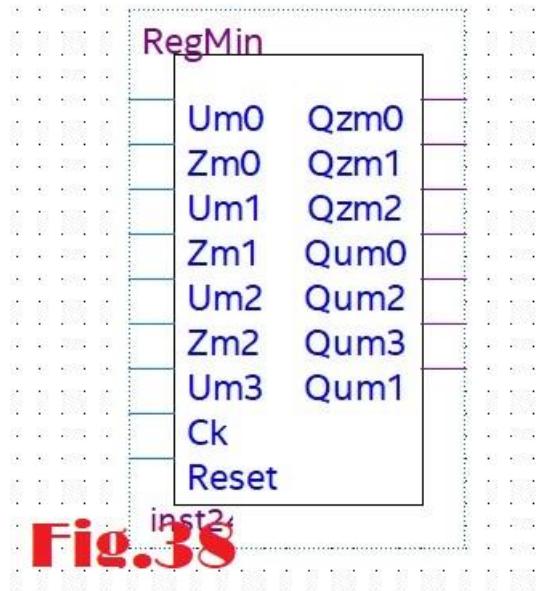
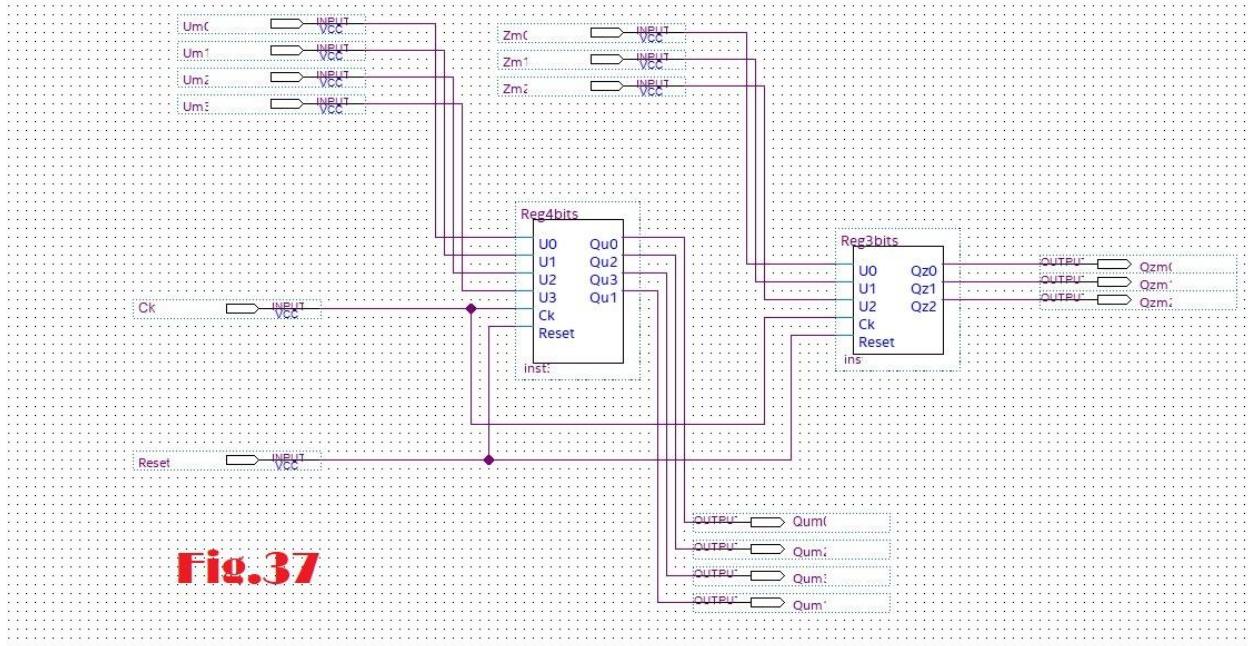
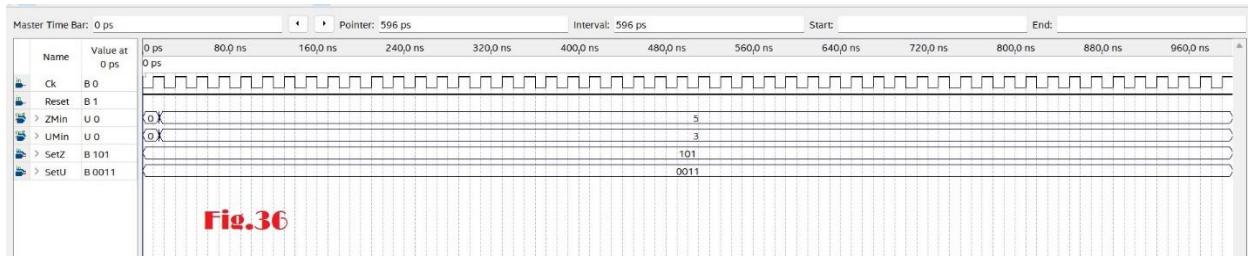


Fig.35



• Reg. 2biti : (reg. 2biti l-am prezentat mai sus)

Fig 39 - Reg. 2biti

Fig 40 - Forme de undă

Fig 41 - Schema cu porti logice

Fig 42 - Simbol.

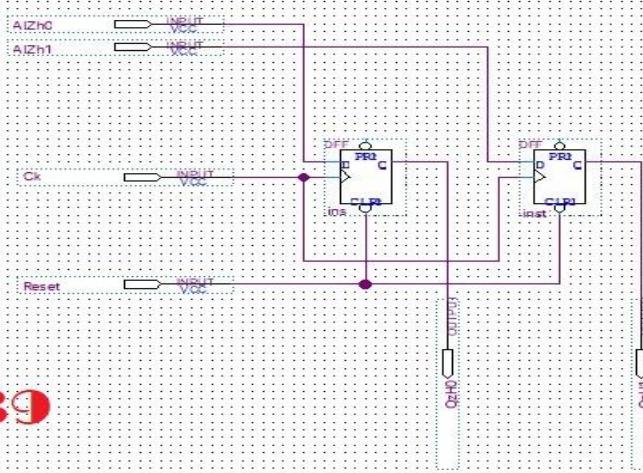


Fig.39

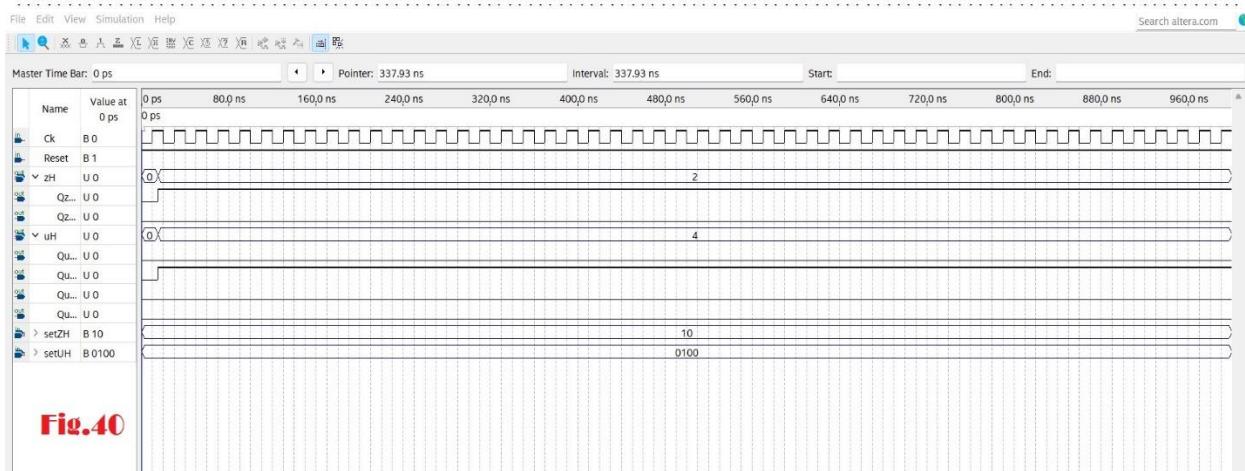


Fig.40

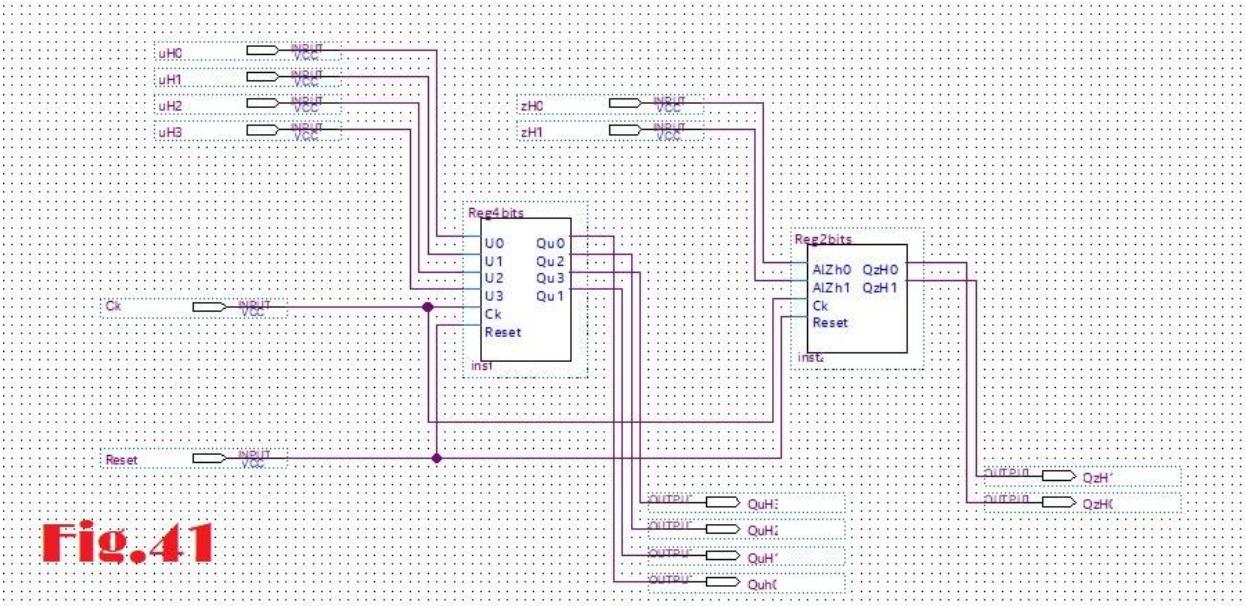


Fig.41

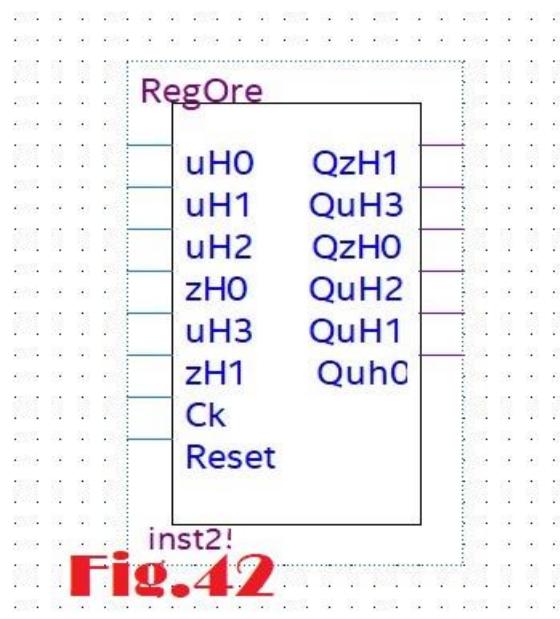


Fig.42

Scrierile aleloc memorare (Fig 43) și schema cu porturi (Fig 44) și simbol (Fig 45)

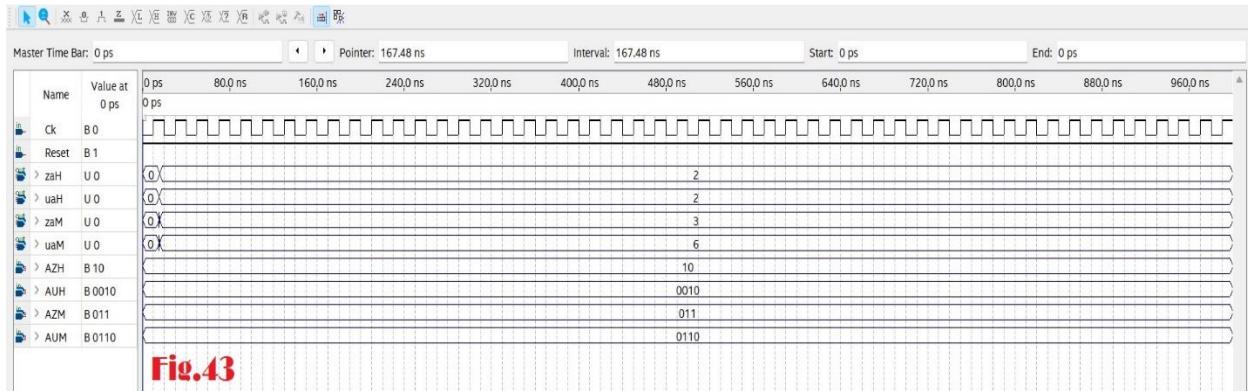


Fig.43

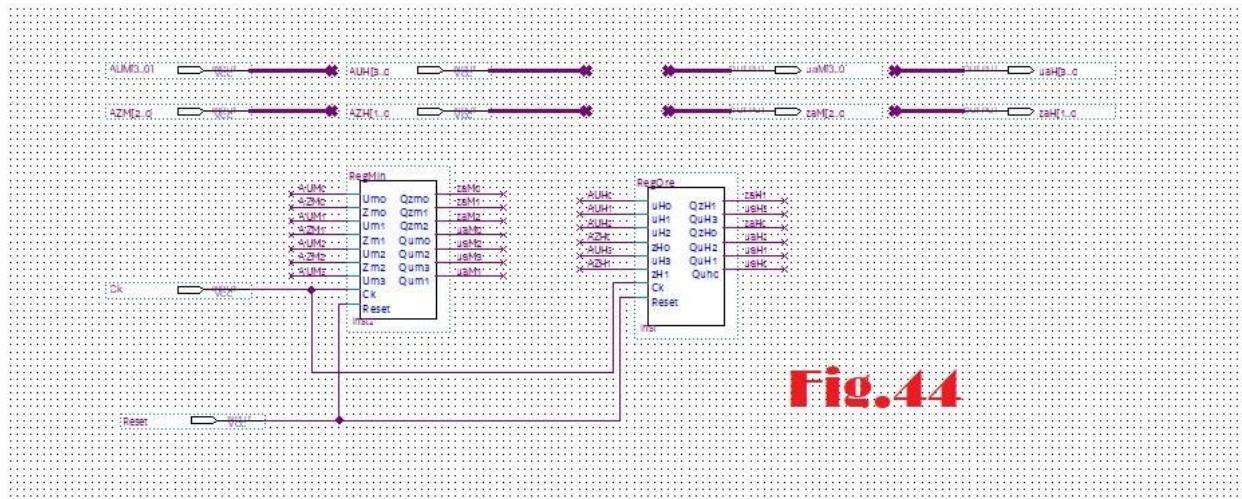


Fig.44

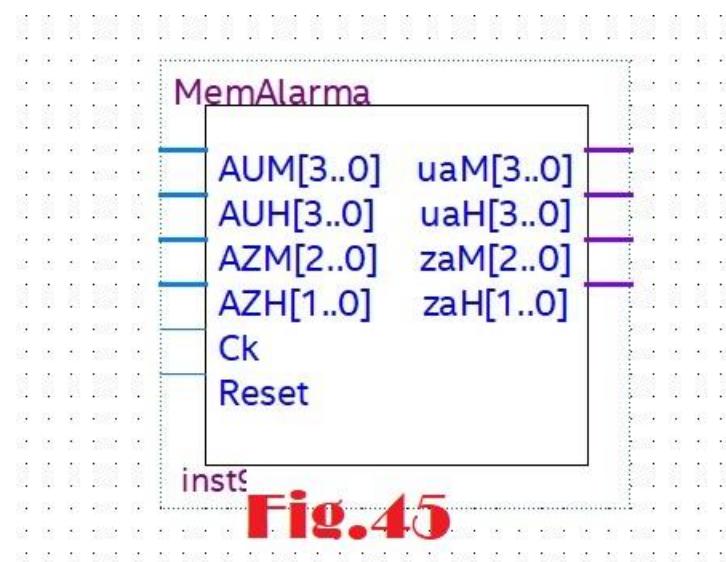


Fig.45

5.2. Comparatormul de 13 biti

Este circuit din 13 comparatoare de 1bit (Fig 46 schema, Fig 47 simulare, Fig 48 simbol) care permite o mai
bună întelegerere a schemei le-am grupat cete:

- 4 pt urm/ 3 pt zmin

- 4 pt ult/ 2 pt th.

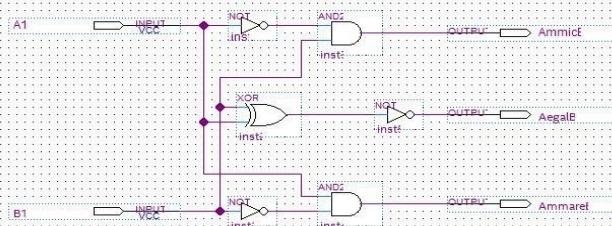


Fig.46

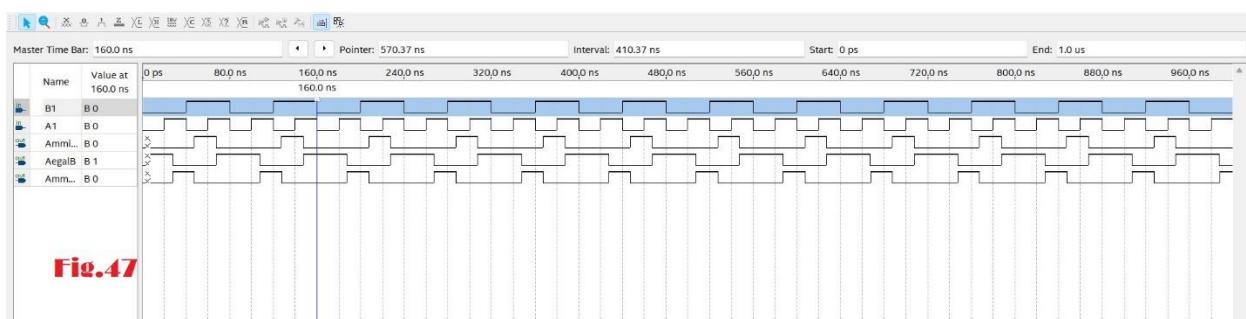
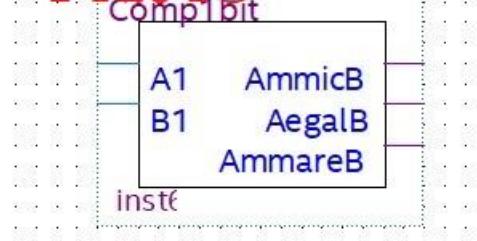


Fig.47

Fig.48
Comp1bit



În figura Fig 49 avem schema cu porti, Fig 50
 simulare preluată din simulație finală rezervului (CAP7)
 iar în figura Fig 51 avem scheme bloch. + Fig 52
 exemplu comparație pe 13 biti.

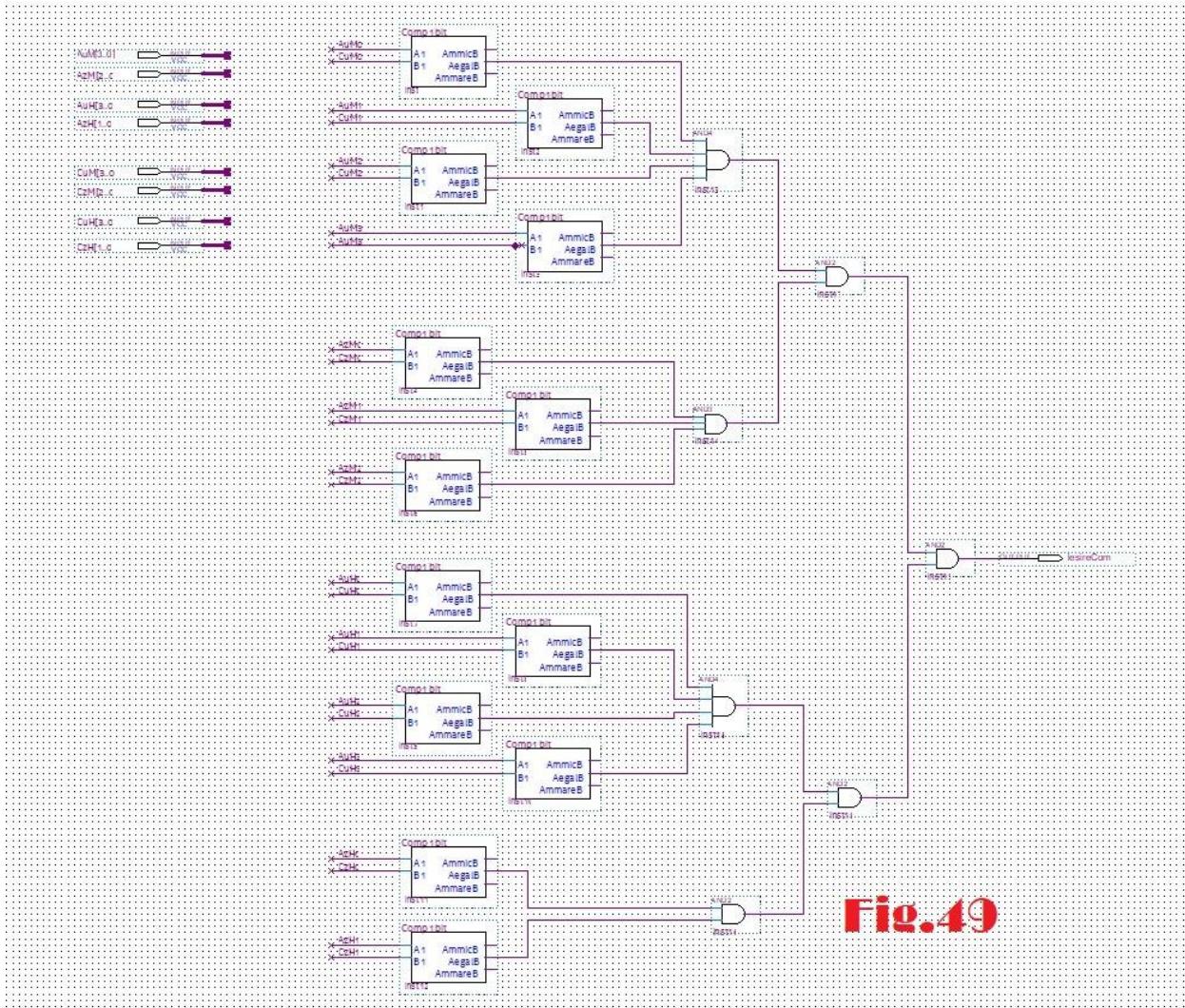
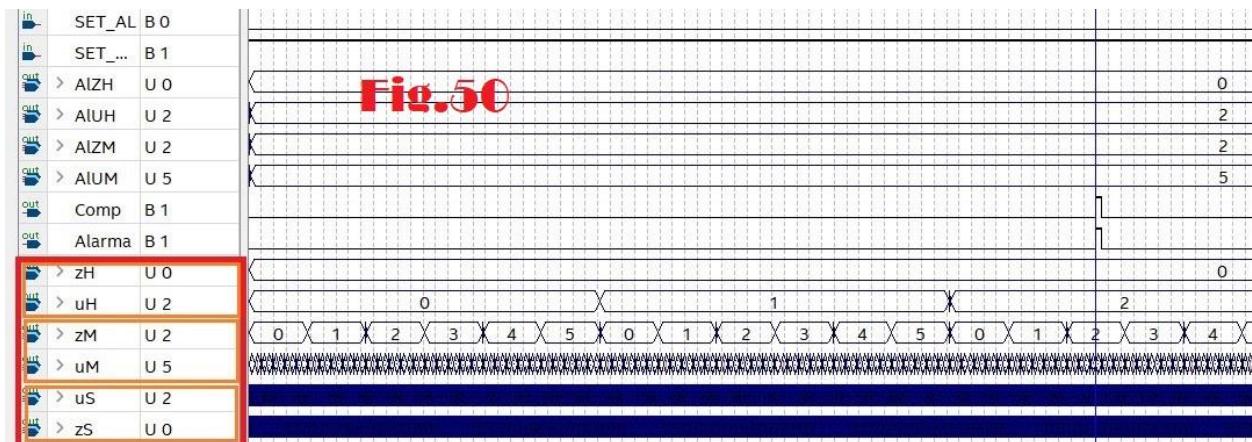


Fig.49



Comp13biti

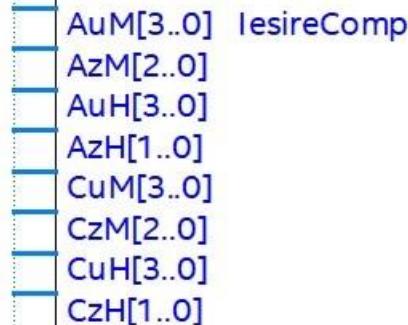
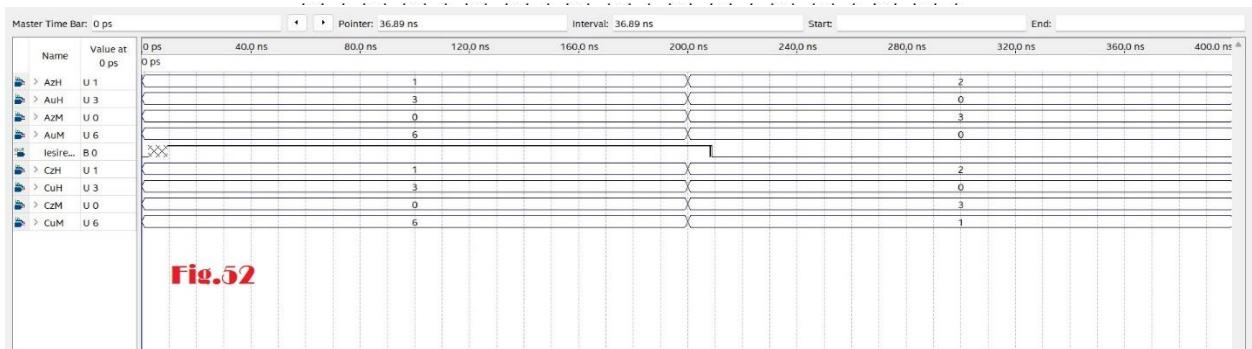


Fig.51



Cap 6. Afizarea

Afizarea celor 6 cifre este multiplexată, adică vom folosi combinațiile aranjamente: un bloc de multiplexare cu **MUX 6:1** pt. ca acesta să afizeze 6 cifre. Apeori, către 6 MUX pt. alarmă/ceas, pt. că m. max de hizi. pt. alarmă/ceas este de 5 (cet, cum, cns) pot fi cifre de **2,3** hizi legate într-unul MUX din **ONA**.

În figura **Fig 53** avem Tabel de adrese ^{+ lucrul} pt **MUX 6:1**, **Fig 54** schema cu porti logice, **Fig 55** semnificație, **Fig 56** simbol MUX 6:1.

MUX 6:1

A_2	A_1	A_0	I_5	I_4	I_3	I_2	Y_1	I_0	Y_0
0	0	0	X	X	X	X	0	0	$\{ Y=10 \}$
0	0	0	X	X	X	X	1	1	
0	0	1	X	X	X	0	X	0	$\{ Y=4 \}$
0	0	1	X	X	X	1	X	1	
0	1	0	X	X	X	0	X	0	$\{ Y=12 \}$
0	1	0	X	X	0	1	X	1	
0	1	1	X	X	0	X	X	0	$\{ Y=13 \}$
0	1	1	X	X	1	X	X	1	
1	0	0	X	0	X	X	X	0	$\{ Y=14 \}$
1	0	0	X	1	X	X	X	0	$\{ Y=15 \}$
1	0	1	0	X	X	X	X	1	
1	0	1	1	X	X	X	X	1	

$$Y = \overline{A}_2 \overline{A}_1 \overline{A}_0 I_0 + \overline{A}_2 \overline{A}_1 A_0 I_1 + \overline{A}_2 A_1 \overline{A}_0 I_2 + \overline{A}_2 A_1 A_0 I_3 + A_2 \overline{A}_1 \overline{A}_0 I_4 + \\ + A_2 \overline{A}_1 A_0 I_5$$

Fig.53

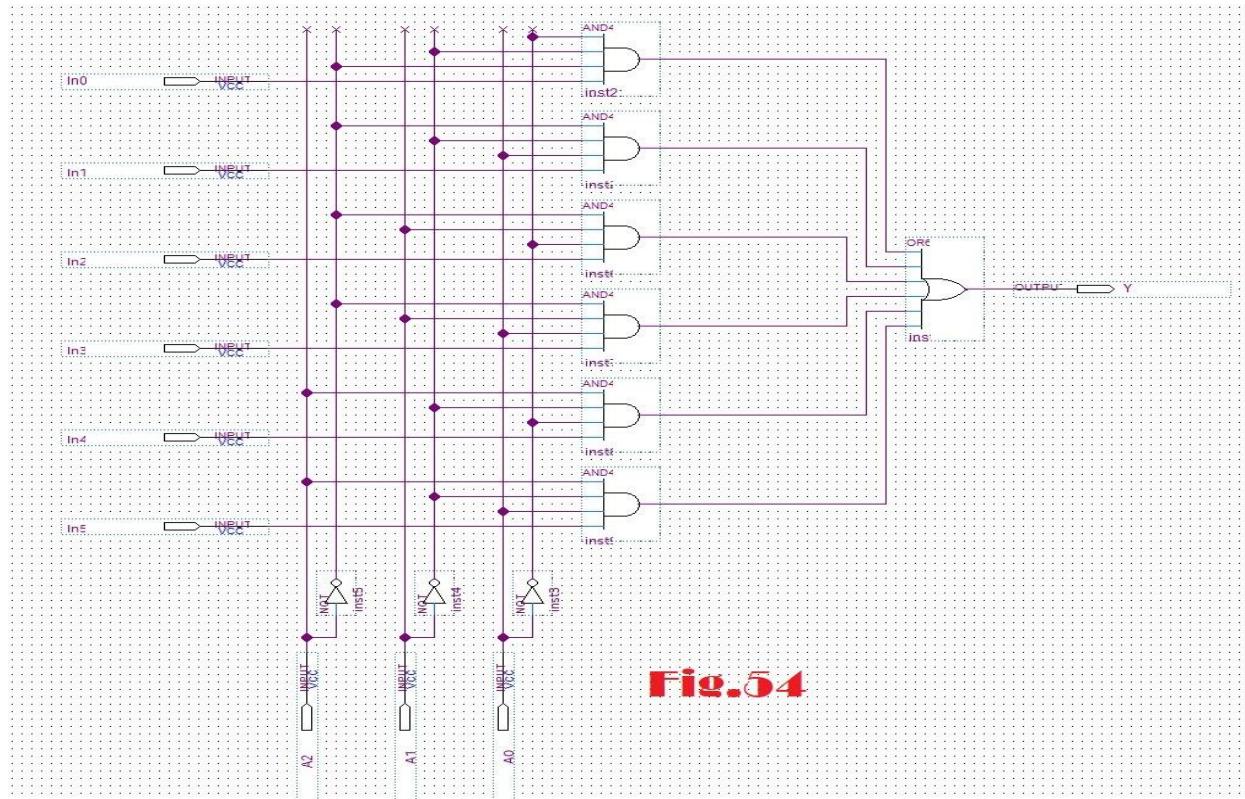


Fig.54

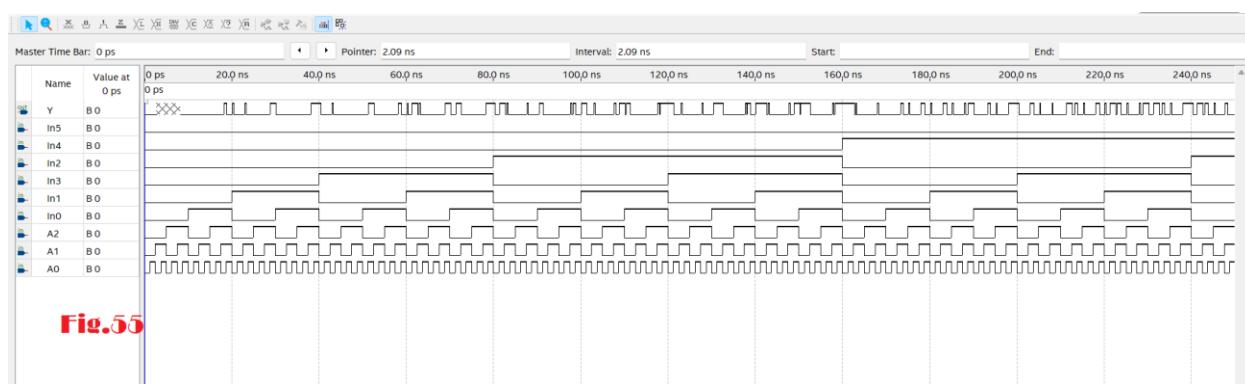


Fig.55

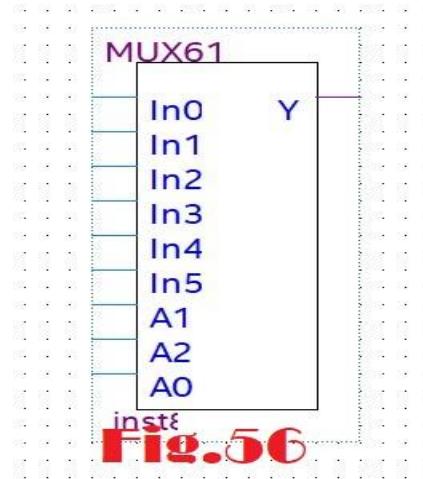


Fig.56

Gen. de adrese: Aceasta este cu m. pînă la 6 (0-5) care generează coduri de adresă pentru afisare, cu acestea lucrarea MUX-urile. (Nu-i mai fac prezentarea pt. că deșteptăști prezentat mai pe larg în cap 3 la numărătoare.)

Decodificatorul de adrese: Are rolul de a ne da adresa fiecărui cifre afișată pe afișajul cu k. com. BCD-fizică

Fig 57 - Tabel + VK.

Fig 58 - Schematic pentru logica

Fig 59 - Simbol

Fig 60 - Simbol

Decad ADR:

C	B	A	\bar{Y}_5	\bar{Y}_4	\bar{Y}_3	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0
0	0	0	1	1	1	1	1	0
0	0	1	1	1	1	1	0	1
0	1	0	1	1	1	0	1	1
0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1
1	0	1	0	1	1	1	1	1

\bar{A}	\bar{B}	\bar{C}	\bar{Y}_5	\bar{Y}_4	\bar{Y}_3
0	0	0	00011110	00011110	00011110
0	0	0	00000000	00000000	00000000
1	0	0	00000000	00000000	00000000
0	0	1	01000000	10000000	10000000
1	0	0	00000000	00000000	00000000
			\bar{Y}_2	\bar{Y}_1	\bar{Y}_0

$$Y_5 = A\bar{B}C$$

$$Y_6 = \bar{A}\bar{B}\bar{C}$$

$$Y_4 = \bar{A}BC$$

$$Y_3 = ABC$$

$$Y_2 = \bar{A}B\bar{C}$$

Fig.57

$$Y_1 = A\bar{B}\bar{C}$$

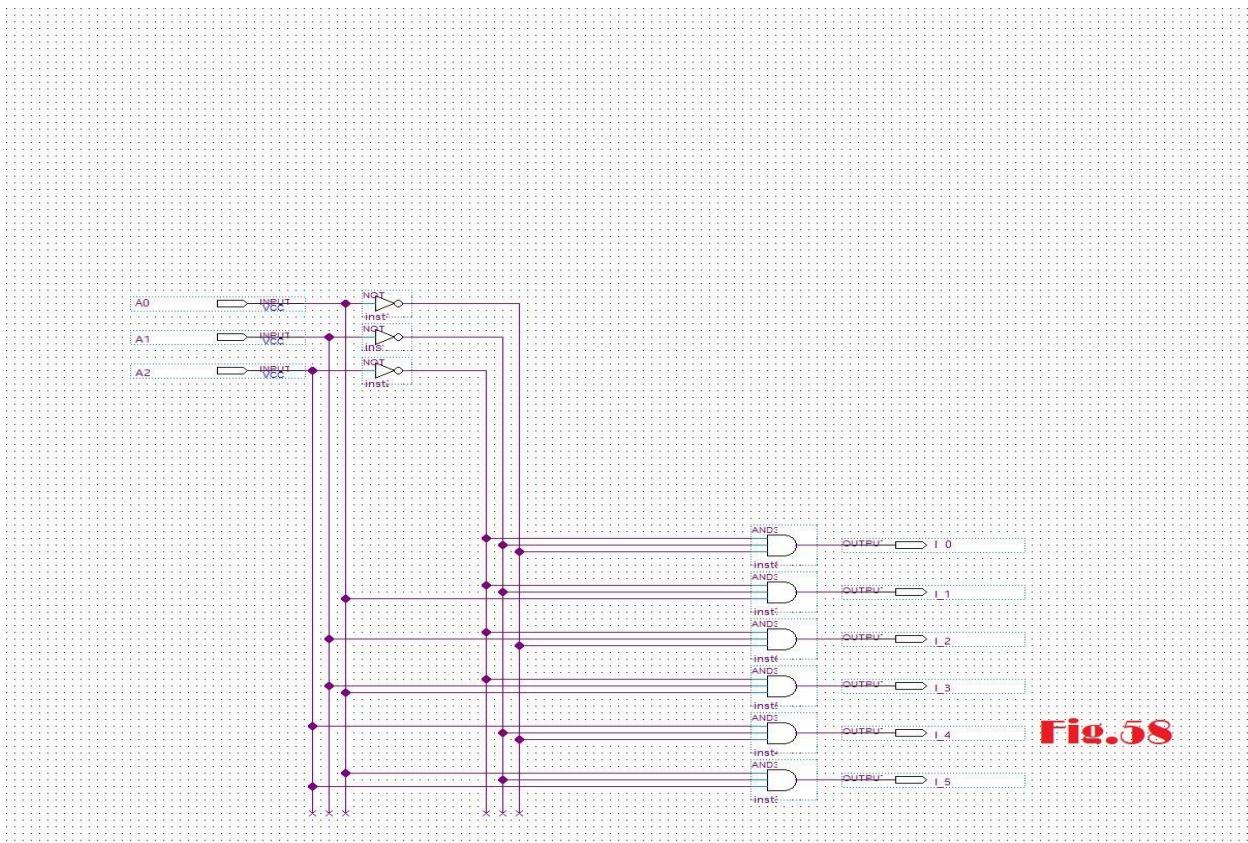


Fig.58

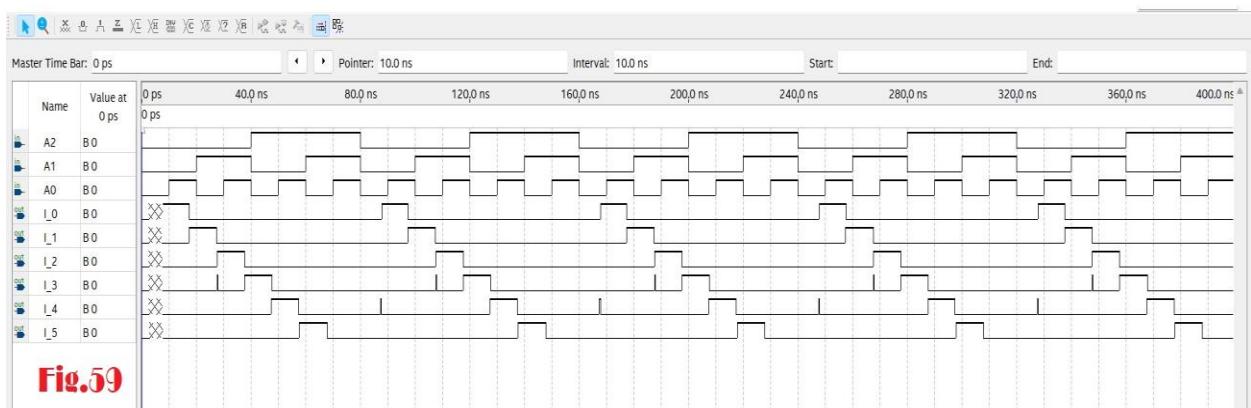


Fig.59

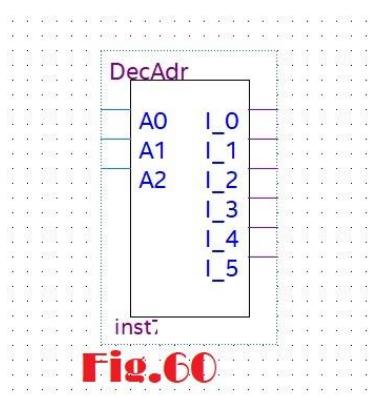
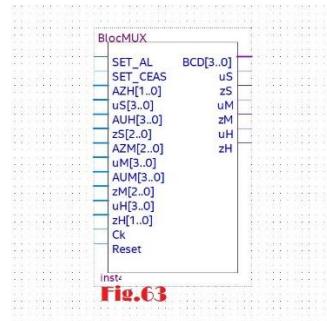
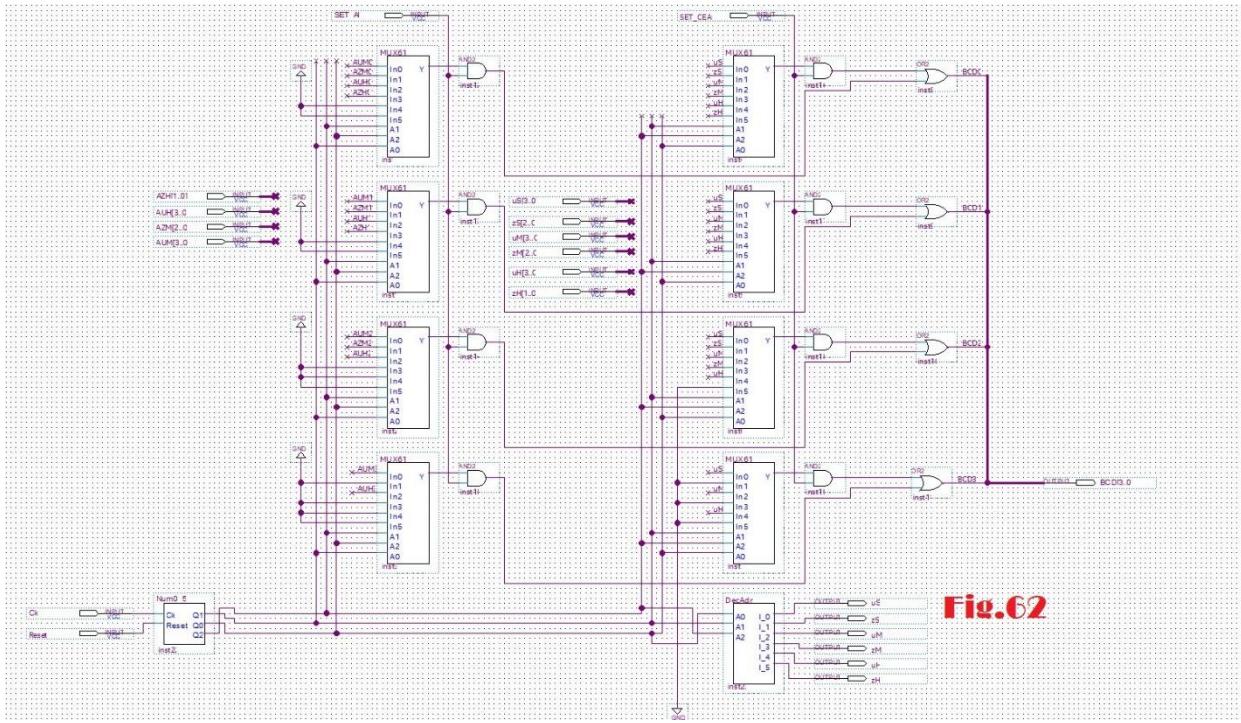
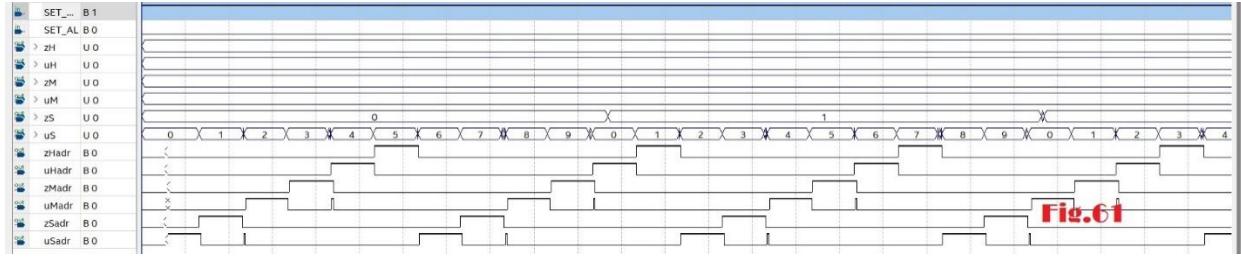


Fig.60

6.1. Bloc afisare MUX:

În continuare vom prezenta schema afisajului multiplexat în **Fig.61** și în **Fig.62**. Scheme cu parti logice, ceea ce în **Fig.63** se prezintă simbolice.



6.2. Decodificatorul BCD - 7 segmente.

Un singur decod BCD-7 segm. se va folosi acesta bazaind
pt. fiecare cifre din cele 3 din e jutorul multiplexorului
din blocul de multiplexare. Celulele de afisare sunt pe
catod comun, adica [0 si 9], 10 si 11.

Se prezinta urmatoarele figuri:

Fig 64 - Tabel m/K

Fig 65 - Schemă porti logice

Fig 66 - Simulare

Fig 67 - Simbol.

Decod BCD 2 SEGMENT

NR	A	C	B	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	1	0	1	1	0	0	0
2	2	0	0	1	0	1	1	0	1	1	0
3	3	0	0	1	1	1	1	1	0	0	1
4	4	0	1	0	0	1	1	0	0	1	1
5	5	0	1	0	1	1	0	1	1	0	1
6	6	0	1	1	0	1	0	1	1	1	1
7	7	0	1	1	1	1	1	0	0	0	0
8	8	1	0	0	0	1	1	1	1	1	1
9	9	1	0	0	1	1	1	1	0	1	1



BC	a	b	c
BA	00 01 11 10 00 01 11 10 00 01 11 10	00 01 11 10 00 01 11 10 00 01 11 10	00 01 11 10 00 01 11 10 00 01 11 10
00	1 0 X 1 1 1 X 1 1 1 X 1	1 0 X 1 1 1 X 1 1 1 X 1	1 0 X 1 1 1 X 1 1 1 X 1
01	0 1 X 1 1 0 X 1 1 1 X 1	0 1 X 1 1 0 X 1 1 1 X 1	0 1 X 1 1 0 X 1 1 1 X 1
11	1 1 X 1 1 1 X 1 1 1 X 1	1 1 X 1 1 1 X 1 1 1 X 1	1 1 X 1 1 1 X 1 1 1 X 1
10	1 1 X 1 0 X 0 1 1 X 0 1	1 1 X 1 0 X 0 1 1 X 0 1	1 1 X 1 0 X 0 1 1 X 0 1
00	1 0 X 1 1 0 X 1 1 1 X 1	1 0 X 1 1 0 X 1 1 1 X 1	1 0 X 1 1 1 X 1 1 1 X 1
01	0 1 X 1 1 0 X 0 0 X 0 0 1	0 1 X 1 1 0 X 0 0 X 0 0 1	0 1 X 1 1 0 X 0 0 X 0 0 1
11	1 0 X X 0 0 X X 0 0 X X	1 0 X X 0 0 X X 0 0 X X	1 0 X X 0 0 X X 0 0 X X
10	1 1 X 1 1 X 1 1 X X 0 1	1 1 X 1 1 X 1 1 X X 0 1	1 1 X 1 1 X X 0 1 X X
00	0 1 X 1		
01	0 1 X 1		
11	1 0 X X		
10	1 1 X X		

d; e; f

g

$$a = B + AC + \bar{A}\bar{C} + D \quad d = \bar{A}\bar{C} + \bar{AB}$$

$$b = A + AB + \bar{A}\bar{B} \quad f = D + \bar{A}C + \bar{B}C + \bar{A}\bar{B}$$

$$c = \bar{B} + \bar{A} + F$$

$$g = BC + B\bar{C} + B\bar{A} + \bar{B}C$$

$$j = D + \bar{A}\bar{C} + \bar{A}B +$$

$$\bar{B}\bar{C} + \bar{B}AC$$

Fig.64

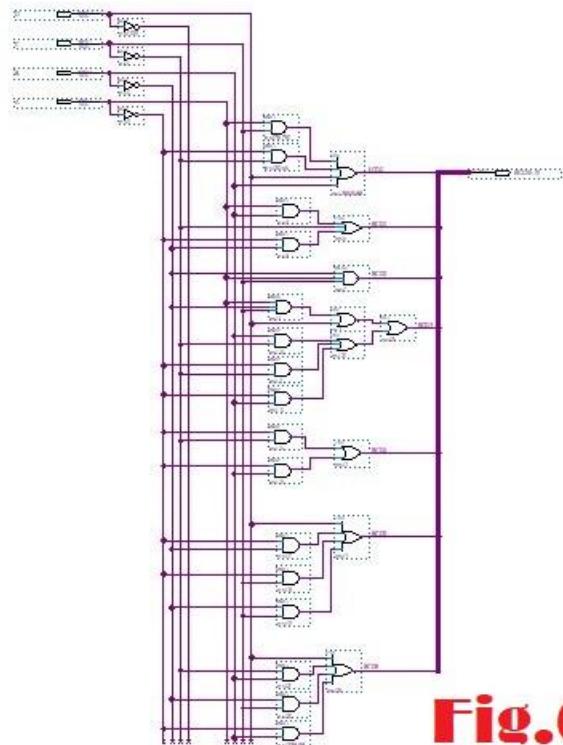


Fig.65

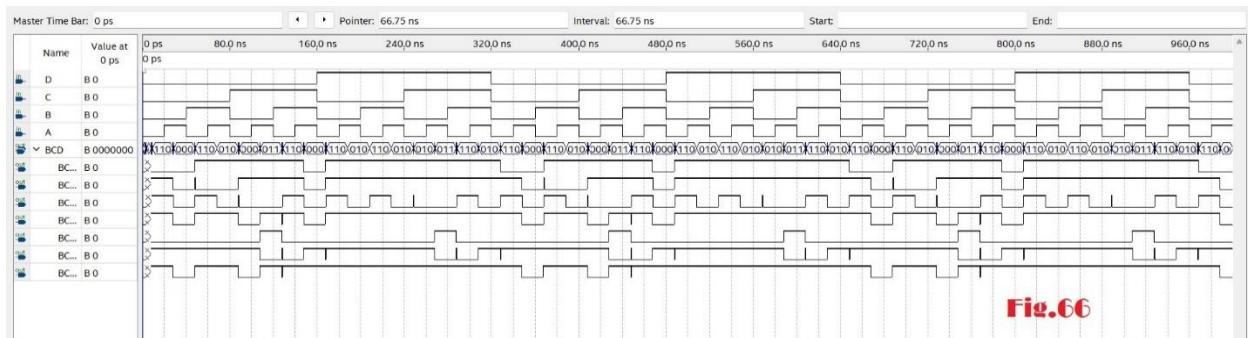


Fig.66

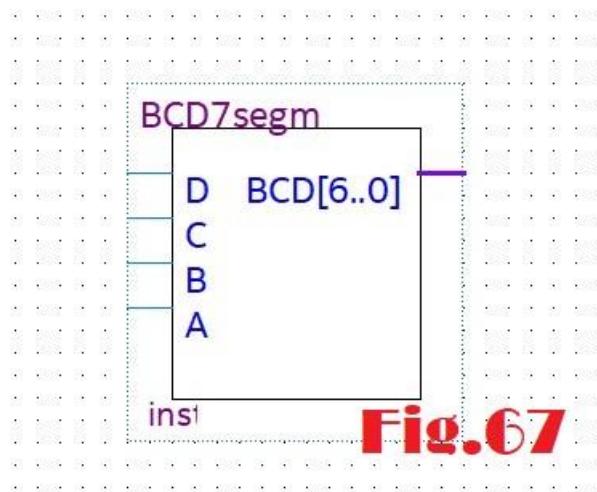


Fig.67

Afisarea cifrelor pe 7 segmente
(cădod comun)

În cazul afisării multiplexate, durată cifre este apărută,
aceea că intensitatea luminoasă percepță de ochi
vă fi luate în val. medie a unui ciclu de
afisare (1/6 din val. fixată pt. afisare directă și a
impulsului la G deci pt. afisare MUX pe 6 cifre).

$$\Rightarrow I_{led} = 15 \text{ mA}$$

$$\Rightarrow R_1 = \frac{U_{ref} - U_{led} - U_{cesat}}{I_{led}} = \frac{3,5V - 1,5V - 0,2V}{15 \text{ mA}} = 0,12 \text{ k}\Omega$$

$$\Rightarrow \underline{\underline{R_1 = 120\Omega - STANDARD}} \quad R_1$$

$$R_2 = \frac{U_y(H) - U_{cesat}}{\frac{8 \cdot I_{led}}{\beta_{sat}}} = \frac{3,5V - 0,2V}{12 \text{ mA}} = 0,225 \text{ k}\Omega \Rightarrow \underline{\underline{R_2 = 220\Omega standard}}$$

Cap. 7. Simulații finale

După cum se văd, simularea împreună cu blocul de direcție a frezorului durează în jur de multă, apă ce simulația finală se va face cu acesta. Deoarece în acea durează a simulație min 25 de minute). Prin urmare în cele de următoare voi prezenta următori:

Fig 69 - Schema fără direcție.

Fig 59 - Simulare cu zoom mic

Fig 70 - Simulare cu zoom mare

Fig 71 - Schema bloc finală

În **Fig 69, 70** se poate observa că la momentul t=0 se are $\text{Număr Ceas} = \text{Mem Alarma} = 0$, comp. număr de 13 biti. În urma acesta, ceeașa ce după foarte puțin timp alarmă se declanșează și pe un impuls, ceea ce atestă funcționarea corectă circuitului.

De asemenea în simulările anterioare de la număr de ore, se poate observa o mică oprire a orei 24 înaintea orei 00. De se rezolvă, întocmai ca la un numărator Numar oraselor.

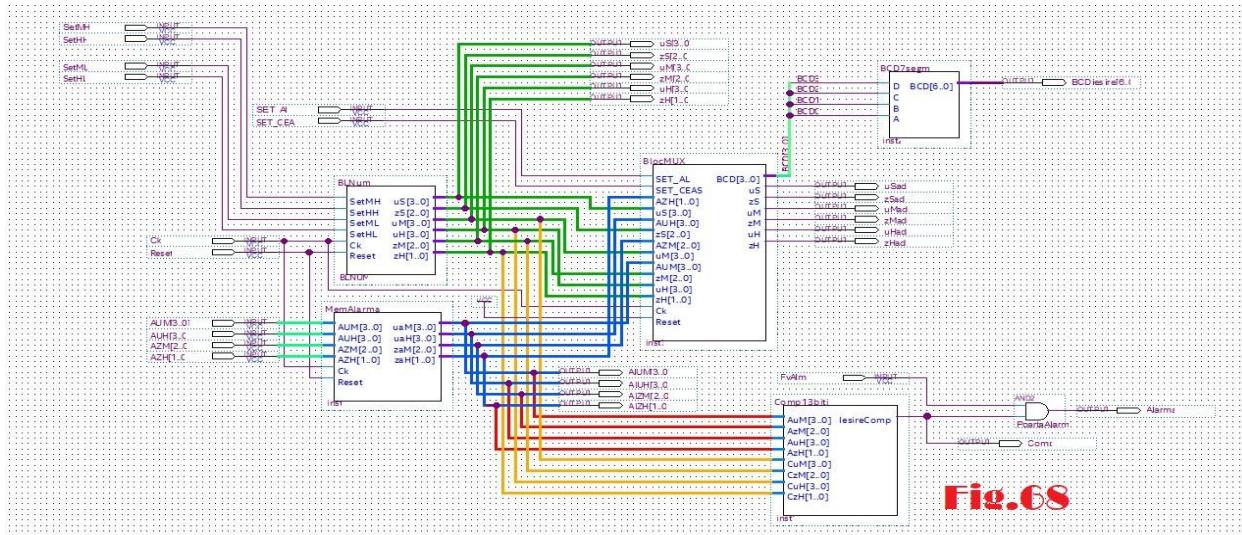


Fig.68

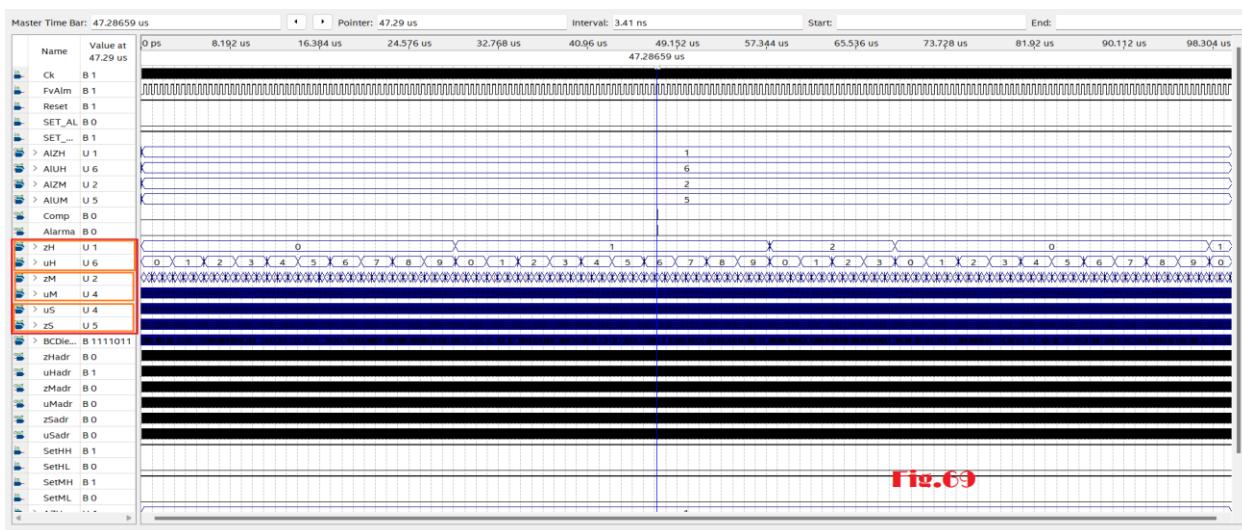


Fig.69

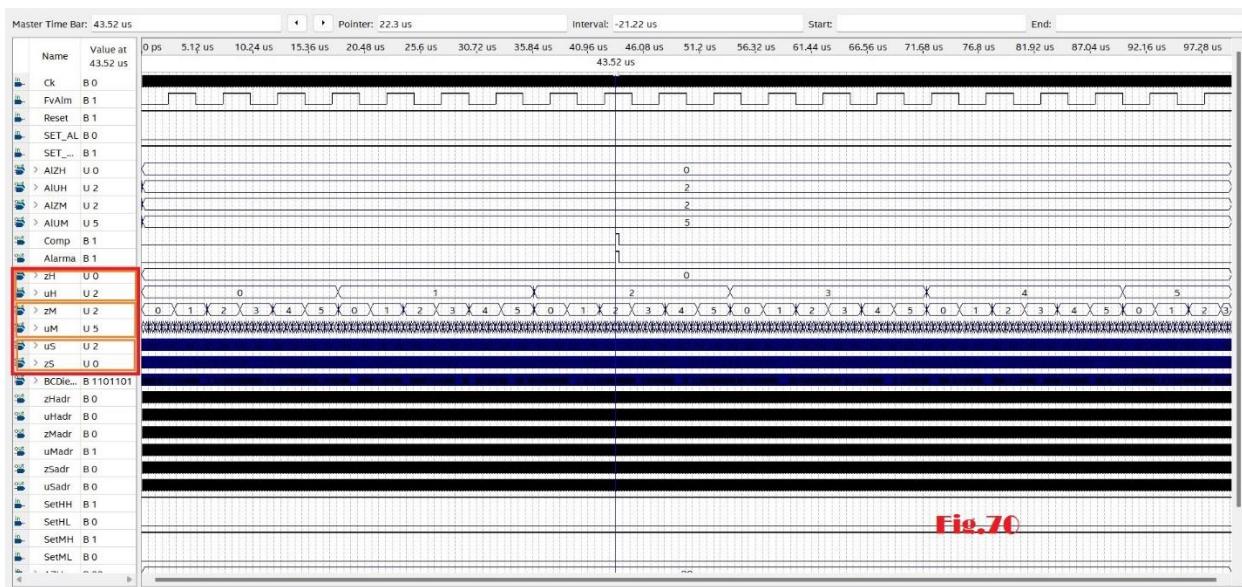


Fig. 70

SchemaFinala

SetMH	uS[3..0]
SetHH	zS[2..0]
SetML	uM[3..0]
SetHL	zM[2..0]
SET_AL	BCDDesire[6..0]
SET_CEAS	uH[3..0]
Ck	zH[1..0]
Reset	uSadr
AUM[3..0]	zSadr
AUH[3..0]	uMadr
AZM[2..0]	zMadr
AZH[1..0]	uHad
FvAlm	zHad
	AIUM[3..0]
	AIUH[3..0]
	AIZM[2..0]
	AIZH[1..0]
	Alarma
	Comp

inst26

Fig.71