



《计算机组成与结构》实验报告

实验三 程序计数器实验

专 业： 软件工程

班 级：

学 号：

姓 名：

指导教师：

成 绩：

2023年 月 日

实验三 程序计数器实验

**一、实验目的**：

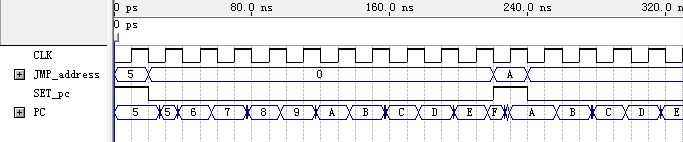
1、掌握程序计数器的作用和工作原理

2、掌握程序计数器的组成与结构

**二、实验内容**：

设计程序计数器PC，使其满足以下要求：

1. 正常工作模式下，系统启动，设置PC的初始值，之后每来一个clk，PC的输出值应该增加1
2. 当程序发生跳转时，PC的值应该发生改变，级将跳转的地址值赋进行输出，参考波形如下：



3、选做部分，PC后端连接一个ROM，由PC来产生ROM的地址

此波形为参考波形，也为最基本要求。

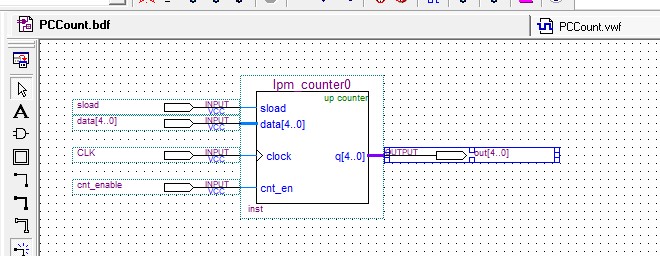
**三、实验过程**

**1**. 调用计数器宏功能模块，设置5bits输出，输入端到计数有效端cnt\_en，同步输入sload端：

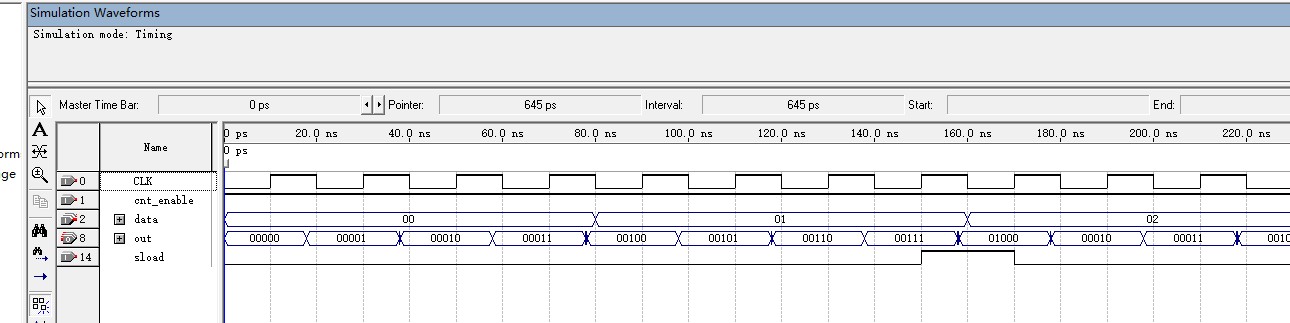
**图形用户界面, 文本

描述已自动生成**

2. 将计数器模块引脚连接：



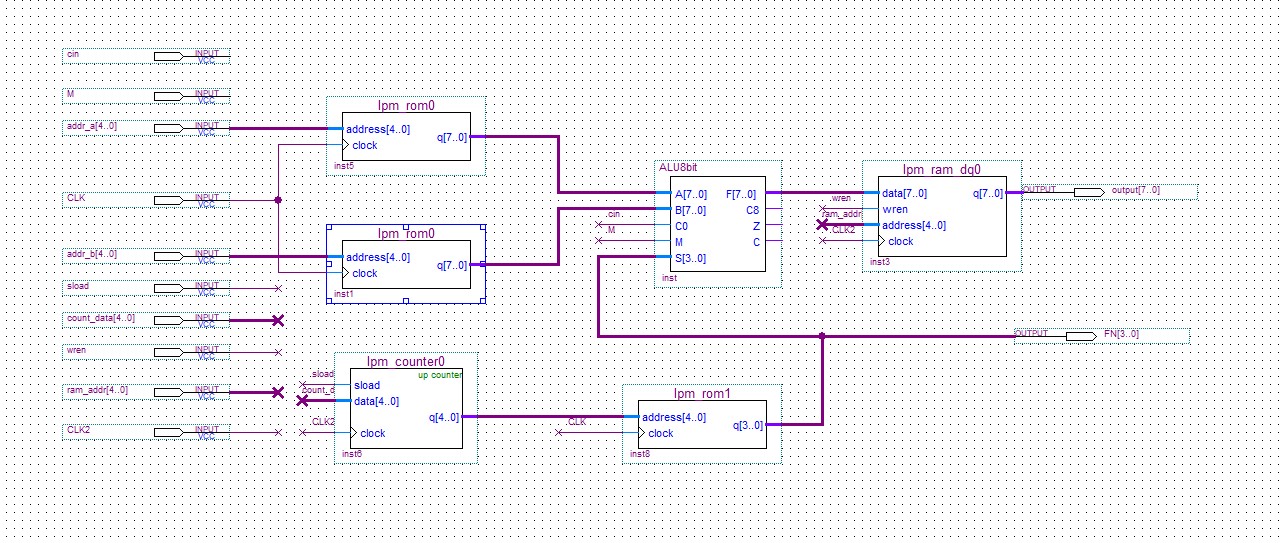
**3.**仿真测试：

****

设置cnt\_en=1为计数有效，当时钟上升下降沿信号到，pc计数增加，当程序发生跳转时，PC的值应该发生改变，级将跳转的地址值赋进行输出**。**

**4.选做部分：**

**4.1将计数器和ROM存储器进行组合连接如下：**

****

其中，output 为ALU运算结果，FN 用于ALU功能参考，输出结果仅用于对照output

**4.2 预存数据文件**

预存 寄存器AB数据文件 data.hex 如下：

表格

描述已自动生成

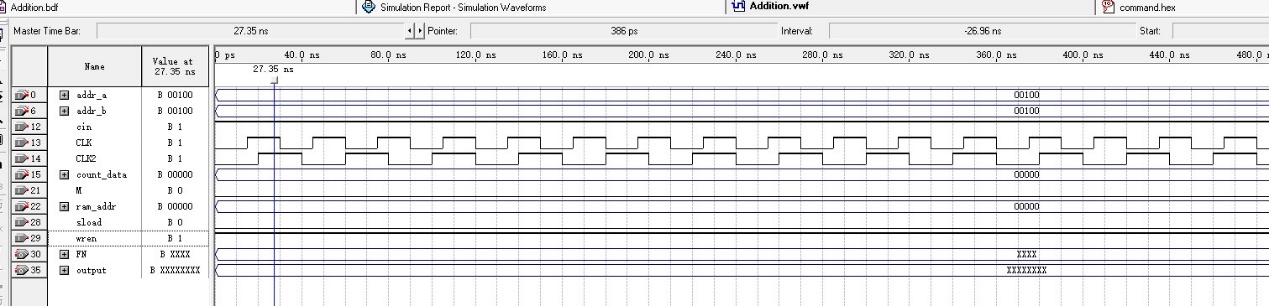
预存 指令文件 command.hex 如下：

表格

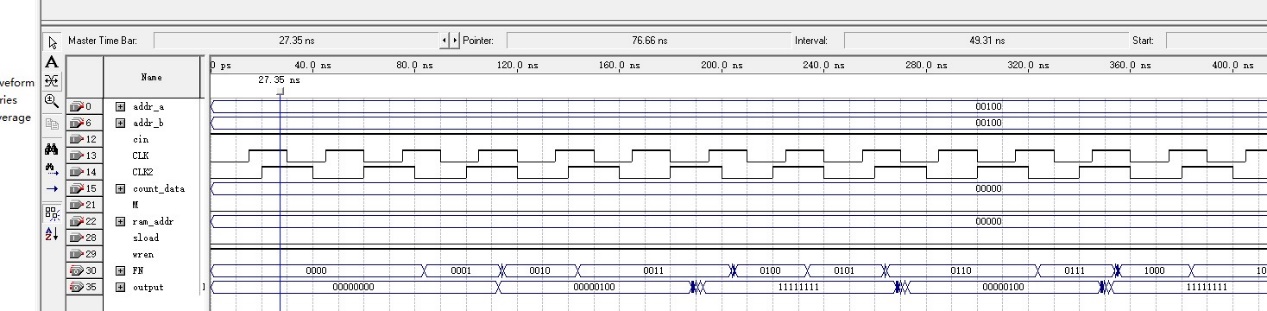
描述已自动生成

4.3 模拟文件处理

控制寄存器AB读取数据为固定值，控制 CLK 为 30ns 一个周期，CLK2 为 40ns 一个周期。



模拟结果：



正常工作模式下，系统启动，CLK进入上升沿时，计数器+1，并将其作为数据地址输入lpm\_rom1，随后 lpm\_rom1 读取指令寄存器的指令，并输送到 ALU 内进行运算，得到的结果在下一个 CLK2 来临时进行输出

个人认为该电路图模拟结果并不够直观，其功能选择与实际结果输出有较大延迟。个人想法是直接用 计数器 + rom 实现一个计数器控制rom地址选择并输出结果，相比参考电路图结果会更加直观。

**图示

描述已自动生成**

**四、实验结果**

通过本次实验，进一步了解宏功能模块中计数器的使用，掌握程序计数器的作用和工作原理。一开始还不太清楚sload的引脚的作用，通过仿真实验测试其作用，它正是实验要求所说的程序跳转功能，并通过将计数器与ROM存储器的组合，体会到将计数值转换成地址的神奇之处。

附：选做部分参考电路图

