



《计算机组成与结构》实验报告

专 业： 软件工程

班 级：

学 号：

姓 名：

指导教师：

2023年 月 日

实验一 运算器的组成实验

一、实验目的和内容

1、掌握算术逻辑运算的工作原理

2、自行设计4位或4位以上运算器，仿真计算结果，并记录。

3、选做：采用数字电路的设计方法，自行设计能实现8种运算的运算器。

二、实验过程：

1. 基本原理：运算器是计算机中执行各种算术和逻辑运算操作的部件，运算器的基本操作包括加、减乘、除四则运算，与、或、非、异或等逻辑操作。

2. 八位运算器的设计与实现：

自顶向下进行设计，八位运算器可分解为两个四位的运算器，正好可以借用两片74LS181运算器进行组合连接，从而实现两个八位的带进位输入，一个八位的带进位的输出。直接调用两块quartus内置的ALU74181运算器进行组合连接即可实现。

图示, 示意图

描述已自动生成

其中，A、B为待运算值的输入，C0为进位输入，Z为0标志位，C为进位位，M为运算方式选择，74LS181提供了逻辑运算和算术运算，s为四位的功能选择，即共计32种运算，F则为最终输出值。

3. 选做部分：

采用数字电路的设计方法，使用VHDL语言设计能实现八种运算的八位运算器，使用两个八位宽输入端口，一个八位宽的输出端口，参考74LS181使用四位宽的功能选择器，以实现8种运算的运算器。

核心算法如下：

architecture Behavioral of additional is

begin

process(AA, AB, Asw)

begin

CASE Asw IS

WHEN "0000" =>

AF <= not AA;

WHEN "0001" =>

AF <= not AB;

WHEN "0010" =>

AF <= AA;

WHEN "0011" =>

AF <= AB;

WHEN "0100" =>

AF <= AA or AB;

WHEN "0101" =>

AF <= AA and AB;

WHEN "0110" =>

AF <= AA xor AB;

WHEN "0111" =>

AF <= "11111111";

WHEN others =>

AF <= "00000000";

END CASE;

end process;

end architecture Behavioral;

三、实验结果：

1. 八位运算器

仿真结果如下

（1）当M=0时，此时运算器可做算术运算：

图形用户界面

低可信度描述已自动生成

（2）当M=1时，此时运算器可做逻辑运算：

表格, 日历

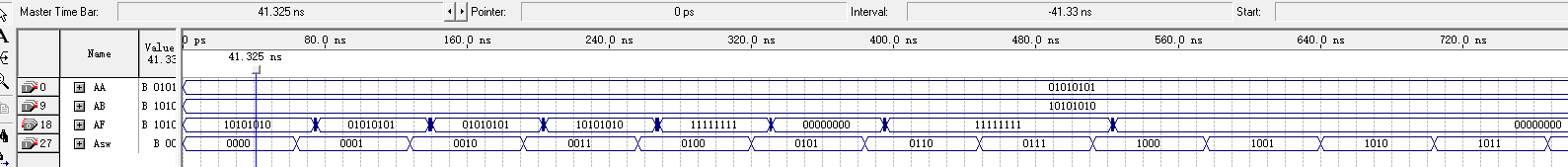
中度可信度描述已自动生成

运算表：

A=54H B=0AAH

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 工作方式 | 逻辑运算M=1 | | | 算术运算M=0 | | |
| S3 S2 S1 S0 | 运算 | 结果 | C、Z | 运算 | 结果 | C、Z |
| 0 0 0 0 | F=/A | ABH | 0、0 | F=/A | 54H | 0、0 |
| 0 0 0 1 | F=/(A+B) | 01H | 0、0 | F=A+B | FEH | 0、0 |
| 0 0 1 0 | F=(/A)B | AAH | 0、0 | F=A+/B | 54H | 0、0 |
| 0 0 1 1 | F=0 | 00H | 0、1 | F=减1 | FFH | 0、0 |
| 0 1 0 0 | F=/(AB) | FFH | 0、0 | F=A加A(/B) | A8H | 0、0 |
| 0 1 0 1 | F=/B | 55H | 0、0 | F=(A+B)加(A(/B) | 52H | 1、0 |
| 0 1 1 0 | F=AXORB | FEH | 0、0 | F=A减B减1 | A9H | 0、0 |
| 0 1 1 1 | F=A(/B) | 54H | 0、0 | F=A(/B)减1 | 53H | 1、0 |
| 1 0 0 0 | F=/A+B | ABH | 0、0 | F=A加AB | 54H | 0、0 |
| 1 0 0 1 | F=/(AXORB) | 01H | 0、0 | F=A加B | FEH | 0、0 |
| 1 0 1 0 | F=B | AAH | 0、0 | F=(A+(/B))加AB | 55H | 0、0 |
| 1 0 1 1 | F=AB | 00H | 0、1 | F=AB减1 | FFH | 0、0 |
| 1 1 0 0 | F=1 | FFH | 0、0 | F=A加A\* | A8H | 0、0 |
| 1 1 0 1 | F=A+/B | 55H | 0、0 | F=(A+B)加A | 52H | 1、0 |
| 1 1 1 0 | F=A+B | FEH | 0、0 | F=(A+(/B))加A | A9H | 0、0 |
| 1 1 1 1 | F=A | 54H | 0、0 | F=A减1 | 53H | 1、0 |

1. 选做部分
2. 仿真结果：



AA、AB为八位宽的输入，AF为八位宽的输出，而Asw则是四位宽的功能选择，留足位宽以待功能扩展。

（2）运算表格：

A=55H B=0AAH

|  |  |  |
| --- | --- | --- |
| 工作方式 | 逻辑运算 | |
| S3 S2 S1 S0 | 运算 | 结果 |
| 0 0 0 0 | F=/A | AAH |
| 0 0 0 1 | F=/B | 55H |
| 0 0 1 0 | F=A | 55H |
| 0 0 1 1 | F=B | AAH |
| 0 1 0 0 | F=A+B | FFH |
| 0 1 0 1 | F=AB | 00H |
| 0 1 1 0 | F=AXORB | FFH |
| 0 1 1 1 | F=1 | FFH |
| 其它 | F=0 | 00H |

四、总结

在实验过程中，我通过翻阅书籍、网上查找资料的方式，重新温习了一遍74LS181的结构和作用功能，通过动手连接线路进一步体会其基本使用方法，并且自顶向下的设计和自底向上的实现思想方法贯穿整个实验，我们可以将问题分解成一个个的小问题，运用已有的器件通过组合，实现我们所需要的功能。对于74LS181的另外几个输出端口还需要进一步去学习一些功能的使用。

附：181功能表

