**CIÊNCIA DA COMPUTAÇÃO**

**CIRCUITOS DIGITAIS I (6878)**

**Trabalho teórico/prático referente ao “Projeto - Parte II (Memória Semicondutora e Relógio Digital)”**

Data: 06/05/2022

# Professor: Nardênio Almeida Martins

# Discente

|  |  |
| --- | --- |
| **R.A.** | **Nome** |
| 116426 | Vitor Hugo Santos de Camargo |

**SUMÁRIO**

[1. Introdução e Objetivos............................................................................................... 3](#_TOC_250003)

1.1 Identificação da Experiência............................................................................... 3

l.2 Objetivos da Experiência.................................................................................... 3

[2. Fundamentação Teórica............................................................................................. 3](#_TOC_250002)

2.1 Componentes Utilizados.................................................................................... 3

2.2 Descrição dos Componentes Utilizados............................................................ 3

[3. Procedimentos Executados........................................................................................ 6](#_TOC_250001)

3.1 Descrição dos Procedimentos Executados......................................................... 6

3.2 Resultados Obtidos............................................................................................ 11

[4. Conclusão................................................................................................... .................. 1](#_TOC_250000)6

5. Referências Bibliográficas.......................................................................................... 17

# Introdução e Objetivos

* 1. *Identificação de Experiência*

Experiência I: Desenvolvimento e simulação do circuito memória semicondutora de 3 bits;

Experiência II: Verificação do funcionamento do circuito memória semicondutora de 3 bits;

Experiência III: Desenvolvimento e simulação do circuito relógio digital;

Experiência IV: Verificação do funcionamento do circuito relógio digital;

* 1. *Objetivos de Experiência*

 Aplicar conhecimentos adquiridos em aula e através de livros referência sobre o uso de Flip-Flops em circuitos tais como uma memória semicondutora e um relógio digital.

1. **Fundamentação Teórica**
   1. *Componentes Utilizados*

- Memória semicondutora:

* 9 Logic Switch de 5V;
* 20 Portas Lógicas AND (74LS08);
* 1 Porta Lógica AND (74LS15);
* 3 Portas Lógicas OR (4072);
* 1 Inverters (74LS04);
* 3 Logic Display;
* 12 Flip-Flops tipo D (DFF);
* 1 Demultiplexador 2x4 (4555 1/2);

- Relógio Digital:

* 8 Logic Switch de 5V;
* 4 Portas Lógicas AND (74LS08);
* 2 Inverters (74LS04);
* 2 displays de 7 segmentos (BLUECC) ;
* 7 Flip-Flops JK Mestre-Escravo com PR E CL (7476 1/2);
* 2 Decodificadores BCD para 7 segmentos (4543);
* 1 Pulser;
  1. *Descrição dos Componentes Utilizados*

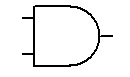
**Logic Switch:** São chaves lógicas utilizadas com o objetivo de representar os estados lógicos 1 e 0, sendo 1 para o estado fechado (verdadeiro) e 0 para o estado aberto (falso).



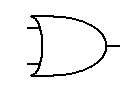
**Inverter (Porta Lógica NOT):** O inverter, tem a função de inverter a única entrada que passa por ele, onde caso a entrada for 1 (verdadeiro) o resultado de saída será 0 (falso), e caso seja entrada 0 (falso), o resultado de saída será 1 (verdadeiro).



**Porta Lógica AND (E):** A porta lógica AND é uma operação lógica entre duas e mais entradas resultando em um valor lógico 1 (verdadeiro) apenas quando todas as entradas tiverem valor lógico 1 (verdadeiro) ou seja, basta somente uma entrada com o valor lógico 0 de entrada para que toda a operação AND resulte em 0 (falso) na saída.



**Porta Lógica OR (OU):** A porta lógica OR é uma operação lógica entre duas ou mais entradas na qual basta uma entrada ter valor 1 (verdadeiro) para o valor de saída da operação resultar em 1 (verdadeiro), ou seja, indenpendente do número de entradas com valor lógico 0 (falso), apenas um é suficiente para ter saida lógica 1 (verdadeiro).

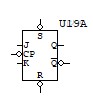


**Logic Display:** O Logic Display torna possível uma visualização direta nos resultados obtidos de acordo com as combinações das entradas, caso a saída seja 1 (verdadeiro), o Logic Display estará acesso, caos contrário, ou seja, saída seja 0 (falso), o mesmo estará apagado.



**Flip-Flop:** Flip-flops são, basicamente, um bloco com duas saidas Q e Q’ com entradas para variáveis e uma entrada para clock no qual sua funcionalidade tem uso geral como memória, onde cada Flip-Flop corresponde com uma memória de 1 bit.

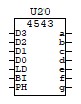
**-Flip-Flop JK Mestre-Escravo com PR E CL:** Enquanto o clock deste Flip-Flop for igual a 1 não há passagem das saídas Q e Q’ do circuito mestre para o circuito escravo, sendo assim, somente quando o clock passar para 0, essas saídas são bloqueadas no último estado e assumem as entradas R e S agora desbloqueadas, assim, há alteração nas saídas Q e Q’.



**- Flip-Flop Tipo D:** Tem origem a partir do Flip-Flop JK Mestre-Escravo com PR e CL com a diferença sendo notada na entrada K tendo valor invertido da entrada J, ou seja, as entradas J e K sempre são diferentes.



**Decodificador BCD para 7 segmentos:** Este componente recebe a saída Q de cada Flip-Flop e efetua a “conversão” para as entradas do display de 7 segmentos.



**Display de 7 segmentos:** Este display foi colocado para que, ao executar os testes do relógio, seja possível analisar de forma visual o funcionamento do circuito.



**Pulser:** Este componente terá a função de efetuar os pulsos de clock para que nosso circuito possa funcionar corretamente.



**Demultiplexador 2-para-4 (2x4):** Um decodificador é um componente que recebe n entradas de dados, neste caso, 2 entradas de dados, e as conduzem a 2 elevado a n saídas, sendo então 4 saídas para este projeto, ou seja, o DEMUX no projeto irá servir para receber todas as combinações possíveis de A0 e A1 e as transmitirem em suas 4 saídas ativando uma linha de seleção de palavra de cada vez.



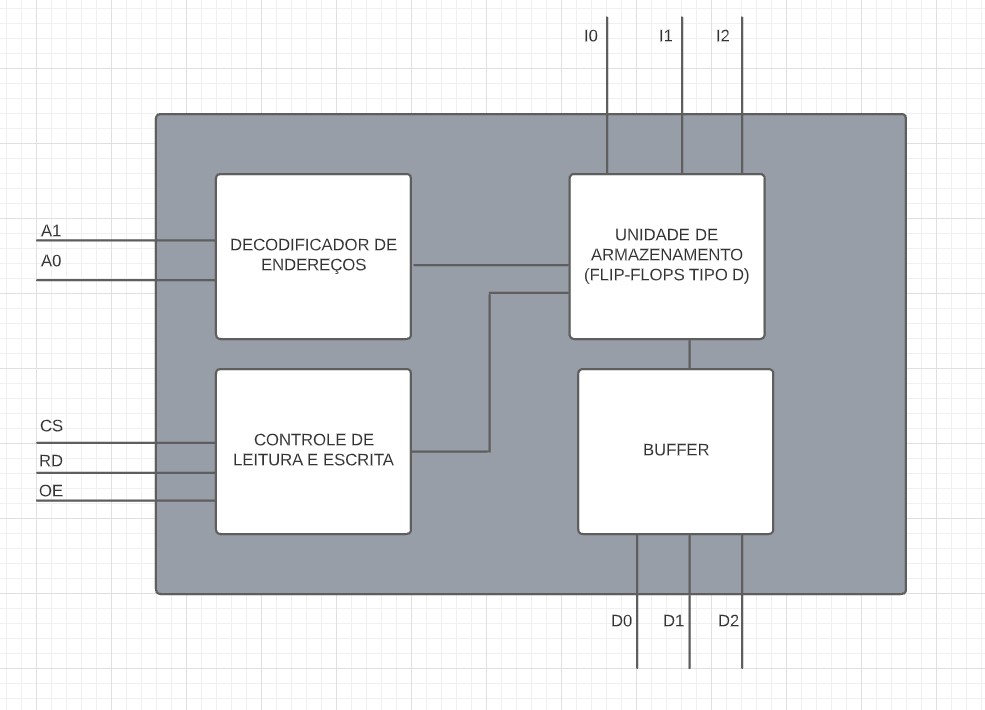
# 3. Procedimentos Executados

*3.1 Descrição dos Procedimentos Executados*

**- Memória Semicondutora de 3 bits**

Memórias são dispositivos cuja funcionalidade é armazenar informações, sejam elas números, letras, ou qualquer outro dado armazenável, sendo quase inimaginável pensar em algum computador atual sem algum dispositivo de armazenamento. O circuito a ser construido será de acordo com o diagrama abaixo.

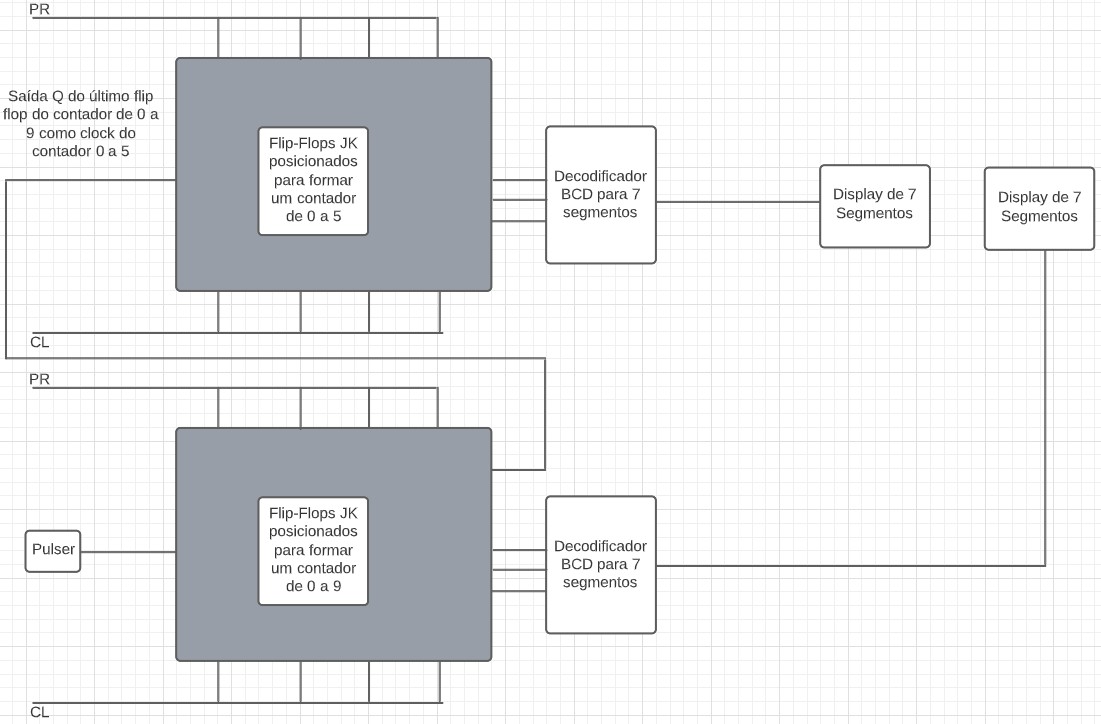
**Diagrama da memória semicondutora de 3 bits**

**

A memória a ser desenvolvida deverá ter a capacidade de ler ou escrever quatro palavras completas de 3 bits.

**- Relógio digital 0 a 59**

Um relógio digital pode tanto utilizar contadores assíncronos como síncronos, porém, a melhor maneira a ser feira será através de contadores síncronos, como o objetivo será contar de 0 a 59, serão usados dois contadores síncronos, um contador de década (0 a 9) para representar as unidades e outro contador de 0 a 5, para representar as dezenas. Abaixo, o diagrama do relógio a ser construido.



O relógio digital deverá ser capaz de efetuar a contagem de 0 a 59 segundos.

# Experiência I: Desenvolvimento da Memória Semicondutora 4x3

# Os logic switches de entrada foram posicionados da seguinte forma:

# - 3 logic switches denominados I0, I1 e I2 como os bits de entrada de dados para armazenamento;

# - 2 logic switches denominados, A0 e A1 para a entrada de endereço conectados ao DEMUX 2x4;

# - 3 logic switches para as entradas de controle, um denominado CS (Chip Select) para habilitar a pastilha, um denominado RD que efetuará a distinção entre leitura e escrita e por último, um denominado OE, que habilitará a saída;

# - 1 logic switch denominado Enable conectado a entrada E do DEMUX, colocado para que o DEMUX funcione corretamente, porém este logic switch sempre estará em nível lógico 0.

# 2. Foi posicionado um DEMUX 2x4 que servirá para ativar as linhas de seleção de palavra;

# 3. Foi posicionado 12 Flip-Flops tipo D, em formato de uma “matriz 4x3”;

# 4. Cada linha de seleção de palavra recebe sua respectiva saída do DEMUX;

# 5. 4 portas AND recebendo a saída de CS.RD’ foram posicionadas em cada linha dessa “matriz”, na qual servem como entrada para o clock de cada Flip-Flop;

# 6. 12 portas AND foram posicionadas cada uma ao lado direito de cada Flip-Flop recebendo a saída da linha de seleção de palavra e a saída Q do Flip-Flop acima;

# 7. Foram posicionadas 3 portas OR recebendo as saídas das portas AND de cada coluna de Flip-Flops acima;

# 8. 3 logic displays foram colocados nas saídas de cada porta AND que irá receber as entradas das portas OR colocadas anteriormente mais a saída de CS.RD.OE, para obter uma visualização das saídas no momento da leitura dos dados armazenados na memória;

# 9. Uma porta AND recebendo CS e RD’ foi colocada para enviar o sinal as portas de escritas;

# 10. Por último, foi posicionado uma porta AND recebendo CS, RD E OE, tendo sua saída conectada as 3 portas AND conectadas as saídas que ativarão somente quando for exibir a leitura de dados.

# Circuito final completo

# 

**Experiência II: Verificação do funcionamento da Memória Semicondutora 4x3**

O primeiro passo para a simulação do circuito é alterar a opção Simulation > Digital Mode, para que nosso circuito seja simulado de forma digital e funcione corretamente.

1. Foi testado a escrita e a leitura das palavras 111, 101, 010 e 000 nas quatro combinações possíveis das entradas de endereço, 00, 01, 10, 11.
2. As saídas da leitura se davam nos três lógic displays de saída de dados denominados D0, D1 e D2.

# Experiência III: Desenvolvimento do relógio digital de 0 a 59

# 1. Para o contador 0 a 5 foram necessários 3 Flip-Flops JK, uma vez que 2 Flip-Flops contariam até 3, não chegando até 5 como o necessário. Já para o contador de 0 a 9, foram necessários 4 Flip-Flops JK, pois, assim como o contador acima, 3 Flip-Flops contariam no máximo até 7, sendo necessário a adição do quarto Flip-Flop para conseguir a contagem desejada.

# As tabelas para cada contador serão mostradas abaixo, junto com suas simplificações por mapa de Karnaugh.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Atual | | | | Próximo Estado | | | | Entradas para Q3 | | Entradas para Q2 | | Entradas para Q1 | | Entradas para Q0 | |
| Q3 | Q2 | Q1 | Q0 | Q3f | Q2f | Q1f | Q0f | J3 | K3 | J2 | K2 | J1 | K1 | J0 | K0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | X | 0 | X | 0 | X | 1 | X |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | 0 | X | 1 | X | X | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | X | 0 | X | X | 0 | 1 | X |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | X | 1 | X | X | 1 | X | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | X | X | 0 | 0 | X | 1 | X |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | X | X | 0 | 1 | X | X | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | X | X | 0 | X | 0 | 1 | X |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | X | X | 1 | X | 1 | X | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | X | 0 | 0 | X | 0 | X | 1 | X |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | X | 1 | 0 | X | 0 | X | X | 1 |

# Tabela para o contador de década (0 a 9)

# Simplificação de J3 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | 0 | 0 | 0 | 0 | Q2’ |
| 0 | 0 | 1 | 0 | Q2 |
| Q3 | X | X | X | X |
| X | X | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# J3 = Q0.Q1.Q2

# Simplificação de K3 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | X | X | X | X | Q2’ |
| X | X | X | X | Q2 |
| Q3 | 0 | X | X | 0 |
| 0 | 1 | X | 0 | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# K3 = Q0

# Simplificação de J2 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | 0 | 0 | 1 | 0 | Q2’ |
| X | X | X | X | Q2 |
| Q3 | X | X | X | X |
| 0 | 0 | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# J2 = Q0.Q1

# Simplificação de K2 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | X | X | X | X | Q2’ |
| 0 | 0 | 1 | 0 | Q2 |
| Q3 | X | X | X | X |
| X | X | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# K2 = Q0.Q1

# Simplificação de J1 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | 0 | 1 | X | X | Q2’ |
| 0 | 1 | X | X | Q2 |
| Q3 | X | X | X | X |
| 0 | 0 | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# J1 = Q0.Q3’

# Simplificação de K1 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | X | X | 1 | 0 | Q2’ |
| X | X | 1 | 0 | Q2 |
| Q3 | X | X | X | X |
| X | X | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# K1 = Q0

# Simplificação de J0 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | 1 | X | X | 1 | Q2’ |
| 1 | X | X | 1 | Q2 |
| Q3 | X | X | X | X |
| 1 | X | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# J0 = 1

# Simplificação de K0 por mapa de Karnaugh

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |  |
| Q3’ | X | 1 | 1 | X | Q2’ |
| X | 1 | 1 | X | Q2 |
| Q3 | X | X | X | X |
| X | 1 | X | X | Q2’ |
|  | Q0’ | Q0 | | Q0’ |  |

# K0 = 1

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Estado Atual | | | Próximo Estado | | | Entradas para Q2 | | Entradas para Q1 | | Entradas para Q0 | |
| Q2 | Q1 | Q0 | Q2f | Q1f | Q0f | J2 | K2 | J1 | K1 | J0 | K0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | X | 0 | X | 1 | X |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | X | 1 | X | X | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | X | X | 0 | 1 | X |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | X | X | 1 | X | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | X | 0 | 0 | X | 1 | X |
| 1 | 0 | 1 | 0 | 0 | 0 | X | 1 | 0 | X | X | 1 |

# Tabela para o contador de 0 a 5

# Simplificação de J2 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | 0 | 0 | 1 | 0 |
| Q2 | X | X | X | X |
|  | Q0’ | Q0 | | Q0’ |

# J2 =Q0.Q1

# Simplificação de K2 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | X | X | X | X |
| Q2 | 0 | 1 | X | X |
|  | Q0’ | Q0 | | Q0’ |

# K2 =Q0

# Simplificação de J1 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | 0 | 1 | X | X |
| Q2 | 0 | 0 | X | X |
|  | Q0’ | Q0 | | Q0’ |

# J1 =Q0.Q2’

# Simplificação de K1 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | X | X | 1 | 0 |
| Q2 | X | X | X | X |
|  | Q0’ | Q0 | | Q0’ |

# K1 =Q0

# Simplificação de J0 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | 1 | X | X | 1 |
| Q2 | X | 1 | X | X |
|  | Q0’ | Q0 | | Q0’ |

# J0 =1

# Simplificação de K0 por mapa de Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Q1’ | | Q1 | |
| Q2’ | X | 1 | 1 | X |
| Q2 | X | 1 | X | X |
|  | Q0’ | Q0 | | Q0’ |

# K0 = 1

# 2. Para o contador de 0 a 5, foram posicionados em paralelo 3 Flip-Flops JK e começou as conexões necessárias para esses Flip-Flops funcionarem corretamente na contagem de 0 a 5.

# - As entradas J0 e K0 receberam a saída de um logic switch em valor lógico 1, que deverá permanecer em todo o funcionamento do circuito;

# - A entrada J1 recebeu a saída da porta lógica AND posicionada entre o Flip-Flop 0 e 1, onde essa porta AND recebe as saídas Q0 e Q2’;

# - A entrada K1 recebeu a saída Q0;

# - A entrada J2 recebeu a saída da porta AND posicionada entre o Flip-Flop 1 e 2, onde essa porta AND recebe as saídas Q0 e Q1;

# - A entrada K2 recebeu a saída Q0;

# - Todos os Flip-Flops tem seu PR e CL (S e R no circuit maker) recebendo valor lógico 1 através de dois lógics switches denominados PR e CL;

# - Foi posicionado um decodificador BCD para display de 7 segmentos onde as entradas D0, D1 e D2 recebem Q0, Q1 e Q2 respectivamente;

# - Foi necessário também as entradas LD, BI e PH do decodificador recebendo o valor lógico 1, 0 e 0, respectivamente para o funcionamento correto;

# - Posicionou-se um display de 7 segmento recebendo as saídas do decodificador BCD para display de 7 segmentos como entradas;

# - Por fim, foi conectado a saída Q3 do contador de década 0 a 9 como clock de todos os Flip-Flops;

# 3. Para o contador de década 0 a 9, foram posicionados em paralelo 4 Flip-Flops JK e começou as conexões necessárias para esses Flip-Flops funcionarem corretamente na contagem de 0 a 5.

# - As entradas J0 e K0 receberam a saída de um logic switch em valor lógico 1, que deverá permanecer em todo o funcionamento do circuito;

# - A entrada J1 recebeu a saída da porta lógica AND posicionada entre o Flip-Flop 0 e 1, onde essa porta AND recebe as saídas Q0 e Q3’;

# - A entrada K1 recebeu a saída Q0;

# - As entradas J2 e K2 receberam a saída da porta AND posicionada entre o Flip-Flop 1 e 2, onde essa porta AND recebe as saídas Q0 e Q1;

# - Todos os Flip-Flops tem seu PR e CL (S e R no circuit maker) recebendo valor lógico 1 através de dois lógics switches denominados PR e CL;

# - Foi posicionado um decodificador BCD para display de 7 segmentos onde as entradas D0, D1 e D2 recebem Q0, Q1 e Q2 respectivamente;

# - Foi necessário também as entradas LD, BI e PH do decodificador recebendo o valor lógico 1, 0 e 0, respectivamente para o funcionamento correto;

# - Posicionou-se um display de 7 segmento recebendo as saídas do decodificador BCD para display de 7 segmentos como entradas;

# - Por fim, foi posicionado o pulser, conectado a entrada de clock de todos os 4 Flip-Flops;

# Circuito final completo

# 

# Experiência IV: Verificação do funcionamento do Relógio Digital de 0 a 59

# No projeto do Relógio Digital não se faz necessário a alteração de entradas, basta as entradas já colocadas em seus valores lógicos anteriores continuarem a mesma para o funcionamento correto do circuito.

# A saída do circuito irá se dar em 2 displays de 7 segmentos para a visualização das unidades e dezenas.

*3.2 Resultados Obtidos*

**- Memória Semicondutora de 3 bits**

**- PARTE DE ESCRITA:**

Para a parte escrita, o lógic switch CS sempre estará em nível lógico 1, o lógic switch RD sempre estará em nível lógico 0 (escrita), por último, o lógico switch OE sempre estará em nível lógico 0, uma vez que este logic switch habilita a visualização da saída de dados, o que não tem importância na escrita. Os lógic switches que terão variação de nível lógico nesta parte serão as entradas de endereço A0 e A1, e os três logic switches de entrada de dado I0, I1 e I2, tendo suas combinações de entrada mostradas nas tabelas abaixo.

• **TABELA com as combinações para escrita das palavras (111, 101, 010, 000)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **A0** | **A1** | **I0** | **I1** | **I2** | **CS** | **RD** | **OE** |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |

**- PARTE DE LEITURA:**

Para a parte de leitura, o logic switch CS sempre estará em nível lógico 1, mas agora o logic switch RD passará a ter nível lógico 1 (leitura) junto com o logic switch OE, para habilitar as saídas D0, D1 e D2. Os logic switches de entrada I0, I1 e I2 não terão mais importância na saída, portando não serão postos na tabela, uma vez que independente da combinação de entrada, a leitura não terá interferência dessas entradas.

• **TABELA com as combinações para leitura das palavras (111, 101, 010, 000)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **A0** | **A1** | **D0** | **D1** | **D2** | **CS** | **RD** | **OE** |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |

**- Relógio Digital 0 a 59**

Para o contador de 0 a 5, as saídas de Q0, Q1 e Q2 precisam estar nas combinações abaixo para sair o número correto da contagem no display, esse sendo a última coluna da tabela.

|  |  |  |  |
| --- | --- | --- | --- |
| **TABELA DE COMBINAÇÕES PARA A SAÍDA DO DISPLAY DE 7 SEGMENTOS** | | | |
| **Q0** | **Q1** | **Q2** | **DISPLAY 7 SEG.** |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 2 |
| 1 | 1 | 0 | 3 |
| 0 | 0 | 1 | 4 |
| 1 | 0 | 1 | 5 |

Para o contador de 0 a 9, as saídas de Q0, Q1, Q2 e Q3 precisam estar nas combinações abaixo para sair o número correto da contagem no display, esse sendo a última coluna da tabela.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TABELA DE COMBINAÇÕES PARA A SAÍDA DO DISPLAY DE 7 SEGMENTOS** | | | | |
| **Q0** | **Q1** | **Q2** | **Q3** | **DISP. 7 SEG.** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 2 |
| 1 | 1 | 0 | 0 | 3 |
| 0 | 0 | 1 | 0 | 4 |
| 1 | 0 | 1 | 0 | 5 |
| 0 | 1 | 1 | 0 | 6 |
| 1 | 1 | 1 | 0 | 7 |
| 0 | 0 | 0 | 1 | 8 |
| 1 | 0 | 0 | 1 | 9 |

# 4. Conclusão

Com a verificação das tabelas verdades esperadas e da obtidas, pode-se concluir que o projeto da ULA como um todo teve um resultado satisfatório e o objetivo esperado antes do esperimento fora atingido.

Na primeira parte da experiência o maior desafio era como unir todas as partes essenciais para uma ULA funcionar corretamente, adaptando certos componentes, como o logic switch Enable, que até se fazer necessário não era parte do plano inicial do projeto.

Um segundo desafio foi compactar o máximo possível o circuito para não acabar se perdendo com um número grande de portas lógicas, porém com o estudo das referências bibliográficas foi possível passar pelos desafios.

A segunda parte da experiência não houve problema algum, todos os resultados esperados foram atingidos, assim, a ULA demonstrou-se funcionando corretamente como o planejado.

# Bibliografia

Idoeta, I. V.; Capuano, F. G. **Elementos de Eletrônica Digital**. Editora Érica Ltda., 2006.

Floyd, T. **Sistemas Digitais: Fundamentos e Aplicações.** 9ª ED. BOOKMAN. Editora Companhia.

**Organization of Computer Systems: Computer Arithmetic**. Cise. Disponível em:

<https://www.cise.ufl.edu/~mssz/CompOrg/CDA-arith.html>. Acesso em: 01 de maio de 2021.

Patterson, D.A.; J.L. Hennesey. **Computer Organization and Design: The Hardware/Software Interface**, 2ª ED. Editora Morgan Kaufman, 1998.

Pantoja, K. **34. Arquitetura de Computadores: Unidade Lógico-Aritmética de 1 bit.** 2020. Disponível em: <https://www.youtube.com/watch?v=5dE2tfL3orA>. Acesso em 01 de maio de 2021.