

## IEEE 802.16e 标准中 LDPC 编码的实现与仿真

宁 平

(上海航天电子技术研究所, 上海 201109)

**摘 要:** 根据 IEEE802.16e 标准中 LDPC 编码的定义, 提出了一种利用高速状态机来实现编码的快速算法。在 Quartus II 下使用 Verilog HDL 实现了该算法并进行了时序仿真。仿真结果表明, 设计具有良好的实时性, 克服了以往设计中预处理复杂、消耗逻辑资源多的缺点。最后利用 MATLAB 对该设计与 DVB-S2 缩短码的 BER 性能进行了比较, 分析了制约 DVB-S2 缩短码性能的因素。

**关键词:** LDPC 编码; IEEE 802.16 标准; 基校验矩阵

中图分类号: TN919.3+3

文献标识码: A

文章编号: 0258-7998(2014)09-0101-04

## The implementation and simulation of IEEE 802.16e LDPC coding

Ning Ping

(The Institute of Shanghai Aerospace Electronics Technology, Shanghai 201109, China)

**Abstract:** According to the definition of IEEE802.16e LDPC coding, this paper proposes a high-speed state machine to achieve fast coding algorithm. This algorithm is realized under the Quartus II environment by using Verilog HDL and timing simulation is also made. The results show that the design has a good real-time performance. It overcomes the shortcomings of complex pre-processing and consumption of logic resources. Finally, the BER performances between this design and shortened DVB-S2 codes are compared under MATLAB. The facts which can restrict shortened DVB-S2 code performance are also analyzed.

**Key words:** LDPC coding; IEEE802.16e standard; base check matrix

LDPC (Low Density Parity Check Code) 码是一种性能优异的线性分组码, 其性能非常接近于 Shannon 极限且具有很强的纠错能力。但自 LDPC 码被发明以来就存在一个阻碍其发展的巨大障碍。众所周知, 一般的线性分组码是通过其生成矩阵实现编码。而 LDPC 码的校验矩阵虽然是稀疏的, 但生成矩阵却不是稀疏矩阵。由于 LDPC 码的编码长度都很长, 因此复杂的生成矩阵为编码带来了巨大困难。后来, 人们利用其校验矩阵的特点实现了快速编码。即便如此, 当码长很长时编码所需的存储空间仍然非常庞大, 学者们也在不断探索高性能的编码方法。

目前, LDPC 码已开始逐渐应用于空间通信、光纤通信、数字视频和音频广播等领域。LDPC 码的编码标准主要有: DVB-S (Digital Video Broadcasting-Satellite) 标准、DVB-S2<sup>[1]</sup> 标准、CCSDS (Consultative Committee for Space Data Systems) 标准<sup>[2]</sup>、GB20600 标准<sup>[3]</sup>、IEEE802.16e 标准<sup>[4]</sup>等。LDPC 编码已经在 IEEE802.16e 标准中作为专用传输码使用。DVB-S2 是新一代数字卫星广播的标准, 与 DVB-S 标准相比, 其传输容量增益可达 30%。CCSDS 标

准中的 LDPC 码包括近地和深空应用。GB20600 标准中的 LDPC 码主要用于数字电视地面广播系统。本文主要研究 IEEE 802.16e 标准中 LDPC 码快速编码的实现方法, 并将其与 DVB-S2 标准的 LDPC 缩短码的性能进行比较。

1 IEEE802.16e 标准中的 LDPC 码校验矩阵的构造方式

IEEE802.16e 标准中定义的 LDPC 码是一种准循环的非规则 LDPC 码, 共有 4 种速率<sup>[4]</sup>。每一种速率都有相应的校验矩阵  $H$ 。 $H_b$  是  $H$  的基校验矩阵,  $H_b$  经过扩展后可得到  $H$ ,  $H_b$  的尺寸为  $m_b \times n_b$ , 具体构成见式(1)。 $n_b$  的长度固定为 24,  $m_b$  的长度根据码速率不同而异。 $H_{b1}$  是一个  $m_b \times (n_b - m_b)$  矩阵。 $H_{b2}$  是一个  $m_b \times m_b$  矩阵。 $q$  称为扩展系数,  $H_b$  可通过  $m_b \cdot q \times n_b \cdot q$  的扩展方式获得校验矩阵  $H$ 。

$$H_b = [H_{b1} \quad H_{b2}] \quad (1)$$

$H_{b1}$  中的元素由 -1 或非负整数组成, 若为 -1, 则校验矩阵  $H$  相应的位置是全 0 矩阵; 若为非负整数, 则校验矩阵  $H$  相应的位置是单位矩阵  $E$  进行非负整数次右移所得的矩阵。 $H_{b2}$  的第一列中  $h(1)$ 、 $h(r)$ 、 $h(m_b)$  为非负

整数,且  $h(1)=h(m_b)$ 。  $r$  的取值范围为  $2 \leq r \leq m_b-1$ ,其具体值由 IEEE802.16e 标准指定。 $H_{b2}$  除第一列外,其余部分构成准双对角线结构,两条准对角线上的元素为 0,其他位置为-1。 $H_{b2}$  的元素构成见式(2)。

$$H_{b2} = \begin{bmatrix} h(1) & 0 & & & \\ -1 & 0 & 0 & & \\ \vdots & & 0 & 0 & -1 \\ -1 & & & 0 & \ddots \\ h(r) & & & \ddots & \ddots \\ -1 & & & \ddots & 0 \\ \vdots & & -1 & & 0 & 0 \\ -1 & & & & 0 & 0 \\ h(m_b) & & & & 0 & 0 \end{bmatrix}_{m_b \times m_b} \quad (2)$$

根据 IEEE802.16e 标准,基矩阵  $H_b$  的扩展系数  $q$  共有 19 种取值,分别对应 19 种码长,最小为 24,最大为 96,具体的扩展规则见参考文献[4]。设基校验矩阵中处于位置  $(i,j)$  的元素为  $q(i,j)$ 。以 1/2 速率的 LDPC 码为例,当  $q=96$  时,1/2 速率的 LDPC 码的基校验矩阵为式(3), $q(i,j)$  的更新方法见式(4), $\lfloor \cdot \rfloor$  表示向下取整。

$$\begin{bmatrix} -1 & 94 & 73 & -1 & -1 & -1 & -1 & 55 & 83 & -1 & -1 & 7 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & 27 & -1 & -1 & -1 & 22 & 79 & 9 & -1 & -1 & -1 & 12 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & 24 & 22 & 81 & -1 & 33 & -1 & -1 & -1 & 0 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 \\ 61 & -1 & 47 & -1 & -1 & -1 & -1 & 65 & 25 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & 39 & -1 & -1 & -1 & 84 & -1 & -1 & 41 & 72 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & 46 & 40 & -1 & 82 & -1 & -1 & -1 & 79 & 0 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & -1 & 95 & 53 & -1 & -1 & -1 & -1 & 14 & 18 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & 11 & 73 & -1 & -1 & 2 & -1 & 47 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 \\ 12 & -1 & -1 & -1 & 83 & 24 & -1 & 43 & -1 & -1 & 51 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ -1 & -1 & -1 & -1 & 94 & -1 & 59 & -1 & 70 & 72 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ -1 & -1 & 7 & 65 & -1 & -1 & -1 & 39 & 49 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ 43 & -1 & -1 & -1 & -1 & 66 & -1 & 41 & -1 & -1 & 26 & 7 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & -1 \end{bmatrix} \quad (3)$$

$$q(i,j) = \begin{cases} q(i,j), q(i,j) \leq 0 \\ \lfloor \frac{q(i,j) \cdot q}{96} \rfloor, q(i,j) > 0 \end{cases} \quad (4)$$

## 2 IEEE802.16e 标准中 LDPC 码的 FPGA 实现

### 2.1 LDPC 码的快速编码算法

由于  $H_{b2}$  具有准双对角线结构,具有这种结构的 LDPC 码在编码时不再需要生成矩阵,在经过矩阵变换后,可通过迭代运算计算校验向量。设信息码为  $s=[s_1^T \ s_2^T \ \cdots \ s_{k_b}^T]$ ,校验向量为  $p=[p_1^T \ p_2^T \ \cdots \ p_{m_b}^T]$ 。其中  $s_i^T$ ,  $p_i^T$  分别为  $1 \times q$  向量。设编码器的输出为向量  $c=[s \ p]$ ,以下计算均是在二元域进行。由  $H_2 \cdot p^T = H_1 \cdot s^T$ ,可得式(5)。 $H_1$ 、 $H_2$  分别为矩阵  $H_{b1}$ 、 $H_{b2}$  的扩展。

$$\begin{bmatrix} Z_{H(1)} & Z_0 & & & \\ Z_{-1} & Z_0 & Z_0 & & \\ \vdots & & Z_0 & Z_0 & Z_{-1} \\ Z_{-1} & & & Z_0 & Z_0 \\ Z_{H(r)} & & & & Z_0 \\ Z_{-1} & & & & Z_0 & Z_0 \\ \vdots & & Z_{-1} & & & Z_0 & Z_0 \\ Z_{-1} & & & & & Z_0 & Z_0 \\ Z_{H(m_b)} & & & & & & Z_0 \end{bmatrix} \cdot \begin{bmatrix} p_1 \\ p_2 \\ \vdots \\ p_{m_b} \end{bmatrix} = \begin{bmatrix} Z_{H_b(1,1)} & Z_{H_b(1,2)} & \cdots & Z_{H_b(1,k_b)} \\ Z_{H_b(2,1)} & Z_{H_b(2,2)} & \cdots & Z_{H_b(2,k_b)} \\ \vdots & \vdots & \cdots & \vdots \\ Z_{H_b(m_b,1)} & Z_{H_b(m_b,2)} & \cdots & Z_{H_b(m_b,k_b)} \end{bmatrix} \cdot \begin{bmatrix} s_1 \\ s_2 \\ \vdots \\ s_{k_b} \end{bmatrix} \quad (5)$$

将线性方程组式(5)中的各行都加在第一行,可推出:

$$p_1 = (Z_{H(1)} + Z_{H(r)} + Z_{H(m_b)})^{-1} \cdot \sum_{i=1}^{m_b} \sum_{j=1}^{k_b} Z_{H_{bi}(i,j)} \cdot s_j \quad (6)$$

将式(6)回代到方程组式(5)第一个方程中可得:

$$p_2 = \sum_{j=1}^{k_b} Z_{H_{b1}(1,j)} \cdot s_j + Z_{H(1)} \cdot p_1 \quad (7)$$

将式(7)回代到方程组式(5)第二个方程中可得  $p_3$ ,以此类推可得:

$$p_i = p_{i-1} + \sum_{j=1}^{k_b} Z_{H_{bi}(i-1,j)} \cdot s_j, i=3,4,\cdots,r,r+2,r+3,\cdots,m_b \quad (8)$$

$$p_{r+1} = p_r + \sum_{i=1}^{k_b} Z_{H_{bi}(r,j)} \cdot s_j + Z_{H(r)} \cdot p_1 \quad (9)$$

### 2.2 快速编码算法的 FPGA 实现

以  $q=24$ 、速率为 1/2 的 LDPC 码为例,其基校验矩阵根据式(3)、(4)计算可得到式(10),其中  $m_b=n_b-m_b=k_b=12$ 。

$$\begin{bmatrix} -1 & 23 & 18 & -1 & -1 & -1 & -1 & 13 & 20 & -1 & -1 & 1 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & 6 & -1 & -1 & 5 & 19 & 2 & -1 & -1 & -1 & 3 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & 6 & 5 & 20 & -1 & 8 & -1 & -1 & -1 & 0 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 & -1 \\ 15 & -1 & 11 & -1 & -1 & -1 & -1 & 16 & 6 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & 9 & -1 & -1 & 21 & -1 & -1 & 10 & 18 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 & -1 \\ -1 & -1 & -1 & 11 & 10 & -1 & 20 & -1 & -1 & 19 & 0 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & -1 & 23 & 13 & -1 & -1 & -1 & -1 & 3 & 4 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ -1 & 2 & 18 & -1 & -1 & 0 & -1 & 11 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 & -1 \\ 3 & -1 & -1 & 20 & 6 & -1 & 10 & -1 & -1 & 12 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 & -1 \\ -1 & -1 & -1 & -1 & 23 & -1 & 14 & -1 & -1 & 17 & 18 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 & -1 \\ -1 & -1 & 1 & 16 & -1 & -1 & -1 & 9 & 12 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 & 0 & -1 \\ 10 & -1 & -1 & -1 & -1 & 16 & -1 & 10 & -1 & -1 & 6 & 1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & -1 & 0 \end{bmatrix} \quad (10)$$

根据式(6)可推得:

$$\begin{aligned} & \sum_{i=1}^{m_b} \sum_{j=1}^{k_b} Z_{H_{bi}(i,j)} \cdot s_j \\ &= \sum_{i=1}^{m_b} (Z_{H_{bi}(i,1)} \cdot s_1 + Z_{H_{bi}(i,2)} \cdot s_2 + \cdots + Z_{H_{bi}(i,k_b)} \cdot s_{k_b}) \\ &= \sum_{i=1}^{m_b} (Z_{H_{bi}(i,1)} \cdot s_1) + \sum_{i=1}^{m_b} (Z_{H_{bi}(i,2)} \cdot s_2) + \cdots + \sum_{i=1}^{m_b} (Z_{H_{bi}(i,k_b)} \cdot s_{k_b}) \end{aligned} \quad (11)$$

设输入序列  $s$  的长度为  $m_b \cdot q$ ,每个时钟上升沿输入的位宽为  $q$ ,即每次输入为  $s_i$ 。可以定义  $k_b$  个寄存器 ZH,每个寄存器的位数为  $q$  位。利用上述寄存器来存储输入序列与基矩阵每一列的乘积,这个乘积在每个时钟周期进行更新。在更新时需计算当前值与乘积值的异或。在校验位计算中经常需要计算  $Z_{H_{bi}(i,j)} \cdot s_j$  的乘积, $Z_{H_{bi}(i,j)}$  表示基校验矩阵  $H_{b1}$  中位于  $(i,j)$  位置的元素。由于该元素表示单位矩阵的移位,所以其与输入数据序列  $s_j$  的乘积等效为输入数据序列的循环移位。当单位矩阵是右移时,乘积等效为输入序列的循环右移;当单位矩阵是左移时,乘积等效为输入序列的循环左移。利用这个特性可以大大简化序列与矩阵之间的乘法运算。图 1 表示编码的详细计算流程。在序列  $s_{12}$  输入后,每个 ZH<sub>*i*</sub>

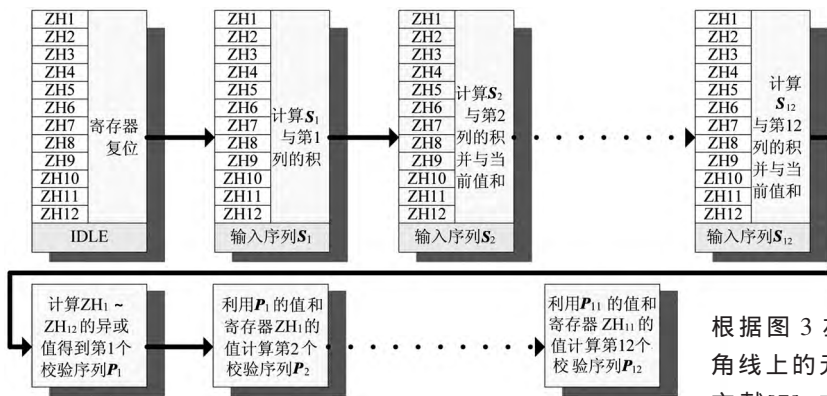


图1 校验码计算的逻辑流程

( $i=1, 2 \dots 12$ ) 寄存器中就会得到  $\sum_{j=1}^{k_i} Z_{H_{10}(i,j)} \cdot s_j$ 。

将上述编码方法用 HDL 在 Quartus II 中实现,并分别在 EP2C70F896C6、EP2S15484C3 上实现综合和布线。逻辑资源占用情况如表 1 所示。对于不同的器件,消耗的逻辑资源各异,同时布线后逻辑单元的延迟也不尽相同。使用 Stratix II 系列的器件相比 Cyclone II 系列的器件的时钟频率提高了约 50%。可以预见,如果提升输入和输出的位宽,逻辑单元间附加延迟会导致时钟频率略有降低,但由于并行度的增加,将显著提升数据吞吐速率。

表 1 编译后占用的逻辑资源

器件	EP2C70F896C6	EP2S15F484C3
组合逻辑单元	1 625	929
寄存器	410	412
最高频率 $F_{max}/\text{MHz}$	117.23	168.18
数据吞吐速率/(Gb/s)	2.814	4.036

在 EP2C70F896C6 上的时序仿真如图 2 所示。在仿真开始前首先复位使系统进入初始状态。工作时钟为 50 MHz, 输入序列  $s_1=\text{FF0000}$ ,  $s_2=s_3=\dots=s_{11}=\text{000000}$ ,  $s_{12}=\text{FFFFFF}$ 。输出的校验码序列为  $p_1=\text{F87C7B}$ ,  $p_2=\text{F0F8F7}$ , ...。在原码输出与校验位输出之间有一个等待周期。与参考文献[5]相比,考虑到预处理的时间以及输入和输出均需要大长度高速串/并、并/串转换,实际的系统性能会有一定程度下降。与参考文献[5]、[6]相比,本设计利用

高速状态机实现,具有实时性强,不需要进行大长度串/并、并/串转换的优点,而且也不需要基矩阵进行预处理和分割,对输入/输出的制约小,具有较高的性能。

### 3 IEEE802.16e 和 DVB-S2 标准 ldpc 码的性能比较

本设计实现了  $q=24$  下, 1/2 速率的 IEEE802.16e 标准的 LDPC 码的快速编码。

根据图 3 左图所示,在  $q=24$  时其  $H^T \cdot H$  结果中只有主对角线上的元素大于 1,其他元素均小于等于 1。根据参考文献[7],本校验矩阵中无 4 环,具有良好的译码性能。DVB-S2 标准的 LDPC 码分为长码和短码两种,长度分别为 64 800 bit 和 16 200 bit。由于码长较长,LDPC 码编解码器实现具有相当难度,因此将本设计与 DVB-S2 标准的 LDPC 缩短码比较,缩短方法见参考文献[8]。由于长度  $24 \cdot q=576$  的 IEEE802.16e 标准 LDPC 码没有适当的  $q_1$  值可使 DVB-S2 缩短码的码长与之相等,取  $q_1=15$ ,速率为 1/2,则 DVB-S2 缩短码的码长为  $n=600$ 。在高斯白噪声信道中进行性能仿真。仿真信道的调制方式为 BPSK,采用 BP 译码算法,最大迭代次数为 500 次。对于 200 帧随机数据,每帧长度分别为 288 bit 和 300 bit,分别进行编码调制和接收译码。最后的仿真曲线如图 4 所示。可见在码长基本相同的条件下,IEEE802.16e 标准的 LDPC 码较 DVB-S2 缩短码具有优异的 BER 性能。图 3 右图是  $n=600$  的情况下 DVB-S2 缩短码的  $H^T \cdot H$  数值分布。由图中可见有大量 4 环位于校验矩阵  $H$  中,这也是其 BER 曲线中存在误码平台的原因。

本文对 IEEE802.16e 标准的 LDPC 码的快速编码算法进行了研究,并在 FPGA 上实现了  $q=24$ 、 $n=576$ 、速率为 1/2 的 LDPC 码快速编码器。时序仿真的结果显示该编码器具有良好的实时编码性能,资源占用少,性能优良。同时,该编码器具有良好的可扩展性。当  $q$  不同时,只要增加并行输入输出的位宽和内部寄存器位数即可灵活改变码长。其误码率在相同的信噪比下优于长度相近的 DVB-S2 标准的 LDPC 缩短码。因此,该编码器具

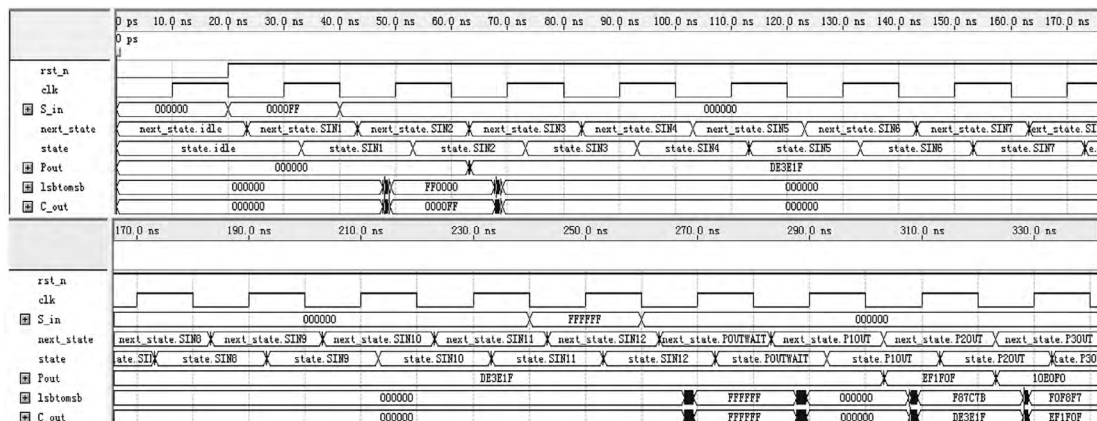


图2 时序仿真



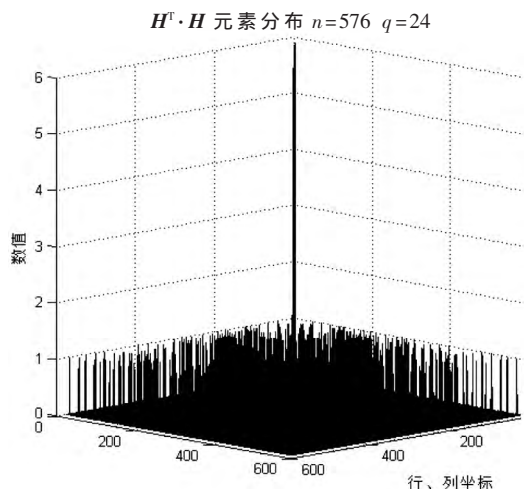


图3 IEEE802.16e 和 DVB-S2 标准下 LDPC 码  $H^T \cdot H$  的数值分布

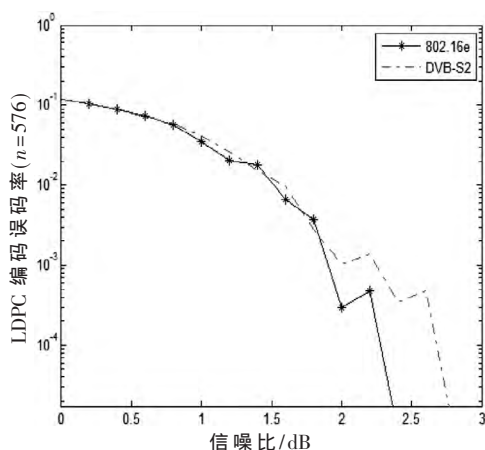
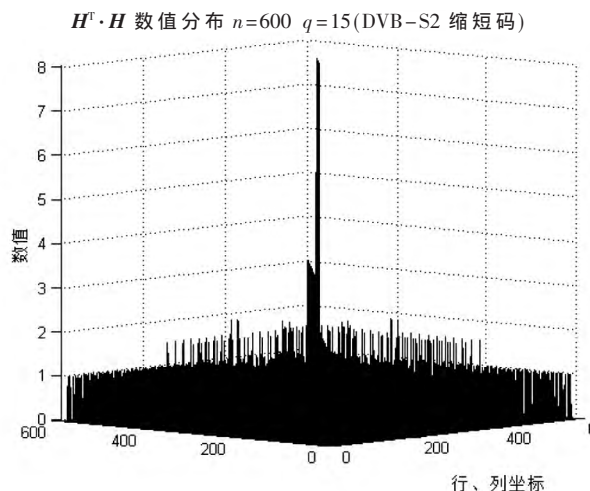


图4 IEEE802.16e 和 DVB-S2 缩短码 BER 性能比较有良好的实用价值。

#### 参考文献

- [1] DVB-S2 standard draft ETSI EN 302 307 V1.1.1[S].2004.
- [2] CCSDS131.1-0-2.Low density parity check codes for use in near-earth and deep space applications[S].CCSDS,2007.

(上接第 100 页)

#### 参考文献

- [1] 谢志远,杨星,贡振岗,等.中压配电网载波通信调制解调技术研究[J].电子技术应用,2013,39(2):93-95.
- [2] RAMSELER S, ARZBERGER M, HAUSER A. MV and LV powerline communications: new proposed IEC standards[C]. Piscataway, NJ, USA: ABB Corp. Res., Baden, Switzerland, 1999.
- [3] 邢志民,侯思祖.基于正交频分复用的中压带宽电力线通信技术的研与用[D].保定:华北电力大学,2006.
- [4] DEGARDIN V, LIENARD M, ZEDDAM A, et al. Classification and characterization of impulsive noise on indoor power line used for data communications[J]. IEEE Transactions on Consumer Electronics, 2002, 48(4): 913-918.
- [5] CHAN M H L, DONALDSON R W. Amplitude, width and interarrival distributions for noise impulses on intrabuilding

- [3] 中华人民共和国国家标准.数字电视地面广播标准(GB20600)[S].2006.
- [4] IEEE P802.16e/D8[S].IEEE Standard for Local and Metro-polytitan Area Networks Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems, May 2005.
- [5] 李超,石磊.基于 IEEE802.16e 标准的 LDPC 编码器设计与实现[J].电子科技,2011,24(6):40-42.
- [6] 俞华梁,毛志刚,张函隽.IEEE802.16e 标准的 LDPC 编码器设计及硬件实现[J].信息技术,2008(4):63-66.
- [7] XIAO Y, LEE M H. Low complexity MIMO-LDPC CDMA systems over multipath channels[J]. IEICE Trans., 2006, 89(5): 1713-1717.
- [8] 肖扬. Turbo 与 LDPC 编解码及其应用[M]. 北京:人民邮电出版社,2010.

(收稿日期:2014-04-24)

#### 作者简介:

宁平,男,1983 年生,硕士,工程师,主要研究方向:嵌入式技术及应用。

power line communication networks[J]. IEEE Transactions on Electromagnetic Compatibility, 1989, 31(3): 320-323.

- [6] PANAYIOTIS G G, PANAGIOTIS T, CHRIS K. Alpha-stable modeling of noise and robust time-delay estimation in the presence of impulsive noise[J]. IEEE Transactions on Multi-media, 1999, 1(3): 291-301.

- [7] 吴旭. 低压电力线载波通信噪声环境的仿真研究[D]. 哈尔滨: 哈尔滨理工大学, 2007.

(收稿日期:2014-04-16)

#### 作者简介:

谢志远,男,1946 年生,博士,教授,主要研究方向:配网自动化和电力系统通信。

魏佳红,女,1989 年生,硕士研究生,主要研究方向:电子与通信工程。

赵子龙,男,1988 年生,硕士研究生,主要研究方向:电子与通信工程。

《电子技术应用》2014 年第 40 卷 第 9 期