Clock unic, ACLK, sample pe rising edge (posedge), toate schimbarile se fac dupa posedgeș

Reset\_n, coboara asincron dar se ridica sincron cu posedge de clk;

La reset master pune pe 0: master -> ARVALID, AWVALID, WVALID

slave -> RVALID, BVALID

AWADDR -> adresa de scriere la prim transfer, slave calculeaza in f de burst unde anume pune

AWPROT -> protection type; da privilegiul si nivel securitate al transactiei + daca e data sau instructiune

AWVALID -> write address valid, daca avem datele de transfer valide pe canal (MASTER)

AWREADY -> slave este pregatit sa primeasca adresa si semnale de control

WDATA -> data de scriere

WSTRB -> 8 biti, in f de valoarea 1 a unuia dintre biti, arata pe ce linie se afla data valida

WVALID -> arata data si strobe disponibil si valid (MASTER)

WREADY -> slave pregatit sa primeasca data

BRESP -> status transactie write

BVALID -> pe canal apare raspuns la write valid

BREADY -> master poate accepta raspuns de write

AR... -> asemenea AW dar pentru read adresa

R... -> asemenea B dar pentru read data