



Universidade Federal do Rio Grande do Norte

Disciplina - Circuitos Digitais - ELE2715

Professor - Samaherni Moraes Dias

Aluno(a) - Erika Costa Alves Matrícula - 2016019571

Relatório do Laboratório 03

12 de agosto de 2019

01 Introdução.

Este relatório tem como objetivo de relatar como foi feito a implementação do terceiro laboratório da disciplina de Circuitos Digitais. O objetivo desse laboratório consiste em projetar um circuito lógico no qual três displays de 7 segmentos irão mostrar valores em BCD, e a entrada do circuito irá fazer a conversão de binário para BCD, tal que a entrada possui 8 bits. Ver figura 1.

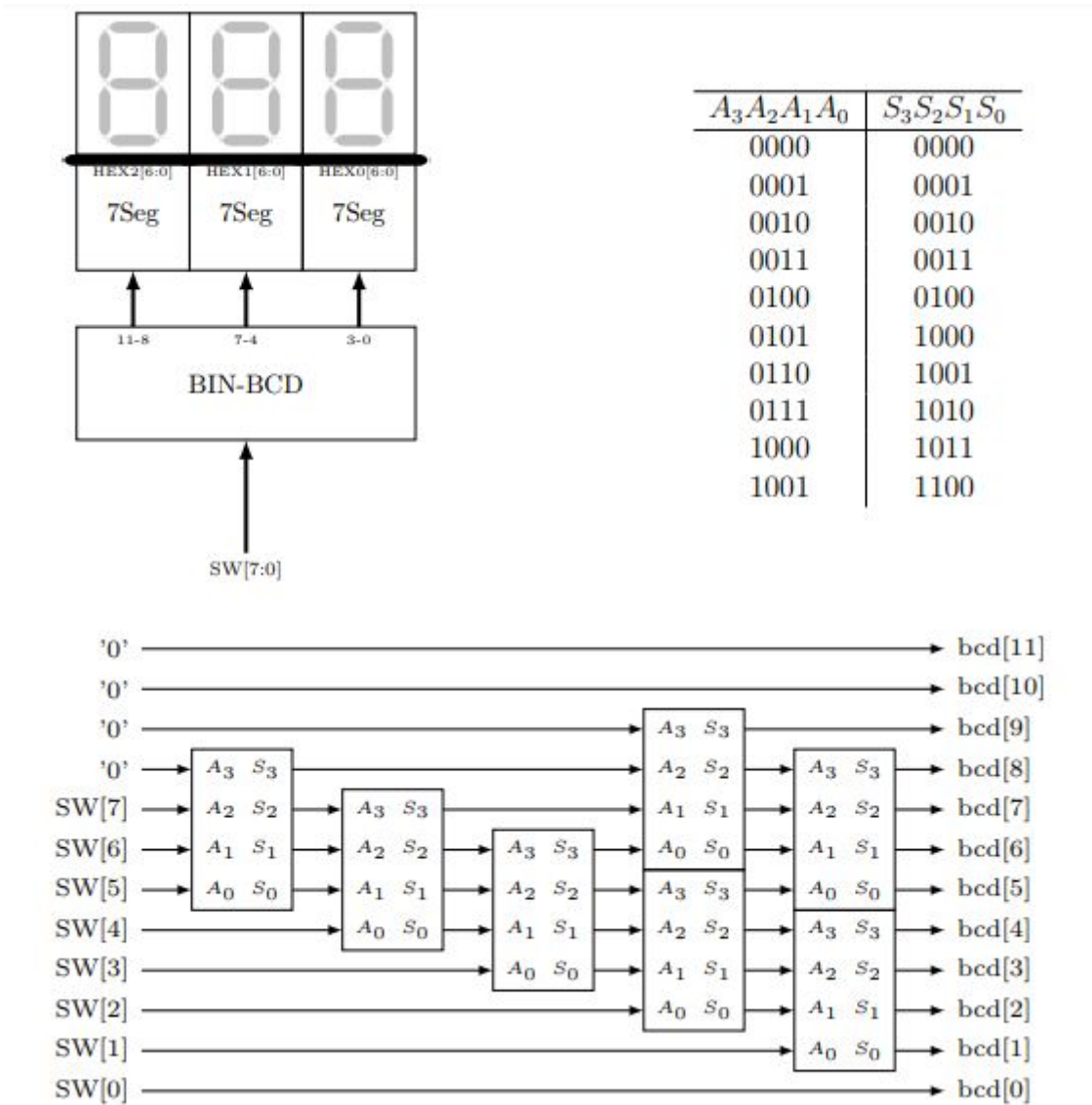


Figura 01.

Para auxiliar na criação do projeto foi utilizado o software chamado de ModelSim, para simular os resultados do circuito projetado.

02 Implementação.

Para fazer a implementação do projeto, primeiramente foi feita a tabela verdade do pequeno bloco descrito na **Figura 01**, a partir desse pequeno bloco combinacional foi criado um circuito maior usando apenas esse bloco. Para facilitar a manipulação desse pequeno bloco combinacional foi utilizado uma peculiaridade da linguagem VHDL que chamamos de **port map**. O port map funciona da seguinte forma, em um arquivo separado é criado a lógica combinacional do bloco, e em seguida no arquivo principal do projeto, o bloco é chamado como um componente, assim pode-se utilizá-lo várias vezes.

A3	A2	A1	A0	S3	S2	S1	S0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

Figura 02 - Tabela Verdade do Bloco

Aqui abaixo está o código tanto do bloco, como o do projeto implementado. No código está como ficou as expressões finais depois de aplicado a redução algébrica das equações utilizando o mapa de Karnaugh.

```
entity bloco is
port(
  A      : in bit_vector(3 downto 0);
  S      : out bit_vector(3 downto 0)
);
end bloco;

architecture ckt1 of bloco is
begin
  S(3) <= (A(3) and (not A(2)) and (not A(1))) or ((not A(3)) and A(2) and A(0)) or ((not A(3)) and A(2) and A(1));
  S(2) <= (A(3) and (not A(2)) and (not A(1)) and A(0)) or ((not A(3)) and (A(2)) and (not A(1)) and (not A(0)));
  S(1) <= ((not A(3)) and (not A(2)) and A(1)) or ((not A(3)) and A(1) and A(0)) or (A(3) and (not A(2)) and (not A(1)) and (not A(0)));
  S(0) <= (A(3) and (not A(2)) and (not A(1)) and (not A(0))) or ((not A(3)) and (not A(2)) and A(0)) or ((not A(3)) and A(2) and A(1) and (not A(0)));
end ckt1;
```

Figura 03 - Código do Bloco

```

entity lab03 is
port(   SW       : in bit_vector(7 downto 0);
        HEX0      : out bit_vector(3 downto 0);
        HEX1      : out bit_vector(3 downto 0);
        HEX2      : out bit_vector(3 downto 0)
);
end lab03;

architecture ckt2 of lab03 is
component bloco is
port(   A        : in bit_vector(3 downto 0);
        S        : out bit_vector(3 downto 0)
);
end component;

    signal s0      : bit_vector(3 downto 0);
    signal s1      : bit_vector(3 downto 0);
    signal s2      : bit_vector(3 downto 0);
    signal s3      : bit_vector(3 downto 0);
    signal s4      : bit_vector(3 downto 0);
    signal s5      : bit_vector(3 downto 0);
    signal s6      : bit_vector(3 downto 0);
    signal bcd      : bit_vector(11 downto 0);

```

Figura 04 - Código do Projeto

```

begin

    bloco0 : bloco
    port map(A(3)=>'0', A(2)=>SW(7), A(1)=>SW(6), A(0)=>SW(5), S(3 downto 0)=>s0(3 downto 0));

    bloco1 : bloco
    port map(A(3)=>s0(2), A(2)=>s0(1), A(1)=>s0(0), A(0)=>SW(4), S(3 downto 0)=>s1(3 downto 0));

    bloco2 : bloco
    port map(A(3)=>s1(2), A(2)=>s1(1), A(1)=>s1(0), A(0)=>SW(3), S(3 DOWNT0 0)=>s2(3 downto 0));

    bloco3 : bloco
    port map(A(3)=>s2(2), A(2)=>s2(1), A(1)=>s2(0), A(0)=>SW(2), S(3 downto 0)=>s3(3 downto 0));

    bloco4 : bloco
    port map(A(3)=>s3(2), A(2)=>s3(1), A(1)=>s3(0), A(0)=>SW(1), S(3 downto 0)=>s4(3 downto 0));

    bloco5 : bloco
    port map(A(3)=>'0', A(2)=>s0(3), A(1)=>s1(3), A(0)=>s2(3), S(3 downto 0)=>s5(3 downto 0));

    bloco6 : bloco
    port map(A(3)=>s5(2), A(2)=>s5(1), A(1)=>s5(0), A(0)=>s3(3), S(3 downto 0)=>s6(3 downto 0));

    bcd(11) <= '0';
    bcd(10) <= '0';
    bcd(0)  <= SW(0);
    bcd(9)  <= s5(3);
    bcd(8 downto 5) <= s6(3 downto 0);
    bcd(4 downto 1) <= s4(3 downto 0);

    HEX0(3 downto 0) <= bcd(3 downto 0);
    HEX1(3 downto 0) <= bcd(7 downto 4);
    HEX2(3 downto 0) <= bcd(11 downto 8);

end ckt2;

```

Figura 05 - Código do Projeto