



**Universidade Federal do Rio Grande do Norte**

**Disciplina - Circuitos Digitais - ELE2715**

**Professor - Samaherni Moraes Dias**

**Aluno(a) - Erika Costa Alve Matrícula - 2016019571**

## **Relatório do Laboratório 01**

**29 de Julho de 2019**

## 01 Introdução.

Este relatório tem como objetivo de relatar como foi feito a implementação do primeiro laboratório da disciplina de Circuitos Digitais. Para este laboratório foi utilizado o software ModelSim para a criação do algoritmo, utilizando a linguagem de programação VHDL.

Utilizando, também, o que foi dado em sala de aula, as noções de álgebra booleana para a montagem dos circuitos pedidos, figura 01.

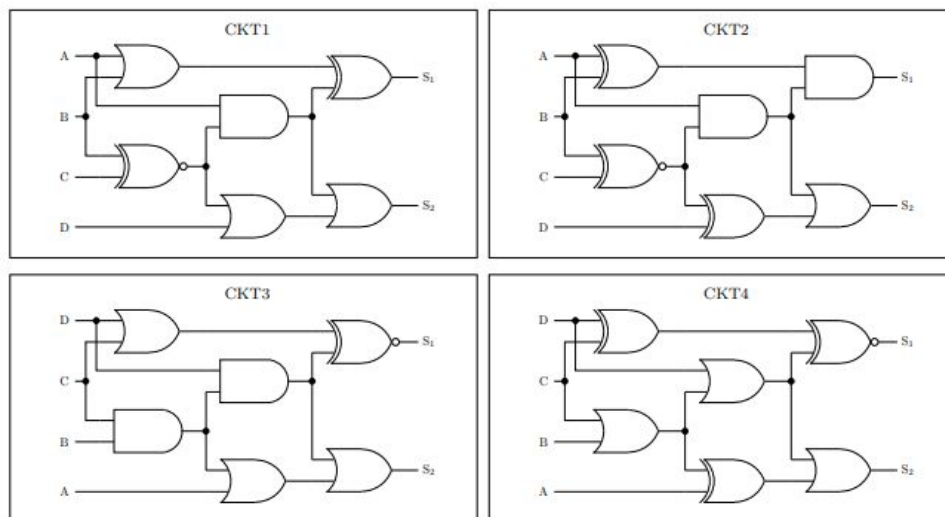


Figura 01

## 02 Implementação.

Para fazer a implementação de cada circuito pedido, foi primeiro observado quais eram as saídas e as entradas do circuito, e logo após foi identificada quais eram as operações booleanas aplicadas no circuito. Assim, então, foi feito um código em VHDL, baseadas nas entradas e saídas do circuitos, e usando as portas lógicas corretas. Para cada saída de cada porta lógica foi utilizado um 'sinal', que é tipo de VHDL, para fazer a conexão de cada porta lógica com a saída final do circuito. Observar as figuras abaixo, referentes aos códigos de cada circuito.

```

1  entity ckt1 is
2  port(  A, B, C , D      : in bit;
3         S1, S2          : out bit
4  );
5  end ckt1;
6
7  architecture ckt of ckt1 is
8
9      signal sig          : bit_vector(3 downto 0);
10
11  begin
12
13      sig(0) <= A or B;
14      sig(1) <= not(B xor C);
15      sig(2) <= A and sig(1);
16      sig(3) <= D or sig(1);
17
18      S1 <= sig(0) xor sig(2);
19      S2 <= sig(2) or sig(3);
20
21  end ckt;

```

**Figura 02 - Circuito 1**

```

1  entity ckt2 is
2  port(  A, B, C , D      : in bit;
3         S1, S2          : out bit
4  );
5  end ckt2;
6
7  architecture cktt2 of ckt2 is
8
9      signal sig          : bit_vector(3 downto 0);
10
11  begin
12
13      sig(0) <= A xor B;
14      sig(1) <= not(B xor C);
15      sig(2) <= A and sig(1);
16      sig(3) <= D xor sig(1);
17
18      S1 <= sig(0) and sig(2);
19      S2 <= sig(2) or sig(3);
20
21  end cktt2;

```

**Figura 03 - Circuito 2**

```

1  entity ckt3 is
2  port(  A, B, C , D      : in bit;
3         S1, S2          : out bit
4  );
5  end ckt3;
6
7  architecture cktt3 of ckt3 is
8
9      signal sig          : bit_vector(3 downto 0);
10
11  begin
12
13      sig(0) <= D or C;
14      sig(1) <= B and C;
15      sig(2) <= D and sig(1);
16      sig(3) <= A or sig(1);
17
18      S1 <= (not(sig(0) xor sig(2)));
19      S2 <= sig(2) or sig(3);
20
21  end cktt3;

```

**Figura 04 - Circuito 03**

```

1  entity ckt4 is
2  port(  A, B, C , D      : in bit;
3         S1, S2          : out bit
4  );
5  end ckt4;
6
7  architecture cktt4 of ckt4 is
8
9      signal sig          : bit_vector(3 downto 0);
10
11  begin
12
13      sig(0) <= D xor C;
14      sig(1) <= B or C;
15      sig(2) <= D or sig(1);
16      sig(3) <= A xor sig(1);
17
18      S1 <= not(sig(0) xor sig(2));
19      S2 <= sig(2) or sig(3);
20
21  end cktt4;

```

**Figura 05 - Circuito 04**

Por fim, foi feito um código para simular o funcionamento dos circuitos, para fazer isso foi forçada as entradas dos circuitos para se obter o valor final. Foi Usado o mesmo código de simulação para todos os circuitos, a única coisa que foi alterada foi o nome no 'vsim'.

```

1 vsim ckt4
2 add wave *
3
4 force A 0 0, 1 40 -repeat 80
5 force B 0 0, 1 20 -repeat 40
6 force C 0 0, 1 10 -repeat 20
7 force D 0 0, 1 5 -repeat 10
8
9 run 160

```

**Figura 06 - Simulação**

### 03 Resultados.

Para comprovar os resultados dos circuitos implementados em VHDL, foi feita uma tabela verdade de cada circuito e em seguida foi comparado os resultados da tabela verdade com a simulação do código em VHDL.

Circuito 01 ✓

A	B	C	D	$x_1$ A+B	$x_2$ B⊕C	$x_3$ A·x <sub>2</sub>	$x_4$ D+x <sub>2</sub>	$s_1$ x <sub>3</sub> ⊕x <sub>1</sub>	$s_2$ x <sub>3</sub> +x <sub>4</sub>
0	0	0	0	0	1	0	1	0	1
0	0	0	1	0	1	0	1	0	1
0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	1
0	1	0	0	1	0	0	0	1	0
0	1	0	1	1	0	0	1	1	1
0	1	1	0	1	1	0	1	1	1
0	1	1	1	1	1	0	1	1	1
1	0	0	0	1	0	1	1	0	1
1	0	0	1	1	1	1	1	0	0
1	0	1	0	1	0	0	0	1	1
1	0	1	1	1	0	0	1	1	0
1	1	0	0	1	0	0	0	1	1
1	1	0	1	1	0	0	1	1	1
1	1	1	0	1	1	1	1	0	1
1	1	1	1	1	1	1	1	0	1

**Figura 07 - Tabela Verdade 1.**

Circuito 02

A	B	C	D	$x_1$ $A \oplus B$	$x_2$ $B \oplus C$	$x_4$ $D \oplus x_2$	$x_3$ $A \cdot x_2$	$s_1$ $x_1 \cdot x_3$	$s_2$ $x_3 + x_4$
0	0	0	0	0	1	1	0	0	1
0	0	0	1	0	1	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	0	1	1	0	0	1	0	0	0
0	1	0	0	1	0	0	0	0	1
0	1	0	1	1	0	1	0	0	1
0	1	1	0	1	1	1	0	0	0
0	1	1	1	1	1	0	0	0	1
1	0	0	0	1	1	1	1	1	1
1	0	0	1	1	1	0	0	1	0
1	0	1	0	1	0	0	0	0	1
1	0	1	1	1	0	1	0	0	1
1	1	0	0	0	0	0	0	0	0
1	1	0	1	0	0	1	0	0	1
1	1	1	0	0	1	1	1	0	1
1	1	1	1	0	1	0	1	0	1

Figura 08 - Tabela verdade 2.

Circuito 03

D	C	B	A	$x_1$ $D + C$	$x_2$ $B \cdot C$	$x_3$ $D \cdot x_2$	$x_4$ $x_2 + A$	$s_1$ $x_1 \oplus x_3$	$s_2$ $x_3 + x_4$
0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	1	1	1
0	0	1	0	0	0	0	0	1	0
0	0	1	1	0	0	0	1	1	1
0	1	0	0	1	0	0	0	0	0
0	1	0	1	1	0	0	1	0	1
0	1	1	0	1	1	0	1	0	1
0	1	1	1	1	1	0	1	0	1
1	0	0	0	1	0	0	0	0	0
1	0	0	1	1	0	0	1	0	1
1	0	1	0	1	0	0	0	0	0
1	0	1	1	1	0	0	1	0	1
1	1	0	0	1	0	0	0	0	0
1	1	0	1	1	0	0	1	0	1
1	1	1	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

Figura 09 - Tabela verdade 3.

9

Circuito 04

				$x_1$	$x_2$	$x_3$	$x_4$	$S_1$	$S_2$
D	C	B	A	$D \oplus C$	$C + B$	$D + x_2$	$A \oplus x_3$	$x_1 \oplus x_2$	$x_3 + x_4$
0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	1	1	1
0	0	1	0	0	1	1	1	0	1
0	0	1	1	0	1	1	0	0	1
0	1	0	0	1	1	1	1	1	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	0	1	1
1	0	0	0	1	0	1	0	1	1
1	0	0	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1
1	1	0	0	0	1	1	1	0	1
1	1	0	1	0	1	1	0	0	1
1	1	1	0	0	1	1	1	0	1
1	1	1	1	0	1	1	0	0	1

Figura 10 - Tabela verdade 4.