Input Conditioner : 6 Hr. 10 Min.

- **Synchronization : 1 Hr.**
  - **Design[1] : 1 Hr**
  - **Implementation**
  - **Debugging**
- **Debouncing : 30 Min.**
  - **Design : 30 Min.**
  - **Implementation**
  - **Debugging**
- **Edge Detection : 50 Min.**
  - **Design : 10 Min.**
  - **Implementation : 20 Min.**
  - **Debugging 20 Min.**
- **Test Bench : 3 Hr.**
  - **Design : 1 Hr.**
  - **Implementation : 1 Hr.**
  - **Debugging : 1 Hr.**
- **Test Script : 20 Min.**
  - **Implementation : 20 Min.**
- **Analysis : 30 Min.**

Shift Register : 1 Hr. 40 Min.

- **Advancing : 10 Min.**
- **Parallel Data Input 10 Min.**
- **Serial Data Output 10 Min.**
- **Parallel Data Output 10 Min.**
- **Test Bench : 1 Hr.**

Midpoint Check-In : 1 Hr. 30 Min.

- **Module Design : 30 Min.**
- **Implementation[2] : 30 Min.**
- **Test Sequence : 30 Min.**

SPI Memory : 6 Hr.

- **Finite State Machine : 2 Hr.**
- **Testing : 4 Hr.**

---

[1] Structural Circuit Diagram

[2] Loading it on the FPGA