

بسمه تعالی

گزارش کار پروژه معماری کامپیوتر

دانشگاه صنعتی شریف

استاد: دکتر سربازی

اعضای گروه:

سیدمحمد رضا خسرویان

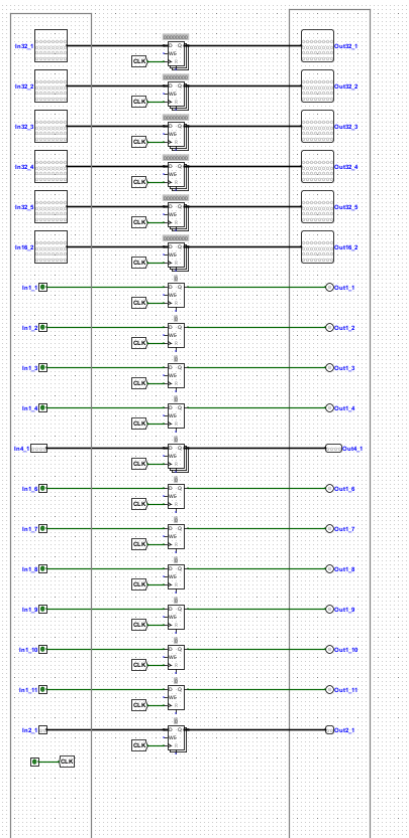
محمد رضا بدری

سام خانکی

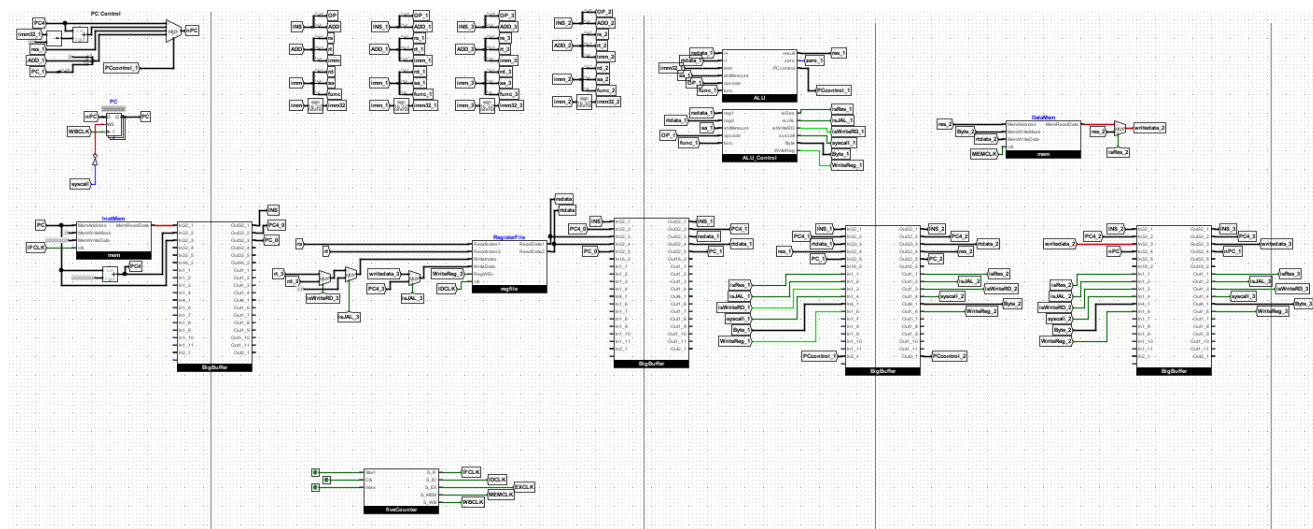
فاز سوم پروژه

تیر ۱۴۰۲

ابتدا برای تسهیل در روند Buffer کردن سیگنال های مدار دست به طراحی ماژول “**BIG BUFFER**” زدیم که این ماژول از یک بیت کلاک و تعداد زیادی رجیستر از نوع D استفاده میکند و مقدار زیادی بیت و سیگنال ورودی را یک کلاک باف میکند:



حال مدار را به استیج های گوناگون دسته بندی میکنیم و میان هر دو استیج یک BIG BUFFER قرار میدهیم:



حال در هر مرحله دستورات مورد نیاز را باف میکنیم.

انواع مخاطراتی که ممکن است در طراحی ما رخ بدهد:

هر گونه دستور پرشی باعث ایجاد اشکال در پردازنده ساخته شده میشود (Control Hazard)، زیرا با حضور دستور جامپ، نوع جامپ بودن دستور در مرحله Execution مشخص میشود، درحالیکه تا قبل از پرش، دو کلاک دستور در آدرس های PC+4 و PC+8 زده میشوند و instruction آنها وارد حلقه Pipeline میشود و اجرای دستورات آنها میتواند با تغییر دادن حافظه یا پرش در این دستورات باعث ایجاد مشکل در روند کلی پردازنده و خروجی اشتباه بشود.

مشکلات دیگر دستورات نوشتن و خواندن رجیستر ها در دو خط دستور پشت هم میباشد، زیرا مخاطره RAW رخ میدهد و ممکن است رجیستری هنوز تغییر نکرده باشد اما پردازنده در دستور بعدی از مقدار داخل آن استفاده کند برای مثل:

ADD \$R1, \$R2, \$R3

ADD \$R4, \$R1, \$R1

در دستورات بالا خط اول خوانده میشود اما مرحله نوشتن مقدار در R1 بعد از خواندن R1 در دستور بعدی رخ میدهد و جواب نادرست ایجاد میشود.