**به نام خدا**

گزارشکار فاز سوم پروژه درس معماری کامپیوتر

**طراحی و پیاده­سازی Pipeline**

استاد

**دکتر حمید سربازی آزاد**

اعضای گروه

**محمدپارسا بشری 400104812**

**محسن قاسمی 400105166**

**امیرحسین رازلیقی 99102423**

بهار 1402

فهرست

[مقدمه و هدف فاز دوم 2](#_Toc138585137)

[طراحی Delayed Memory 2](#_Toc138585138)

[طراحی ساختار خارجی Cache 3](#_Toc138585139)

[طراحی ساختار داخلی Cache 5](#_Toc138585140)

[تست عملکرد پردازنده بعد از اضافه شدن Cache 8](#_Toc138585141)

[منابع و مراجع 9](#_Toc138585142)

# مقدمه و هدف فاز سوم

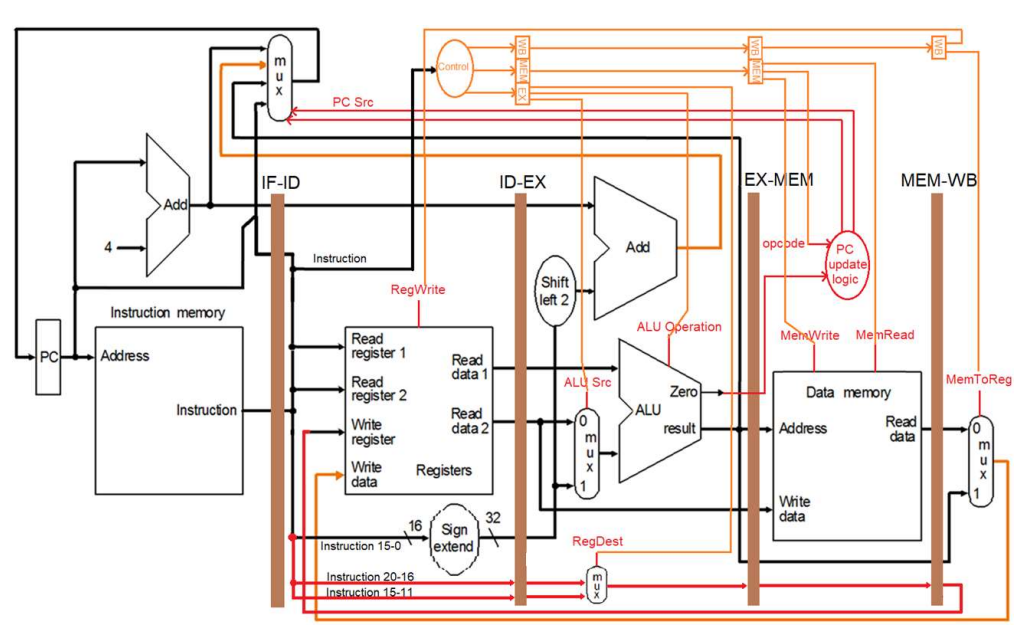
هدف کلی این پروژه، طراحی و پیاده­سازی یک پردازنده MIPS است. در فاز اول Datapath و Control Unit این پردازنده را به صورت Single Cycle طراحی و پیاده­سازی کردیم. در فاز دوم یک ماژول حافظه نهان (Cache) به پردازنده­مان اضافه کردیم. در فاز سوم می­خواهیم پردازنده خود را از حالت Single Cycle به حالت Pipelined تغییر دهیم. ایده اصلی این فاز، تقسیم هر دستور به پنج مرحله (stage) و انجام هر مرحله در یک کلاک است به طوری با هر کلاک، یک دستور جدید وارد پایپلاین شده و مراحل مورد نیاز را طی می­کند. بنابراین به طور معمول، پنج دستور به صورت همزمان در حال اجرا هستند و با هر کلاک، اجرای یک دستور خاتمه می­یابد. در این گزارش (بر خلاف گزارش فازهای قبل که عملیات تست عملکرد پردازنده در انتهای گزارش آمده بود) پس از پیاده­سازی هر قسمت از این فاز، تست عملکرد مربوط به آن مرحله آورده خواهد شد.

# طراحی اولیه پایپلاین

پایپلاین در پردازنده MIPS دارای پنج stage است که در جدول 1 نشان داده شده است:

|  |  |
| --- | --- |
| Stage | Operation |
| IF | Instruction Fetch |
| ID | Instruction Decode and Register Read |
| EX | Execute an operation or calculate an address |
| MEM | Access an operand in data memory |
| WB | Write back the result into a register |

جدول 1- stage های پایپلاین در پردازنده MIPS

بنابراین اگر هیچ مشکلی در اجرای دستورات پیش نیاید (در ادامه این مشکلات را بررسی و حل می­کنیم) و دستورات یکی پس از دیگری اجرا شوند، اجرای N دستور در N+4 کلاک امکان پذیر است. طراحی پایپلاین اولیه را طبق شماتیک زیر انجام می­دهیم: 

شکل 1- شماتیک اولیه پایپلاین

شمسیب