

# Sistemas Digitais

1º Ano de Engenharia Informática



Trabalho Prático n.º 1

*Inversores lógicos TTL e CMOS*

Grupo

\_\_\_\_\_ n.º \_\_\_\_\_

\_\_\_\_\_ n.º \_\_\_\_\_

\_\_\_\_\_ n.º \_\_\_\_\_

☐☐☐

Turma \_\_\_\_\_

## Objectivos

- Compreender o significado de “**compatível TTL**”
- Aprender como interpretar as especificações das *data sheets*
- Reconhecer a representação electrónica de um **estado binário** e observar o funcionamento correcto de um **inversor**
- Observar os pontos essenciais das **características de transferência** duma porta **TTL** e duma porta **CMOS**
- Aprender o significado do termo *logic threshold*

## Referências

- TAUB, Herbert, “Circuitos Digitais e Microprocessadores”, McGraw–Hill
- Texas Instruments online [<http://www.ti.com/>]
- Philips Semiconductors online [<http://www.philipslogic.com/>]

## Material

- Placa RH21
- Circuito Integrado (CI) 74LS04 — inversor TTL
- Circuito Integrado (CI) 74HC04, 74HCT04 ou 74HCU04 — inversor CMOS
- Resistências: 220  $\Omega$ , 330  $\Omega$ , 2  $\times$  1 k $\Omega$
- Díodo 1N4148

---

# Introdução

O sistema de numeração binário é essencialmente um código que requer dois estados discretos, geralmente designados por **1** e **0**.

Esta representação é básica nos sistemas e dispositivos digitais, e estes dois estados são facilmente implementados por dois níveis de tensão num circuito electrónico. São usados, dependendo da tecnologia, diferentes níveis de tensão, mas os mais comuns são os **níveis TTL**, que são 0V e +5V. Podemos, assim, fazer as seguintes definições:

$$\begin{aligned} \mathbf{1} &= +5\text{V} \\ \mathbf{0} &= 0\text{V} \end{aligned}$$

Estes dois estados são frequentemente referidos como **níveis lógicos**, e uma tensão de **5V DC** representa um **nível lógico 1**, enquanto que **0V** representa o **nível lógico 0**.

A mudança de um nível para outro é chamada **complementação**. O circuito digital que apresenta à saída o complemento lógico da sua entrada é chamado **inversor lógico**.

Um inversor lógico **TTL** (**T**ransistor-**T**ransistor **L**ogic), cujo símbolo e tabela de verdade se encontram na figura 0-1 (a) e (b), respectivamente, é composto por transístores, díodos e resistências (figura 0-2). Os resultados dos níveis de tensão de saída **aproximam-se** dos valores ideais de +5V e 0V DC.

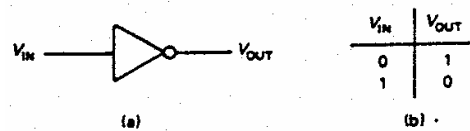


Figura 0-1. (a) Símbolo de um inversor (b) Tabela de verdade

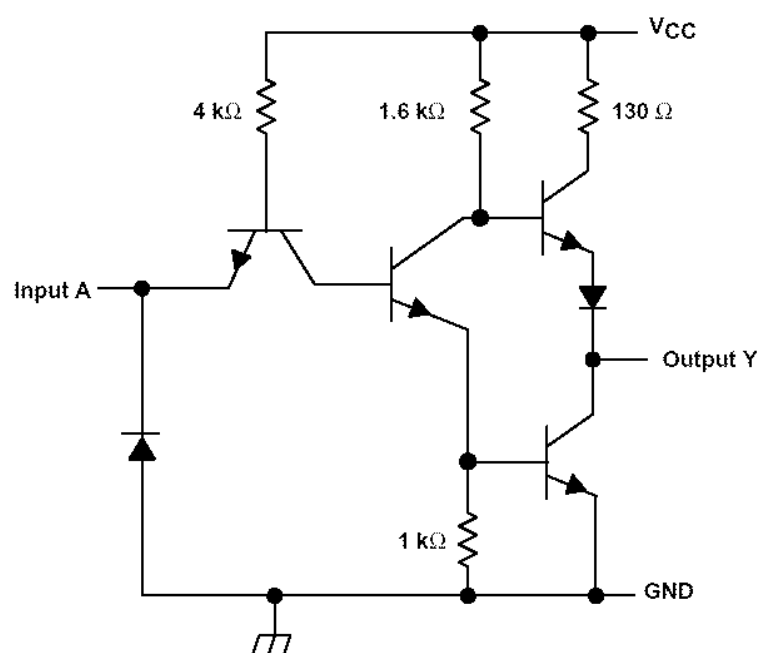


Figura 0-2. Circuito eléctrico de um inversor TTL *standard*

Para estabelecer os limites de operação aceitáveis, os fabricantes listam nas folhas de dados (*data sheets*) os valores máximo, mínimo e típico para os níveis de tensão de saída.

Na figura 0-3 estão representadas esquematicamente as tensões de saída ( $V_o$ ) do inversor.

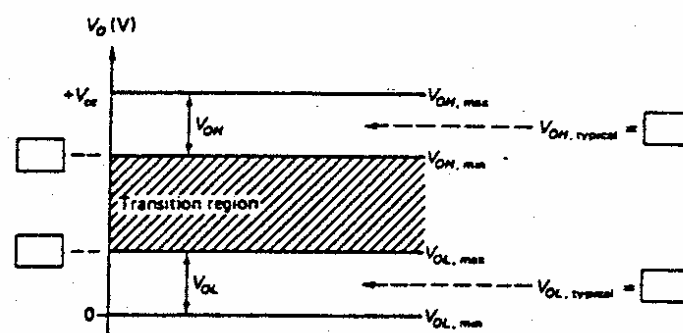


Figura 0-3. Níveis de tensão de saída TTL.

Quando a saída do inversor deve estar no nível lógico 1, o fabricante garante que a tensão de saída estará algures na banda  $V_{OH}$ . Quando a saída deve estar no nível lógico 0, o fabricante garante que a tensão de saída estará algures na banda  $V_{OL}$ . Se o integrado não respeitar estas condições, deverá ser considerado defeituoso e ser substituído.

## 1. Teste estático

Em quase todas as portas TTL a alimentação processa-se da seguinte forma:

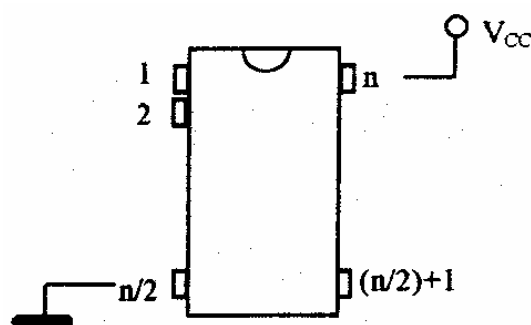


Figura 1–1. Numeração dos pinos, e pinos de alimentação.

**1.1** Escreva a referência do circuito integrado que está **efectivamente** a utilizar: \_\_\_\_\_.

**1.2** Preencha os quadrados em branco da figura 0–3 (página anterior) com os valores dados nas *data sheets*.

Coloque o circuito integrado na **placa RH21** e alimente-o conforme a figura 1–1. Execute o **teste estático** do '04 para verificar o bom funcionamento do circuito integrado: Ligue a entrada de um dos seis inversores a  $V_{CC} = +5V$ .

**1.3.1** Registe o valor da tensão de saída: \_\_\_\_\_ V.

**1.3.2** Compare o valor obtido com os indicados na *data sheet* e conclua quanto ao valor lógico obtido: \_\_\_\_\_.

Ligue agora a entrada a **GND = 0V**.

**1.4.1** Registe o valor da tensão de saída: \_\_\_\_\_ V.

**1.4.2** Compare o valor obtido com os indicados na *data sheet* e conclua quanto ao valor lógico obtido: \_\_\_\_\_.

**1.5** Comente genericamente o (in)cumprimento, por parte do circuito testado, dos limites impostos pelo fabricante aos valores eléctricos apresentados à saída. O que conclui quanto ao bom/mau funcionamento do chip?

---



---



---



---

**1.6.1** Registe o valor da tensão de saída com a **entrada em aberto**: \_\_\_\_\_ V.

**1.6.2** Comente o valor obtido.

---



---



---



---

**1.7.1** Segundo a *data sheet*, qual a corrente máxima requerida à fonte por cada inversor? \_\_\_\_\_ mA.

**1.7.2.** Em que condições é esta corrente requerida?

---



---

**1.8** Com base nas folhas de dados e nos seus resultados, indique se as afirmações são verdadeiras ou falsas.

		V	F
<b>1.8.1</b>	$V_{OH,min} > V_{IH,min}$	<input type="checkbox"/>	<input type="checkbox"/>
<b>1.8.2</b>	$V_{OH,min} > V_{IL,max}$	<input type="checkbox"/>	<input type="checkbox"/>
<b>1.8.3</b>	$V_{OL,max} > V_{IL,max}$	<input type="checkbox"/>	<input type="checkbox"/>
<b>1.8.4</b>	$V_{OL,max} > V_{IL,min}$	<input type="checkbox"/>	<input type="checkbox"/>

## 2. Ligação em cascata

Como a saída de um inversor pode ser usada como entrada de outro inversor, ou quaisquer outros circuitos lógicos TTL, devem ser colocados limites aos níveis de tensão de entrada para assegurar que todos os circuitos lógicos TTL são compatíveis entre si. Os níveis de tensão aceitáveis à entrada são indicados na figura 2-1.

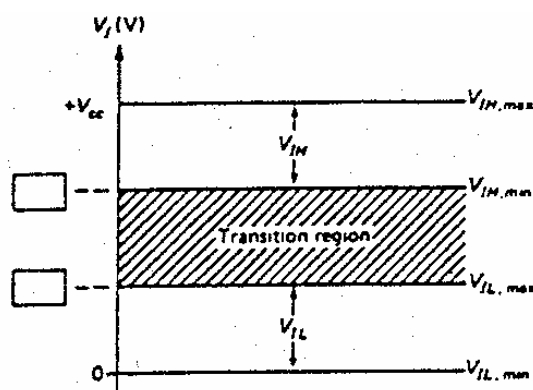


Figura 2-1. Níveis de tensão de entrada TTL.

**2.1** Preencha os quadrados em branco da Figura 2-1 com os valores indicados nas folhas de dados.

Por forma a que uma tensão de entrada de um inversor seja como nível lógico 1, esta deve estar dentro da banda designada  $V_{IH}$  na figura 2-1. Analogamente, para que uma tensão de entrada num inversor seja reconhecida como nível lógico 0, deverá estar dentro da banda designada por  $V_{IL}$  na figura 2-1. Se a tensão de entrada se encontra numa destas duas bandas, o fabricante garante que a operação lógica indicada na tabela de verdade será efectuada; caso contrário, o integrado deverá ser considerado defeituoso.

Monte agora o seguinte circuito:

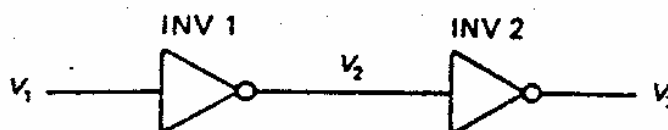


Figura 2-2. Níveis de tensão de entrada TTL.

Aplique  $V_{CC}$  a  $V_1$  e registre o valor de  $V_2$  e  $V_3$ :

**2.2**  $V_2 =$  \_\_\_\_\_ V.       $V_3 =$  \_\_\_\_\_ V.

Aplique GND a  $V_1$  e registre o valor de  $V_2$  e  $V_3$ :

**2.3**  $V_2 =$  \_\_\_\_\_ V.       $V_3 =$  \_\_\_\_\_ V.

**2.4** Diga qual a relação entre  $V_1$  e  $V_3$  e comente.

---

---

---

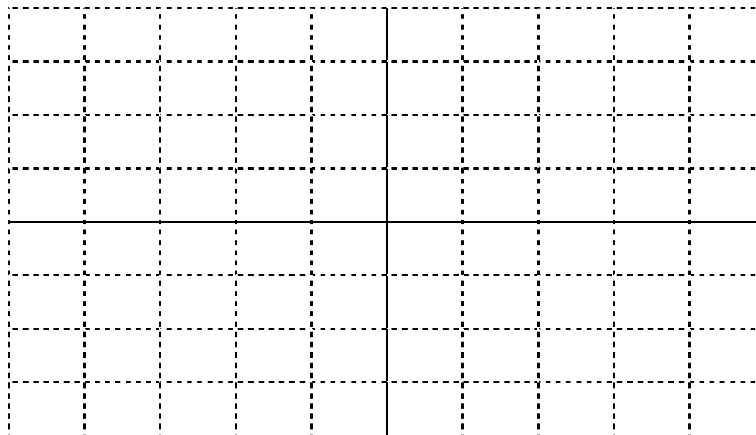
### 3. Teste dinâmico

Os circuitos lógicos são raramente utilizados com níveis de tensão invariáveis no tempo. Na realidade, os níveis de tensão variam de tensão, assim como os valores lógicos. Essa variação pode ser lenta ou rápida, dependendo da utilização do circuito lógico.

A variação entre os níveis lógicos 0 e 1 corresponde na tecnologia TTL à variação entre a banda  $V_L$  e  $V_H$ , respectivamente, o que na prática conduz à utilização dos níveis de tensão 0 e 5 volts.

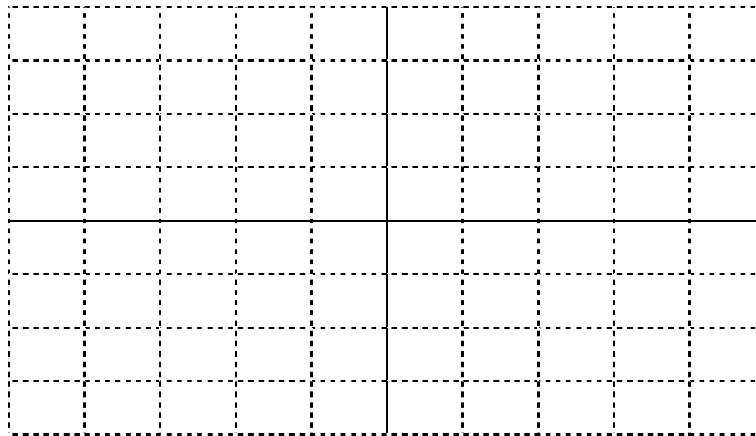
Aplique à entrada de um inversor uma **onda quadrada entre 0 e 5 volts**, com **frequência de 1 kHz** e **50% de duty cycle** (isto é, que esteja metade do período nos 0V e metade nos 5V).

**3.1** Registre as ondas  $V_{in}$  e  $V_{out}$ :



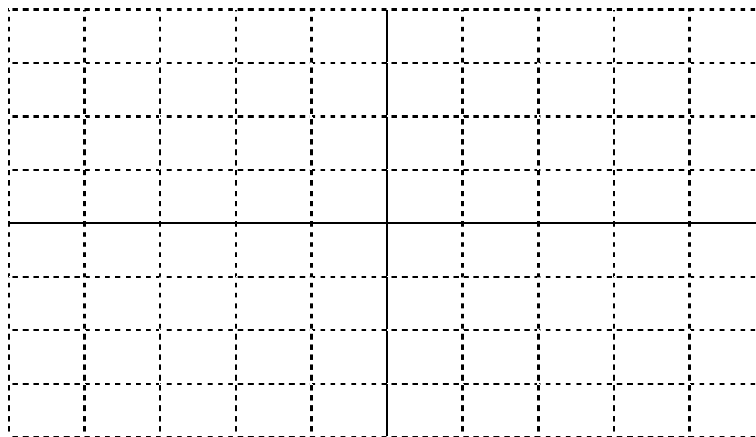
Volts / divisão: \_\_\_\_\_ Segundos / divisão: \_\_\_\_\_

**3.2** Modifique a frequência para **50 kHz** e registre as ondas  $V_{in}$  e  $V_{out}$ :



Volts / divisão: \_\_\_\_\_ Segundos / divisão: \_\_\_\_\_

**3.3** Modifique a frequência para **1 MHz** e registre as ondas  $V_{in}$  e  $V_{out}$ :



Volts / divisão: \_\_\_\_\_ Segundos / divisão: \_\_\_\_\_

**3.4** Compare os resultados e comente:

---

---

---

---

---

---

---

---



## 4. Característica de transferência TTL

O gráfico de  $V_{OUT}$  em função de  $V_{IN}$  é conhecido como função ou **característica de transferência**, e a sua forma ideal é mostrada na figura 4-1.

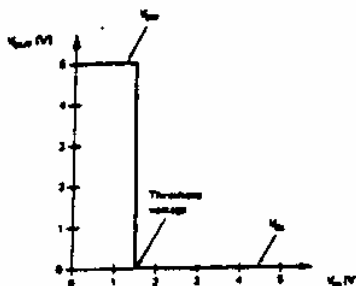


Figura 4-1. Característica de transferência ideal.

Repare que se a tensão de entrada  $V_{IN}$  for aumentado lentamente de 0 V até 5 V, verifica-se que existe um ponto onde a tensão  $V_{OUT}$  muda repentinamente de 5 V para 0 V. Ao valor da tensão  $V_{IN}$  para o qual  $V_{OUT}$  muda repentinamente de valor é dado o nome de **tensão de threshold** (literalmente, “limiar”).

É importante notar que, na prática,  $V_{OL}$  e  $V_{OH}$  podem ser significativamente diferentes dos valores ideais da figura 4-1. Além disso, os valores reais de  $V_{OL}$  e  $V_{OH}$  podem ser afectados pelo tipo de **carga** ligada à saída do inversor.

É igualmente importante notar que, por isso, a tensão de *threshold* pode não estar tão claramente definida como na figura 4-1, mas ter uma inclinação como na figura 4-2. Neste caso, a tensão de *threshold* pode ser obtida como o valor de  $V_{IN}$  para o qual o  $V_{OUT}$  se encontra a meio caminho entre  $V_{OL}$  e  $V_{OH}$ .

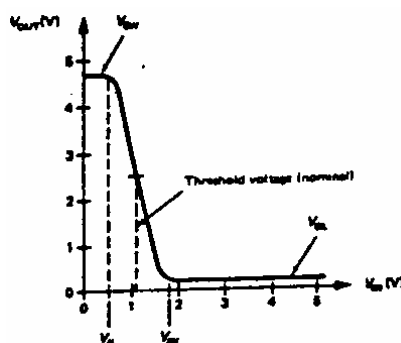


Figura 4-2. Característica de transferência típica (TTL).

A característica de transferência de um inversor pode ser vista no osciloscópio usando um retificador de meia onda como circuito de varrimento horizontal:

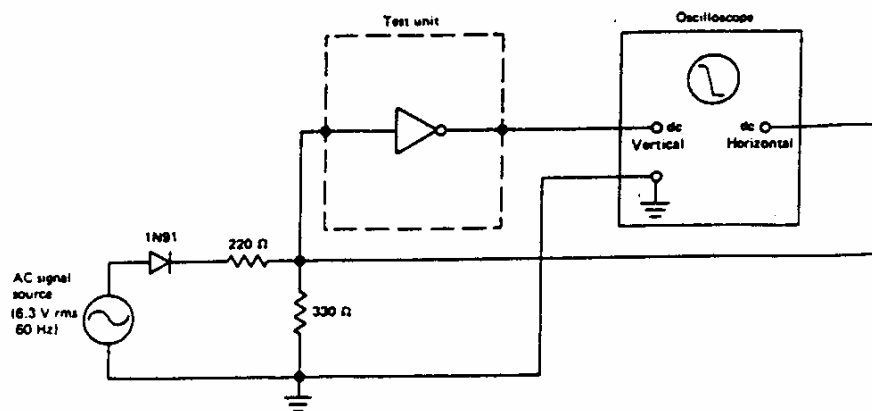
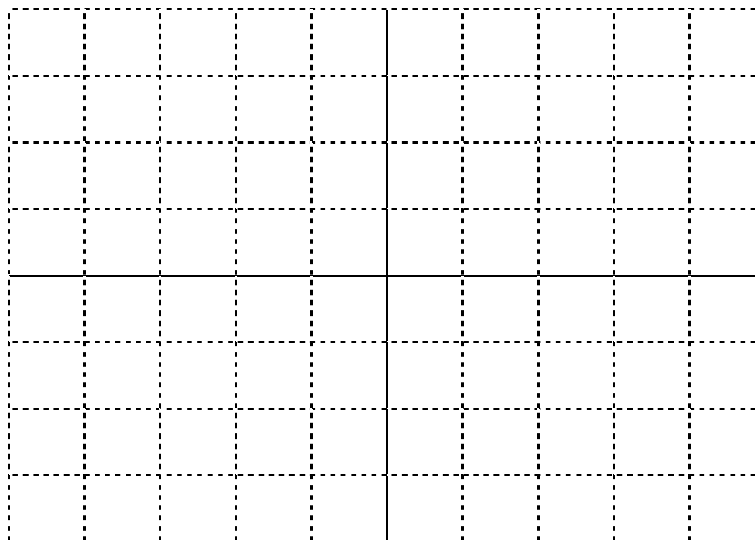


Figura 4-3. Circuito para a visualização da característica de transferência do inversor TTL.

Ligue o circuito como mostrado e ajuste as entradas vertical e horizontal para ter uma escala conveniente. Ajuste a fonte de sinal para uma **onda triangular** de **frequência entre 50 Hz e 1 kHz**, e ajuste a **amplitude para 9 V de pico** (18 V<sub>pp</sub>).

**4.1** Desenhe a curva observada, tendo especial cuidado nos pontos de inflexão.



Escala xx: \_\_\_\_\_ Escala yy: \_\_\_\_\_

**4.2** Com outra cor ou a tracejado desenhe as zonas correspondentes às saídas válidas quando a entrada é, respectivamente, um nível baixo válido ou um nível alto válido.

**4.3** Comente os resultados obtidos face aos esperados (de acordo com as folhas de dados):

---

---

---

---

---

---

---

---

---

---

## 5. Inversor CMOS

O inversor CMOS típico consiste num **MOSFET de canal p** e noutro de **canal n**, ligados como mostra a figura 5-1. Se a fonte de tensão for ajustada para  $V_{CC} = 5\text{ V}$ , então os **níveis lógicos ideais** são 0 V para o nível lógico 0 e 5V para o nível lógico 1.

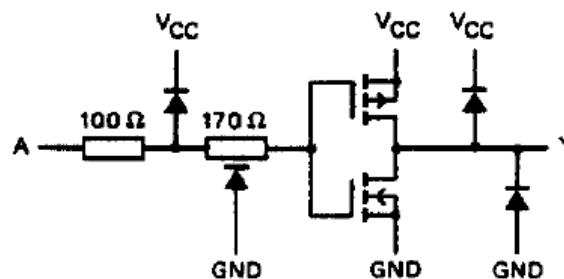


Figura 5-1. Diagrama esquemático de um inversor CMOS.

Os **valores reais** dos níveis da tensão de saída estão próximos dos valores ideais, e os limites de funcionamento são indicados nas folhas de dados do fabricante. Os níveis de tensão de entrada e saída são representados graficamente na figura 5-2.

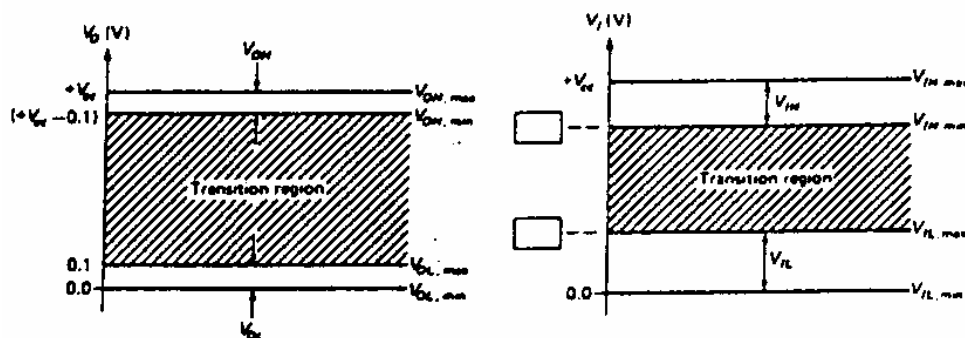


Figura 5-2. Representação esquemática dos níveis de tensão num inversor CMOS.

**5.1** Indique a referência do **chip** que está realmente a usar: \_\_\_\_\_.

**5.2** Preencha os quadrados em branco da figura 5–2 com os dados fornecidos pelo fabricante.

A potência dissipada por uma porta CMOS é directamente proporcional à sua frequência de comutação. Os picos de corrente aquando da comutação das portas são elevados, e quando reagem com as indutâncias e resistências distribuídas pelos fios da ligação à fonte de alimentação, podem ocorrer transitórios de tensão elevados nas linhas de  $V_{CC}$  e de terra. Assim, é por vezes necessário que seja feito o **desacoplamento** da fonte de alimentação, ligando um pequeno condensador (0.01 a 0.1  $\mu\text{F}$ ) directamente entre  $V_{CC}$  e a terra, tão perto quanto possível de cada integrado CMOS.

☠ A primeira causa de avaria das portas CMOS é a descarga electrostática (ESD). A ESD ocorre sempre que uma diferença de potencial entre duas superfícies é suficientemente grande para causar um arco eléctrico através do dieléctrico que separa essas duas superfícies.

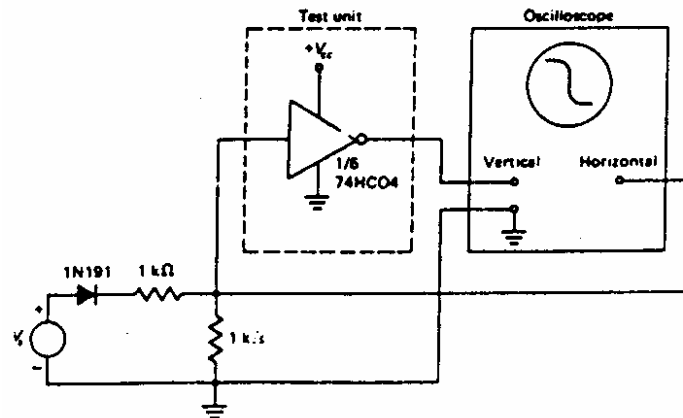
Para a maior parte dos transístores MOS, o dieléctrico que separa a porta das restantes estruturas do dispositivo é muito fino, e uma pequena descarga estática acumulada na porta resultará num gradiente de tensão através do dieléctrico. O resultado é uma ESD e a consequente destruição do dispositivo.

Os fabricantes de dispositivos sensíveis a ESDs incluem circuitos de protecção como parte integrante do dispositivo, como é o caso da *Texas Instruments* nas séries HC. Mas mesmo com estes circuitos deverão ser tomados cuidados especiais!

**Nota:** As precauções a tomar com os CMOS encontram-se em anexo.

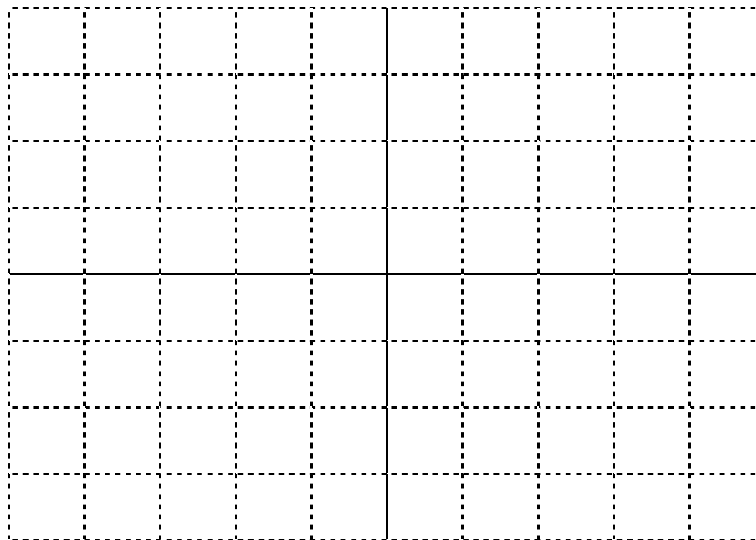
## 6. Característica de transferência CMOS

Execute o circuito apresentado na figura 6–1. Ajuste as entradas vertical e horizontal para ter uma escala conveniente. Ajuste a fonte de sinal para uma **onda triangular** de **frequência entre 50 Hz e 1 kHz**. Ajuste a **amplitude** para **9 V de pico**.



**Figura 6-1.** Circuito para a visualização da característica de transferência do inversor CMOS.

**6.1** Desenhe a curva observada, tendo especial cuidado nos pontos de inflexão.



Escala xx: \_\_\_\_\_ Escala yy: \_\_\_\_\_

**6.2** Com outra cor ou a tracejado desenhe as zonas correspondentes às saídas válidas quando a entrada é, respectivamente, um nível baixo válido ou um nível alto válido.

**6.3** Comente os resultados obtidos face aos esperados (de acordo com as folhas de dados):

---

---

---

---

---

---

---

---

## Anexo — Precauções com os integrados CMOS

1. Guarde os chips CMOS numa almofada de esponja condutora ou numa embalagem revestida de alumínio, sempre que os chips não estejam a uso. Nunca coloque um dispositivo CMOS num saco plástico.
2. Tenha cuidado de verificar se todos os equipamentos em uso estão devidamente ligados à terra com fichas e tomadas apropriadas.
3. Se estiver a utilizar muitos chips CMOS, é prática comum ligar um fio em série com uma resistência de  $1\text{ M}\Omega$  entre o pulso e a terra. Como a resistência actua como protectora contra choques eléctricos no caso de tocarmos numa tensão, deve ter a certeza de que a coloca perto do pulso.
4. Tenha a certeza que a sua área de trabalho se encontra livre de objectos portadores de cargas estáticas, como sacos plásticos, maços de cigarros, etc. Evite roupa que gere cargas estáticas, como roupas com *nylon* ou fibras acrílicas.
5. Um dispositivo CMOS nunca deve ser inserido num circuito ou removido dele sem primeiro desligar a fonte DC.
6. Todos os pinos de entrada não utilizados de um chip CMOS devem ser ligados à terra ou a  $V_{CC}$ ; nunca os deixe em aberto.
7. Nunca aplique um sinal a uma entrada CMOS com a fonte de alimentação DC desligada.
8. Antes de desligar a fonte de alimentação DC retire os sinais de entrada.

**Se não seguir estas recomendações é provável que não tenha muita sorte com os CMOS.**