

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مدل آپلود کنید.

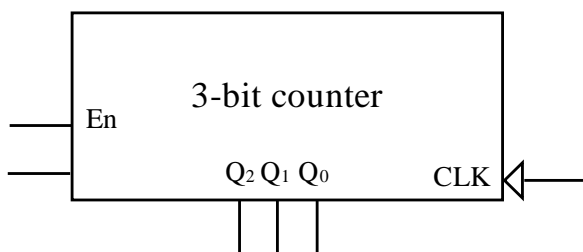
لطفا پاسخ ها خوانا و تمیز نوشته شوند.

سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

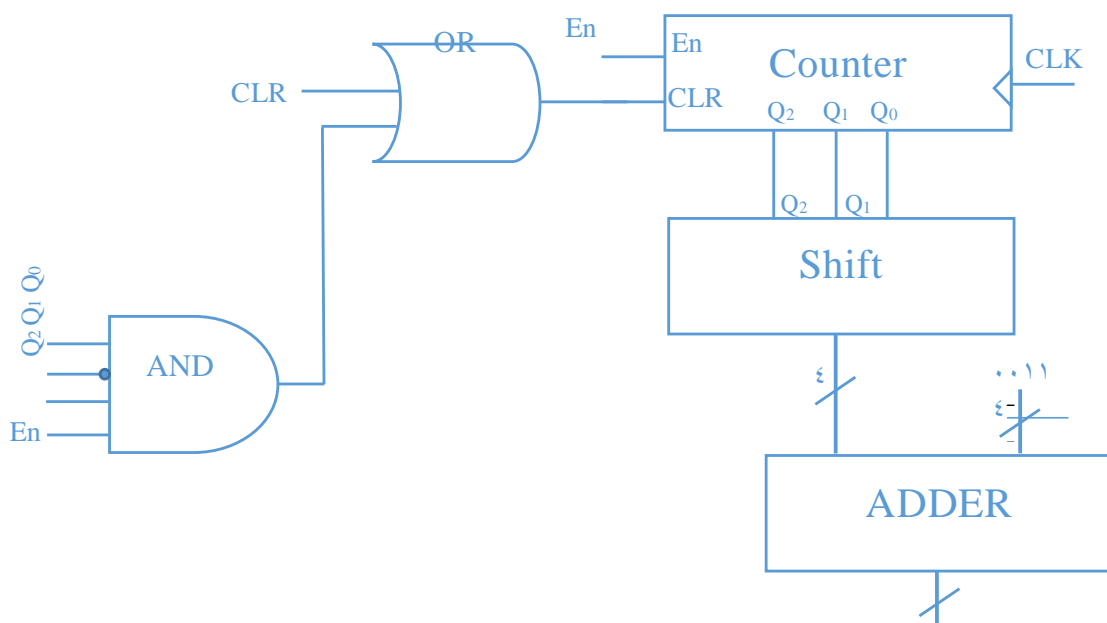
سوال اول

با استفاده از یک شمارنده دودویی سه بیتی با بازنشانی همگام و استفاده از اجزاء ذکر شده در زیر یک شمارنده طراحی کنید که دنباله زیر را بشمارد:

$3 \rightarrow 5 \rightarrow 7 \rightarrow 9 \rightarrow 11 \rightarrow 13 \rightarrow 3 \rightarrow 5 \rightarrow 7 \rightarrow \dots$



- شیفتر دهنده
- جمع کننده
- ضرب کننده
- مدارهای منطقی پایه
-





دانشکده مهندسی
کامپیوتر و فناوری اطلاعات

معماری کامپیوتر
نیمسال دوم ۱۳۹۶
پاسخ تمرین ششم



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مودل آپلود کنید.

لطفا پاسخ ها خوانا و تمیز نوشته شوند.

سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

ابتدا رابطه دنباله را بدست می آوریم که $2x+3$ است پس در هر کلاک با دوبرابر کردن (شیفت چپ) و جمع با عدد سه عدد های دنباله بدست می آیند. و وقتی در شمارنده به عدد ۵ رسیدیم ($2*5+3=13$) شمارنده را ریست می کنیم تا دوباره از اول بشمرد.

سوال دوم

رجیستر R مقدار اولیه ی ۱۰۰۱۱۱۰۰ را دارد .

الف) این رجیستر پس از یک شیفت محاسباتی از سمت راست و سپس یک شیفت چرخشی از سمت راست و یک شیفت منطقی از سمت راست چه مقداری را به خود می گیرد؟ (مرحله به مرحله بیان کنید).

شیفت محاسباتی از سمت راست :

$R = 11001110$

شیفت چرخشی از سمت راست :

$R = 01100111$

شیفت منطقی از سمت راست :

$R = 00110011$

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مودل آپلود کنید.

لطفا پاسخ ها خوانا و تمیز نوشته شوند.

سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

ب (چنانچه این رجیستر (با همان مقدار اولیه) از سمت چپ شیفت محاسباتی پیدا کند ، چه مقداری به خود میگیرد و آیا دچار "سرریز" می شود یا نه ؟

R = 00111000

بله ، دچار سرریز شده چرا که بیت علامت حفظ نشده است .

سوال سوم

یک مدار محاسباتی با یک ورودی انتخابگر S و دو ورودی n بیتی A , B طراحی کنید که 4 عملیات زیر را انجام دهد. (مدار شما هم چنین یک ورودی نقلی Cin را دارد.)

توجه : به عنوان مدار محاسبه گر صرفا امکان استفاده از "full adder" را دارید.

توجه ۲ : منظور از طراحی رسم دیاگرام منطقی آن است.

S	Cin = 0	Cin=1
0	A+B (add)	A+1 (increment)
1	A-1 (decrement)	A – B (subtract)

راهنمایی :

$$A - B = A + \bar{B} + 1$$



دانشکده مهندسی
کامپیوتر و فناوری اطلاعات

معماری کامپیوتر
نیمسال دوم ۱۳۹۶
پاسخ تمرین ششم



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مودل آپلود کنید.

لطفا پاسخ ها خوانا و تمیز نوشته شوند.

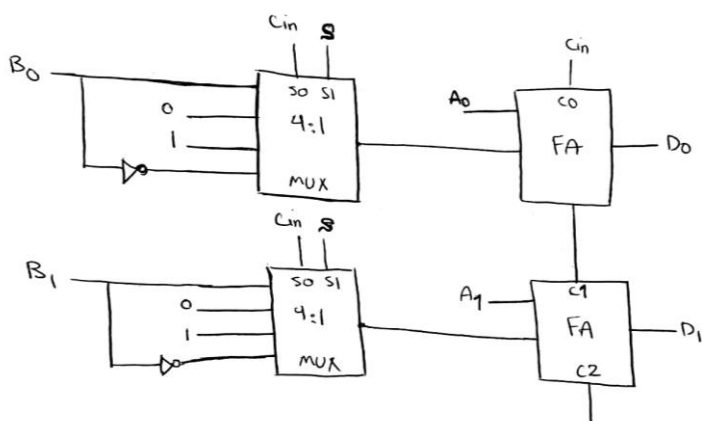
سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

شکل مدار در تصویر زیر آورده شده است.

تنها نکته ی باقیمانده در عملکرد مدار :

$$A - 1 = A + \bar{1} + 1 = A + 2 + 1 = A + 3$$

- Cout برای FA اول هم C1 است.



سوال چهارم

۴ ثبات DR , CR , BR , AR در ابتدا مقادیر اولیه زیر را دارند :

AR = 11110010

BR = 11111111

CR = 10111001

DR = 11101010



دانشکده مهندسی
کامپیوتر و فناوری اطلاعات

معماری کامپیوتر
نیمسال دوم ۱۳۹۶
پاسخ تمرین ششم



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مودل آپلود کنید.

لطفا پاسخ ها خوانا و تمیز نوشته شوند.

سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

بررسی کنید بعد از انجام هر یک از ریز عملگر های متوالی زیر چه مقداری در هر کدام از این ثبات ها قرار می گیرد .

$AR \leftarrow AR + BR$ ---> add BR to AR
 $CR \leftarrow CR \wedge DR$ ---> and CR to DR
 $BR \leftarrow BR + 1$ ---> increment BR
 $AR \leftarrow AR - CR$ ---> subtract CR from AR

Add:

AR = 11110001

و بقیه مثل قبل

And:

CR = 10101000

و بقیه مثل قبل

Inc:

BR = 00000000

و بقیه مثل قبل

Sub:

AR = 01001001

و بقیه مثل قبل

تحويل در روز جمعه مورخ ۱۳۹۷/۲/۲۱

تمرینات خود را با فرمت studentID_studentName_HW6 در مدل آپلود کنید.

لطفا پاسخ ها خوانا و تمیز نوشته شوند.

سوالات و مشکلات خود را به ایمیل computerarchitecture2018@gmail.com بفرستید.

سوال پنجم

عبارت انتقال ثبات زیر را برای دو ثبات ۴ بیتی R1 و R2 ملاحظه کنید:

$$xT: R1 \leftarrow R1 + R2$$

$$x'T: R1 \leftarrow R2$$

هر بار که $T=1$ است، اگر $x=1$ باشد. محتوی R2 به R1 اضافه می شود و اگر $x=0$ باشد R2 به R1 انتقال می یابد. دیاگرامی رسم کنید که پیاده سازی سخت افزاری دو عبارت را نشان دهد. برای دو ثبات ۴ بیتی، یک جمع کننده ی ۴ بیتی و یک مالتی پلکسر چهارتایی 2:1 که ورودی های R1 را انتخاب می کند از بلاک دیاگرام استفاده کنید. در دیاگرام نشان دهید که متغیرهای کنترلی x و T چگونه ورودی های مالتی پلکسر و ورودی Load ثبات R1 را انتخاب می کند.

