



دانشگاه صنعتی شریف
دانشکده مهندسی کامپیوتر
آزمون‌های درس معماری کامپیوتر

آزمون سوم - تاریخ برگزاری: ۱۴۰۰/۱۰/۱۲

مباحث تمرین سری پنجم و ششم

دستیار آموزشی:
مهدی علیپور

استاد:
دکتر امیرحسین جهانگیر

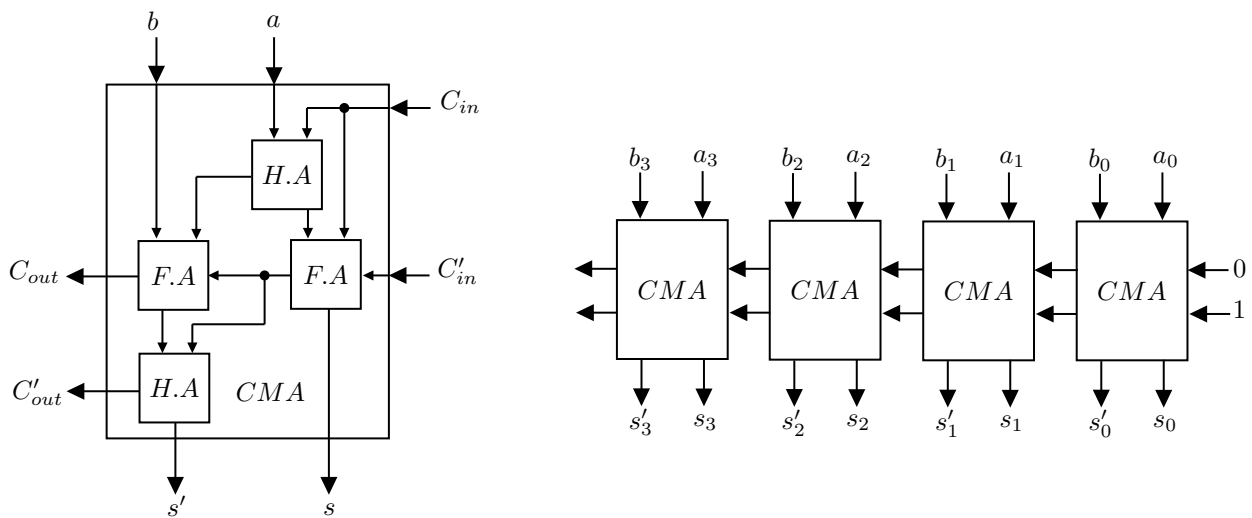
نیمسال اول ۱۴۰۱-۱۴۰۰

۱ واحد محاسبات و منطق

۱. اگر تأخیر گیت AND برابر 10 نانوثانیه و تأخیر تمام‌افزا برابر 30 نانوثانیه باشد، تأخیر ضرب آرایه‌ای $8bit \times 6bit$ چقدر است؟ (۲ نمره)

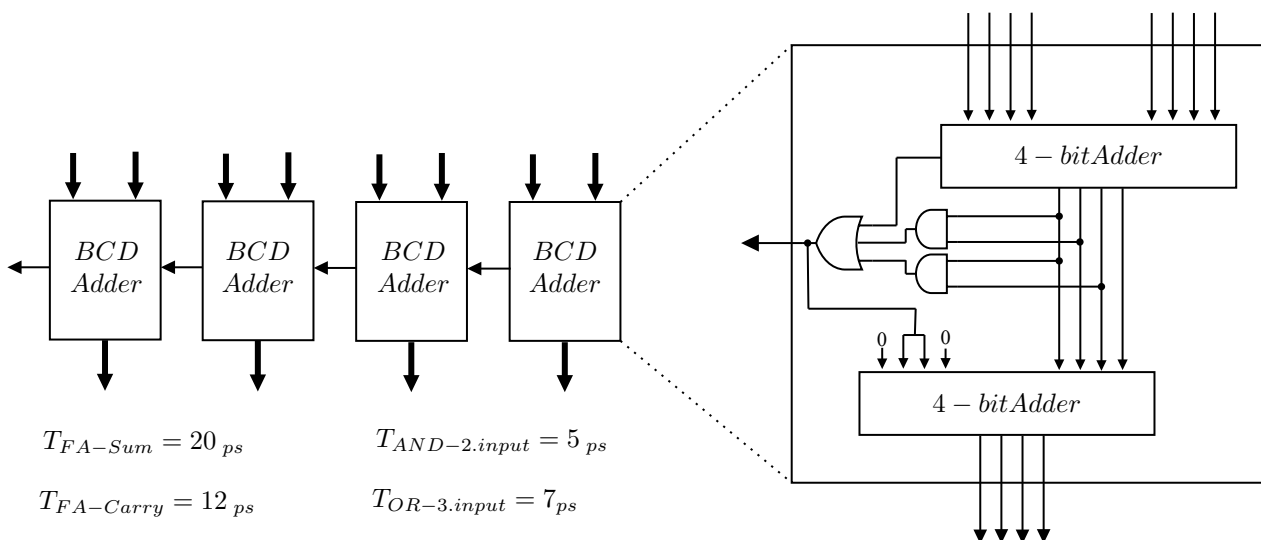
۲. ضرب دو عدد 32 بیتی بدون علامت $70E5F867 \times EFB70E1E$ را هم به روش *Add&Shift* و هم به روش *Booth* در نظر بگیرید. مشخص کنید در هر روش به چند عمل جمع نیاز است؟ (۲ نمره)

۳. در یک *ALU* برای محاسبات خاصی، ۴ پیمانه *CMA* طبق شکل زیر به هم متصل شده‌اند که مدار داخلی آن را در شکل سمت چپ ملاحظه می‌فرمایید. اگر تأخیر همه‌ی گیت‌ها مساوی T_g باشد، تأخیر کل واحد *ALU* چقدر خواهد بود؟ (۳ نمره امتیازی)



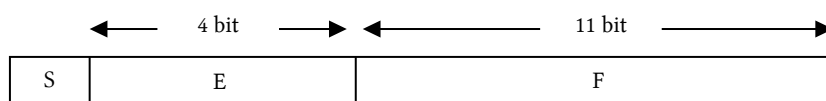
۴. برای جمع دو عدد *BCD* ۴ رقمی، بلوک‌های زیر را به صورت متوالی به هم متصل می‌کنیم. با داشتن مقادیر زیر، تأخیر این جمع‌کننده ۴ رقمی *BCD* چقدر خواهد بود؟ (۵ نمره)

* جمع‌کننده‌های باینری مشخص شده در مدار، از نوع *Ripple Carry Adder* هستند.



۲ ممیز شناور

۱. در ساختار عدد ممیز شناور زیر:



$$(-1)^{b_{15}} \left[1 + \sum_{k=0}^{10} b_k 2^{k-11} \right] 2^{\left(\sum_{k=11}^{14} b_k 2^{k-11} \right) - 7}$$

از تعداد بیت‌های بخش E یک بیت کم و به تعداد بیت‌های بخش F اضافه می‌کنیم. در این صورت کدام سه عبارت صحیح هستند؟ (۳ نمره)

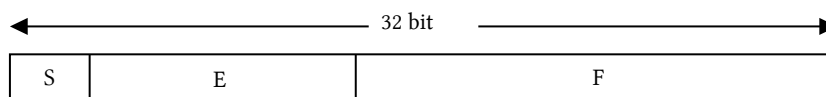
- (آ) بزرگترین عدد مثبت قابل نمایش بزرگتر می‌شود
- (ب) بزرگترین عدد مثبت قابل نمایش کوچکتر می‌شود
- (ج) کوچکترین عدد مثبت قابل نمایش کوچکتر می‌شود
- (د) کوچکترین عدد مثبت قابل نمایش بزرگتر می‌شود
- (ه) دقت نمایش اعداد ۲ برابر کمتر می‌شود
- (و) دقت نمایش اعداد ۲ برابر بیشتر می‌شود

۲. یک سیستم ممیز شناور با مفروضات زیر را در نظر بگیرید:

- ✓ پایه در مبنای ۲
- ✓ قسمت نما (E) به صورت Biased و ۴ بیتی
- ✓ قسمت اعشاری (F) ۷ بیتی و هنجار شده (Normalized)

فرض کنید عدد 0.4 را در این سیستم ذخیره کردیم. خطای نسبی آن را محاسبه نمایید. (۳ نمره)

۳. فرض کنید قالب نمایش اعداد ممیز شناور ۳۲ بیتی به صورت زیر باشد: (تعداد بیت‌های هر بخش را خودتان باید مشخص کنید)



$$(-1)^S \times (1.F) \times 2^{E-Bias}$$

اگر عدد $-53\frac{7}{9}$ در این سیستم به صورت $CB5C71C7_{hex}$ نمایش داده شود، مقدار Bias چقدر است؟ (۳ نمره)

۳ ساختار خط لوله

۱. در یک پایپلاین ۶ طبقه‌ای شامل مراحل زیر، دو روش مورد استفاده قرار گرفته است. در روش اول حافظه برنامه و داده یکپارچه و در روش دوم حافظه برنامه و داده مستقل از هم در نظر گرفته شده‌اند. در صورتی که هیچ وقفه یا پرشی در این زمان رخ ندهد، مشخص کنید برای اجرای ۶۰ دستورالعمل میزان افزایش سرعت حالت دوم نسبت به حالت اول چقدر است؟ (۵ نمره)

✓ IF : فراخوانی دستور از حافظه برنامه، افزایش PC

✓ ID : مشخص شدن نوع دستور، عملوندهای مورد نیاز و فراخوانی عملوندهای ثابتی

✓ EX : محاسبات عملیات ریاضی و منطقی

✓ EA : محاسبه آدرس موثر

✓ MA : خواندن از/نوشتن در حافظه

✓ WB : ذخیره مقدار محاسبه شده با بدست آمده از حافظه در بانک ثبات

$$(آ) \frac{120}{60} \quad (ج) \frac{140}{65}$$

$$(ب) \frac{121}{60} \quad (د) \frac{141}{65}$$

۲. در یک پردازنده، هر دستور در زمان T انجام می‌شود. برای بهینه‌سازی آن قصد داریم عملیات درونی این پردازنده را به صورت ساختار خط لوله طراحی کنیم. اگر تعداد طبقات آن را m بخش مساوی از نظر زمانی در نظر بگیریم، سربار زمانی $m \times \alpha \times T$ به هر مرحله افزوده خواهد شد. مقدار α را به گونه‌ای مشخص کنید تا استفاده از خط لوله مقرون به صرفه باشد. (۵ نمره امتیازی)

$$(آ) \frac{1}{m^2} \quad (ج) \frac{1}{m}$$

$$(ب) \frac{1}{m} - \frac{1}{m^2} \quad (د) 1 - \frac{1}{m^2}$$

۳. در ساختار خط لوله ۶ طبقه‌ای زیر، واحد Fetch پردازنده پایپلاین با هر بار عمل Fetch، پنج دستور را به صورت همزمان از حافظه دستورالعمل واکنشی می‌کند اما چون طراح این پردازنده درس معماری کامپیوتر را با دکتر جهانگیر نگذراند، نتوانست کار بی‌نقص ارائه دهد. مشکل اینجاست با آنکه هر بار ۵ دستور واکنشی می‌شود اما واحد Decode می‌تواند فقط ۳ دستور را به صورت همزمان Decode کند. اجرای ۱۰۰ دستور در این پردازنده به چند کلاک نیاز دارد؟ (۴ نمره امتیازی)

IF	ID	EX	EA	MA	WB
------	------	------	------	------	------

۴. در رابطه با ساختار خط لوله، کدام عبارت درست است؟ (۲ نمره)

(آ) پیاده‌سازی پایپلاین برای پردازنده‌هایی با طول دستورالعمل ثابت نسبت به پردازنده‌هایی با طول دستورالعمل متغیر سخت‌تر است چون تعداد خطوط لازم برای واکنشی دستور از قبل باید ثابت باشد.

(ب) پیاده‌سازی پایپلاین برای پردازنده‌هایی با طول دستورالعمل ثابت نسبت به پردازنده‌هایی با طول دستورالعمل متغیر آسان‌تر است چون اصلاً مرحله Decode ندارند.

(ج) پیاده‌سازی پایپلاین برای پردازنده‌هایی با طول دستورالعمل ثابت نسبت به پردازنده‌هایی با طول دستورالعمل متغیر آسان‌تر است چون با اینکه مرحله Decode دارند اما فقط از آن رد می‌شوند و کاری انجام نمی‌دهند.

(د) هیچکدام

۴ سوالات متفرقه

۱. پردازنده چه هنگام به وقفه‌ای که از راه رسیده پاسخ می‌دهد؟ با فرض اینکه اکنون مشغول پاسخ‌دهی به وقفه دیگری نیست و در حال اجرای یک برنامه معمولی است. (۱ نمره)

- (آ) پس از مرحله واکنشی دستورالعمل
(ب) پس از اجرای دستورالعمل جاری
(ج) به محض رسیدن وقفه
(د) اگر اولویت وقفه بیشتر از دستور جاری باشد، در همان لحظه

۲. در مورد پردازنده‌های بدون پشته در کلاس بحث کردیم. به نظر شما آیا عکس آن هم صادق است؟ یعنی آیا می‌توان پردازنده‌ای داشت که ثبات PC نداشته باشد و فقط با استفاده از پشته بتواند وظیفه این ثبات را به گونه‌ای دیگر انجام دهد؟ اگر پاسخ مثبت است بگویید چگونه و اگر پاسخ منفی است، چرا؟ (۳ نمره امتیازی)

۳. سوالات دوگزینه‌ای یا صحیح/غلط : (هرکدام یک نمره)

- * دقت کنید با اینکه باید دلیل هر پاسخ را ذکر نمایید ولی باز هم این سوالات نمره منفی دارند. اگر بلد نیستید اصلاً شانس نزنید.
- * اگر فقط به ۶ سوال پاسخ درست دهید، از این قسمت نمره کامل می‌گیرید. بقیه امتیازی هستند.
- * به دانشجویی که اصلاً نمره منفی نزنند، یک نمره و به دانشجویی که به تمام گزینه‌ها پاسخ درست دهد ۲ نمره بیشتر تعلق می‌گیرد.
- (آ) برخی از اعداد اعشاری، نمایش دقیق ممیز شناور ندارند.
- (ب) در ضرب Booth اگر مضروب‌فیه عددی مثبت باشد، همیشه تعداد عمل جمع برابر تعداد عمل تفریق خواهد بود.
- (ج) نتیجه محاسبات ممیز شناور همیشه دقیق نیست.
- (د) اگر سیستم نمایش اعداد ممیز شناور در پایه ۳ باشد، آنگاه نمی‌توانیم بیت مخفی (Hidden bit) داشته باشیم.
- (ه) عمل جمع در محاسبات ممیز شناور شرکت‌پذیر است.
- (و) مکمل ۹ یک رقم BCD با مکمل‌گیری بیت به بیت آن به علاوه ۱۱۰ بدست می‌آید.
- (ز) در ضرب Booth همیشه عمل تفریق قبل از عمل جمع انجام می‌شود.
- (ح) اگر دو عدد در مکمل ۲ را از هم کم کنیم $(X - Y)$ ، با بررسی بیت علامت (Sign) می‌توان فهمید که X از Y کوچکتر است.

۴. در یک پردازنده با واحد کنترل ریزبرنامه‌سازی شده (Micro-programmed) اطلاعات زیر وجود دارد:

- ✓ تعداد سیگنال‌های کنترلی مورد نیاز ۱۶۰ بیت است
 - ✓ اندازه حافظه کنترلی ۳۰۰۰ ریزدستور است
 - ✓ برای بخش $\mu Opcode$ ، ۱۲ شرط مختلف وجود دارد
 - ✓ بخش $\mu Opcode$ به صورت کلمه‌ای مجزا در کنار کلمات کنترلی قرار می‌گیرد
- در صورت استفاده از حافظه نانو، حجم ریزحافظه استفاده شده ۱۵ درصد حافظه ریزبرنامه خواهد شد. با این فرض که از هیچ روش دیگری برای کم کردن حجم حافظه استفاده نشده باشد، مشخص کنید چند الگوی مختلف برای ریزدستور وجود دارد؟ (۵ نمره امتیازی)

- (آ) ۲۴۰ الگو
(ب) ۲۰۰ الگو
(ج) ۱۸۰ الگو
(د) ۱۵۰ الگو