



دانشگاه صنعتی شریف  
دانشکده مهندسی کامپیوتر  
آزمون‌های درس معماری کامپیوتر

آزمون دوم - تاریخ برگزاری: ۱۴۰۰/۹/۱۹

مباحث تمرین سری سوم و چهارم

دستیار آموزشی:  
مهدی علیپور

استاد:  
دکتر امیرحسین جهانگیر

نیمسال اول ۱۴۰۱-۱۴۰۰

## ۱ مدهای آدرس دهی

عملیات زیر نشان دهنده چه نوع مد آدرس دهی از بین گزینه های داده شده است؟

$$T_x : AR \leftarrow IR[15 : 0] + Reg\_File[IR[16 : 20]]$$

$$T_{x+1} : AR \leftarrow AR \ll 2, Reg\_File[IR[16 : 20]] \leftarrow Reg\_File[IR[16 : 20]] + 1$$

$$T_{x+2} : AR \leftarrow M[AR]$$

آ) ترکیب مد آدرس دهی Index و Auto Increment

ب) ترکیب مد آدرس دهی Index و نسبی

ج) ترکیب مد آدرس دهی نسبی، Index و Auto Increment

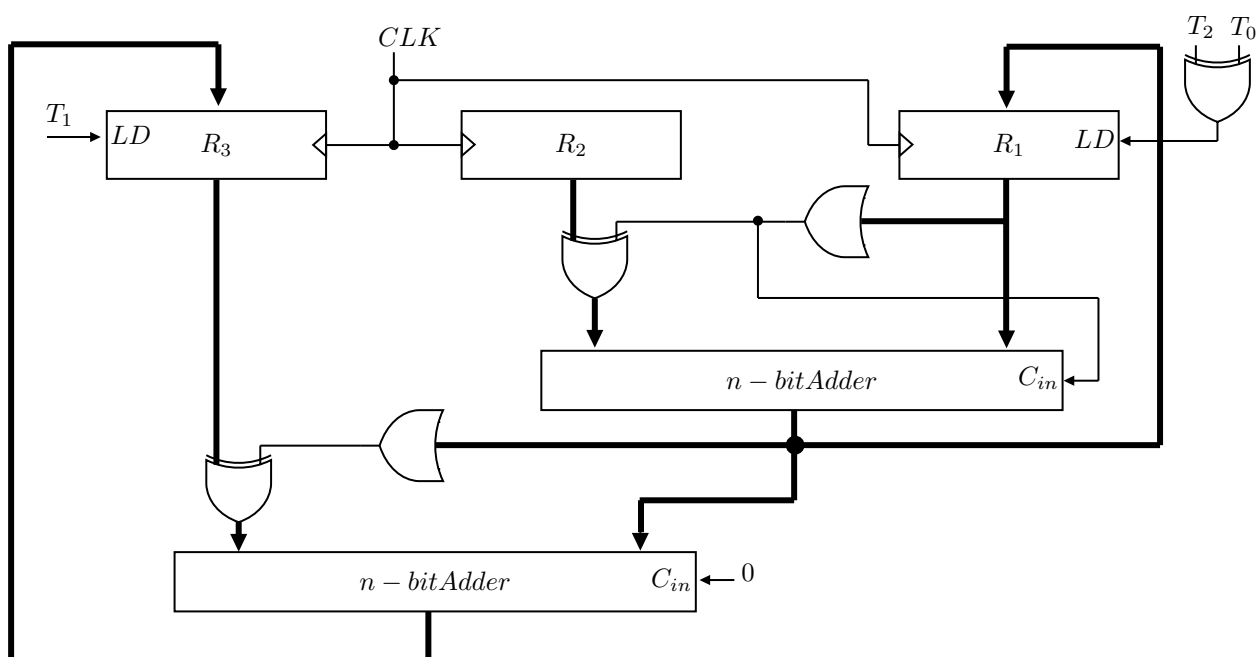
د) با وجود عمل Shift، این مراحل، آدرس دهی صحیحی را نشان نمی دهد. اما در صورتی که عمل Shift حذف شود ترکیب آدرس دهی Index و Auto Increment است.

## ۲ زبان RTL

عملکرد مدار زیر را ابتدا به صورت شبه کد، سپس آن شبه کد را به زبان RTL بنویسید. جهت رفع ابهام، یک نمونه شبه کد (که ارتباطی به این سوال ندارد) در ادامه مشاهده می فرمایید.

$T_0 : \text{IF } (A = B) \text{ THEN } C \leftarrow 0$

$\text{ELSEIF } (A > B) \text{ THEN } C \leftarrow A - B$



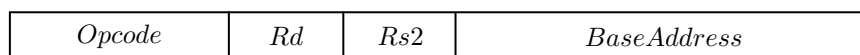
### ۳ کدگذاری دستورات

در یک پردازنده‌ی سه آدرس، کد دستورات به دو صورت یک کلمه‌ای و دو کلمه‌ای و مدهای آدرس‌دهی استفاده شده در این پردازنده: ثباتی، مستقیم حافظه‌ای و غیرمستقیم حافظه‌ای است. حجم حافظه قابل استفاده در این پردازنده ۲۵۶ کیلوکلمه و هر کلمه آن نیز ۱۶ بیتی است. اگر تعداد دستورات یک کلمه‌ای این پردازنده ۱۰ دستور باشد، حداکثر تعداد دستورات دو کلمه‌ای و حداکثر تعداد ثبات‌های آن چقدر است؟

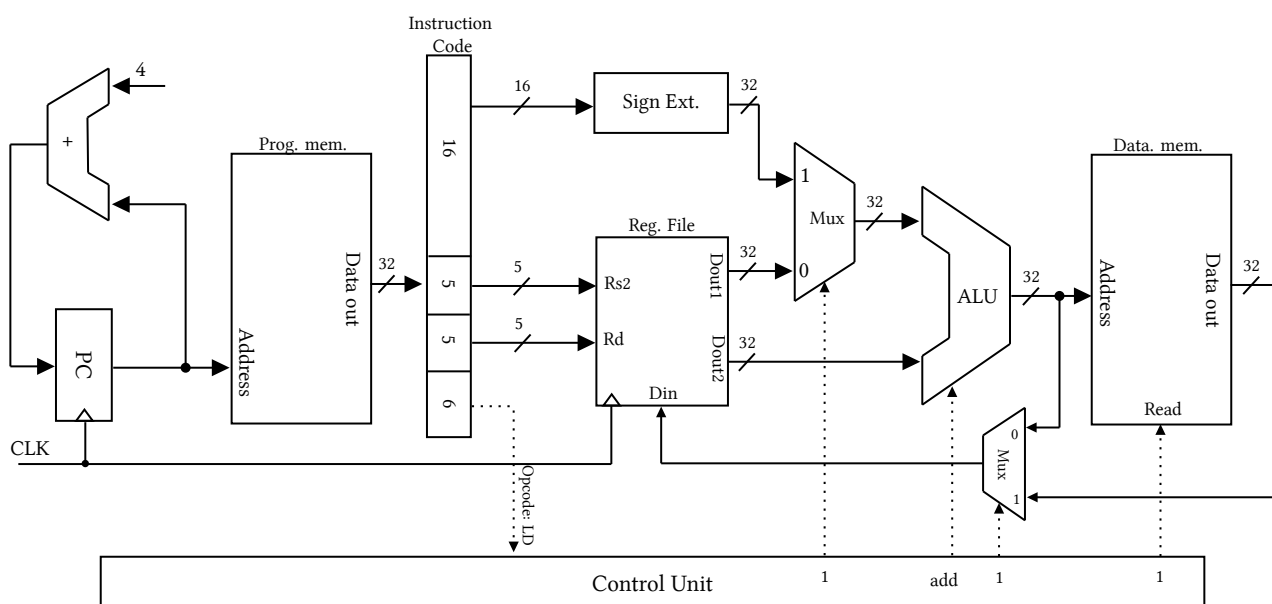
★ راهنمایی: با توجه به داده‌های صورت سوال، این مسئله سه پاسخ ممکن دارد که شما باید هر سه پاسخ را بیابید.

۴ زمان اجرای دستور LOAD

بخش زیر مسیر داده یک پردازنده بوده که برای اجرای دستور LOAD مشخص شده است. اگر مد آدرس دهی از نوع Index و ساختار دستور به صورت زیر باشد:



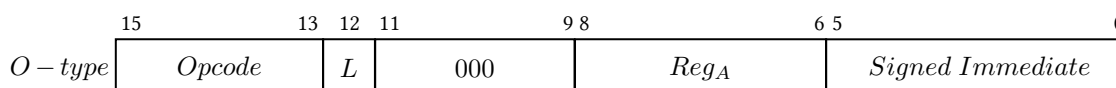
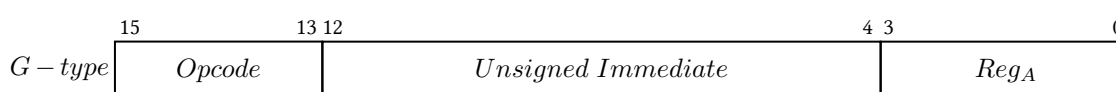
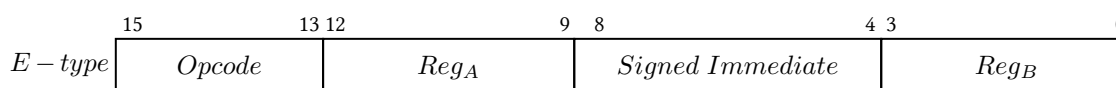
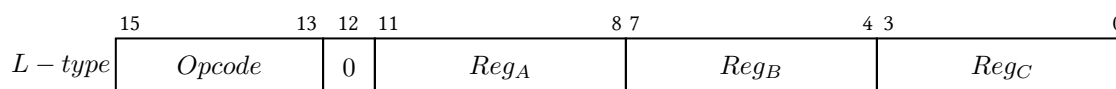
با توجه به خروجی واحد کنترل که در شکل آمده و با در نظر گرفتن جدول تاخیر، توضیح دهید حداکثر فرکانس کاری این پردازنده برای اجرای دستور LOAD چقدر خواهد بود؟



واحد	$T_{PC}$	$T_{mem}$	$T_{Reg}$	$T_{SignExt.}$	$T_{mux}$	$T_{ALU}$	$T_{Add-4}$
تاخير	$5^{ns}$	$100^{ns}$	$5^{ns}$	$5^{ns}$	$10^{ns}$	$20^{ns}$	$10^{ns}$

## ۵ سوال طراحی

می‌خواهیم پردازنده‌ای ۱۶ بیتی به نام *LEGO* طراحی کنیم که دارای ۴ نوع دستور زیر است:



همچنین پردازنده *LEGO* از دستورات جدول زیر پشتیبانی می‌کند:

دستور	نوع	کد دودویی	کد اسمبلی	عملیات
<i>SUB</i>	<i>L - type</i>	000	<b>SUB</b> Reg <sub>A</sub> , Reg <sub>B</sub> , Reg <sub>C</sub>	$Reg_A \leftarrow Reg_B - Reg_C$
<i>SW</i>	<i>L - type</i>	001	<b>SW</b> Reg <sub>A</sub> , Reg <sub>B</sub> , Reg <sub>C</sub>	$Mem[Reg_B + Reg_C] \leftarrow Reg_A$
<i>LW</i>	<i>L - type</i>	010	<b>LW</b> Reg <sub>A</sub> , Reg <sub>B</sub> , Reg <sub>C</sub>	$Reg_A \leftarrow Mem[Reg_B + Reg_C]$
<i>SLT</i>	<i>L - type</i>	011	<b>SLT</b> Reg <sub>A</sub> , Reg <sub>B</sub> , Reg <sub>C</sub>	$if (Reg_B < Reg_C) then Reg_A \leftarrow 1 else Reg_A \leftarrow 0$
<i>JAL</i>	<i>E - type</i>	100	<b>JAL</b> Reg <sub>A</sub> , Reg <sub>B</sub>	$PC \leftarrow 2 \times Reg_A + 2 \times S.E(imm) , \quad Reg_B \leftarrow PC + 2$
<i>LUI</i>	<i>G - type</i>	101	<b>LUI</b> Reg <sub>A</sub> , imm	$Reg_A \leftarrow imm \times 128$
<i>MOV</i>	<i>G - type</i>	110	<b>MOV</b> Reg <sub>A</sub> , imm	$Reg_A \leftarrow Z.F(imm)$
<i>JMP</i>	<i>O - type</i>	111	<b>JMP</b> L, Reg <sub>A</sub> , imm	$if (L = 1) then PC \leftarrow 2 \times Reg_A + 2 \times S.E(imm)$

بخش Data Path پردازنده *LEGO* را به صورت Single-Cycle طراحی کنید و همچنین سیگنال‌های کنترلی هر دستور را مشخص نمایید.

\* در جدول بالا منظور از *S.E* همان Sign Extend و منظور از *Z.F* همان Zero Filling یا در واقع قرار دادن تعدادی صفر در سمت چپ عدد است.

\* برای حل این سوال از هر خلاقیت یا هر ایده‌ای که در کلاس یا تمرین‌ها یاد گرفتید می‌توانید استفاده کنید.

\* در انتها حتماً فایل صوتی را برای این سوال آپلود کنید. توجه داشته باشید که آزمون شما بدون فایل صوتی فاقد اعتبار است.