Homework 2

Lec 6,7,8

MICROPROCESSOR

AND

ASSEMBLY LANGUAGE

Dr. Farbeh

Spring 2022

۱- صحیح یا غلط بودن عبارات زیر را با ذکر دلیل مشخص کنید.

الف) با استفاده از write buffer می توانیم مطمئن باشیم CPU معطل نوشتن داده در حافظۀ اصلی نمی ماند.

ب) با افزایش سایز بلوکهای حافظۀ نهان پدیدۀ Cache Pollution کاهش مییابد.

ج) اگر فرکانس پردازندهای بالاتر باشد، در شرایطی که نیاز به کار با حافظه داریم، CPU مجبور است تعداد کلاکهای بیشتری منتظر حافظه بماند.

د) اگر بتوانیم با روشی عملکرد CPU را بهبود دهیم، میتوانیم تاثیری که Miss Penalty بر روی عملکرد سیستم میگذارد را کاهش دهیم.

۲- فرض کنید پردازندهای دارای حافظۀ نهان میخواهد دادهای را روی حافظۀ اصلی بنویسد.

الف) چه زمانی می گوییم write-miss رخ داده؟

ب) حال فرض کنید دادۀ مورد نظر در حافظۀ نهان وجود دارد و می خواهد توسط CPU به روز رسانی شود. دو سیاست موجود برای این کار را مختصر توضیح دهید.

ج) مشخص کنید write buffer در هر یک از این دو سیاست در چه زمانی و چطور باعث کاهش معطلی CPU در روند نوشتن داده بر روی حافظۀ اصلی میشود.

۳- فرض کنید هنگام خواندن دادهای از حافظۀ نهان miss رخ داده و می خواهیم یک بلوک 4 کلمه ای از داده را از حافظۀ اصلی بخوانیم. پهنای گذرگاه حافظه به اندازۀ یک کلمه است و همچنین هر کلاک پردازنده معادل 3 کلاک گذرگاه حافظه میباشد. در این روند 1 کلاک گذرگاه[[1]](#footnote-1) برای انتقال آدرس داده از حافظۀ نهان به حافظۀ اصلی، 9 کلاک برای دسترسی به دادۀ درون حافظه و 2 کلاک برای انتقال داده از حافظۀ اصلی به حافظۀ نهان زمان صرف می شود.

الف) Miss Penalty را در این شرایط حساب کنید.

ب) فرض کنید در کنار این پردازنده از یک Instruction Cache با نرخ برخورد 97% و یک Data Cache با نرخ برخورد 95% استفاده شده است. همچنین دستورات نوشتن و خواندن از حافظه در مجموع 40% از دستورات پردازنده را تشکیل میدهند. در صورتی که Base CPI برای این پردازنده 3 باشد، میزان CPI واقعی را برای مجموعۀ پردازنده و حافظه بدست آورید.

ج) اگر در قسمت (ب) با همان پردازنده از حافظه های نهان بهتری استفاده کنیم، به طوری که نرخ برخورد برای  
I-Cache به 98% و برای D-Cache به 96% افزایش یابد، بار دیگر محاسبات قسمت (ب) را انجام داده و در مورد میزان اهمیت Miss Rate در حافظه های نهان نتیجه گیری کنید.

۴- حافظه نهانی به اندازه 16KByte داریم که اندازه هر بلوک آن 256Byte می باشد. سیاست جایدهی این حافظه نهان 2way Set Associative می باشد و اندازه حافظه اصلی نیز 128KByte است. (اندازه هر word یک byte است)

الف) قالب آدرس دهی را در این حافظه نشان دهید.

ب) برای ذخیره tag در این حافظه نهان مجموعا از چند byte استفاده می شود.

۵- یک حافظه نهان 4 بلوکه را درنظر بگیرید که در ابتدا خالی است و در آن از سیاست جایگزینی FIFO استفاده می‌شود بررسی کنید برای شماره بلوک‌های مورد نظر cpu که در زیر از چپ به راست مشخص شده است، عملکرد cache را در  دو حالت  4way Set Associative و 2way Set Associative بررسی کنید. آیا با افزایش K میزان  hit rate ما افزایش پیدا میکند؟

2, 4,7,6,5,2,8,12,7,16,15,4,13

2 way Set Associative

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 13 | 4 | 15 | 16 | 7 | 12 | 8 | 2 | 5 | 6 | 7 | 4 | 2 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  | #set |
|  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

4way Set Associative

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 13 | 4 | 15 | 16 | 7 | 12 | 8 | 2 | 5 | 6 | 7 | 4 | 2 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

۶- به موارد زیر پاسخ دهید.

الف) شماره بلوک‌های مورد نظر cpu از چپ به راست مشخص شده است میزان hit rate را برای یک cache  حاوی چهار بلوک در دو حالت  2way Set Associative و 4way Set Associative را  با سیاست LRU مشخص کنید.

4,2,5,7,2,6,4,8,12,7,5,6,13,4

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 4 | 13 | 6 | 5 | 7 | 12 | 8 | 4 | 6 | 2 | 7 | 5 | 2 | 4 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | #set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

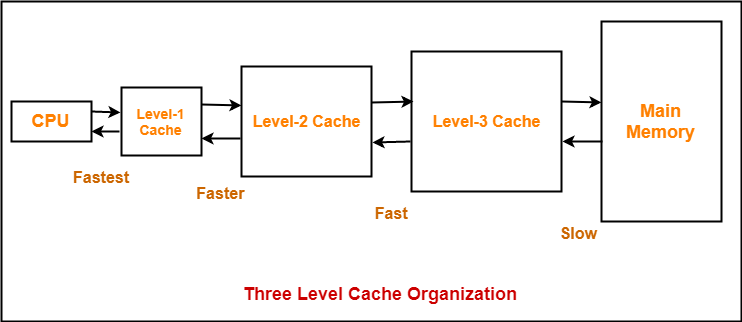
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 4 | 13 | 6 | 5 | 7 | 12 | 8 | 4 | 6 | 2 | 7 | 5 | 2 | 4 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

ب) عملیات بالا را با یک cache حاوی هشت بلوک تکرار کنید و بعد از تعریف اختلال بلیدی (Bélády's anomaly)  بررسی کنید که آیا این اختلال در این مثال رخ می‌دهد یا خیر.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 4 | 13 | 6 | 5 | 7 | 12 | 8 | 4 | 6 | 2 | 7 | 5 | 2 | 4 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | #set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 4 | 13 | 6 | 5 | 7 | 12 | 8 | 4 | 6 | 2 | 7 | 5 | 2 | 4 | #block  in MM |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | #set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | bloks in each set |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | h/m |

۷- در درس با Average Memory Access Time (AMAT) آشنا شدید. حال فرض کنید یک حافظۀ نهان 3 مرحله ای دارید. نمونه ای از این نوع حافظه نهان را میتوانید در شکل زیر مشاهده کنید.



عملکرد این حافظۀ نهان به صورتی است که پردازنده ابتدا داده را از حافظۀ نهان Level-1 درخواست میکند. در صورتی که داده در این حافظۀ نهان وجود داشت به پردازنده تحویل داده میشود، در غیر این صورت حافظه نهان Level-1 به حافظه نهان Level-2 رجوع میکند و به همین ترتیب. در انتها اگر داده در حافظه نهان مرحلۀ آخر نیز وجود نداشت به حافظۀ اصلی رجوع میشود.

فرض کنید Miss Penalty عددی مانند P بوده و برای هر لایه Miss Rate برابر با Ri و Hit Time برابر با Ti باشد.  سعی کنید رابطه ای برای AMAT با فرض استفاده از چنین حافظه نهانی پیدا کنید.

\* راهنمایی: سعی کنید AMAT را ابتدای برای آخرین لایه پیدا کرده و از آن برای پیدا کردن AMAT در لایۀ قبلی استفاده کنید.

* مهلت ارسال تمرین ساعت 23.59 روز ۹ فروردین می­باشد.
* سوالات خود را می­توانید از طریق تلگرام از تدریسیارهای گروه خود بپرسید.
* ارائه پاسخ تمرین بهتر است به روش های زیر باشد:
  + 1. استفاده از فایل .docx تایپ پاسخ­ها و ارائه فایل Pdf
    2. چاپ تمرین و پاسخ دهی به صورت دستنویس خوانا
* فایل پاسخ تمرین را تنها با قالب **CA\_Hw2 \_StudentNumber.pdf** در مودل بارگزاری کنید.
  + - * نمونه: CA\_HW2\_9731063.pdf
* فایل زیپ ارسال **نکنید**.

1. Bus cycle [↑](#footnote-ref-1)