

به نام خدا

گزارش کار ۱ آزمایشگاه معماری کامپیوتر

علی اسد 9831004

بردیا اردکانیان 9831072

---

**Half-adder test bench :**

برای نوشتن test bench ، ابتدا موجودیت half\_adder\_tb را تعریف می‌کنیم و سپس half\_adder component را به پورت‌های مربوطه وصل می‌کنیم. در مرحله بعدی به تعداد ورودی و خروجی، سیگنال تعریف کرده و هر یک از ورودی و خروجی‌ها را به آن map می‌کنیم. نهایتاً سیگنال‌ها را در تناوب‌های مختلف مقدار دهی می‌کنیم.

```
library ieee;
use ieee.std_logic_1164.all;

entity half_adder_tb is
end entity half_adder_tb;

architecture test of half_adder_tb is
  component half_adder is
  port(
    in1, in2: in std_logic;
    out1, out2 : out std_logic
  );
end component;

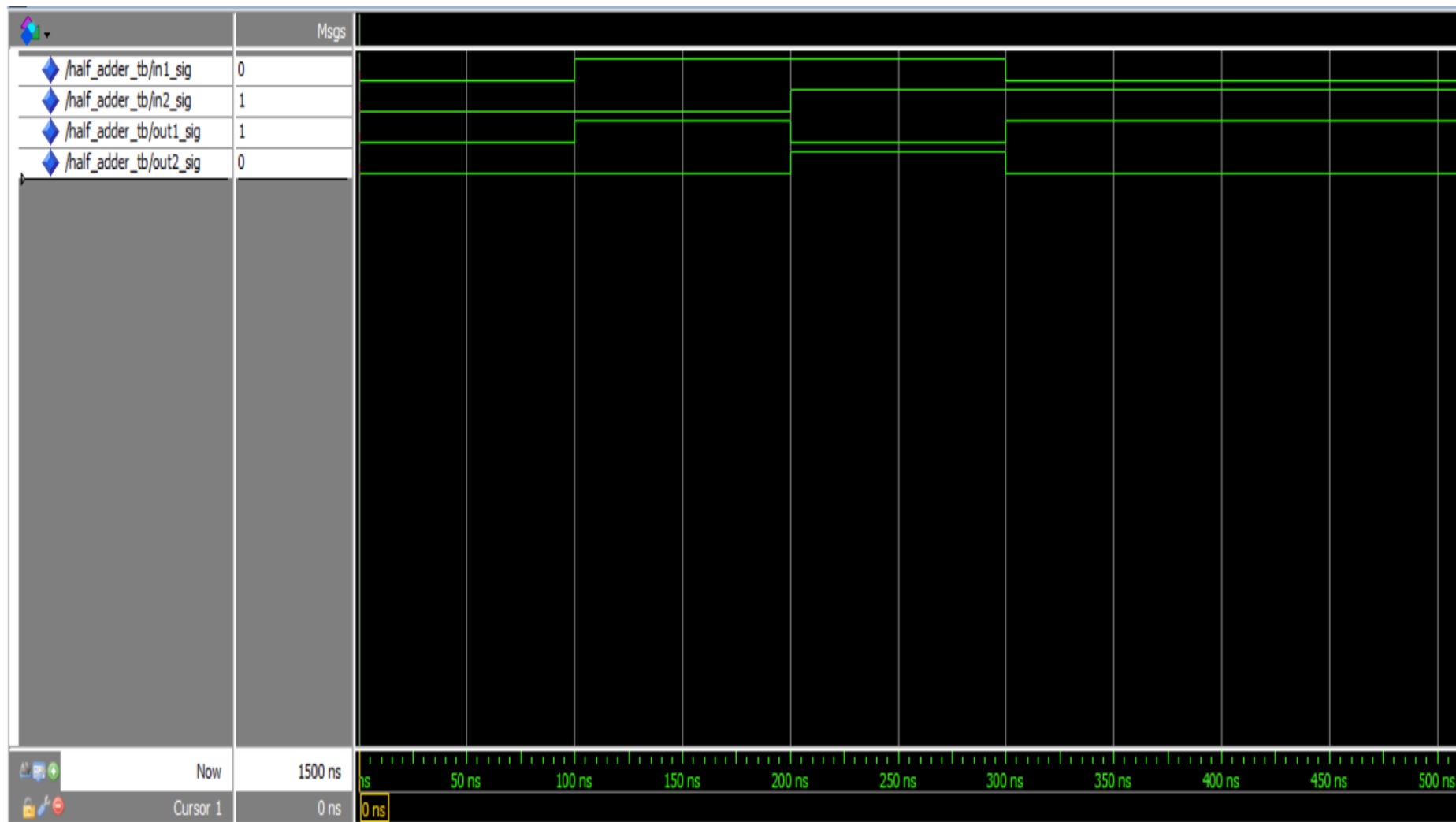
signal in1_sig : std_logic;
signal in2_sig : std_logic;
signal out1_sig: std_logic;
signal out2_sig: std_logic;

begin

  ha:half_adder port map ( in1 => in1_sig, in2 => in2_sig, out1 => out1_sig, out2 => out2_sig);

  in1_sig <= '0', '1' after 100 ns, '1' after 200 ns, '0' after 300 ns;
  in2_sig <= '0', '0' after 100 ns, '1' after 200 ns, '1' after 300 ns;

end test;
```



شکل 1 : خروجی شبیه سازی Half-adder

### Full-adder test bench :

برای نوشتن test bench ، ابتدا موجودیت full\_adder\_tb را تعریف می‌کنیم و سپس full\_adder component را به پورت‌های مربوطه وصل می‌کنیم.

نهایتاً به تعداد ورودی و خروجی، سیگنال تعریف کرده و هر یک از ورودی و خروجی‌ها را به آن map می‌کنیم.

در مرحله آخر سیگنال‌ها را در تناوب‌های مختلف مقدار دهی می‌کنیم.

```
library ieee;
use ieee.std_logic_1164.all;

entity full_adder_tb is
end entity full_adder_tb;

architecture test of full_adder_tb is
  component full_adder is
  port(
    i0, i1, cin: in std_logic;
    s, cout : out std_logic
  );
end component;

signal i0_sig : std_logic;
signal i1_sig : std_logic;
signal cin_sig : std_logic;
signal s_sig : std_logic;
signal cout_sig: std_logic;

begin

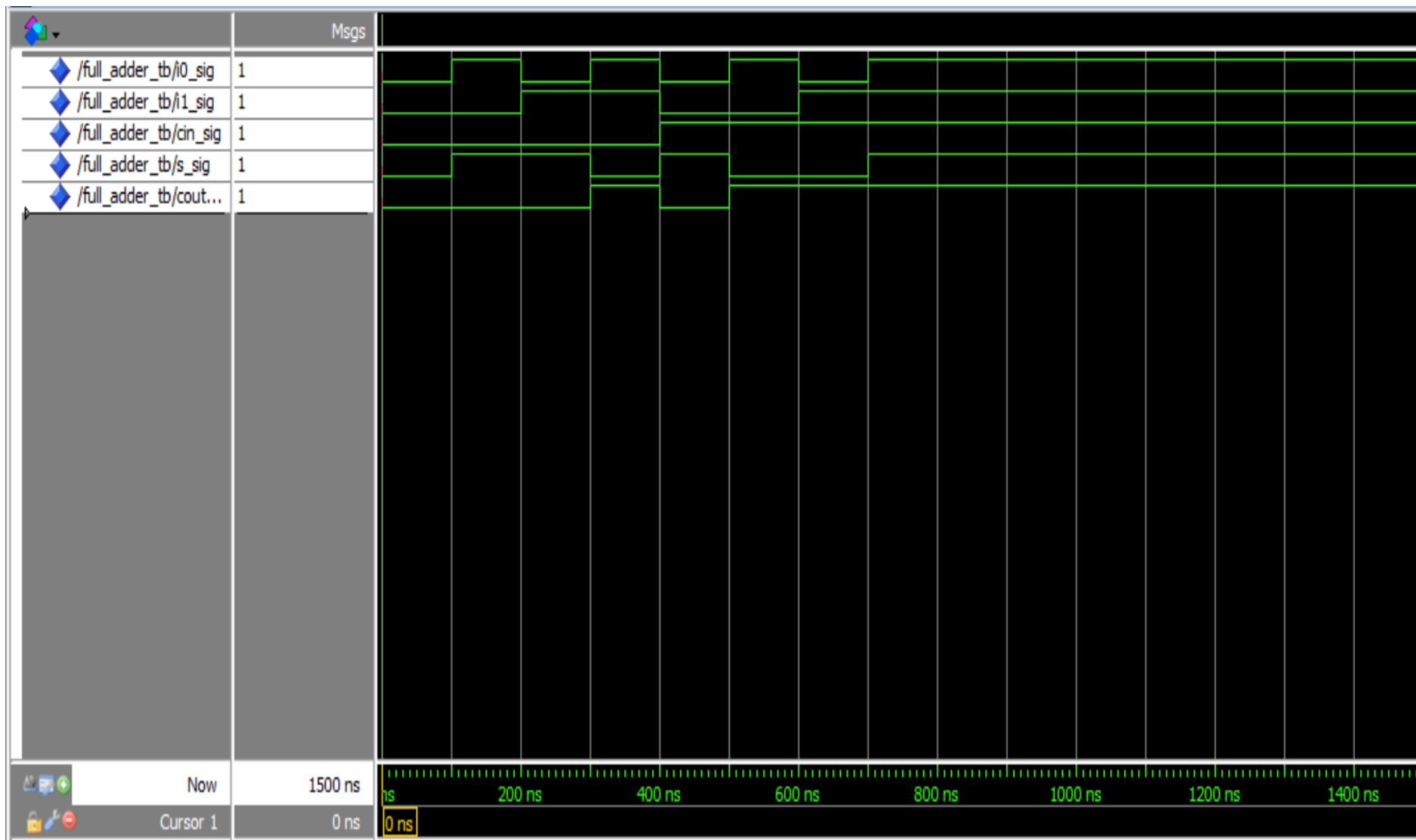
fa:full_adder port map ( i0 => i0_sig, i1 => i1_sig, cin => cin_sig, s => s_sig, cout => cout_sig);

i0_sig <= '0', '1' after 100 ns, '0' after 200 ns, '1' after 300 ns, '0' after 400 ns, '1' after 500 ns, '0'
after 600 ns, '1' after 700 ns;

i1_sig <= '0', '0' after 100 ns, '1' after 200 ns, '1' after 300 ns, '0' after 400 ns, '0' after 500 ns, '1'
after 600 ns, '1' after 700 ns;

cin_sig <= '0', '0' after 100 ns, '0' after 200 ns, '0' after 300 ns, '1' after 400 ns, '1' after 500 ns, '1'
after 600 ns, '1' after 700 ns;

end test;
```



شکل 2 : خروجی شبیه سازی Full-adder