Computer Hardware
&
Industry Perspective

1주차 - 오리엔테이션 + 전체 분해 실습

- 이론:
    - 하드웨어와 소프트웨어의 관계, 시스템 전체를 보는 눈의 필요성
    - 컴퓨터의 주요 부품(메인보드, CPU, GPU, RAM, SSD, 파워, 팬 등) 개괄
    - 본체 내부의 구조와 데이터 흐름 개요 (전원 → 연산 → 저장 → 출력)
- 실습:
    - 데스크탑 컴퓨터 본체를 실제로 열어 내부 구조 확인
    - 부품별 명칭과 역할 짚어가며 관찰: 메인보드, 전원부, 슬롯, 케이블 등
- 토론:
    - “컴퓨터를 이해한다는 건 무엇일까?”
    - 기술을 다루는 사람에게 기계의 실체란 어떤 의미인가?
    - 나에게 컴퓨터는 지금까지 어떤 존재였는가, 앞으로는 어떤 존재여야 할까?

- 1주차 선각 주제 :
    - 조립 시장의 종말? 완제품 시장이 장악하는 이유
    - 모듈형 컴퓨터는 왜 실패하고, 왜 다시 시도될까?
    - Framework Laptop, Raspberry Pi 5 - 탈인텔 시대의 DIY 철학

C.H.I.P

2주차 - 메모리 & 저장장치 구조

- 이론:
  - DRAM / SRAM / Cache / SSD / HDD의 구조, 용도, 성능 비교
  - 레지스터 → L1/L2/L3 캐시 → DRAM → SSD/HDD로 이어지는 속도-용량 구조
  - 비휘발성과 속도/가격/수명의 trade-off
  - DDR, SATA, NVMe, PCIe, UFS, eMMC 등 하드웨어 연결 방식 이해

- 실습:
  - RAM 분리 및 재장착 실습
  - SATA vs M.2 SSD 비교 및 인터페이스 확인
  - SATA SSD 분해
  - 용량/속도/클럭/레이트 스티커 실물 관찰 (예: DDR4-3200, 512GB SSD 등)

- 토론:
  - 저장장치는 언젠가 사라질까? (클라우드 중심 사회에서의 로컬 저장소의 의미)
  - 메모리 속도가 느리면 소프트웨어는 어떻게 느려지는가?
  - 기억의 수명이 정해져 있다면, 우리는 무엇을 기억시켜야 할까?
  - “속도는 권력이다” - 느린 기억은 존재할 수 있을까?
  - 미래의 저장장치는 하드웨어일까, 생물일까?

C.H.I.P

이론 * 실습 -> 토론

- 이론: 전체 시스템의 흐름 감 잡기
- 실습: 손으로 구조 익히기
- 토론: 철학적 질문으로 인식 확장하기

C.H.I.P

이론 * 실습

Memory

기억
기록
기억을 위한 장치

Volatile
&
Non-Volatile

휘발성 메모리란?

- 휘발성이란 말 그대로 '휘발된다', 즉 전원이 꺼지면 데이터가 날아간다는 뜻

정의

- 전류가 흐를 때만 데이터를 보존할 수 있는 메모리
- 전류 공급이 끊기면, 저장된 전하나 상태 정보가 사라짐

원리

- 예: DRAM은 축전기 안에 전하(charge)를 저장해두고, 이를 읽어서 0 또는 1로 해석함
- 시간이 지나면 전하가 자연 방전되기 때문에 리프레시(refresh)가 필요함
- SRAM은 트랜지스터 상태로 저장하지만, 전력이 계속 공급돼야 그 상태를 유지함

특징

- 아주 빠른 접근 속도
- CPU와 가까운 위치에서 임시 저장소 역할
- 전원이 꺼지면 모든 내용이 초기화됨

비휘발성 메모리란?

- 비휘발성은 전원이 꺼져도 데이터를 유지하는 성질

정의

- 전원이 꺼져도 내부에 저장된 정보가 유지되는 메모리
- ‘지워지지 않는다’는 의미에서 영구 저장용으로 많이 사용됨

원리

- 예: Flash 메모리는 Floating Gate 트랜지스터에 전자를 가둬서 전압 상태를 유지함
- 전류가 없어도 트랩된 전자가 유지되므로, 상태 정보도 유지됨
- ROM 계열은 처음부터 고정된 데이터를 기록해 놓고 읽기 전용으로 사용

특징

- 느리지만 안정적
- 장기 저장, 영구 저장용
- 읽기 속도는 빠르지만, 쓰기/삭제는 느릴 수 있음

왜 비휘발성 메모리는 휘발성보다 느릴까?

1. 물리적 동작 원리의 차이

- **DRAM (휘발성)**
  - 데이터를 축전기(Capacitor) 안의 전하로 저장
  - 전하가 있으면 1, 없으면 0
  - 전기적으로 읽고 쓰는 속도가 매우 빠름
  - 단점: 계속 리프레시해야 함 (휘발성)

- **Flash Memory (비휘발성)**
  - Floating Gate 트랜지스터 안에 전자를 가둠
  - 이 전자를 꺼내거나 넣는 데는 전압을 아주 높게 인가해야 함
  - 특히, 쓰기(Program)와 삭제(Erase)가 느림
  - 하나 쓰려면 전체 블록을 삭제하고 다시 써야 하기도 함

느린 이유는?
→ 전자를 물리적으로 이동시켜야 하고,
→ 고전압을 걸거나, 터널링 효과를 이용해야 하기 때문

2. 삭제 방식의 차이

- DRAM/SRAM
  - 그냥 새로 덮어쓰기 하면 끝. 0 → 1, 1 → 0 간단
  - 트랜지스터 상태만 바꾸면 됨

- Flash/EEPROM
  - 덮어쓰기 안 됨. 반드시 지우고 나서 써야 함
  - 이 지우는 과정이 몇 밀리초 이상 걸릴 수 있음
    - 예:
    - DRAM은 나노초(ns) 단위
    - Flash는 마이크로초밀리초(μsms) 단위

3. 쓰기 단위가 큼

- DRAM/SRAM은 바이트 단위로 접근 가능
- Flash는 페이지(수 KB), 블록(수십 KB~MB) 단위로 써야 함
- 한 바이트 바꾸려 해도 통째로 복사해서 다시 써야 함

4. 내구성을 고려한 알고리즘

- Flash나 EEPROM은 쓰기/삭제 횟수 제한이 있음 (ex. 10만 번)
- 그래서 내부적으로 쓰기 분산 알고리즘(Wear leveling)이 동작함
- 즉, 단순히 쓰지 않고, “덜 쓴 영역”에 우회해서 저장함
- 이 과정도 속도 저하 요인

요소	휘발성 메모리(DRAM/SRAM)	비휘발성 메모리(Flash/ROM)
저장 방식	전하 유지	전자 가둠 (터널링 등)
접근 속도	빠름 (나노초)	느림 (마이크로~밀리초)
쓰기	즉시 덮어쓰기	지우고 다시 써야 함
전압	낮은 전압	고전압 필요
단위	바이트 단위 접근	페이지·블록 단위 접근
내구성 고려	없음	있음 (wear leveling)

휘발성은 속도와 즉시성을,
비휘발성은 지속성과 안정성을 담당

C.H.I.P

Volatile Memory

레지스터

캐시

SRAM

DRAM

Non-Volatile Memory

ROM

Flash Memory

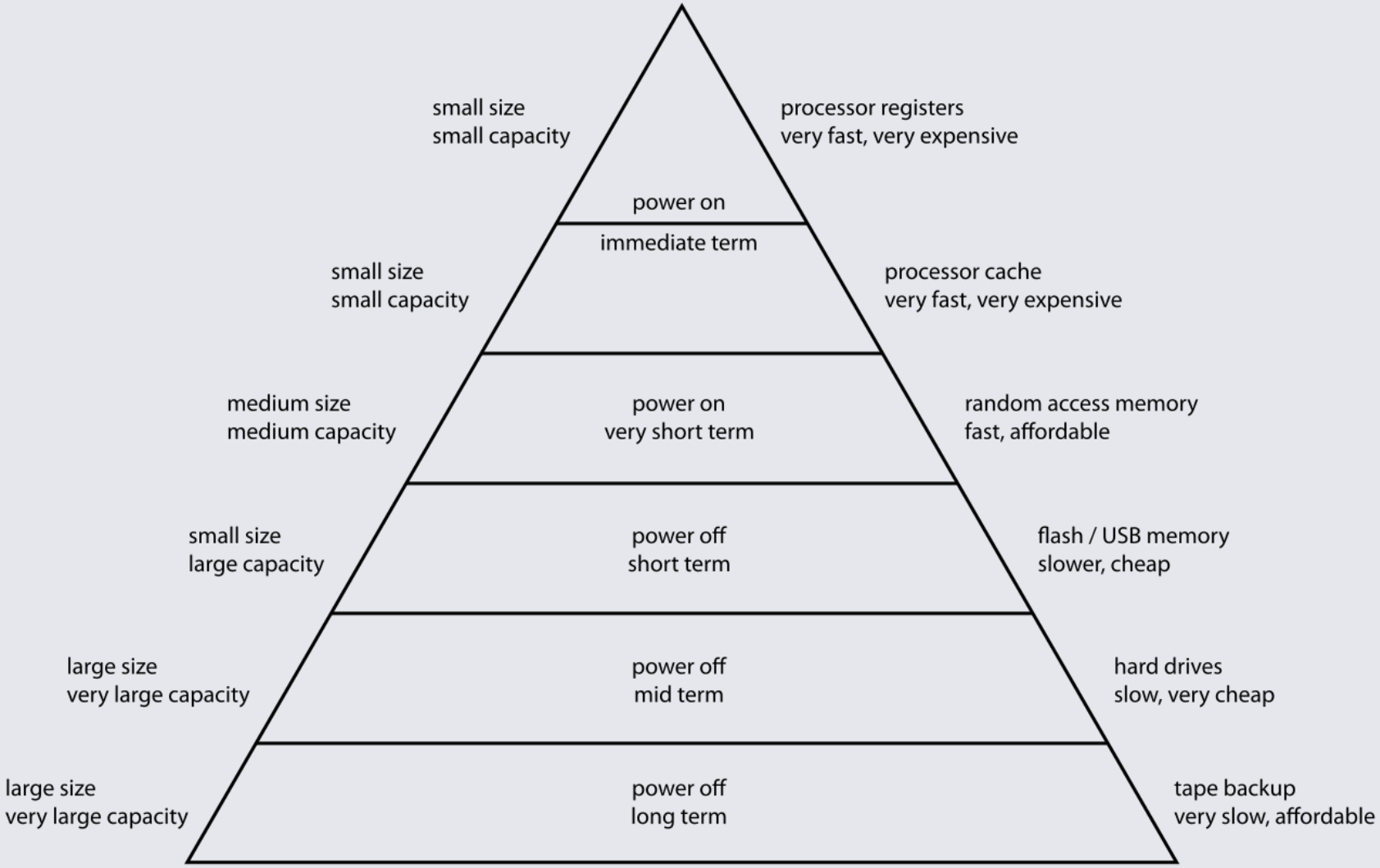
SSD / HDD

C.H.I.P

메모리의 종류

레지스터
캐시
ROM
RAM
플래시 메모리

Computer Memory Hierarchy

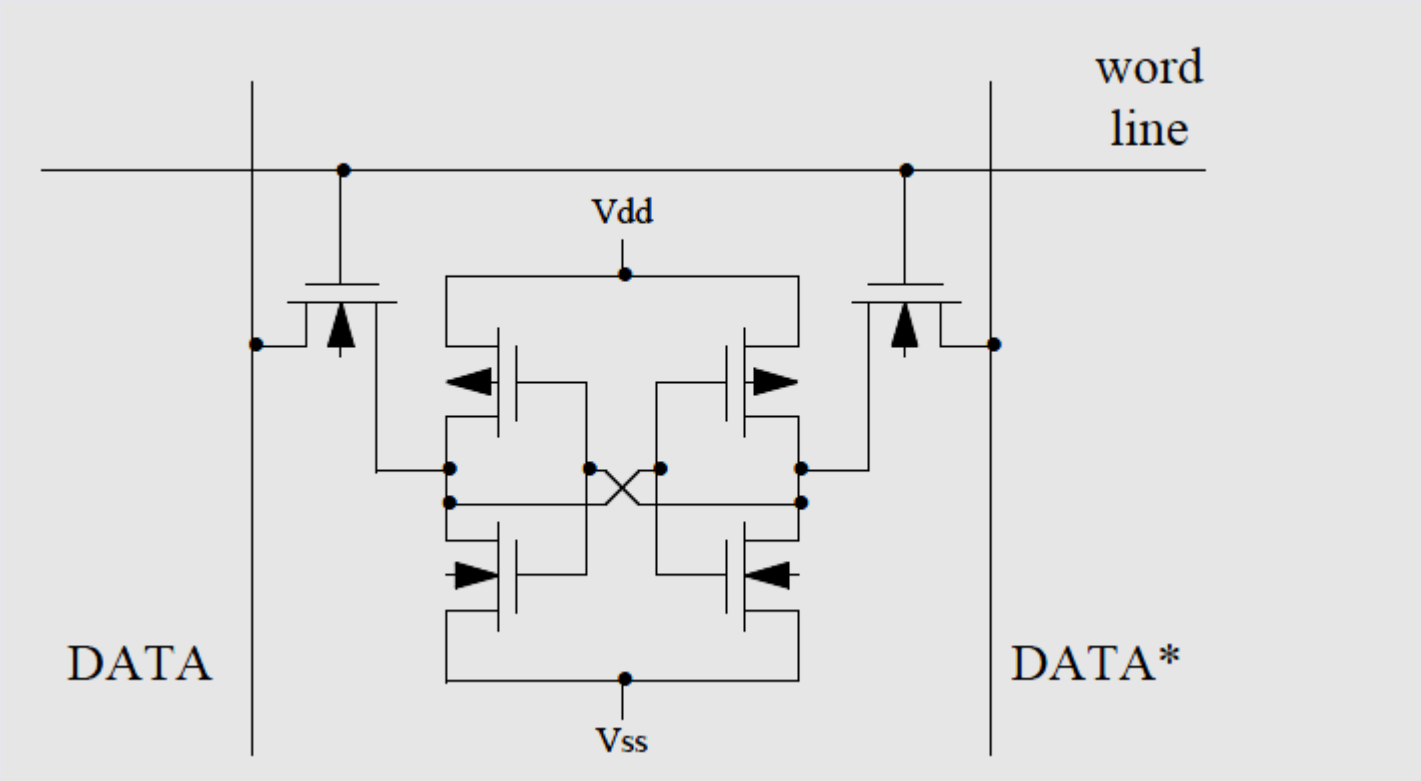


C.H.I.P

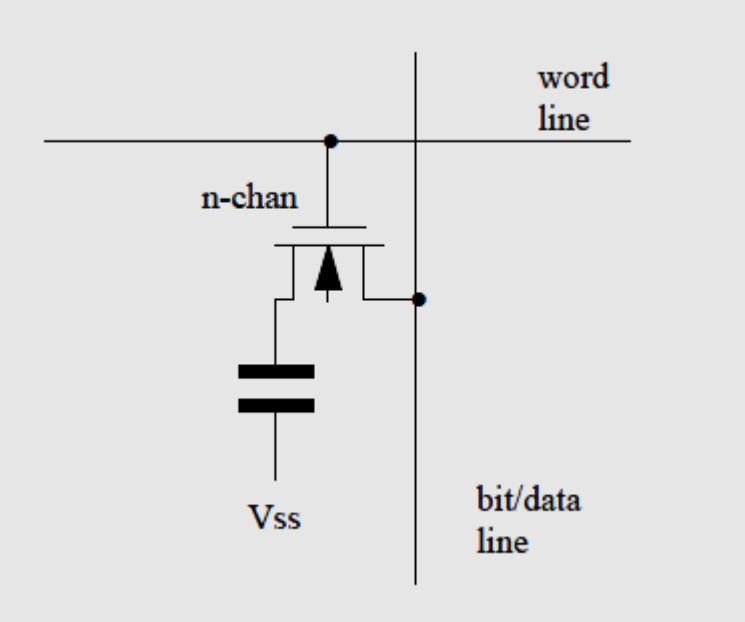
종류	설명	사용처
레지스터	CPU 내부 초고속 기억소자	연산 임시 저장
캐시 (L1, L2, L3)	SRAM 기반, CPU 가까이 위치	자주 쓰는 데이터 임시 저장
DRAM	1개의 트랜지스터 + 축전기로 구성	일반 RAM (메인 메모리)
SRAM	6개의 트랜지스터로 구성, 빠르지만 비쌈	캐시 메모리, 임베디드 메모리 등

Register

CPU 내부에 있는
초소형 초고속 회로



SRAM을 이루는 하나의 셀
6개의 트랜지스터로 이루어진
플립플롭 회로를 통해
1비트를 저장한다



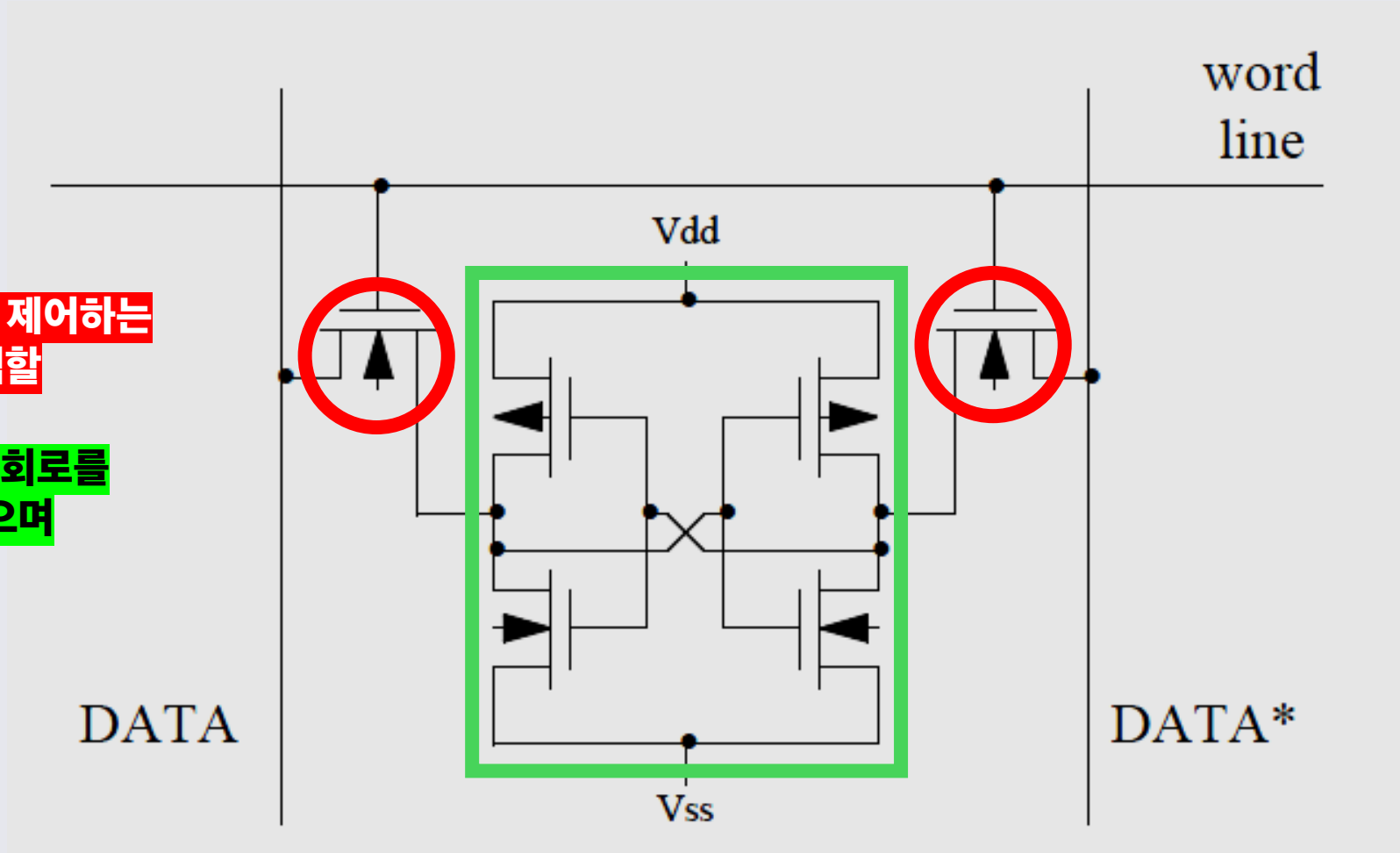
DRAM을 이루는 하나의 셀
트랜지스터와 커패시터가 하나씩 보인다

C.H.I.P

6T SRAM 셀

2개는 읽기/쓰기를 제어하는
접근 통로 역할

4개는 플립플롭 회로를
구성하고 있으며
값을 저장



C.H.I.P

1. 일반 목적 레지스터 (General Purpose Register, GPR)

- 계산, 데이터 저장 등에 사용되는 범용 레지스터
- 예: MOV EAX, 10 → EAX 레지스터에 10 저장

레지스터	주 용도
RAX	누산기, 연산 결과 저장
RBX	베이스 레지스터 (메모리 주소 계산용)
RCX	카운터 (루프 등에서 사용)
RDX	데이터 레지스터 (입출력 등)
RSI	소스 인덱스 (메모리 연산 등)
RDI	목적지 인덱스
RSP	스택 포인터 (현재 스택 위치 가리킴)
RBP	베이스 포인터 (함수 프레임 기준점)
RIP	명령어 포인터 (현재 실행 중인 코드 주소)

x86-64 아키텍처 기준

2. 특수 목적 레지스터 (Special Purpose Register)

- Program Counter (PC)
  - 다음에 실행할 명령어의 주소를 저장
  - = 명령어 흐름 제어

- Stack Pointer (SP)
  - 스택의 가장 위 주소를 가리킴
  - 함수 호출, 리턴 등에 사용

- Status Register / Flags Register
  - 연산 결과에 따라 플래그 설정 (예: 음수?, 0?, 오버플로우?)

- Instruction Register (IR)
  - 현재 실행 중인 명령어 자체를 담고 있음

레지스터 파일 ⊃ 일반 목적 레지스터
특수 목적 레지스터

항목	레지스터 (Register)	캐시 메모리 (Cache)	주기억장치 (RAM)
역할	연산 중인 데이터를 직접 저장 (즉시 사용용)	자주 쓰는 메모리 데이터를 빠르게 접근	프로그램/데이터 전체 저장 (기본 작업공간)
위치	CPU 코어 내부, ALU와 가까움	CPU 코어 내부 또는 외부 (L1~L3)	메인보드에 따로 장착 (CPU 외부)
크기	수십~수백 바이트	수십 KB ~ 수 MB	GB 단위 (4~64GB 등)
속도	가장 빠름 (수 ns 미만)	매우 빠름 (수~수십 ns)	느림 (수십~수백 ns)
제조 구조	6T SRAM	6T SRAM	1T1C DRAM (트랜지스터+커패시터)
비용 (단위당)	매우 비쌈	비쌈	쌈
휘발성	예 (전원 꺼지면 사라짐)	예	예
접근 방식	명령어(mov, add)로 직접 접근	하드웨어가 자동으로 관리 (히트/미스)	CPU가 메모리 컨트롤러 통해 직접 접근
관리 주체	컴파일러 / 어셈블리 명령어	하드웨어 자동 (캐시 컨트롤러)	운영체제 (페이지, 가상메모리 등)
레벨 구분	없음 (코어별 고정 개수)	L1 (빠름, 작음), L2, L3 (느림, 큼)	없음
병렬 접근 가능성	가능 (코어 내에서 완전 병렬)	제한적 병렬성	상대적으로 느림 (버스 병목 존재)
용도 예시	ALU 연산, 스택 포인터, 함수 호출	반복 접근하는 변수, 루프 카운터	프로그램 전체, 힙, 스택, 코드, 데이터 등

레지스터는 CPU 칩 안에 있다

- 우리가 보는 CPU는 딱딱한 실리콘 덩어리
- 그 안을 현미경 수준으로 들여다보면, 수십억 개의 트랜지스터가 배열되어 있음
- 레지스터는 이 트랜지스터로 만들어진 플립플롭(flip-flop)의 조합
- 즉, "논리 회로로 구성된 저장장치"인 셈

CPU 내부 레지스터의 위치는 특별하다

- RAM은 메모리 버스를 통해 접근하지만
- 레지스터는 CPU 바로 안에 있기 때문에 접근 속도가 매우 빠름
- 실제로는 ALU, 제어장치 근처에 자리잡고 있음
- (데이터를 처리하고 명령을 제어하는 곳 바로 옆)

C.H.I.P

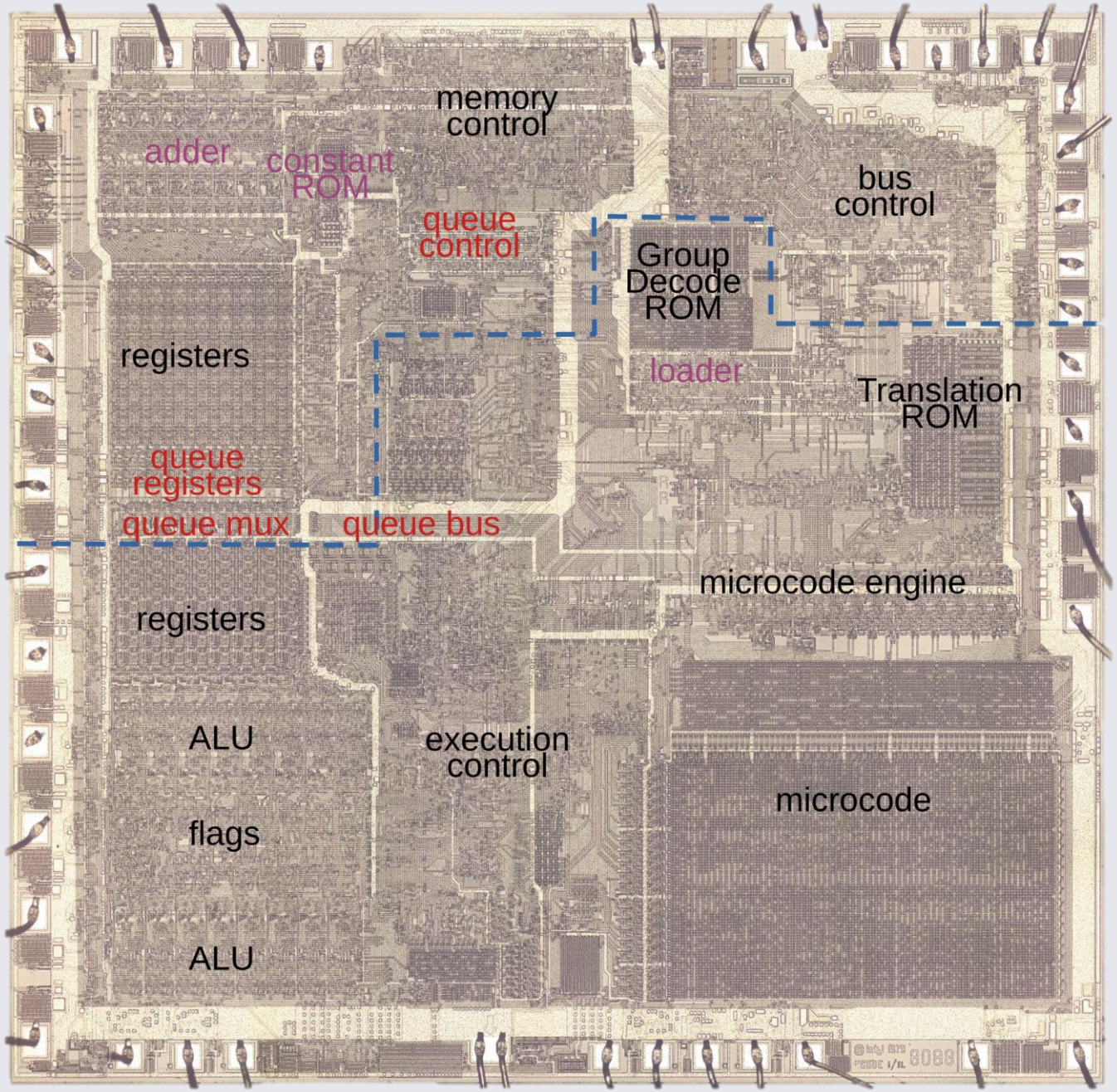
인텔 8086
마이크로프로세서

1978년에 발표된
인텔의 16비트 CPU.

인텔 8080, 인텔 8085의
후속작이자

최초의 x86 아키텍처로
'x86'이라는 명칭 자체가
이 인텔 8086과 그 후속모델
들의 제품명에서 유래한다.

3μm 공정으로 생산됐으며,
29000개의 트랜지스터로
구성되어 있다.



C.H.I.P

Cache Memory

캐시는 SRAM(Static RAM)으로 만든 고속 메모리
내부는 트랜지스터 회로들로 가득 차 있음

레지스터와 본질적으로 동일하지만
위치, 역할, 크기, 접근 방식이 다르다

캐시 = SRAM

종류	이름	특징	어디 쓰나
SRAM	Static RAM	빠르지만 비쌈, 구조 복잡함	캐시 메모리
DRAM	Dynamic RAM	느리지만 저렴, 구조 단순	메인 메모리 (DDR4, DDR5 등)

SRAM은 리프레시(refresh)가 필요 없고 속도가 빠르기 때문에
캐시처럼 CPU 근처에서 초고속으로 작동해야 하는 용도에 아주 적합

SRAM 내부 구조: 6개의 트랜지스터

1비트를 저장하기 위해 6개의 트랜지스터가 사용됨 이를 6T SRAM 셀이라고 한다

캐시 메모리 전체 구성

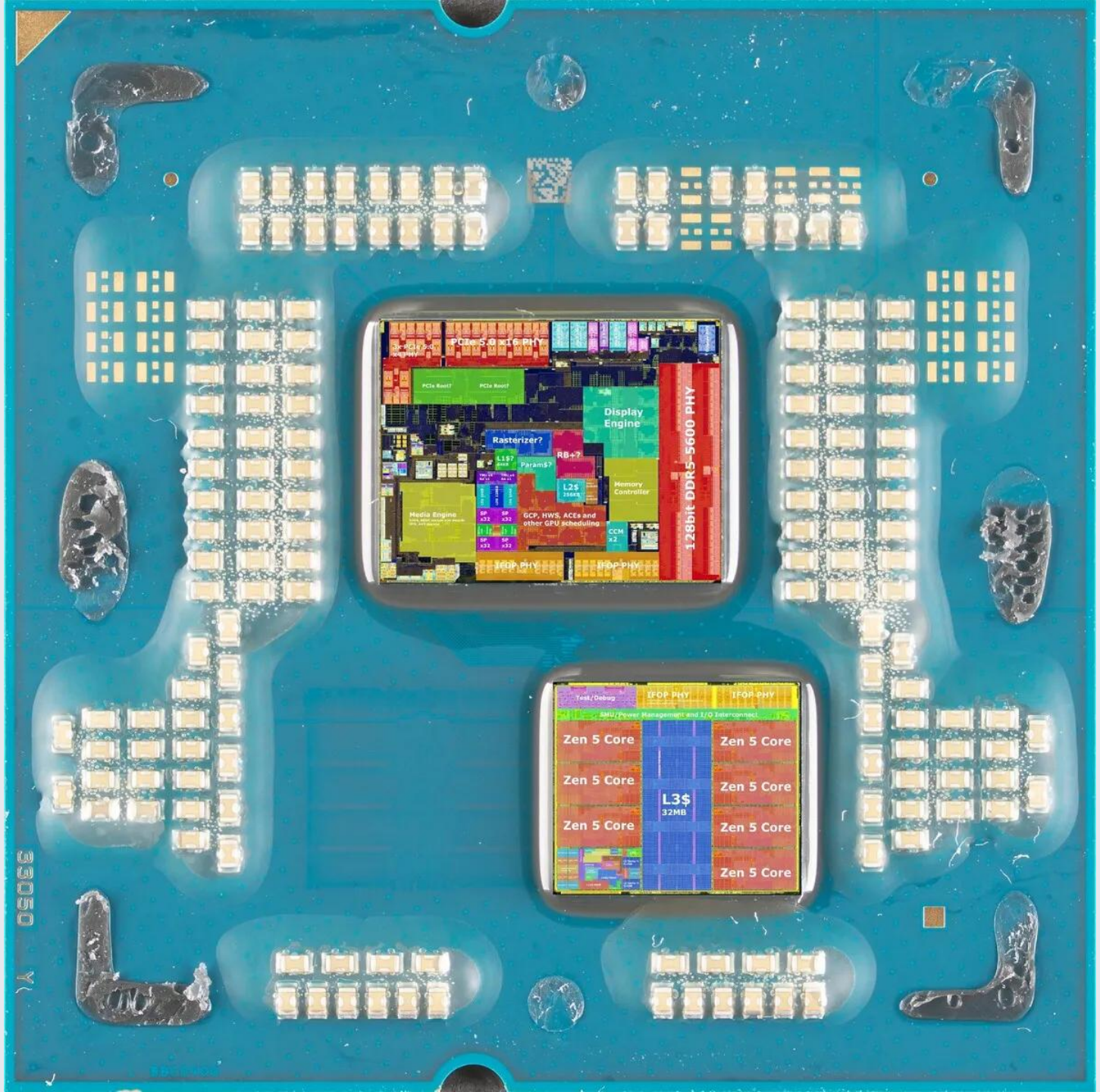
캐시는 수천~수백만 개의 SRAM 셀 + 제어 논리 회로 + 태그 비교 회로로 구성

- Data Array: SRAM 셀들로 구성된 실제 데이터 저장소
- Tag Array: 주소의 일부를 기억하는 태그 저장 공간
- Comparator: 태그 비교기 (캐시 히트/미스 판단)
- Controller: LRU 등 교체 정책, 일관성 유지 로직 등

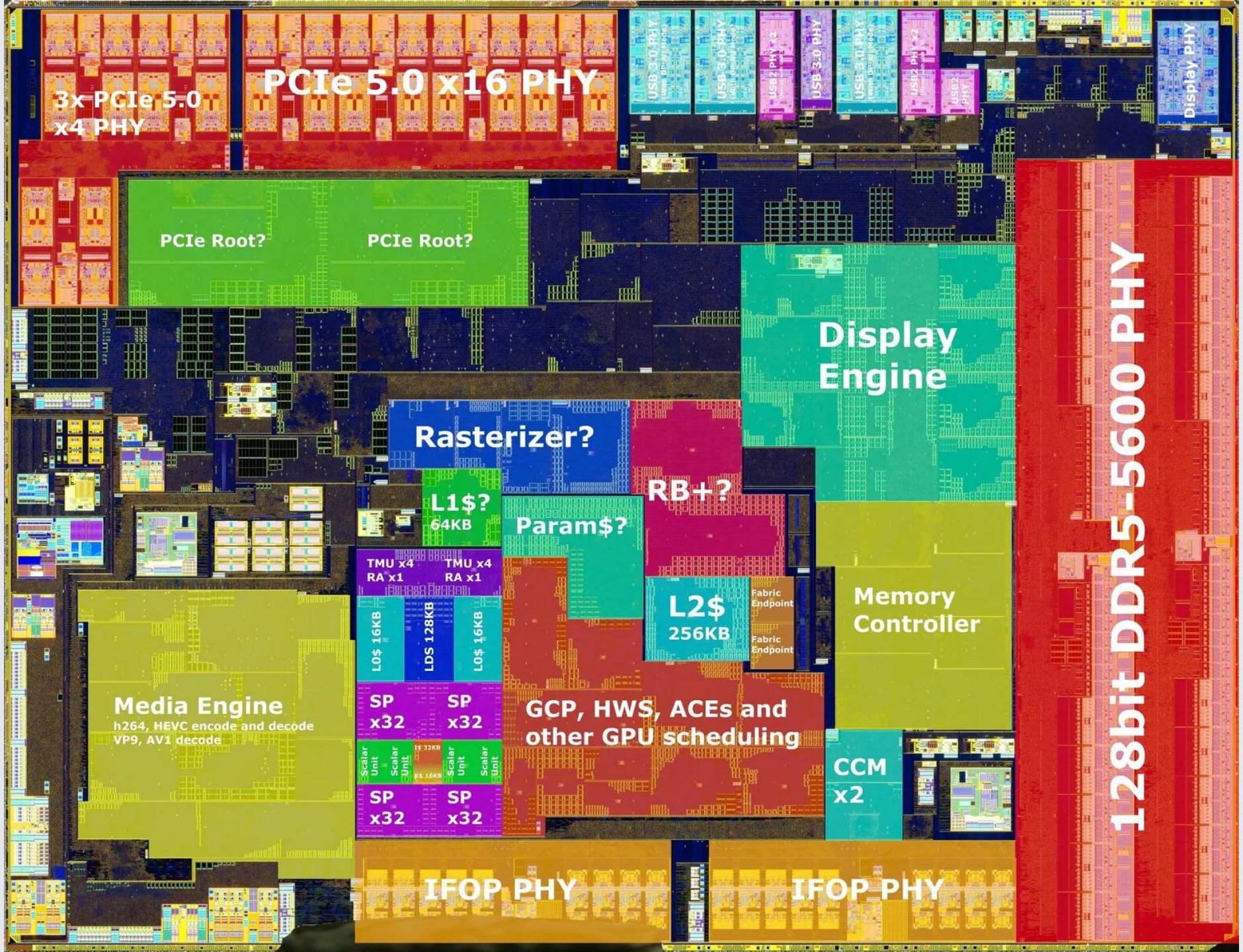
C.H.I.P

Chiplet
Architecture

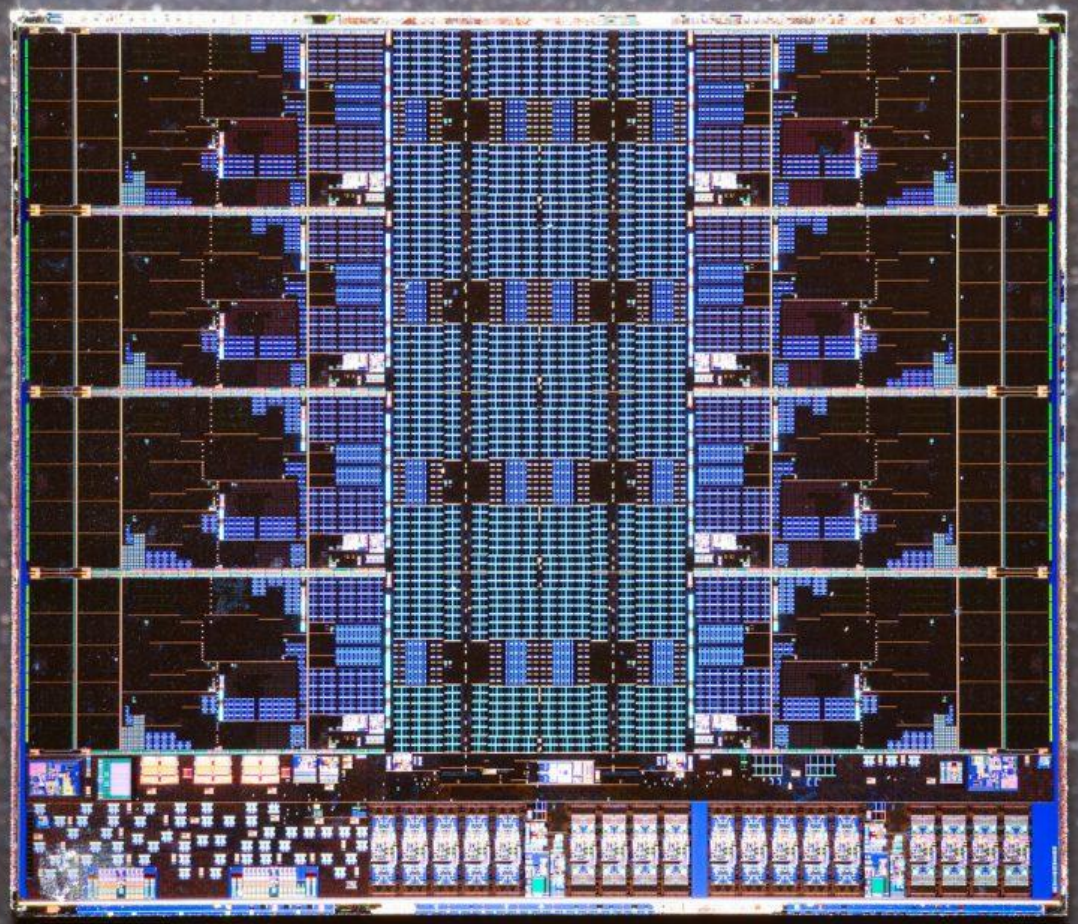
Monolithic
Architecture



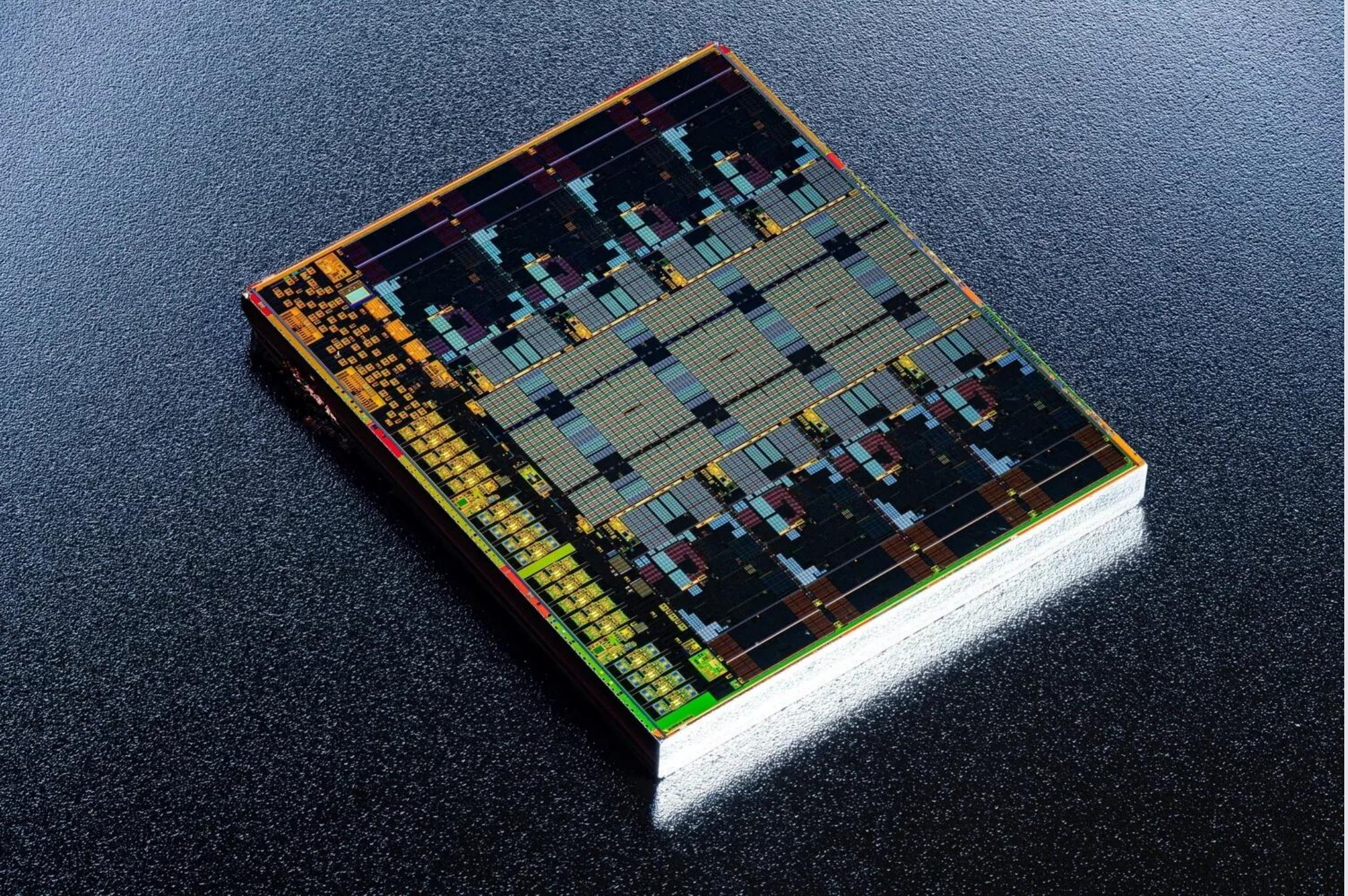
C.H.I.P


3x PCIe 5.0
x4 PHY
PCIe 5.0 x16 PHY
USB3.0 PHY
USB3.0 PHY
USB2 PHY x2
USB3.0 PHY
USB3.0 PHY
USB2 PHY x2
USB2 PHY
Display PHY
PCIe Root?
PCIe Root?
Display
Engine
128bit DDR5-5600 PHY
Rasterizer?
RB+?
L1$?
64KB
Param$?
TMU x4
RA x1
TMU x4
RA x1
L0$ 16KB
LDS 128KB
L0$ 16KB
L2$
256KB
Fabric
Endpoint
Fabric
Endpoint
Memory
Controller
Media Engine
h264, HEVC encode and decode
VP9, AV1 decode
SP
x32
SP
x32
GCP, HWS, ACEs and
other GPU scheduling
Scalar
Unit
Scalar
Unit
I$ 32KB
K$ 16KB
Scalar
Unit
Scalar
Unit
SP
x32
SP
x32
CCM
x2
IFOP PHY
IFOP PHY

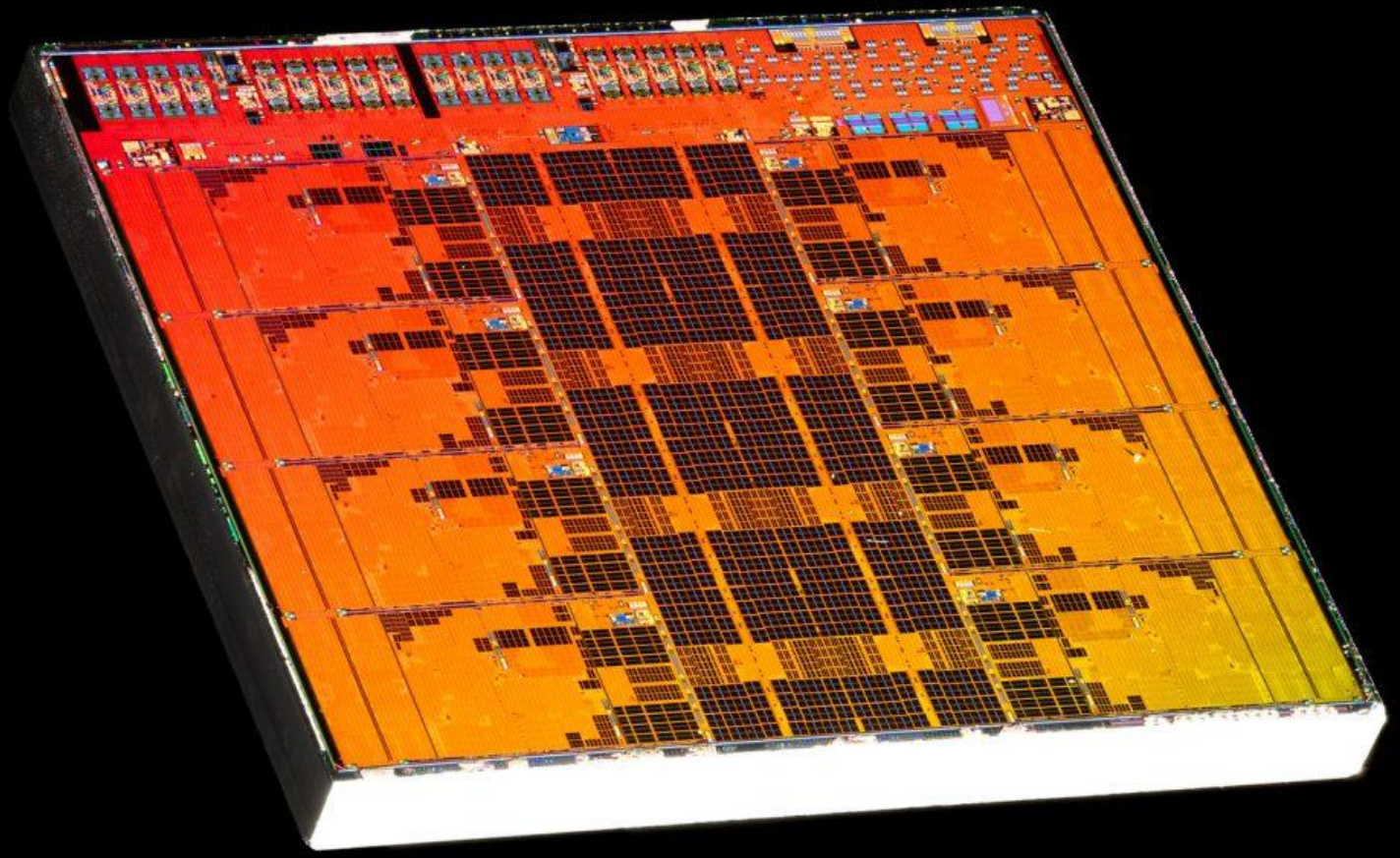
C.H.I.P



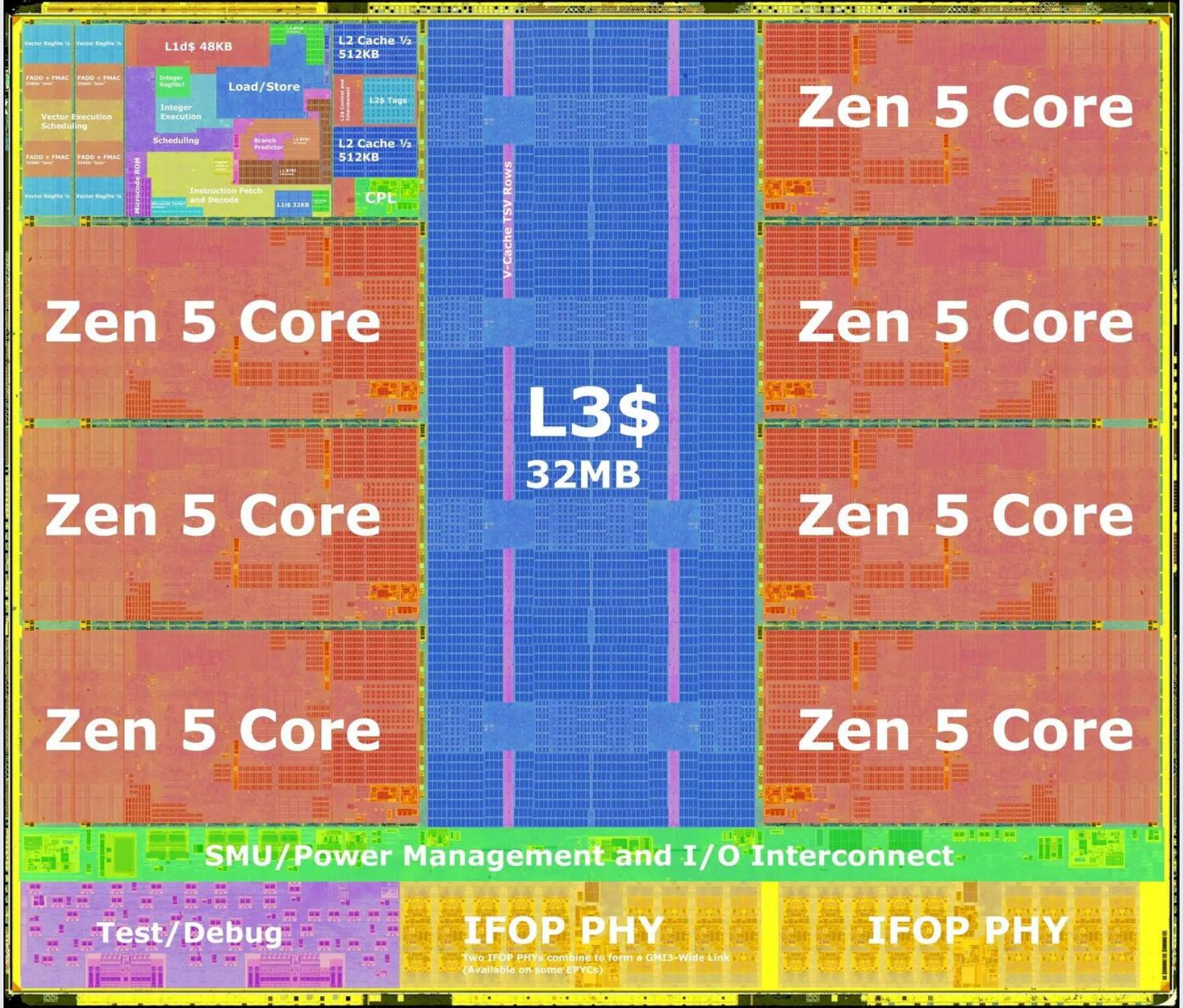
C.H.I.P



C.H.I.P



C.H.I.P


L1d$ 48KB
L2 Cache ½
512KB
Load/Store
Integer Regfile?
Integer Execution
Vector Execution Scheduling
Scheduling
Branch Predictor
L2$ Tags
L2 Cache ½
512KB
Microcode ROM
Instruction Fetch and Decode
L1i$ 32KB
CPL
Zen 5 Core
Zen 5 Core
Zen 5 Core
Zen 5 Core
Zen 5 Core
Zen 5 Core
Zen 5 Core
Zen 5 Core
V-Cache TSV Rows
L3$
32MB
SMU/Power Management and I/O Interconnect
Test/Debug
IFOP PHY
Two IFOP PHYs combine to form a GMI3-Wide Link
(Available on some EPYCs)
IFOP PHY

C.H.I.P

Read
Only
Memory
Random
Access
Memory

Read
Only
Memory

ROM

ROM은 말 그대로 읽기 전용으로 제작된 비휘발성 메모리

종류	정식 명칭	재기록 가능?	삭제 가능?	삭제 방식
ROM	Mask ROM	❌ 불가능	❌ 불가능	없음
PROM	Programmable ROM	✅ 한 번만	❌ 불가능	없음
EPROM	Erasable PROM	✅ 여러 번	✅ 가능	자외선
EEPROM	Electrically EPROM	✅ 여러 번	✅ 가능	전기적 방식
Flash Memory	(특수 EEPROM)	✅ 여러 번	✅ 가능	블록 단위 전기 삭제

Mask ROM

- 제조 공정 중에 미리 데이터가 새겨짐
- 공장 출하 후 절대 수정 불가
- 대량 생산에 적합 (싸고 빠름)
- 펌웨어처럼 완전히 고정된 프로그램 저장에 사용

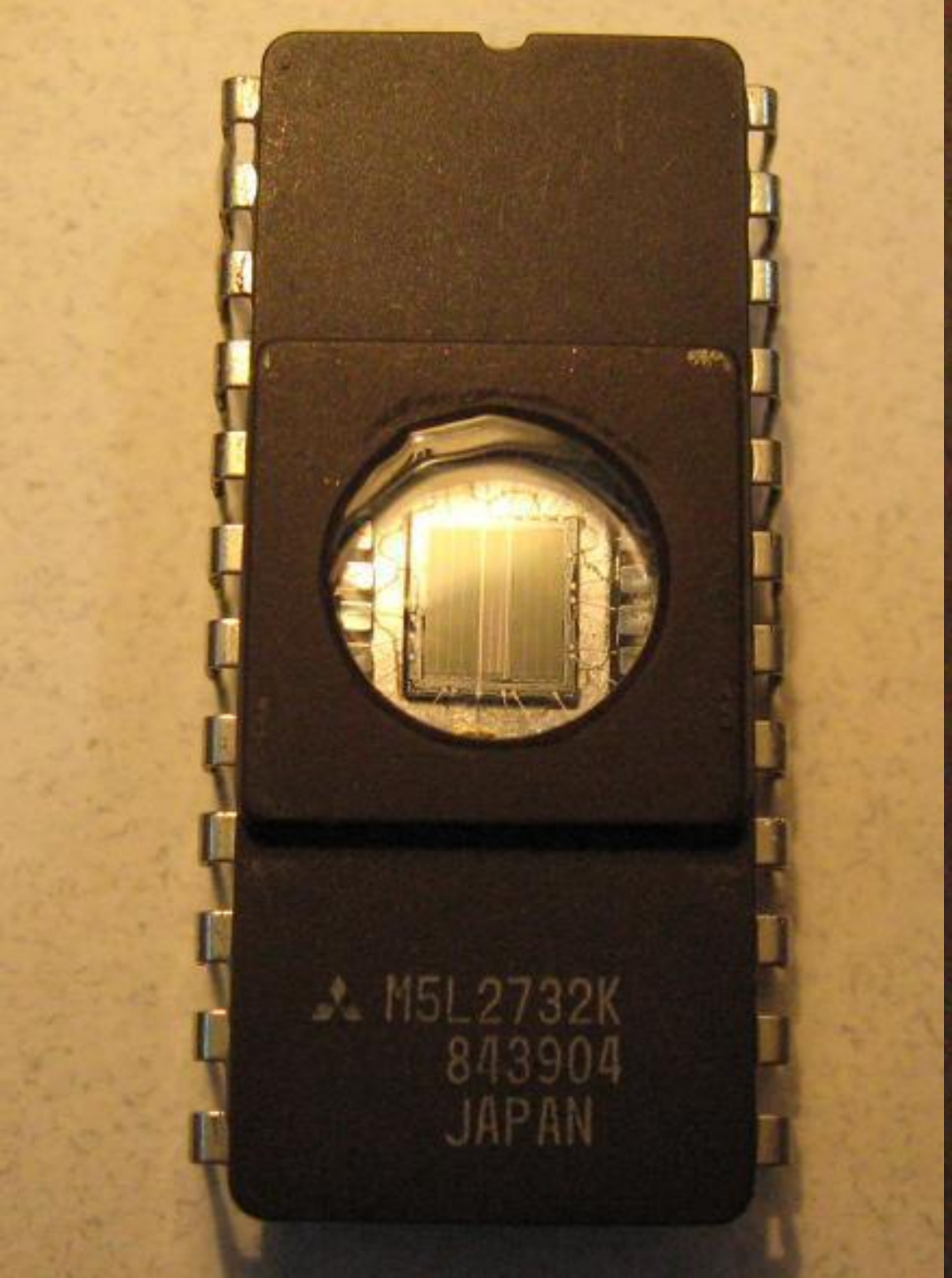
PROM(Programmable ROM)

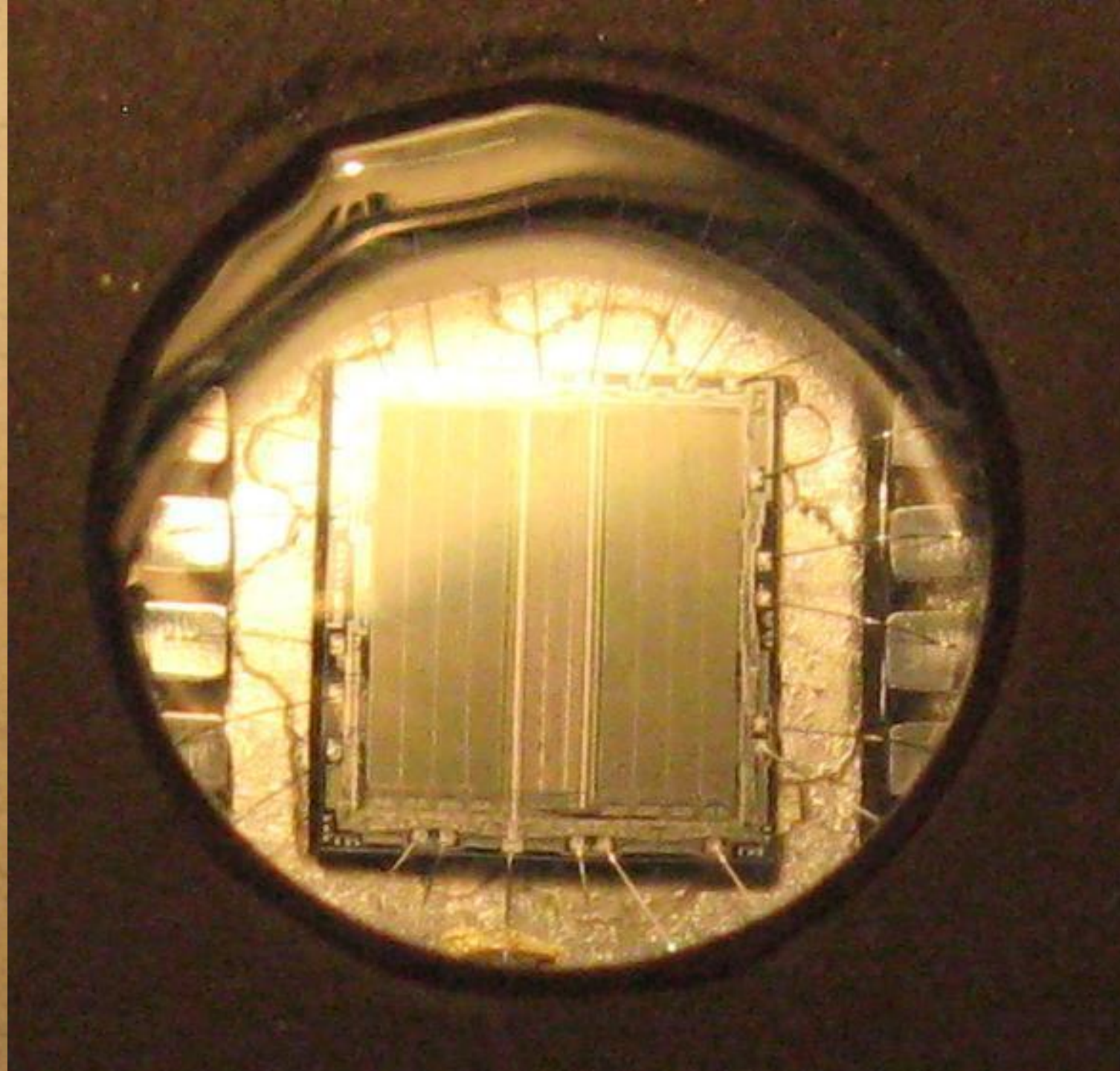
- 처음에는 비어 있음
- 사용자가 한 번만 데이터를 프로그래밍 가능
- 전기적으로 퓨즈를 태워서 0→1을 못 바꾸게 만듦
- 한 번 쓰면 끝 (one-time programmable)

EPROM(Erasable PROM)

- 자외선(UV)을 쬐어야 삭제 가능
- 투명한 쿼츠창이 있어서 UV램프에 비추면 리셋됨
- 재사용 가능하지만 느리고 번거로움
- 쓰려면 다시 전기적으로 프로그래밍

C.H.I.P


M5L2732K
843904
JAPAN



EEPROM(Electrically EPROM)

- 전기적 신호로 삭제/재기록 가능
- EPROM보다 더 빠르고 편리
- 보통 바이트 단위로 수정 가능 (세밀하지만 느림)

Flash Memory

- EEPROM의 변형판
- 페이지/블록 단위로 삭제 및 쓰기
- USB, SSD, SD 카드 등에 사용
- ROM처럼 전원 꺼도 데이터 유지
- 블록 단위 빠른 재기록, 현대 저장장치의 주력

Random Access Memory

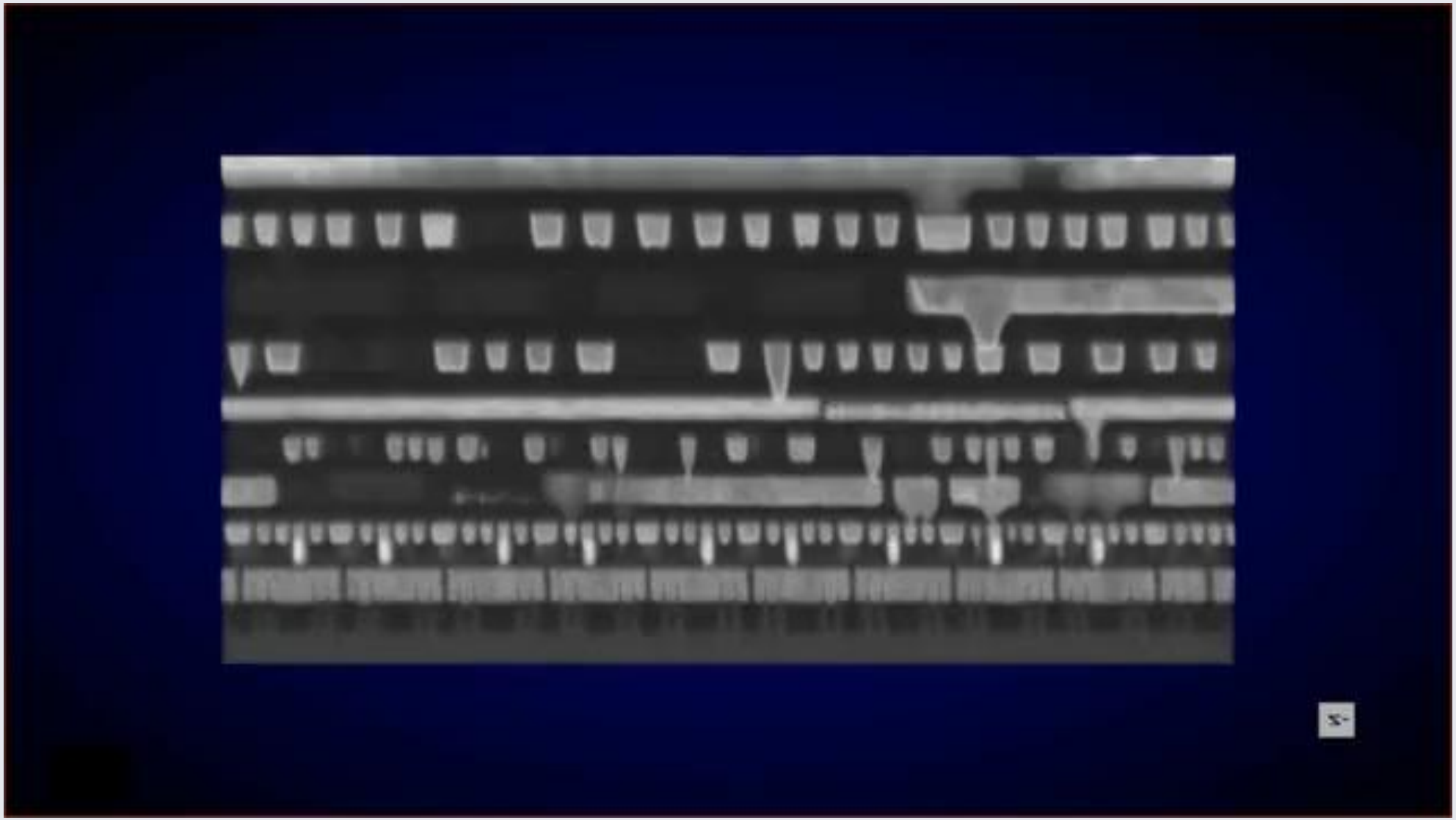
RAM

ROM과는 반대로 RAM은 휘발성 메모리,
즉 전원이 꺼지면 데이터가 사라지는 메모리

종류	정식 명칭	휘발성 여부	속도	가격	구조
SRAM	Static RAM	✅ 휘발성	매우 빠름	비쌈	플립플롭
DRAM	Dynamic RAM	✅ 휘발성	빠름	쌈	커패시터 + 트랜지스터
SDRAM	Synchronous DRAM	✅ 휘발성	DRAM보다 빠름	중간	클럭 동기화
DDR SDRAM	Double Data Rate SDRAM	✅ 휘발성	더 빠름	저렴해짐	양쪽 클럭 엣지 사용

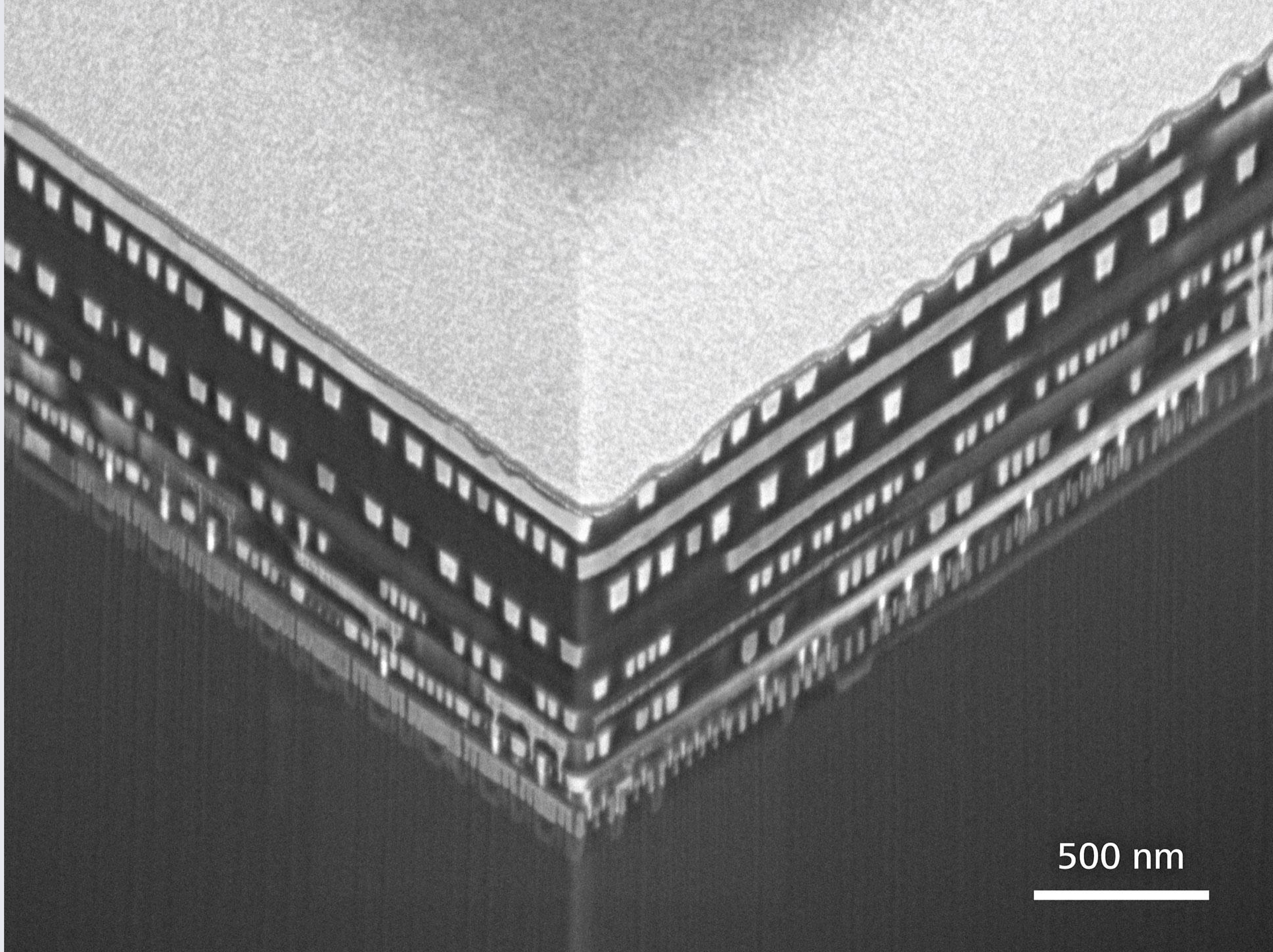
SRAM(Static RAM)

- 전원이 유지되는 한 내용 유지 (refresh 불필요)
- 6개의 트랜지스터로 플립플롭 회로 구성
- 빠르고 안정적이지만 비쌈 → 캐시 메모리로 사용됨 (L1, L2, L3 캐시 등)
- 구조가 크기 때문에 집적도가 낮음 (단위 면적당 데이터 저장량 낮음)



3D Tomography of 7 nm SRAM

Cross Section of 7 nm SRAM



DRAM(Dynamic RAM)

- 1개의 트랜지스터 + 1개의 커패시터로 구성
- 전하가 빠르게 소실되기 때문에 주기적인 리프레시(refresh) 필요
- 느리지만 저렴하고 고용량 가능 → 주기억장치(메인 메모리)로 사용됨
- 일반적인 PC, 노트북의 RAM은 거의 모두 DRAM 계열

전하가 빠르게 소실?

- 커패시터에 전하를 채워 1, 비워 0을 표현하는데
- 이 전하는 시간이 지나면 서서히 **누설(leak)돼서 사라져버린다**
- 누설 전류나 절연체의 불완전성 때문에 전하는 몇 밀리초만 지나도 없어짐

즉, DRAM은 구조적으로 기억력이 짧아서 계속 깨어 있게 만들 필요가 있다

그래서 "리프레시(refresh)"가 필요

- DRAM은 정기적으로 내용을 읽고 다시 써줘야 함
- 이것이 바로 "refresh", 즉 재충전
- 일반적으로 수 밀리초마다 모든 셀을 한 번씩 리프레시 해줘야 데이터가 유지
  - 예: 64ms마다 전체를 refresh
- 이 동작은 DRAM 칩 내부의 회로나 메모리 컨트롤러가 자동으로 해준다

리프레시가 없으면 어떤 일이?

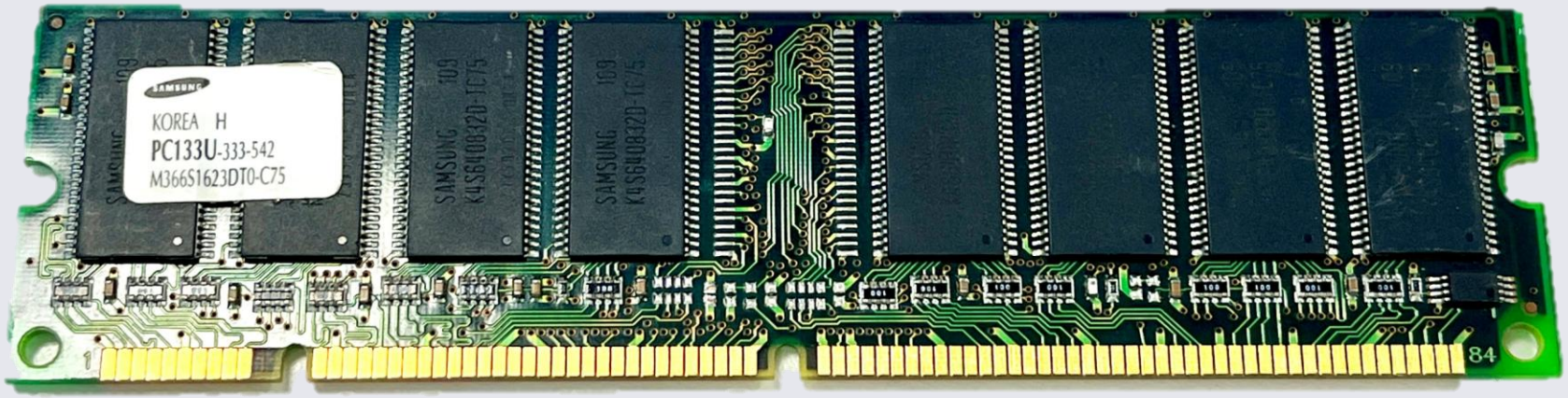
- 저장된 정보가 사라짐 → 데이터 손실
- 메모리에 적혀있던 "1"이 시간이 지나면 점점 0이 되어버림
- 전원이 켜져 있어도, 리프레시 안 하면 데이터 유실

C.H.I.P

SDRAM(Synchronous DRAM)

- 시스템 클럭과 동기화되어 동작하는 DRAM
- 예전의 DRAM은 CPU 클럭과 비동기였음 → 속도 낭비
- SDRAM은 클럭에 맞춰 병렬 명령 처리 가능 → 성능 향상

C.H.I.P


SAMSUNG
KOREA H
PC133U-333-542
M366S1623DT0-C75
SAMSUNG
K4S640832D-TC75
SAMSUNG
K4S640832D-TC75
84

SAMSUNG
KR 0447
PC3200U – 30331 – Z
M368L6423FTN – CCC
512MB DDR PC3200 CL3
SAMSUNG
K4H560838F-TCCC
446

C.H.I.P

예전의 DRAM:
비동기 DRAM (Asynchronous DRAM)

비동기 방식

CPU: "나 이거 줘" → DRAM이 준비되면 응답함

CPU는 기다림

성능 저하

CPU와 메모리가 각자 따로 동작함

DRAM 준비 시간 동안 CPU가 대기해야 했음 → 속도 낭비 발생

명령 타이밍을 맞추기 어려움 + 병렬 처리 불가

C.H.I.P

SDRAM:
동기식 DRAM (Synchronous DRAM)

동기 방식	CPU의 시스템 클럭과 동기화됨
클럭 신호에 맞춰 명령 실행 및 데이터 전달	
명령 예약 가능	클럭 신호에 맞춰 연속적인 명령 예약/처리 가능
병렬성 향상	여러 뱅크를 병렬로 동작시켜 대기 시간 최소화
속도 향상	CPU와 메모리 간 속도 차이를 줄여줌 (지연 시간 개선)

C.H.I.P

어떻게 성능이 향상됐을까?

Asynchronous DRAM :

1. CPU: "데이터 줘!"
2. DRAM: "어... 준비 중..." → CPU 대기 → 비효율

Synchronous DRAM :

1. CPU: "다음 데이터도 줘!"
2. SDRAM: "알겠어, 클럭에 맞춰 딱딱 줄게!" → 예약 처리 가능 → 빠르고 연속적인 처리

추가로 기억할 것

- SDRAM 이후 등장한 DDR, DDR2, DDR3, DDR4도 모두 SDRAM 계열
- 다만, 클럭 효율을 더 끌어올리기 위해 Double Data Rate(DDR) 기술이 결합된 형태

시스템 클럭이란?

컴퓨터 내부 모든 구성 요소(CPU, RAM, 버스 등)의 동작 타이밍을 맞춰주는 신호

쉽게 말하면

- 컴퓨터 안에는 수많은 부품이 동시에 일함.

- 이 부품들이 서로 타이밍이 어긋나지 않도록
- "똑같은 리듬" 으로 움직이게 만들어주는 것이 바로 시스템 클럭

컴퓨터 전체의 “박자”를 맞추는 메트로놈

C.H.I.P

- 시스템 클럭이 1GHz라면? → 1초에 10억 번 신호를 줘서 동작 타이밍을 맞춰줌.
- 이 신호에 맞춰:
  - CPU는 연산하고,
  - 메모리는 데이터 전송하고,
  - 버스는 정보를 주고받음.

클럭의 영향

- 시스템 클럭이 빠르면: → 부품들이 더 자주 동작 → 성능 향상
- 하지만 클럭이 빠르다고 무조건 좋은 건 아님: → 발열, 전력 소모 증가 → 효율적 설계 중요

C.H.I.P

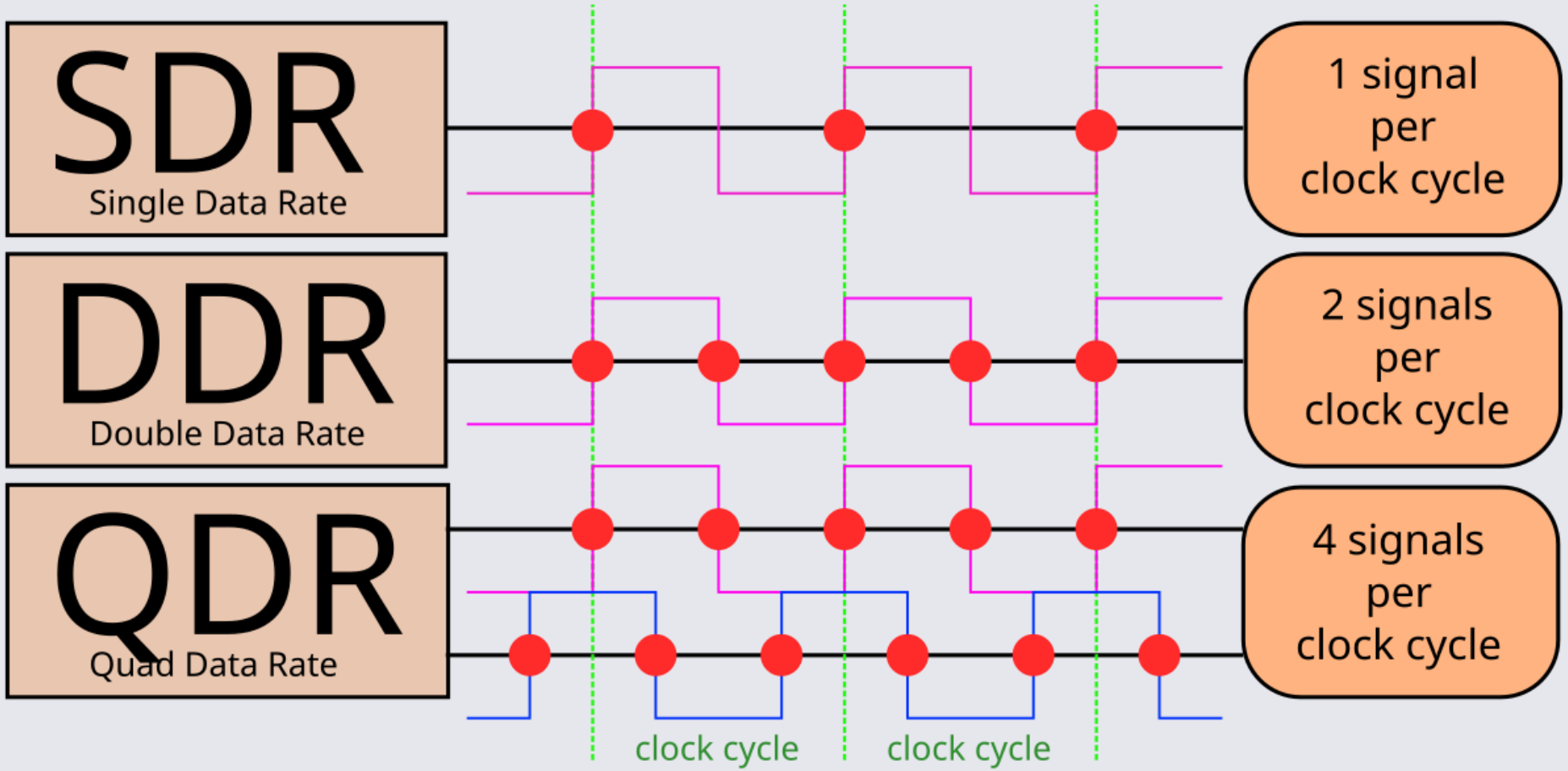
DDR SDRAM

DDR SDRAM(Double Data Rate)

- 클럭의 상승/하강 에지 모두 사용
- 같은 클럭으로 2배의 데이터 처리량
- 세대별 발전: DDR → DDR2 → DDR3 → DDR4 → DDR5 (속도와 대역폭 ↑, 전력 ↓)
- 현재 PC나 노트북에 꽂혀 있는 메모리는 대부분 DDR4 또는 DDR5

DDR이란?

- Double Data Rate SDRAM
- 한 번의 클럭 사이클 동안 두 번 데이터를 전송하는 메모리
- 일반적인 SDRAM은 이 클럭의 상승 에지(↑) 즉, 신호가 올라갈 때만 데이터를 주고받음


SDR
Single Data Rate
DDR
Double Data Rate
QDR
Quad Data Rate
1 signal per clock cycle
2 signals per clock cycle
4 signals per clock cycle
clock cycle
clock cycle

C.H.I.P

하지만 DDR은?

- DDR은 클럭의 상승 에지(↑) 뿐만 아니라 하강 에지(↓) 에서도 데이터를 전송
- 클럭 주파수 100MHz →
  - SDR: 100MB/s 전송 (1클럭 = 1전송)
  - DDR: 200MB/s 전송 (1클럭 = 2전송)

시스템 클럭이 1초에 100번 “똑딱”
“똑딱”한번 = 하나의 클럭 사이클

DDR은
“똑”에도 데이터 전송하고
“딱”에도 데이터 전송해서

2배 빠르게 전송할 수 있게 하는 스킬

시스템 클럭	컴퓨터 전체가 따르는 기준 박자
DDR	시스템 클럭의 상승·하강 에지를 모두 활용하는 메모리 기술
관계	DDR은 시스템 클럭을 더 효율적으로 사용하는 방식일 뿐, 시스템 클럭 그 자체는 아님

MT/s

MT/s = Mega Transfers per second

→ 1초에 몇 백만 번의 데이터 전송이 일어나는지를 의미

Hz(헤르츠)와 뭐가 다른가

구분	의미	예시
Hz	클럭의 주기(1초에 몇 번 신호가 왔다갔다 하는지)	1600MHz → 초당 16억 번
MT/s	실제 데이터가 왔다갔다 하는 횟수	3200MT/s → 초당 32억 번 전송

DDR은 클럭의 상승 + 하강 에지 모두에서 데이터를 보내기 때문에
1600MHz (클럭) → 3200MT/s (전송 속도)가 된다

비유로 이해해보자

- Hz는 심장 박동수처럼, 리듬을 의미
- MT/s는 실제로 피를 몇 번 보내는지를 나타내는 것
- 심장이 1초에 2번 뛰면서, 뛸 때마다 2번씩 피를 보내면
  - 총 4번 피를 보내는 거니까 → 2Hz, 4MT/s가 된다

DIMM

Dual Inline Memory Module

C.H.I.P

DIMM = Dual Inline Memory Module

왜 ‘DIMM’이라고 부를까?

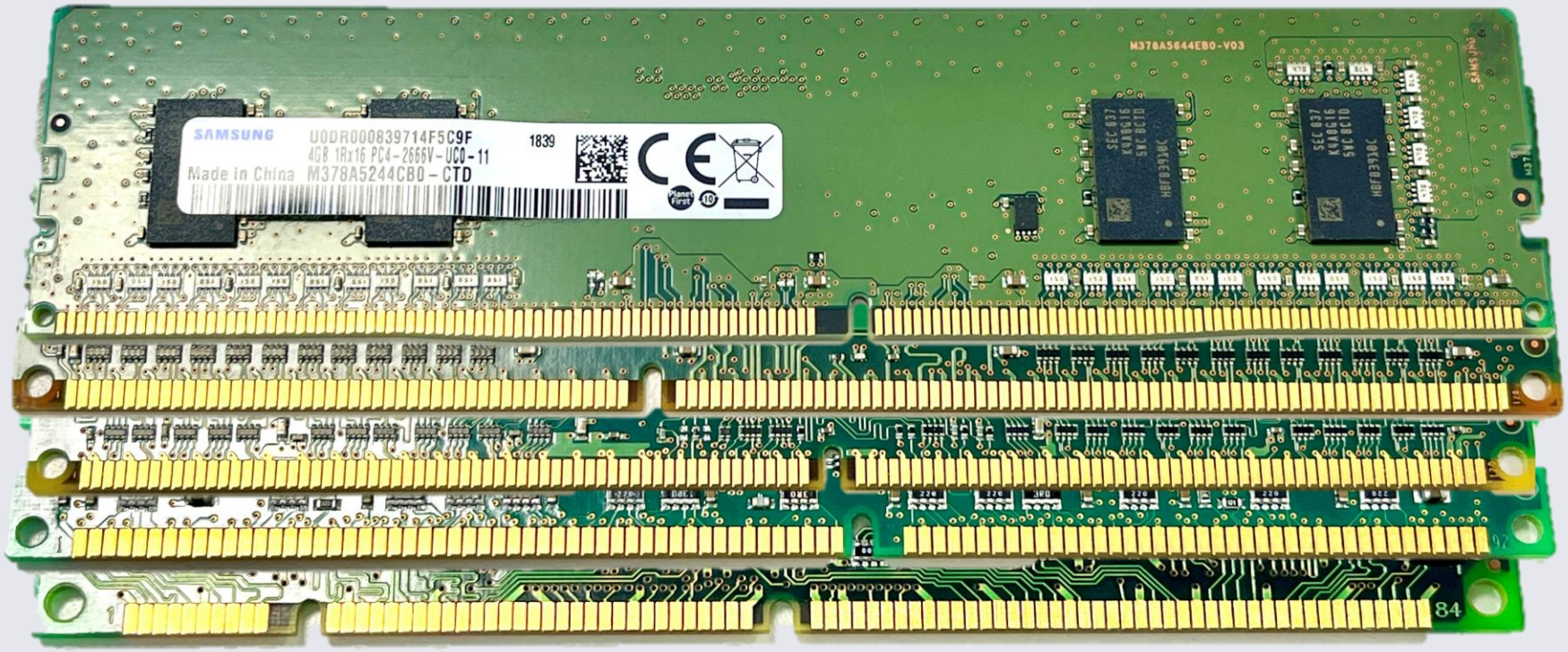
- Dual Inline: 접점이 양쪽에 따로따로 있음
  - → 구형인 SIMM(Single Inline)은 한쪽만 사용

Memory Module: 여러 개의 DRAM을 묶어 하나의 모듈처럼 취급

SIMM vs DIMM

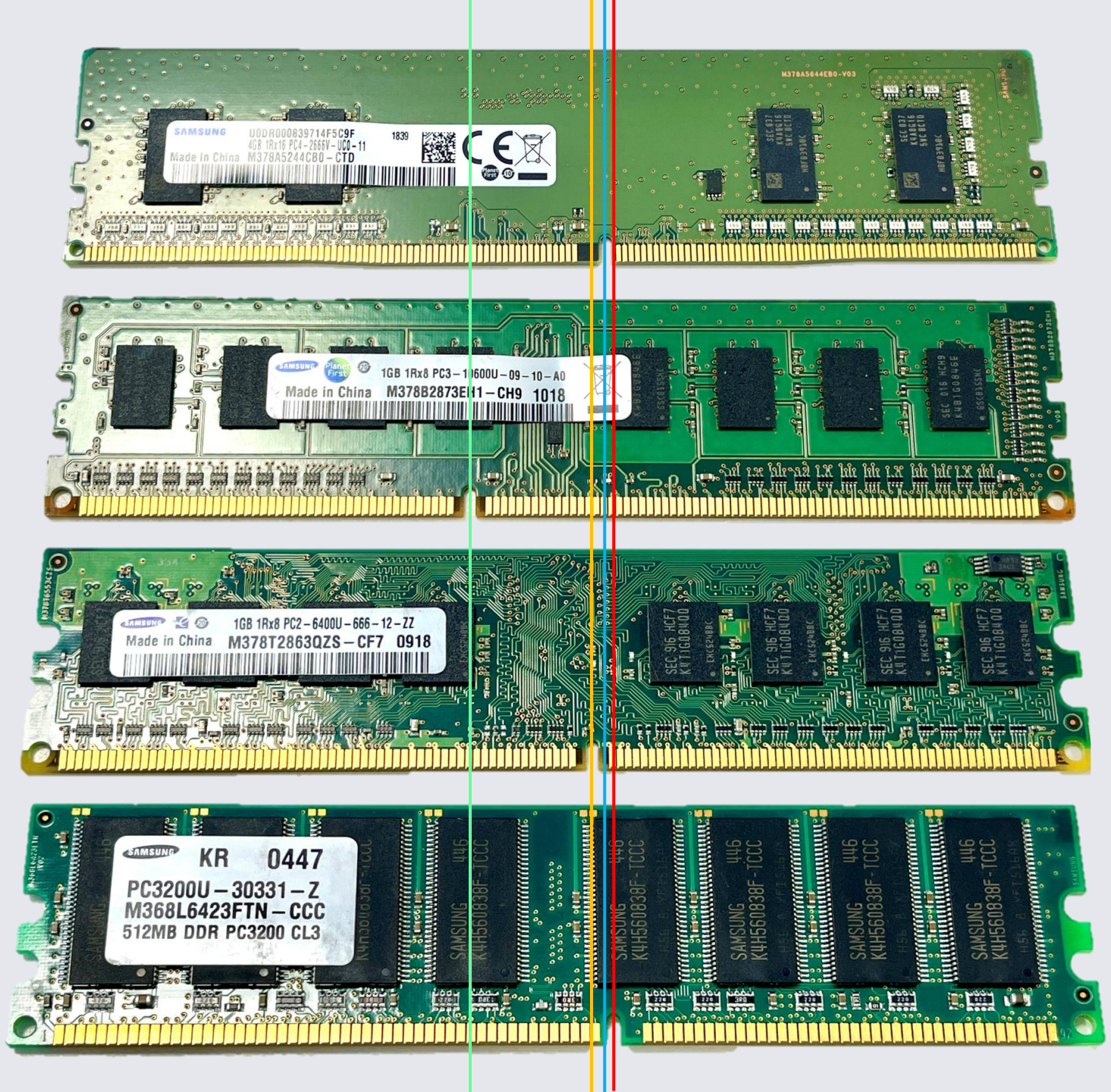
항목	SIMM (Single Inline Memory Module)	DIMM (Dual Inline Memory Module)
의미	"Single Inline" → 한 줄의 핀 접점만 사용	"Dual Inline" → 양쪽 핀 접점이 모두 독립
접점 구조	양쪽 접점이 전기적으로 동일 (복사됨)	양쪽 접점이 서로 다른 회로에 연결됨
핀 수	30핀, 72핀	168핀 이상 (DDR1: 184핀, DDR4: 288핀)
데이터 버스	32비트	64비트 이상
슬롯 삽입 방식	비스듬히 꽂고 눌러서 세움 (tilt + snap)	수직으로 "딸깍" 꽂는 구조
등장 시기	19801990년대 (486펜티엄 초기)	1996현재 (DDR1~DDR5까지 계속 발전 중)

C.H.I.P



항목	설명
DIMM의 핀 수	앞면 접점 수 + 뒷면 접점 수
예: DDR4 288핀	앞면 144핀 + 뒷면 144핀
SIMM과 차이	SIMM은 한쪽만 동작 → 핀 수 = 한 면 기준
왜 중요한가?	전기적 신호 수, 병렬성, 대역폭에 직접 영향 줌

C.H.I.P



DDR4 288P

DDR3 240P

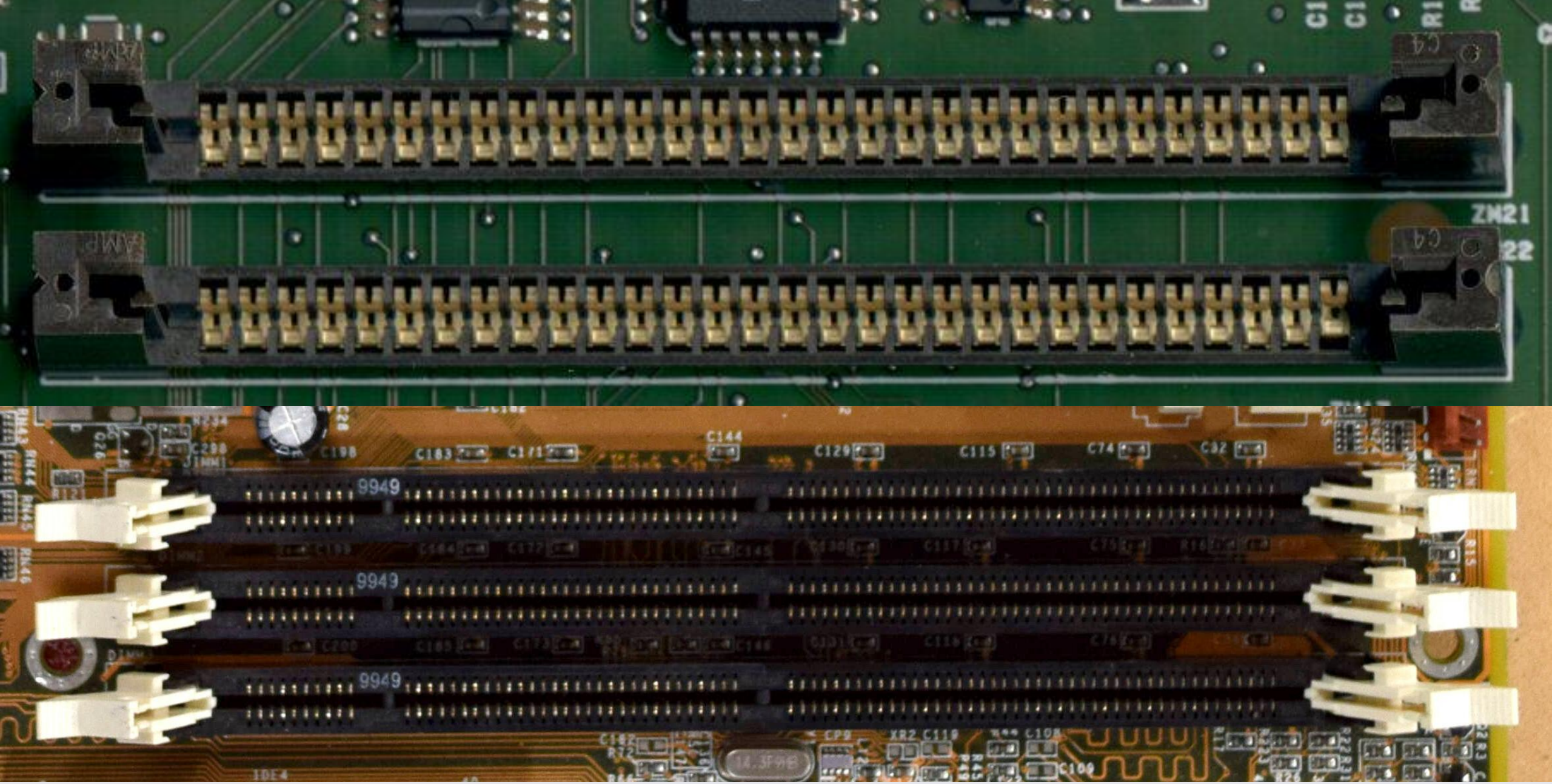
DDR2 240P

DDR1 184P

C.H.I.P

도시바에서 생산한 램 칩이 탑재된 4MB 72핀 SIMM Memory

C.H.I.P



위는 SIMM슬롯, 아래는 DIMM슬롯

C.H.I.P

DDR SDRAM 세대별 정리

세대	정식 명칭	발표 시기	동작 속도(MHz)	데이터 전송 속도(MT/s)	전압(V)	주요 특징
DDR1	DDR SDRAM	2000년대 초반	100~200MHz	200~400MT/s	2.5V	최초의 DDR. 클럭당 2번 전송
DDR2	DDR2 SDRAM	2003~2004	200~533MHz	400~1066MT/s	1.8V	4비트 프리페치, 속도 향상, 더 낮은 전압
DDR3	DDR3 SDRAM	2007~2008	400~1066MHz	800~2133MT/s	1.5V (→ 1.35V)	8비트 프리페치, 전력 효율 ↑
DDR4	DDR4 SDRAM	2014	800~1600MHz	1600~3200MT/s 이상	1.2V (→ 1.05V)	뱅크 그룹 도입, 더 높은 대역폭
DDR5	DDR5 SDRAM	2020~2021	1600~3200MHz	3200~8400MT/s 이상	1.1V (→ 1.0V)	2채널(32bit×2), 전력관리 칩(PMIC) 온다이화
→	(CXL 기반) DDR5	2023~	확장형	수십 GB/s	N/A	CXL 인터페이스 적용 (CPU-DRAM 구조 진화)

C.H.I.P

구성 요소

① DRAM 칩 - 실제 데이터 저장

② PCB (기판)

③ 골드 핑거 (접점)

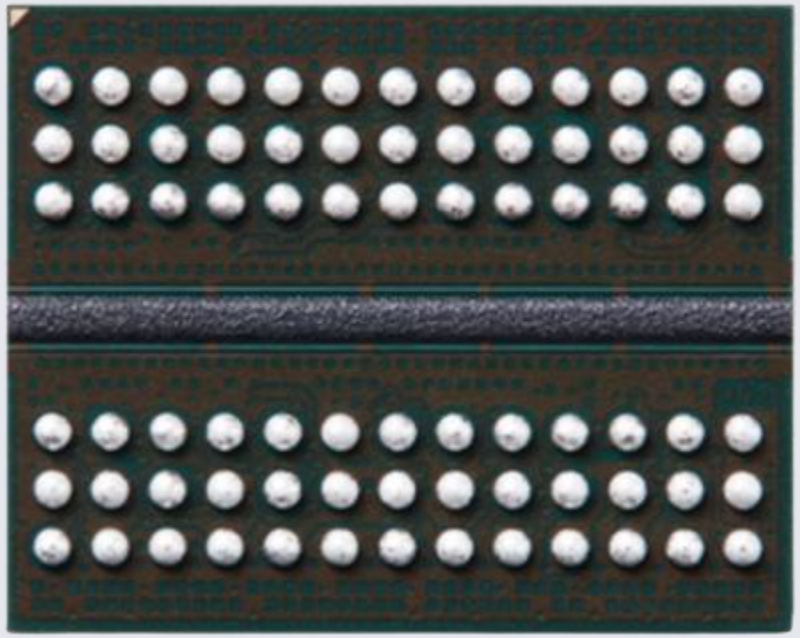
④ SPD EEPROM

⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자)

⑧ 히트싱크(있을 경우)

C.H.I.P



구성 요소

① DRAM 칩 - 실제 데이터 저장

② PCB (기판)

③ 골드 핑거 (접점)

④ SPD EEPROM

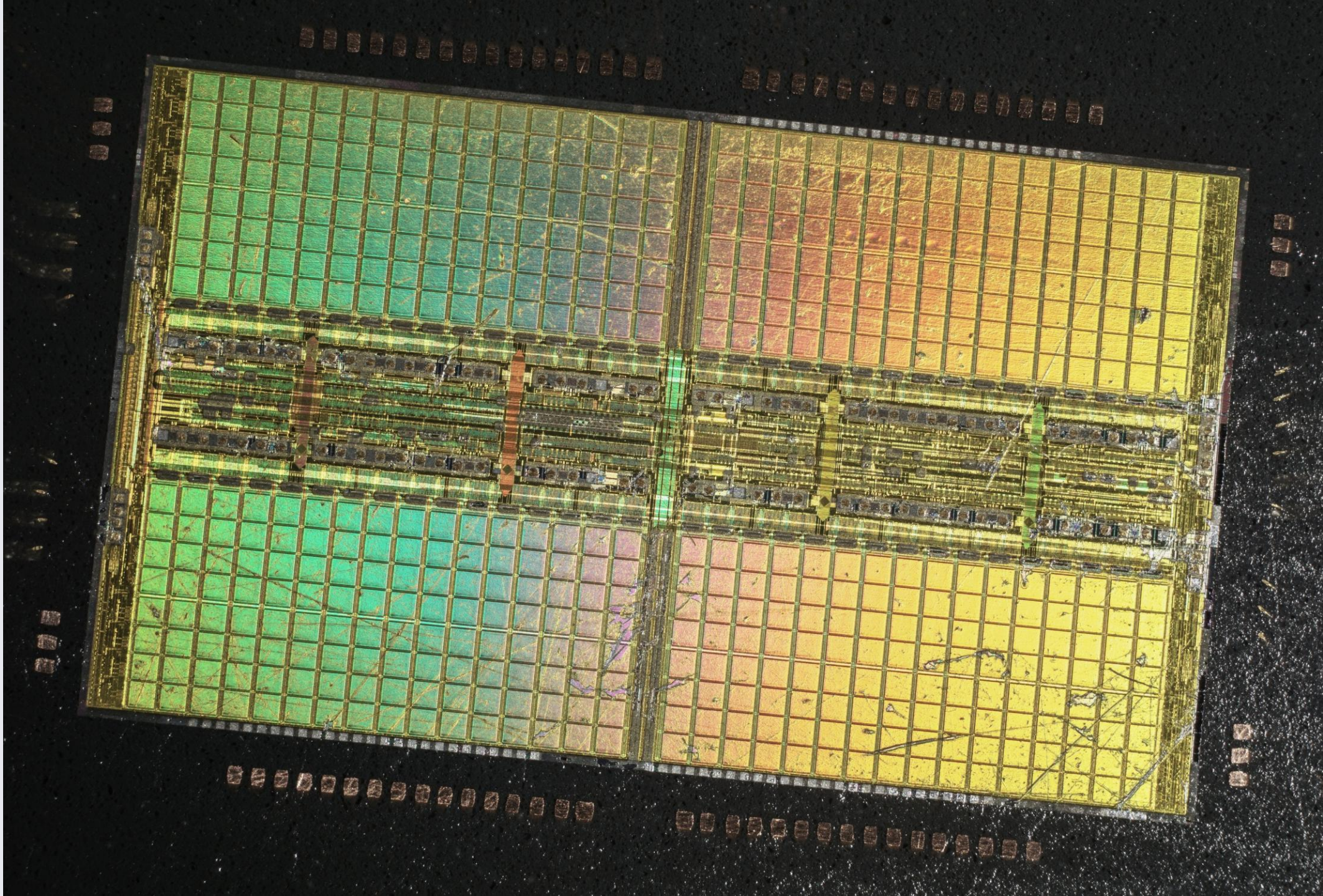
⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자)

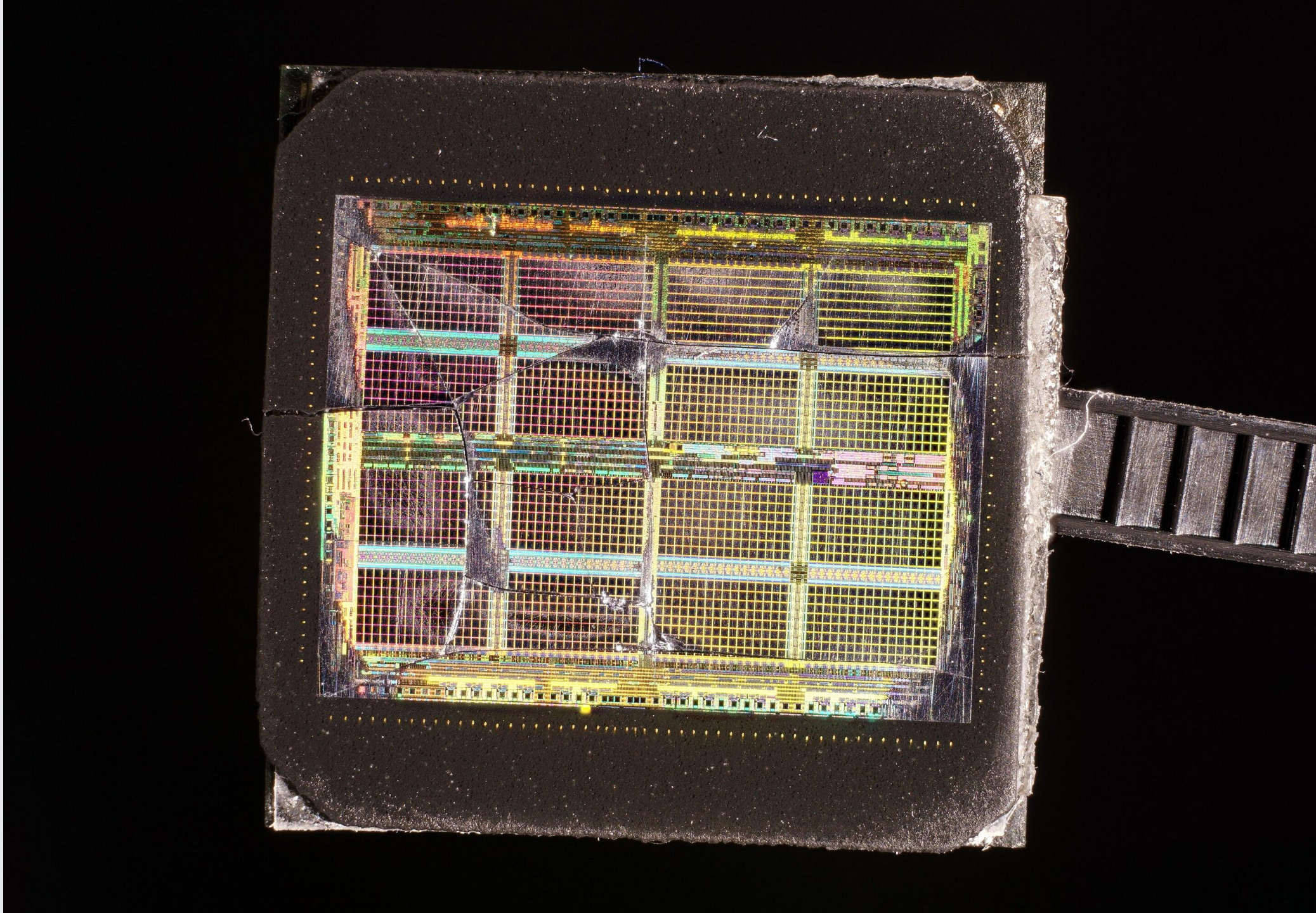
⑧ 히트싱크(있을 경우)

C.H.I.P

삼성
DDR-SDRAM
64-MBIT
패키지 다이



삼성
GDDR3
256-MBIT
패키지 다이



구성 요소

① DRAM 칩

② PCB (기판) - 모든 신호선, 전력선이 깔린 메모리의 뼈대

③ 골드 핑거 (접점)

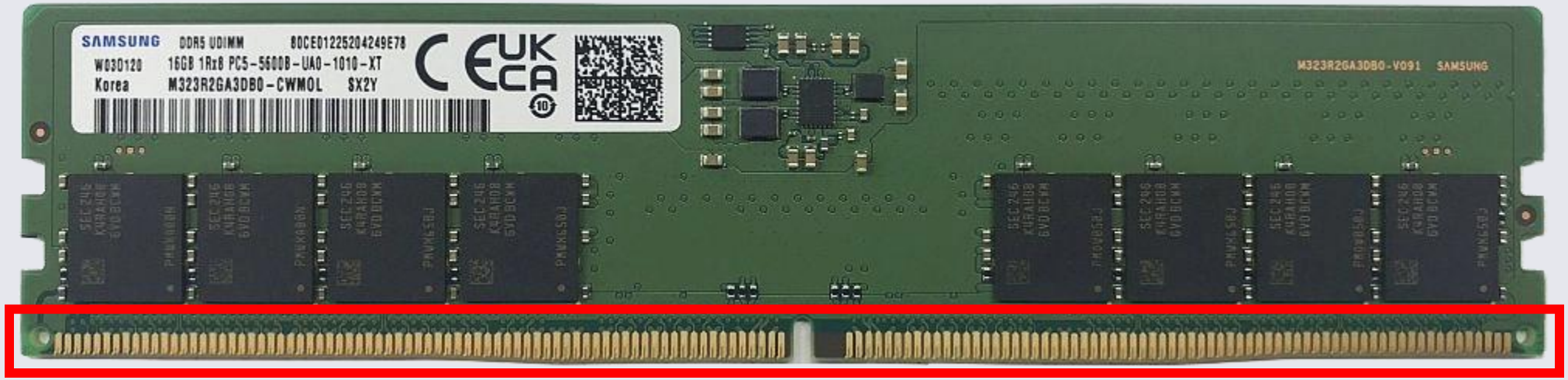
④ SPD EEPROM

⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자)

⑧ 히트싱크(있을 경우)

C.H.I.P



구성 요소

① DRAM 칩

② PCB (기판)

③ 골드 핑거 (접점) - 메인보드와 전기적으로 연결되는 접점부

④ SPD EEPROM

⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자)

⑧ 히트싱크(있을 경우)

C.H.I.P

구성 요소

① DRAM 칩

② PCB (기판)

③ 골드 핑거 (접점)

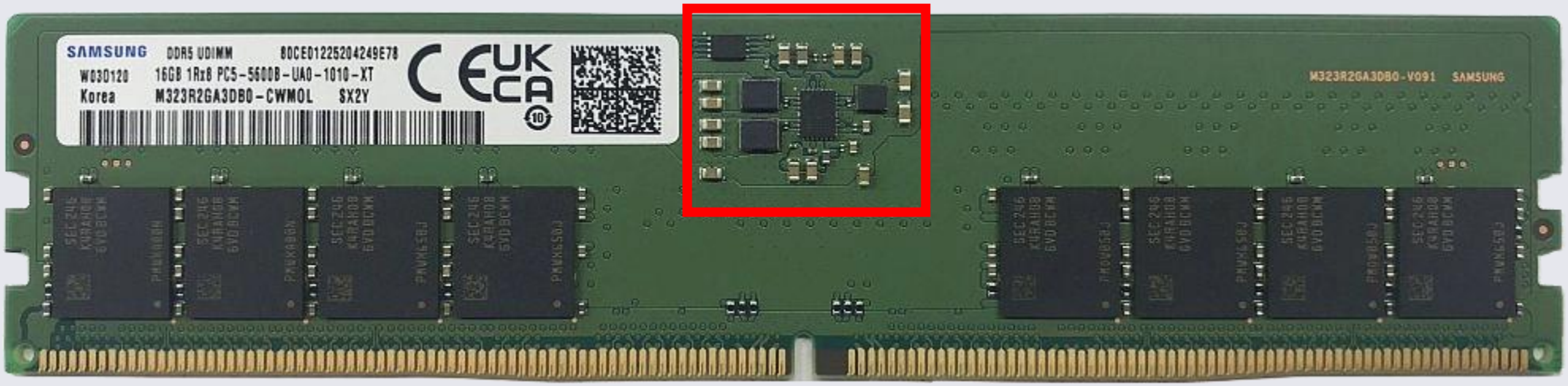
④ SPD EEPROM - 메모리 용량, 속도, 타이밍 정보 저장, BIOS가 부팅 시 SPD를 읽고 메모리 설정 자동 조정함

⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자)

⑧ 히트싱크(있을 경우)

C.H.I.P



구성 요소

① DRAM 칩

② PCB (기판)

③ 골드 핑거 (접점)

④ SPD EEPROM

⑥ PMIC (DDR5 전용) - DDR5부터는 전력을 모듈 내부에서 조절, 고속 동작 안정성↑, PMIC이 고장나면 해당 모듈은 무조건 사망

⑦ 저항/커패시터 (패시브 소자)

⑧ 히트싱크(있을 경우)

C.H.I.P

구성 요소

① DRAM 칩

② PCB (기판)

③ 골드 핑거 (접점)

④ SPD EEPROM

⑥ PMIC (DDR5 전용)

⑦ 저항/커패시터 (패시브 소자) - DRAM 동작에 필요한 정전용량 유지, 신호 안정화, PCB 곳곳에 분포

⑧ 히트싱크(있을 경우)

C.H.I.P

16-18-18-38

램 타이밍

램 타이밍이란?

- 램 타이밍은 메모리 내부에서 명령 간 지연 시간(delay)을 나타내는 클럭 단위 숫자
- 메모리가 읽기/쓰기 요청을 처리할 때까지 걸리는 시간을 결정

- 즉, 램 속도의 "반응성"을 수치화한 것

대표적인 타이밍 예시: 16-18-18-38(CL-tRCD-tRP-tRAS)
총 4개의 주요 타이밍 파라미터로 구성되어있다

표기	의미	설명
CL (CAS Latency)	Column Address Strobe	데이터를 요청한 후 응답까지 걸리는 클럭 수
tRCD	Row to Column Delay	행을 연 후 열을 지정하는 데 걸리는 시간
tRP	Row Precharge Time	현재 열을 닫고 새로운 행을 여는 데 필요한 시간
tRAS	Row Active Time	행을 유지해야 하는 최소 시간 (활성화 → 비활성화까지)

16-18-18-38 →
CL=16, tRCD=18, tRP=18, tRAS=38

램 타이밍의 실제 영향

- 숫자가 낮을수록 메모리 응답속도는 빠름
- 하지만 속도(MT/s)가 높을수록 타이밍 숫자도 함께 증가하는 경향이 있음

- 즉, CL만 보고 "느리다/빠르다"를 판단하면 안 되고,
  - 전체적인 클럭(MHz)과 타이밍을 함께 봐야 한다

C.H.I.P

동일한 CL이지만 속도가 다른 예시

램 스펙	계산	실제 대기 시간 (ns)
DDR4-2400 CL16	16 ÷ 1200MHz	≒ 13.3ns
DDR4-3200 CL16	16 ÷ 1600MHz	≒ 10.0ns 더 빠름!

C.H.I.P

클럭은 높지만 실제 응답시간(ns)은 더 느려지는 예시

램 스펙	클럭 속도 (MHz)	CAS Latency (CL)	계산식 (CL ÷ MHz)	실제 대기 시간 (ns)
DDR4-2400 CL14	1200MHz	14	14 ÷ 1200	11.67ns 빠름
DDR4-2666 CL18	1333MHz	18	18 ÷ 1333	13.50ns 느림
DDR4-3200 CL22	1600MHz	22	22 ÷ 1600	13.75ns 더 느림
DDR4-3600 CL16	1800MHz	16	16 ÷ 1800	8.89ns 빠름

DDR4-3200 CL22는 클럭은 빠르지만, 타이밍(CL)이 너무 높아서 → 결과적으로 DDR4-2400 CL14보다 느린 반응 시간을 가짐

반대로 DDR4-3600 CL16 같은 고클럭+저타이밍 조합은 → 훨씬 낮은 지연 시간 제공

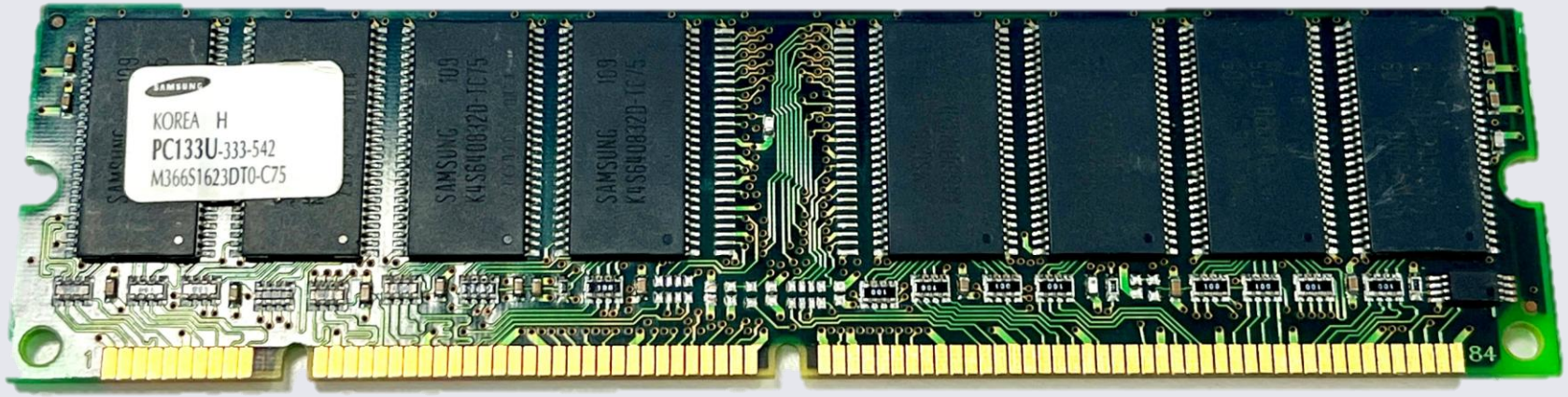
C.H.I.P

핵심 요약

포인트	설명
클럭이 높아도 CL이 높으면	실제 대기 시간이 길어질 수 있음
좋은 램은?	클럭 높고 CL 낮은 조합 (예: 3200 CL14, 3600 CL16 등)
비교 시 기준	반드시 "CL ÷ (MT/s ÷ 2)" = ns 기준으로 비교할 것

C.H.I.P

라벨 해석



삼성 128MB SDRAM

[1행] KOREA H
[2행] PC133U-333-542
[3행] M366S1623DT0-C75

C.H.I.P

표기	의미
PC133	SDRAM 속도: 133MHz 클럭 / 1.06GB/s 대역폭
U	Unbuffered 모듈 (일반 사용자용)
333	CAS Latency 3, RAS to CAS 3, RAS Precharge 3 → CL3-3-3
542	메모리 타이밍 코드 (JEDEC 등록 번호)
M366S1623DT0-C75	삼성 파트 넘버

- M = Samsung
- 366 = 모듈 타입 코드
- S = SDRAM
- 1623 = 16Mx32 (즉 128 MB)
- DT0 = 제조 공정 코드
- C75 = 속도 등급
- (7.5ns = 133MHz)

C.H.I.P

삼성 512MB DDR1

[1행] PC3200U-30331-Z
[2행] M368L6423FTN-CCC
[3행] 512MB DDR PC3200 CL3

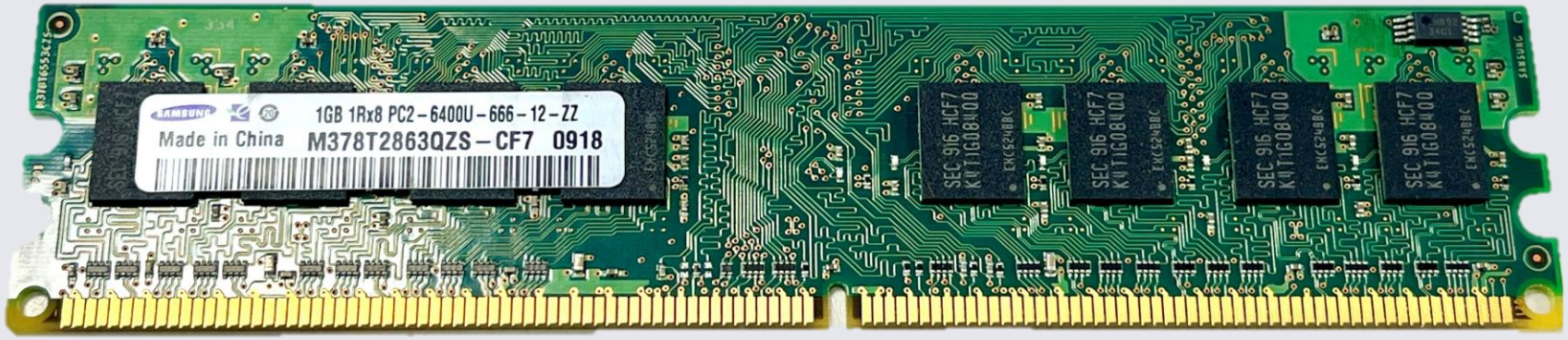
C.H.I.P

표기	의미
PC3200	DDR1 속도: 400MT/s → 3.2GB/s 대역폭
U	Unbuffered
30331	타이밍: CL3-3-3-1
Z	제조사/패키징 부호
M368L6423FTN-CCC	삼성 파트 넘버

- M = Samsung
- 368 = DDR 모듈 코드
- L = 64bit width
- 6423 = 64Mx4 구성
- FTN = 제조 패키지 정보
- CCC = CL3 등급

총 용량 512MB, DDR1, 속도 PC3200, CL3

C.H.I.P



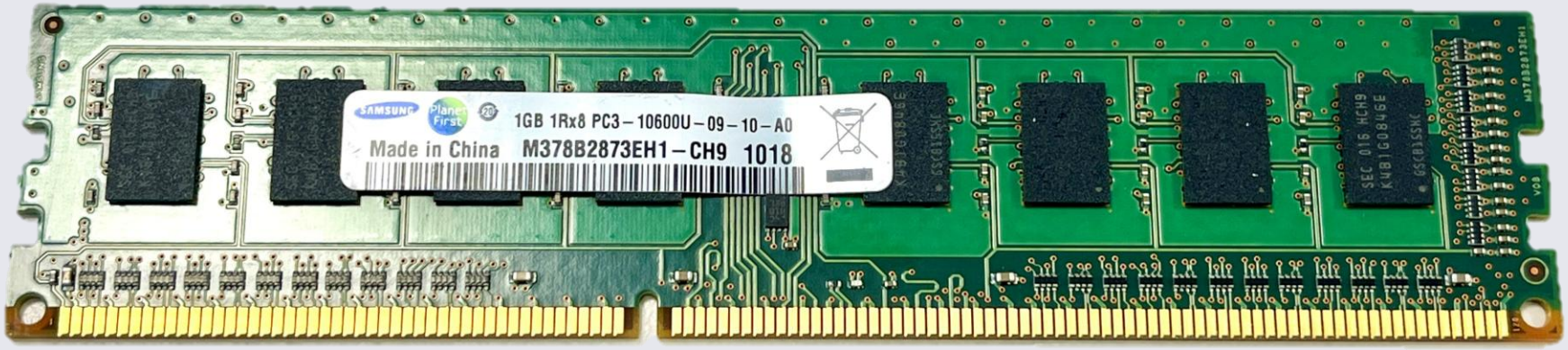
삼성 1GB DDR2

[1행] 1GB 1Rx8 PC2-6400U-666-12-ZZ
[2행] M378T2863QZS-CF7 0918

C.H.I.P

표기	의미
1Rx8	싱글 랭크, x8 구성 (즉 DRAM 칩 8개 구성)
PC2-6400	DDR2-800, 6.4GB/s 대역폭
U	Unbuffered
666-12	CL6-6-6, tRAS=12 → 타이밍
M378T2863QZS-CF7	삼성 DDR2 파트 번호
- M = Samsung	
- 378 = DDR2 모듈 코드	
- T = DDR2	
- 2863 = 128Mx8 구성 (1GB)	
- QZS = 내부 패키지 정보	
- CF7 = 속도등급	
0918	제조 년도+주차 → 2009년 18주차 생산

C.H.I.P



삼성 1GB DDR3

[1행] 1GB 1Rx8 PC3-10600U-09-10-A0
[2행] M378B2873EH1-CH9 1018

C.H.I.P

표기	의미
1Rx8	싱글 랭크, x8 구성
PC3-10600	DDR3-1333, 10.66GB/s
U	Unbuffered
09-10	CL9, tRCD 10 → 기본 타이밍
A0	버전 또는 리비전 정보
M378B2873EH1-CH9	삼성 DDR3 파트 넘버

- B = DDR3
- 2873 = 128Mx8
- CH9 = CL9, 1333MHz 동작 등급

1018 = 2010년 18주차 생산

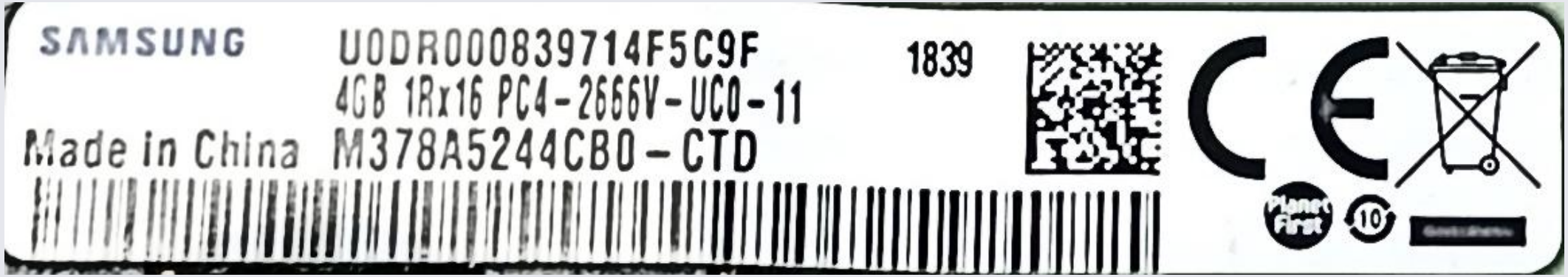
C.H.I.P

삼성 4GB DDR4

[1행] U0DR0008396714F5C9F 1839
[2행] 4GB 1Rx16 PC4-2666V-UC0-11
[3행] M378A5244CB0-CTD

C.H.I.P

표기	의미
4GB 1Rx16	싱글 랭크, x16 구성 (→ DRAM 칩 수 적음, 보통 4개)
PC4-2666V	DDR4-2666, 21.3GB/s
U	Unbuffered
C0-11	JEDEC 타이밍 프로파일
M378A5244CB0-CTD	삼성 DDR4 파트 넘버
- A = DDR4	
- 5244 = 512Mx8 or 256Mx16 구성	
- CTD = 등급, 제조 패키지 등	
1839	2018년 39주차 생산



C.H.I.P

삼성 16GB DDR5

[1행] DDR5 UDIMM 80CED1225204249E78
[2행] W030120 16GB 1Rx8 PC5-5600B-UA0-1010-XT
[3행] Korea M323R2GA3DB0-CWMOL SX2Y

C.H.I.P

DDR5부터는 라벨 표기가 조금 더 복잡해지고,
전력 관리(PMIC), 온다이 ECC(칩 내부에서 오류보정),
고속 버스 구조 등이 도입되면서
라벨 하나로도 많은 걸 파악할 수 있다.

1행: 모듈 타입 + 고유 시리얼 번호

내용	해석
DDR5	메모리 규격 (5세대 DDR SDRAM)
UDIMM	Unbuffered DIMM → 일반 PC용, Non-ECC
80CED1225204249E78	제품 고유 일련번호 또는 내부 관리용 코드

2행: 용량, 구성, 속도, 타이밍

필드	설명
W030120	제조 정보

- W: Week
- 03: 연도 뒤 2자리 (2023년)
- 01: 주차 (1주차)
- 20: Lot 코드 등
  → 즉, 2023년 1주차 생산 | | 16GB | 총 용량 16GB | | 1Rx8 | 싱글 랭크, x8 구성 (DRAM 칩 8개) | | PC5-5600B | DDR5-5600 등급, 44.8GB/s 대역폭
- "B"는 JEDEC 속도 등급 (CL 타이밍 범위 분류) | | UA0 | 모듈 버전 코드 (삼성 내부 등급) | | 1010 | 타이밍 정보
- CL-tRCD-tRP-tRAS = 40-40-40-90 정도일 수 있음
  (DDR5는 타이밍 표기를 4자리 HEX로 압축하는 경우 있음) | | XT | 온도 등급/패키지 유형 등
  (예: X = 소비자용, T = 0~85°C 온도 범위)

C.H.I.P

3행: 제조국 + 파트 넘버

필드	설명
Korea	제조국: 대한민국
M323R2GA3DB0-CWMOL	삼성 DDR5 파트 넘버

- M323: 삼성 코드
- R2GA3DB0: 용량 및 구성 정보
- → 16Gb 칩 × 8개 구성 (총 16GB)
- CWMOL: 속도, 패키지, 등급 코드 | | SX2Y | 생산 로트,
  - 리비전, 공장 코드 등 |

C.H.I.P

Flash Memory

종류

USB 플래시 드라이브
eMMC
Solid State Drive

USB 플래시 드라이브란?

USB 플래시 드라이브는 NAND 플래시 메모리를 사용하여 데이터를 저장하고,
USB(Universal Serial Bus) 인터페이스를 통해 컴퓨터나 기기와 데이터를 주고받는 이동식 저장장치

- **플래시 메모리 기술 기반**
- **전원이 없어도 데이터 유지 (비휘발성)**
- **작고 가벼워서 휴대성 뛰어남**

구성 요소	**설명**
NAND 플래시	데이터를 저장하는 메모리 칩
USB 컨트롤러	데이터 전송, 포맷, 파일 시스템 관리
크리스털 오실레이터	USB 통신을 위한 클럭 생성
PCB + 커넥터	회로 기판 + USB 포트 연결 부분

C.H.I.P

크리스털 오실레이터란?

전기 자극을 주면 진동하는 정밀한 석영 결정(quartz crystal)을 사용해
일정한 주기의 전기 신호(클럭)를 생성하는 부품

이 클럭 신호는 디지털 회로가 시간을 기준으로 작동하기 위해 꼭 필요해.
→ “이제 데이터 하나 보낼 시간!”, “이제 쓰기 시작!” 같은 타이밍을 알려주는 신호

왜 USB 플래시에도 필요할까?

이유

USB 통신은 클럭 동기화가 생명이기 때문

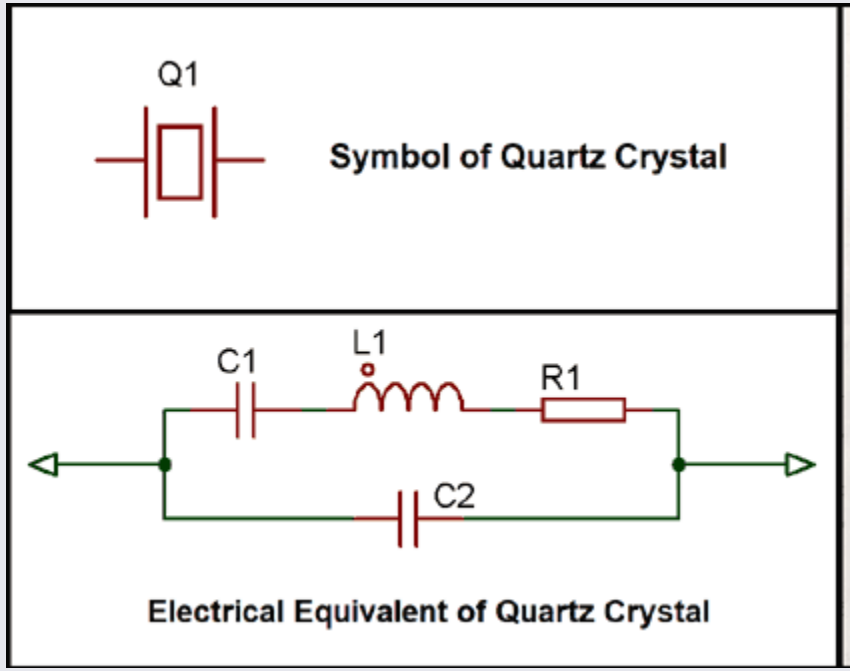
데이터 전송은 “초당 몇 번”의 기준이 필요

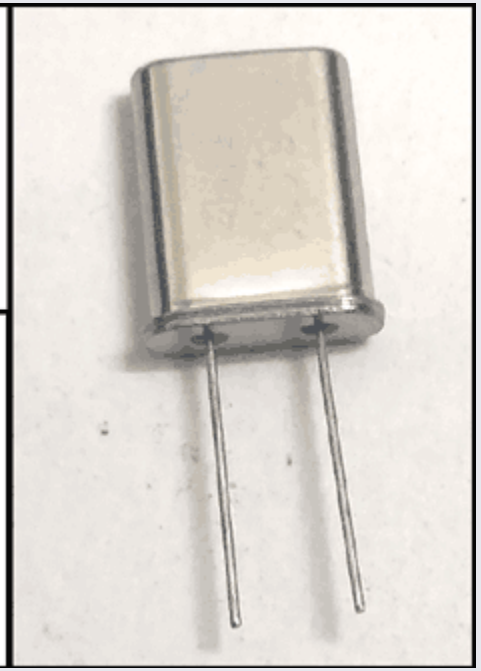
컨트롤러가 NAND와 CPU 간에 정확히 동작하려면 정확한 시간 기준(클럭)이 필요

C.H.I.P

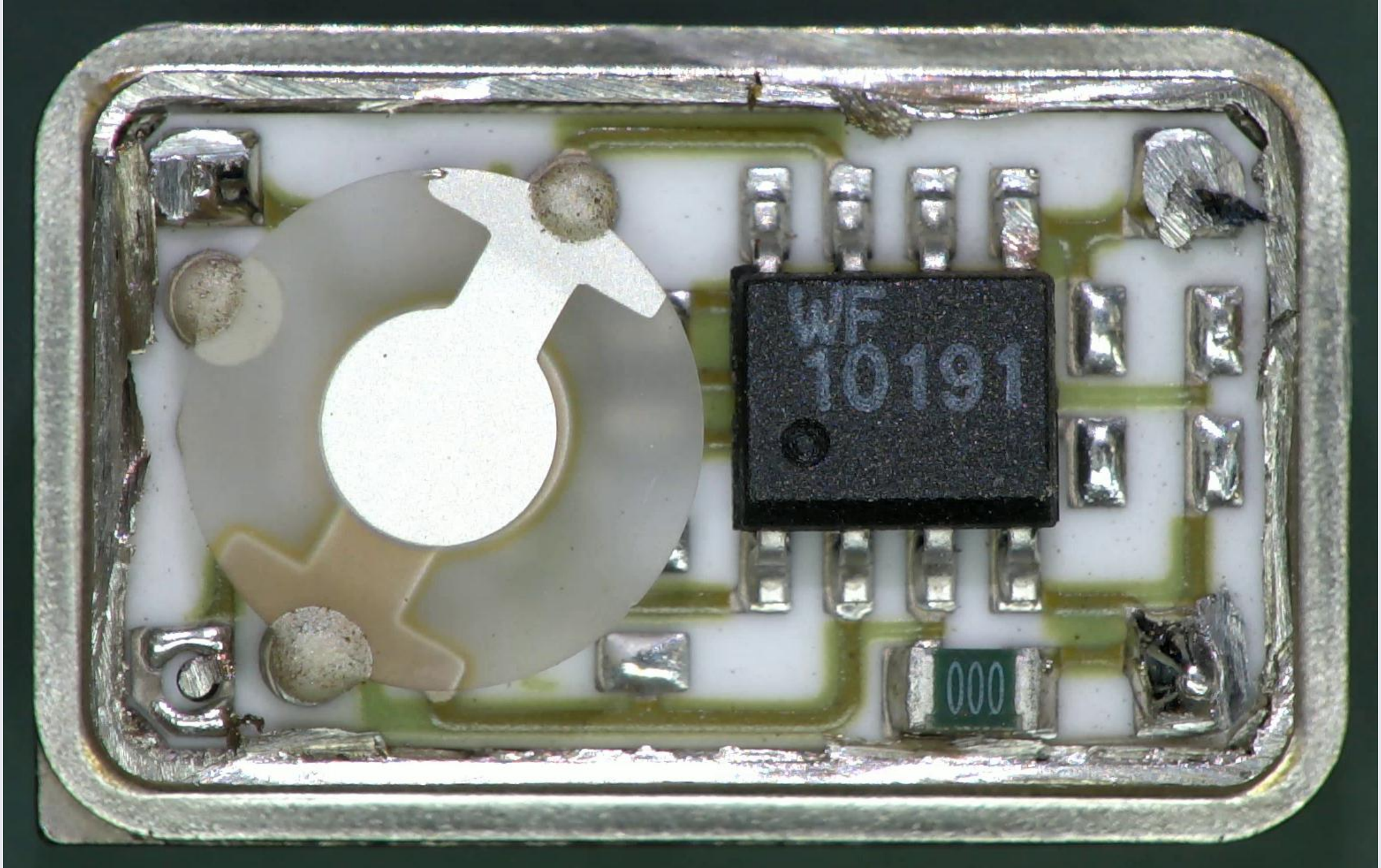
내부 구조와 동작 원리

구성	설명
🧊 Quartz Crystal	석영 결정체. 전압을 주면 일정한 진동 발생
🔌 Oscillator 회로	이 진동을 증폭시켜 주기적인 전기 신호(클럭) 생성
⚙️ 출력	주로 12MHz, 24MHz 등 고정 주파수의 정사각형 파형 신호



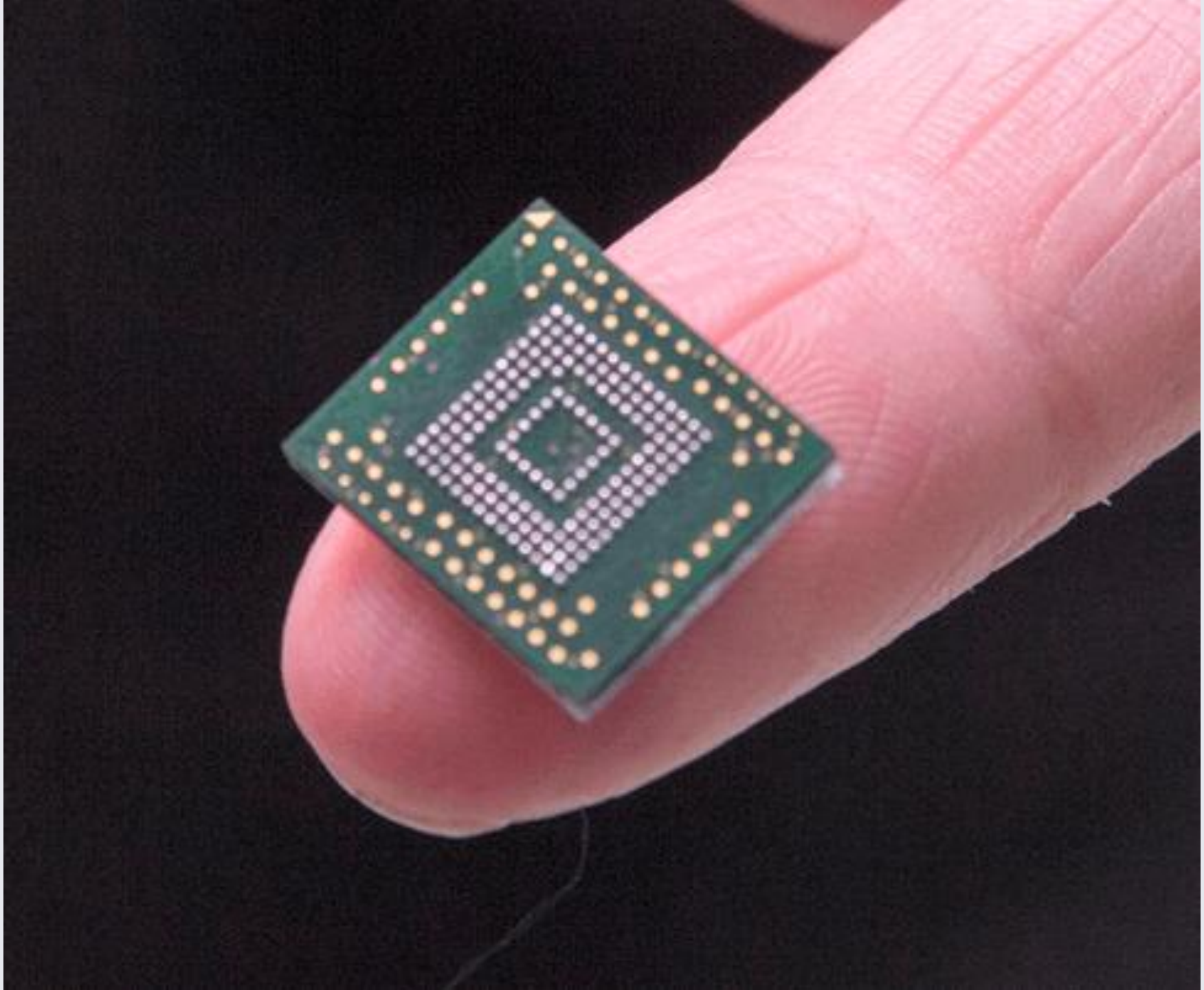


C.H.I.P


WF
10191
000

eMMC =
embedded MultiMediaCard

- 스마트폰이나 태블릿, 임베디드 기기에 사용되는 비휘발성 저장장치
- NAND 플래시 메모리 + 컨트롤러를 하나의 칩 안에 묶어
  메인보드에 직접 납땜(온보드)해서 쓰는 구조
- SSD와 다른 점은 상대적으로 저성능의 컨트롤러가 탑재된다는 것과 DRAM이 없다는 것이다
- 요즘 최신 스마트폰이나 플래그십은 eMMC 대신 UFS(Universal Flash Storage)를 사용



C.H.I.P

Solid State Drive

SSD에 대하여

SSD는 Solid State Drive의 약자로,
기계적인 회전 디스크(HDD) 대신
반도체 칩(NAND 플래시 메모리)을 이용해 데이터를 저장하는 저장장치

- HDD와 달리 움직이는 기계 부품이 없고
- 읽기/쓰기 속도가 훨씬 빠르고
- 소음/발열/충격 내구성 면에서도 우수

C.H.I.P

SSD의 내부 구성요소

구성요소	설명
NAND Flash	데이터를 저장하는 메모리 칩 (SSD의 핵심)
컨트롤러(Controller)	읽기/쓰기/삭제 등의 모든 동작을 관리하는 뇌
DRAM 캐시 (일부 모델)	임시 저장소 (버퍼 역할), 빠른 처리 지원
펌웨어	SSD 동작을 소프트웨어적으로 제어 (마이크로코드)
입출력 인터페이스	SATA, PCIe, NVMe 등. 메인보드와 데이터 주고받음
전원 관리 회로	전압/전류를 조절해 안정적으로 동작하게 함
보호 회로	정전기, 전압 과부하, 충격 등으로부터 보호

NAND 플래시 메모리의 정보 저장 방식

기본 단위: 셀 (Cell)

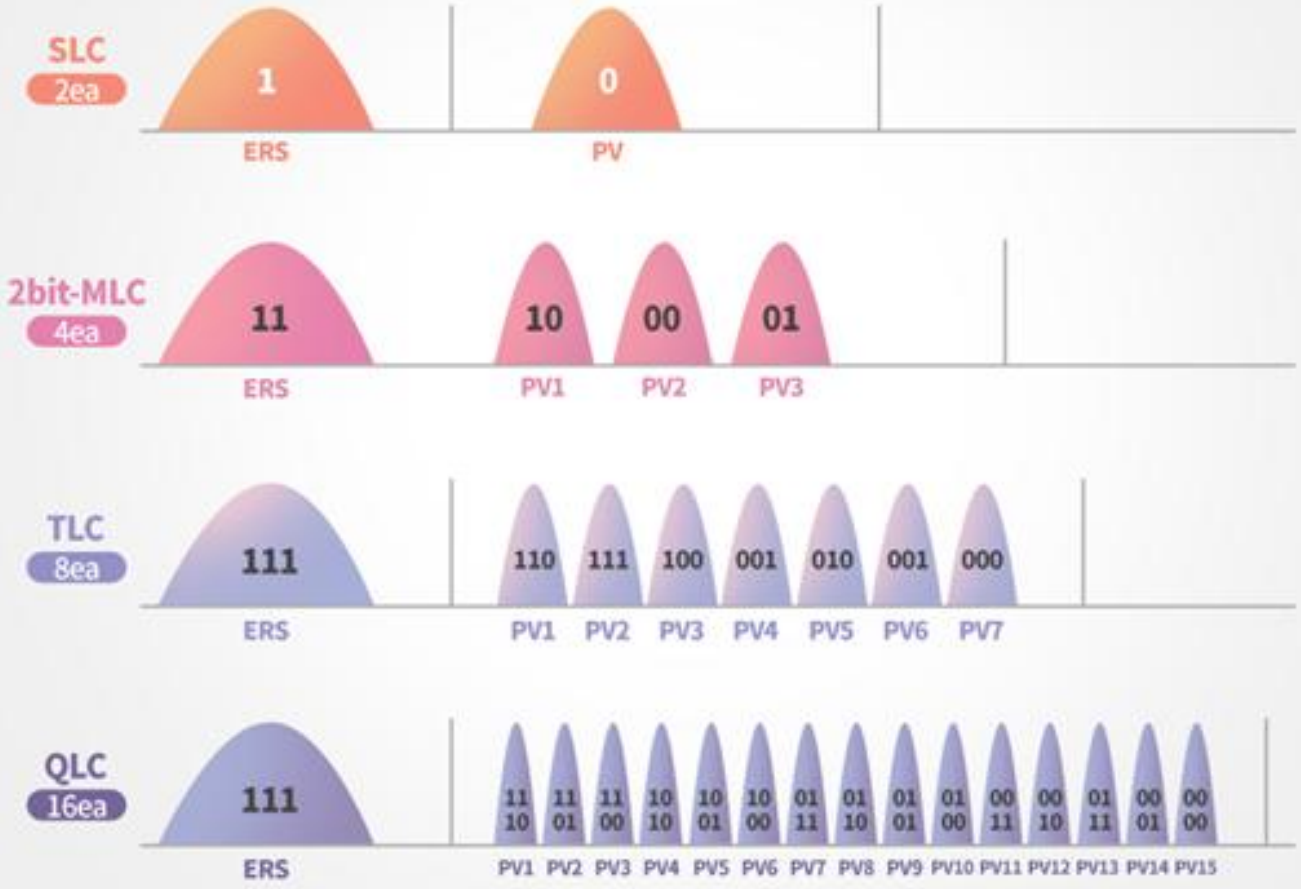
- NAND 플래시의 가장 작은 단위는 셀
- 셀 하나는 트랜지스터 형태로 구성돼 있음

구조	설명
컨트롤 게이트 (Control Gate)	외부에서 제어 전압을 걸어주는 부분
절연층 (Oxide)	전류 흐름을 막고 전하를 가둠
플로팅 게이트 (Floating Gate) 또는 Charge Trap	전자를 저장하는 공간 → 이 안에 전자가 있냐 없냐로 0/1 판단
채널 (Channel)	전류가 흐르는 길. 여기에 전압을 걸어 읽기/쓰기 수행

비트 수에 따라 방식이 더 정교해짐

셀 타입	저장 방식	전압 단계 수	구분 방식
SLC (1비트)	0 or 1	2단계	단순히 전류 흐름만 보면 됨
MLC (2비트)	00, 01, 10, 11	4단계	미세한 전압 차이로 구분
TLC (3비트)	000~111	8단계	더 미세한 전압 제어 필요
QLC (4비트)	0000~1111	16단계	오류 정정(ECC) 필수
PLC (5비트)	00000~11111	32단계	실험적, 정밀 제어 필요

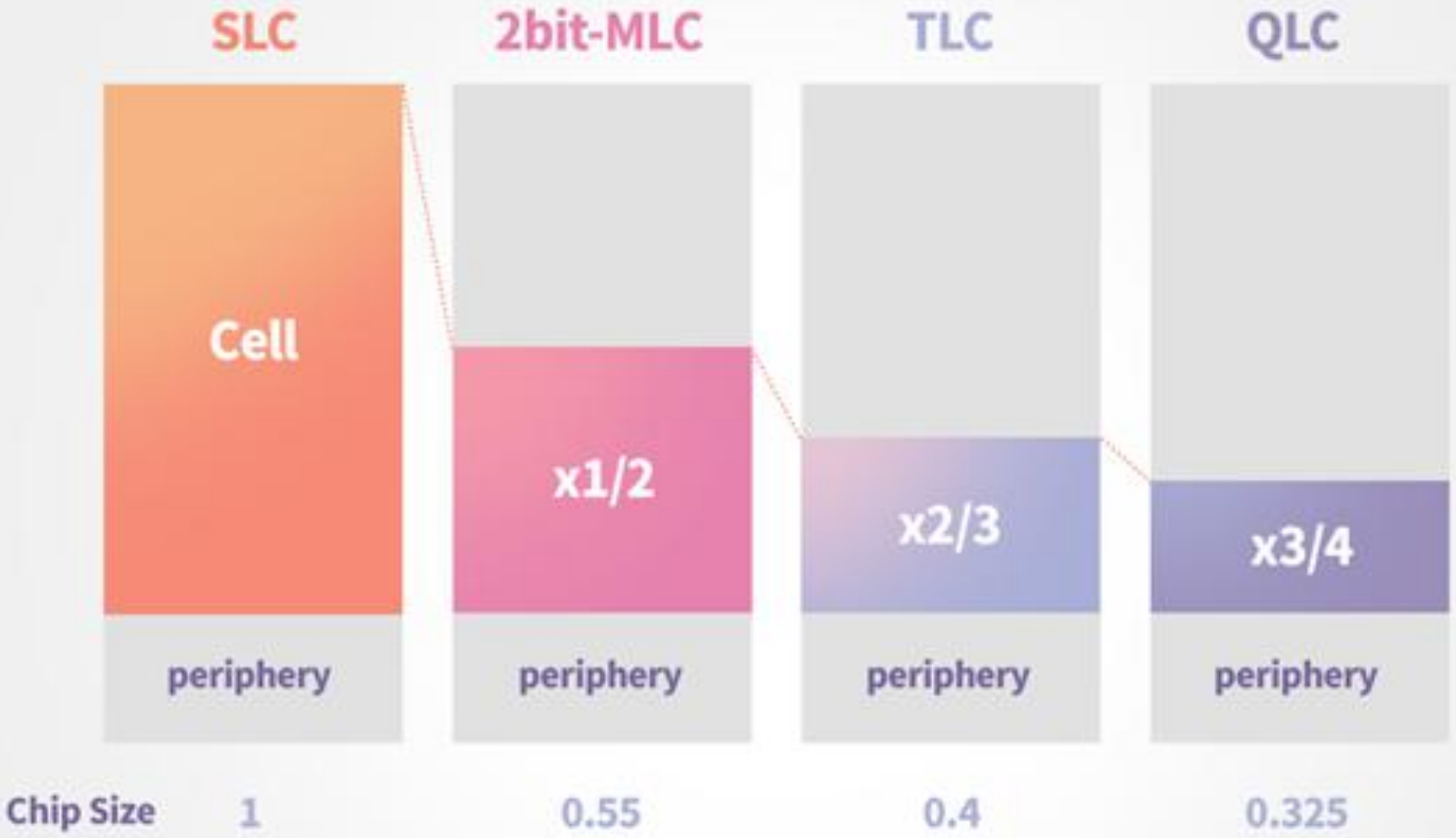
CELL STATES BY MLC



*ERS = ERASE
*PV = PROGRAM VERIFY

C.H.I.P

DECREASE IN CHIP SIZE ACCORDING TO MLC



C.H.I.P

NAND 플래시 메모리의 종류

종류	비트 저장 구조	속도	수명	가격	비고
SLC	1셀당 1비트	★★★★★	★★★★★	💰 💰 💰 💰 💰	산업/서버용
MLC	1셀당 2비트	★★★★☆	★★★★☆	💰 💰 💰	일반 소비자용 (과거 주류)
TLC	1셀당 3비트	★★★☆☆	★★☆☆☆	💰 💰	현재 주류
QLC	1셀당 4비트	★★☆☆☆	★☆☆☆☆	💰	대용량, 저가형
PLC	1셀당 5비트	★☆☆☆☆	❌	매우 저가	상용화 초기 단계

C.H.I.P

SSD 인터페이스 종류

인터페이스	예시	속도	특징
SATA3	2.5" SSD	~550MB/s	전통적 인터페이스, HDD 호환성
PCIe 3.0 x4	M.2 NVMe SSD	~3500MB/s	고속 인터페이스
PCIe 4.0 x4	최신 NVMe SSD	~7000MB/s	더블 대역폭
PCIe 5.0 x4	차세대 NVMe	~12,000MB/s 이상	발열 관리 중요
U.2 / U.3	서버용 SSD	2.5" 폼팩터 + 고속	핫스왑 가능
mSATA / m.2 SATA	구형 노트북용	SATA 기반	소형화 전용

C.H.I.P

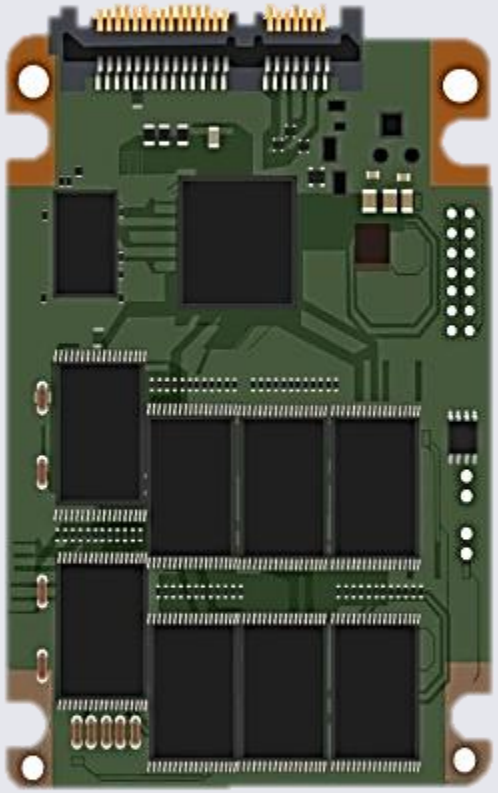
하드웨어 인터페이스와
통신 프로토콜을 구분해야 한다

항목	PCIe 3.0 x4	NVMe
정체	하드웨어 인터페이스 (데이터가 지나가는 도로)	통신 프로토콜 (데이터를 주고받는 규칙)
속도 영향	O (Lane 수와 세대가 대역폭 결정)	O (최대 성능을 뽑아낼 수 있음)
관계	NVMe는 PCIe 도로 위를 달리는트럭 운전법 같은 것	

제품 라벨	뜻
M.2 PCIe 3.0 x4 NVMe SSD	M.2 폼팩터에 PCIe 3.0 레인 4개를 쓰고, NVMe 방식으로 통신하는 SSD

실제 장치	하드웨어 인터페이스	통신 프로토콜
SATA SSD	SATA	AHCI
M.2 NVMe SSD	PCIe 3.0 x4	NVMe
USB 외장 SSD	USB 3.2	NVMe over USB / UASP
스마트폰 저장소 (eMMC)	eMMC	eMMC 프로토콜
스마트폰 저장소 (UFS)	UFS	UFS 프로토콜

SATA HDD



SATA SSD

M.2 NVMe

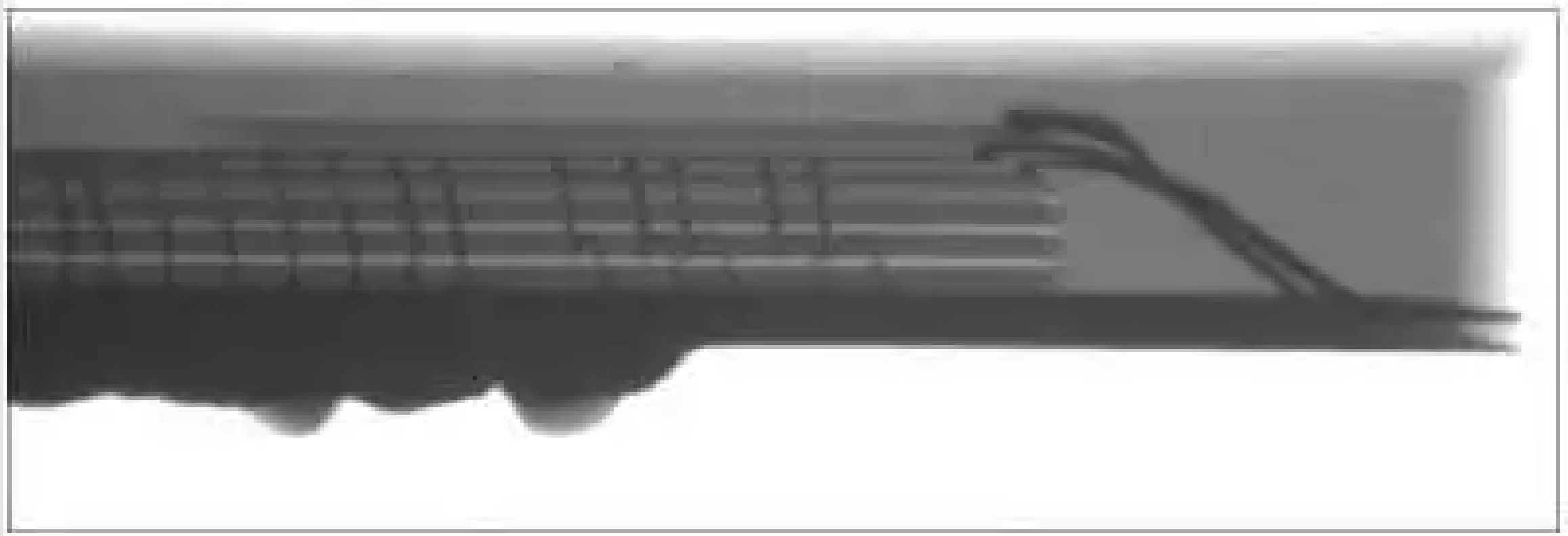
M.2 SATA

C.H.I.P

Die-shot of Samsung 27-nm NAND flash memory.

C.H.I.P

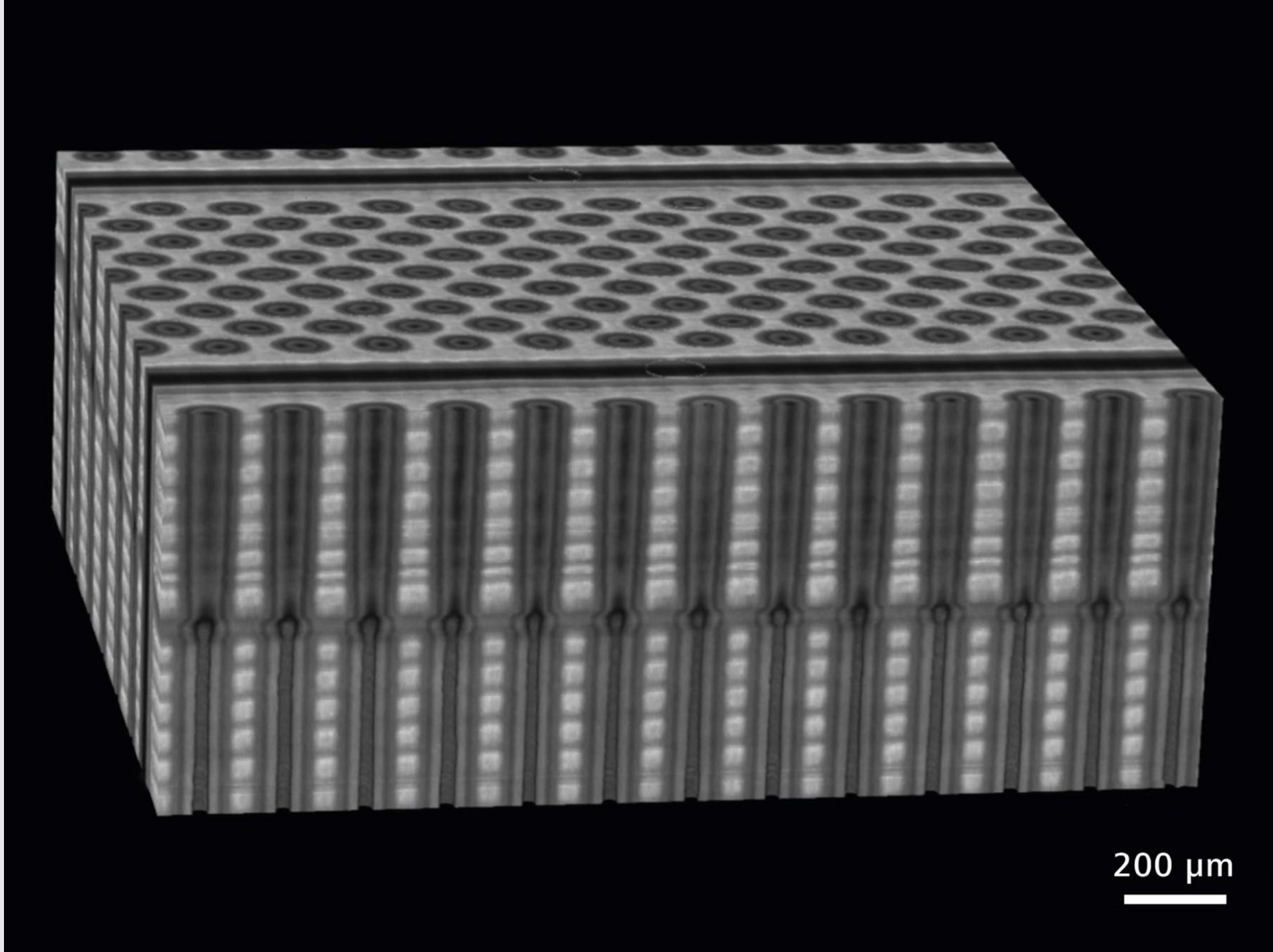
Part number etched into surface of Samsung 27-nm NAND flash die.



X-ray cross-section of Samsung 27-nm NAND flash memory.
게이트, 산화막, 채널 등 셀을 구성하는 구조 층

NAND Flash는
10나노에서 부터
2D 낸드 한계에 도달해
3D 구조로 바뀜

Tomography of 3D NAND



셀과 셀 사이의 간격이 좁아지면서 간섭 현상이 일어나 데이터 손실이 발생할 수 있게 됐다

마치 좁은 면적 안에 많은 집들이 모여 있으면,
옆집에서 발생한 소음이 이웃집에 그대로 들리는 것과 같이
셀 사이에도 비슷한 현상이 발생하는 것

시기	공정 노드(2D)	설명
2005년대	90nm, 70nm	초기 NAND 플래시
2010년대 초	50nm, 40nm	MLC 보급 시작
2013~2016	30nm, 20nm	TLC 상용화, 수명 문제 시작
이후	15nm, 14nm, 10nm, 8nm 이하	2D 낸드 한계 도달

2D NAND vs 3D NAND

항목	2D NAND	3D NAND
셀 배치	평면(가로)	수직(위로 쌓음)
면적 활용	제한적 (면적 좁아짐)	공간 효율 극대화
공정 한계	10~15nm에서 멈춤	더 이상 미세화 없이도 확장 가능
수명 / 간섭	한계 있음	간섭 줄이고 수명 ↑
예시	MLC 중심	TLC/QLC/PLC 가능

2013년 삼성의 V-NAND (Vertical NAND) 발표 이후 전환 시작
2025년 현재 300층 이상

C.H.I.P

SAMSUNG
V-NAND SSD
860 PRO
512GB
P/N: MZ7KH512HAJQ
Model: MZ-76P512
2017.11
MSIP-REM-SEC-MZ-76P512
S/N: S419NGAJC00072R
WWN: 5002538E70007412
RATED: DC+5V
1.4A
PSID:1NB6MM45NU38EFYTN11Y3OJ0U5TRW3J2
WARNING Product can be damaged by Electrostatic Discharge (ESD). Warranty void if label removed or case opened. 1GB=1,000,000,000 bytes. Actual usable capacity may be less.
Product of KOREA
SAMSUNG ELECTRONICS CO., LTD.

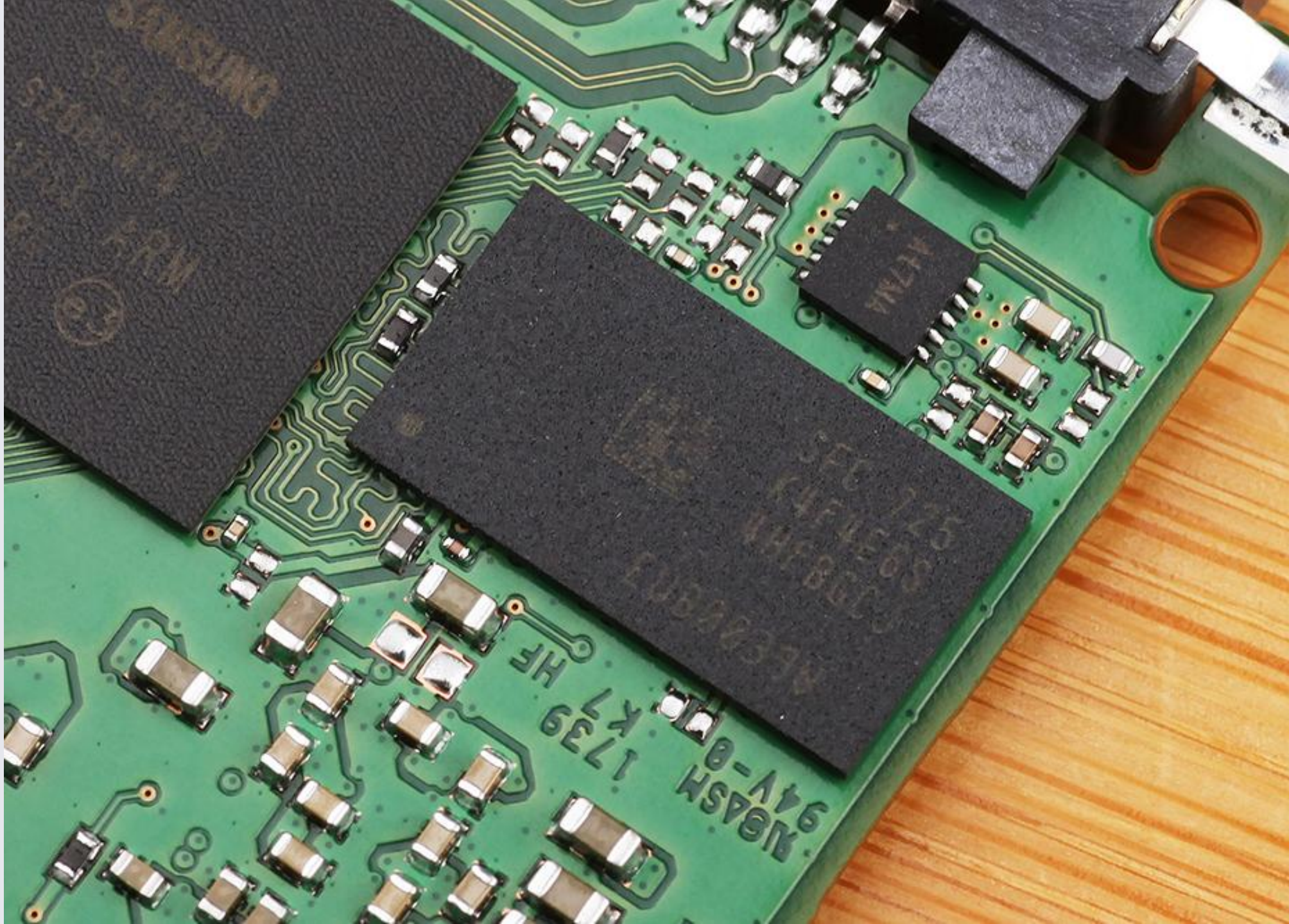
C.H.I.P

C.H.I.P

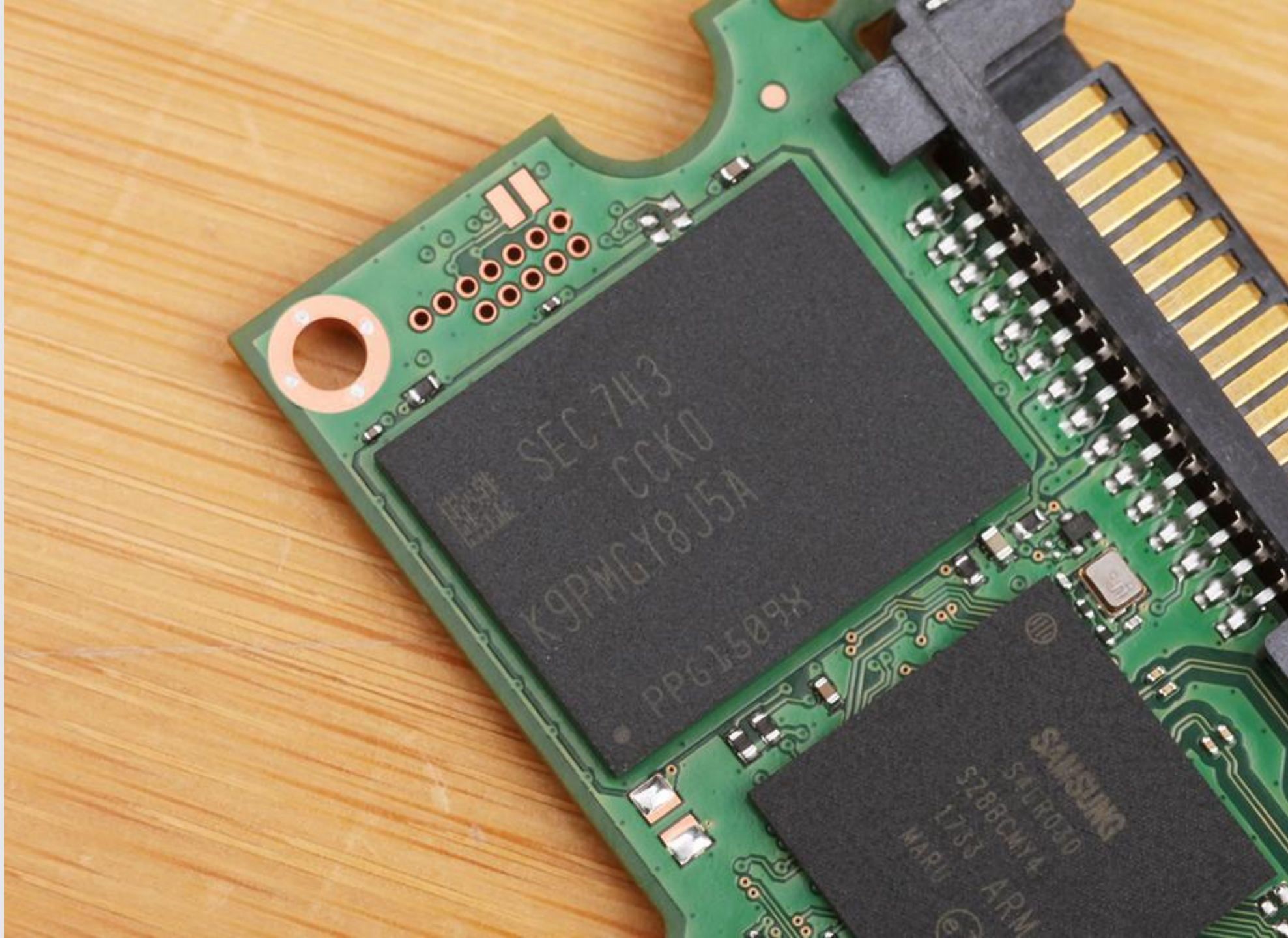
C.H.I.P

Samsung’s own MJX controller

The cache chip is 512MB LPDDR4.



The 3D MLC V-NAND has a capacity of 256 GB and a write life of 600TBW.



Total Bytes Written

C.H.I.P

SSD의 쓰기 수명이 정해져 있는 이유

C.H.I.P

- SSD 내부의 저장셀(트랜지스터)은 데이터를 기록할 때
- 전자를 플로팅 게이트(또는 Charge Trap)에 주입(Program)하고
- 다시 지울 때는 빼내서(Erase) 초기화

- **이 과정이 반복되면 다음 현상이 발생**

문제	**설명**
절연막 열화 (Oxide Degradation)	전자 주입/방출 과정에서 절연막(SiO_2)이 서서히 손상됨
전자 누설 증가	절연막이 얇아져서 플로팅 게이트에 갇힌 전자가 서서히 새어나옴
셀 간 간섭 증가	손상된 셀은 주변 셀에 전기적 간섭을 주기 쉬움
프로그램/지우기 실패	결국 전하를 안정적으로 저장하거나 지울 수 없게 됨

왜 유독 "쓰기"가 문제일까?

구분	읽기(Read)	쓰기(Program) / 지우기(Erase)
동작 강도	낮음 (전압 약함)	강함 (고전압 필요)
셀 손상	거의 없음	주입/방출로 절연막 손상
수명 영향	거의 없음	수명 결정 요소

- **읽기 자체는 셀을 거의 건드리지 않아, 수명에 큰 영향을 주지 않음**
- **쓰기/지우기 사이클이 SSD 수명을 결정**

C.H.I.P

그래서 SSD는 쓰기 수명 관리를 위해…

방법	설명
웨어 레벨링(Wear Leveling)	모든 셀을 고르게 사용해서 특정 셀만 먼저 죽지 않게 함
오버프로비저닝(Over-Provisioning)	숨겨진 예비 블록을 마련해 수명이 다한 셀을 대체
ECC (Error Correction Code)	손상된 데이터를 복구해서 신뢰성 확보
SLC 캐싱	일시적으로 SLC 모드로 쓰기해 셀 스트레스를 줄임

[과제 안내] 2주차 선각 리포트

이번 주 우리가 메모리의 속을 들여다봤다면,
이제는 산업의 흐름 속에서 그 바깥을 바라보는 시간입니다.

다음 주 모임 전까지 아래 중 관심 있는 주제 하나를 선택해 ‘선각 리포트’를 A4에 작성해 주세요.

2주차 선각 주제 (택1)

- “메모리 시대의 끝? CXL 기반 메모리 풀링이 가져올 변화”
- “낸드 플래시 다음은 무엇인가 — 3D NAND의 한계와 차세대 비휘발성 메모리”
- “PCIe 6.0, CXL, NVMe 2.0 - 저장장치의 '버스' 혁명이 시작된다”
- “소비자가 사라지는 세상? - 스마트폰, 노트북 시장에서 DIY가 불가능해지는 이유”
- “스토리지가 생각한다 — 컴퓨팅 패러다임을 바꾸는 Computational Storage”
- “AI 전성기의 숨은 주역 — 왜 NVIDIA는 HBM을 사랑할까?”
- “HBM의 미래, 그리고 패키징 전쟁 — CoWoS, Foveros, Hybrid Bonding”

다음 시간엔?

우리는 메모리, CPU, GPU 속에서
어떻게 에너지가 소모되고, 열이 발생하며,
그 열을 어떻게 다뤄야 하는지 배웁니다.

- 발열과 냉각 구조의 세계로 -

3주차 - 발열과 냉각 구조

- 이론:
  - CPU, GPU, RAM 등에서 발생하는 발열의 원리
  - 소비전력, 클럭, TDP와 온도의 관계
  - 공랭, 수랭, 히트파이프, 베이퍼 챔버 냉각 방식 비교
  - 써멀그리스와 써멀패드의 역할

- 실습:
  - GPU 방열판, 팬 구조 관찰, 쿨러 분리, 써멀그리스 상태 확인 및 재도포
  - 팬 속도 측정, 온도 모니터링 툴(HWMonitor 등) 사용
  - 쿨링 성능에 따라 달라지는 구조 비교

- 토론:
  - 열 관리가 성능을 결정한다면 우리는 무엇을 설계해야 할까?
  - 발열은 소프트웨어 개발자에게도 중요한 문제인가?
  - 쿨링 설계를 모르면 성능을 과대평가하게 되는 걸까?

- 3주차 선각 주제:
  - 게이밍 시장을 지배한 수랭 쿨링의 진화
  - 써멀 기술과 냉각 솔루션의 산업 생태계: 써멀테이크 vs Noctua
  - 데이터센터는 어떻게 열을 견디는가? Hyperscale 냉각 트렌드