

# Computer Hardware & Industry Perspective

C.H.I.P 4주차 선각 Report  
크래프톤 정글 8-10 백지원

# cpu의 성능 향상이 둔화된 이유와 기술적 대안

## 1. 서론

최근 CPU 성능 향상 속도가 눈에 띄게 둔화되면서, 반도체 산업은 물리적 한계와 기술적 도전에 직면하고 있다. 무어의 법칙이 예견한 성능 곡선에서 점차 이탈하면서, 공정 미세화를 중심으로 한 전통적 성능 향상 방식이 한계에 다다랐다는 평가가 나온다.

2025년 현재, nm급 공정이 상용화되었으나, 그 이후 추가적인 미세화는 양자 터널링과 같은 물리적 현상으로 인해 기술적 장벽에 부딪히고 있다. 이에 따라 3D 적층, 이종 컴퓨팅 아키텍처, 신소재 기반 공정 등 새로운 접근 방식이 주목받고 있다. 본 보고서는 CPU 성능 향상 둔화의 원인을 분석하고, 반도체 산업이 채택 중인 주요 기술적 대안을 정리하고자 한다.

## 2. 본론

### 2.1 성능 향상 둔화의 주요 원인

#### 가. 공정 미세화의 물리적 한계

공정이 3nm 이하로 진입하면서 양자 터널링 현상이 두드러지고 있다. 전자가 게이트 절연막을 통과하는 누설 전류(leakage current)가 증가하면서, 신호의 무결성이 저하되고 전력 소모가 급증하게 된다.

또한, EUV 리소그래피 장비 도입으로 인해 웨이퍼당 생산 비용이 14nm 대비 약 300% 이상 증가하면서, 기술적 진보와 경제적 수익성 간의 균형이 흔들리고 있다.

#### 나. 전력 밀도 및 발열 한계

5nm 공정 기반 CPU의 전력 밀도는  $100\text{W}/\text{cm}^2$ 를 상회하며, 이는 공랭식 냉각으로는 감당하기 어려운 수준이다. 클럭을 높일수록 발열과 전압 안정성 문제가 심화되며, 오버클럭 한계점 또한 낮아지는 경향을 보인다.

이러한 조건은 고성능 CPU 설계 시 설계자에게 전력 예산과 냉각 구조를 동시에 고려하게 만드는 제약으로 작용한다.

#### 다. 아키텍처적 한계

명령어 사이클당 처리량(IPC)은 해마다 3% 수준의 완만한 향상에 머무르고 있으며, 이는 단일 스레드 기반 연산 성능 개선의 한계를 의미한다.

멀티코어 확장을 통해 연산 병렬화를 시도하고 있으나, 암달의 법칙에 따라 32코어 이상에서는 병렬화 효율이 급감하며, 전체 성능 향상에 기여하는 비중이 떨어지는 구조적 한계를 노출하고 있다.

### 2.2 기술적 대응 전략

#### 가. 3D 적층 및 고밀도 패키징 기술

Intel의 Foveros Direct 기술은  $10\mu\text{m}$  미만의 범프 피치를 활용해 3D 스택 간 밀도를 대폭 증가시켰으며, 메모리-로직 간 통신 대역폭은 1TB/s에 달한다.

또한, 칩렛 아키텍처를 적용함으로써 기능별 모듈화가 가능해졌고, 동일 다이에 모든 기능을 집적할 필요가 없으므로 수율 향상이 가능하다. 실제로 칩렛 기반 설계는 기존 대비 약 15%

이상의 생산성 개선 효과를 보이고 있다.

나. 이종 컴퓨팅 아키텍처

인공지능, 영상 처리, 암호화 등 특정 연산을 NPU, TPU와 같은 전용 유닛으로 분산 처리하는 방식이 확산되고 있다.

예를 들어, 인텔 루나 레이크(Lunar Lake)는 NPU를 내장하여 AI 연산의 CPU 부하를 최대 40%까지 경감시켰다.

또한, 하이브리드 코어 구조(P-core와 E-core)는 워크로드에 따라 연산 자원을 유동적으로 할당하여 전력당 성능 효율을 35% 개선하는 결과를 보여주고 있다.

다. 소재 및 공정 혁신

기존 실리콘의 한계를 극복하기 위해 2D 소재인 몰리브덴 디설파이드(MoS<sub>2</sub>)가 도입되고 있으며, 이는 0.5V 이하에서도 동작 가능해 누설 전류를 70% 이상 줄일 수 있다.

또한, 인텔의 PowerVia 기술은 전력을 칩 후면에서 공급하는 방식으로, 배선 밀도를 30% 증가시키고 IR 드롭을 억제해 전력 효율을 높이는 데 기여하고 있다.

라. 클럭 및 전력 관리 기술 고도화

Adaptive Boost Technology(ABT)는 실시간 워크로드에 따라 클럭을 동적으로 조정하며, 최대 500MHz까지 오버클럭이 가능하다.

ARM의 DynamIQ는 코어별 비동기 클럭 도메인을 적용하여 전력 소모를 약 18% 줄이는 데 성공하였으며, 이를 통해 스마트폰 등 배터리 기반 디바이스의 실사용 시간도 동시에 증가시킬 수 있게 되었다.

### 3. 결론

CPU 성능 향상의 둔화는 단순한 공정 한계의 문제가 아니라, 물리학적 제약과 경제적 부담, 그리고 아키텍처 설계 상의 복합적인 난제들이 중첩된 결과이다. 그러나 반도체 업계는 이를 극복하기 위한 다각도의 접근을 시도하고 있으며, 특히 3D 적층 및 칩렛 패키징, 이종 컴퓨팅 구조의 도입은 새로운 돌파구를 제시하고 있다.

향후에는 이러한 기술들이 상용화되면서 트랜지스터 밀도는 최대 10배 증가하고, 전력 효율은 기존 대비 3배 개선될 것으로 기대된다. 궁극적으로는 포스트 실리콘 시대를 대비해 양자점 트랜지스터, 광자-전자 융합 회로 등 신소재 기반의 혁신이 CPU 설계의 다음 세대를 이끌어갈 열쇠가 될 것이다.