

Зміст

Вступ.....	2
Розділ 1. Огляд існуючих рішень.....	3
1.1 Архітектура ARM.....	3
1.2 Мікроконтролери виробництва Atmel.....	4
1.3 Мікроконтролери виробництва Microchip Technology Inc.....	4
1.4 Мікроконтролери виробництва Intel.....	5
1.5 Мікроконтролери виробництва Samsung.....	7
1.6 Мікроконтролери виробництва Siemens.....	8
1.7 Мікроконтролери виробництва Motorola.....	9
Розділ 2. Розробка мікропроцесорної системи.....	13
2.1 Архітектура створюваної системи.....	13
2.2 Огляд процесорного ядра.....	14
2.3 Підключення зовнішньої пам'яті.....	17
2.3.1 Підключення зовнішньої пам'яті програм.....	18
2.3.2 Підключення зовнішньої пам'яті даних.....	19
2.4 Контролер пріоритетних переривань.....	21
2.5 Контролер прямого доступу до пам'яті.....	22
Розділ 3. Програмна частина.....	25
3.1 Аналіз рішення алгоритму заданої задачі.....	25
3.2 Розробка алгоритму задачі.....	26
Розділ 4. Розробка системи команд.....	27
4.1 Формат та розрядність подання даних.....	27
Розділ 5. Розробка заданого вузла ЕОМ на ПЛІС.....	28
5.1 Розробка вузла ЕОМ.....	28
5.2 Моделювання з використанням САПР вузла ЕОМ на ПЛІС з метою визначення основних характеристик.....	35
Основні результати по роботі.....	39
Список використаних джерел.....	40

					ІА/Ц 462616.004 ПЗ		
Зм.	Арк.	№ докум.	Підпис	Дата			
Розробив		Кузьменко В.З.			Пояснювальна записка		
Перевірив		Ткаченко В.В.					
Н. Кантр.							
Затвердив		Ткаченко В.В.					
						Лист.	Аркуш
							1
						Аркушів	
						52	
						НТУУ "КПІ" ФІОТ	
						гр. ІО-21	

Вступ

Мікропроцесор — це автономний, функціонально закінчений, програмно-керований електронний пристрій, призначений для обробки інформації і керування процесом цієї обробки, виконаний на одній або декількох інтегральних схемах з високим ступенем інтеграції. Навіть найпростіші з них мають складну функціональну структуру, містять велику кількість електронних елементів і безліч розгалужених зв'язків.

При проектуванні і виробництві цифрових систем на основі мікропроцесорів виявляється можливим значне скорочення матеріальних витрат, так як вони являють собою стандартний засіб обробки інформації.

За призначенням розрізняють універсальні і спеціалізовані мікроконтролери; по виду оброблюваних входних сигналів — цифрові і аналогові; за характером тимчасової організації роботи — синхронні й асинхронні.

В основному, відмінності між мікроконтролерами полягають в особливостях реалізації архітектури. В окремий тип виділилися 64-розрядні мікропроцесори (Athlon 64 AMD, Itanium 2 Intel, PA 7100 Hewlett-Packard та інші). Для побудови систем, спрямованих на паралельне обчислення іноді використовують процесори з особливою архітектурою (трансп'ютери, SMP та кластерна архітектура).

Найпопулярнішими на даний момент є мікроконтролери фірми Atmega (AVR) і PIC. В мобільних пристроях домінує архітектура ARM.

Тепер варто розглянути популярні мікроконтролери відомих виробників детальніше.

					ІАЛЦ 462616.004 ПЗ	Арк.
						2
Зм.	Арк.	№ докум.	Підпис	Дата		

Розділ 1. Огляд існуючих рішень

З 80-х років XX століття в мікропроцесорній техніці виділився самостійний клас інтегральних схем — однокристальні мікроконтролери, які призначені для вбудовування в прилади різного призначення. Від класу однокристальних мікропроцесорів їх відрізняє наявність внутрішньої пам'яті, розвинені засоби взаємодії з зовнішніми пристроями.

Основною ознакою в їх класифікації є розрядність. В даний час промисловістю випускаються 4-, 8-, 16- і 32-розрядні. Однак зустрічаються і вельми екзотичні варіанти. Так, MC14500 фірми Motorola, набір команд якого складається з 16 інструкцій, має розрядність 1 біт і здатний працювати з необмеженим обсягом пам'яті.

Мікроконтролери можна диференціювати також за ступенем універсальності. Випускаються як системи широкого застосування з програмованою пам'яттю, так і вузькоспеціалізовані контролери для певної області, або навіть для конкретного пристрою, часто з вже записаною в чіп програмою. Однак випуск таких мікроконтролерів економічно виправданий лише при масовому виробництві.

В даний час випускається цілий ряд типів мікроконтролерів. Всі ці прилади можна умовно розділити на три основні класи:

- 8-розрядні для вбудованих додатків;
- 16- і 32-розрядні;
- цифрові сигнальні процесори (DSP).

Найбільш поширеним представником сімейства є 8-розрядні прилади, широко використовуються в промисловості, побутовій та комп'ютерній техніці. Вони пройшли в своєму розвитку шлях від найпростіших приладів з відносно слабкорозвиненою периферією до сучасних багатифункціональних контролерів, які забезпечують реалізацію складних алгоритмів керування в реальному часі. Причиною їх життєздатності є використання для управління реальними об'єктами, де застосовуються, в основному, алгоритми з переважанням логічних операцій, швидкість обробки яких практично не залежить від розрядності процесора. Популярності 8-розрядних мікроконтролерів також сприяє постійне розширення номенклатури виробів, що випускаються відомими фірмами, такими як Motorola, Microchip, Intel, Zilog, Atmel і багатьма іншими.

1.1 Архітектура ARM

Архітектура ARM (раніше Advanced RISC Machine — вдосконалена RISC-машина, попередник — Acorn RISC Machine) — 32-бітова архітектура зі скороченим набором команд, що розробляється

					ІАЛЦ 462616.004 ПЗ	Арк.
						3
Зм.	Арк.	№ докум.	Підпис	Дата		

ARM Limited. Дані процесори мають низьке енергоспоживання, тому знаходять широке застосування у вбудованих системах і домінують на ринку мобільних пристроїв, для яких це важливо.

У 2007 році близько 98 відсотків з більш ніж мільярда мобільних телефонів, продаваних щорічно, були оснащені принаймні одним процесором ARM. Станом на 2009 рік на процесори ARM припадає до 90% всіх вбудованих 32-розрядних RISC процесорів. Процесори ARM широко використовуються в споживчій електроніці — в тому числі КПК, мобільних телефонах, цифрових носіях і плеєрах, портативних ігрових консолях, калькуляторах і комп'ютерних периферійних пристроях, таких як жорсткі диски або маршрутизатори.

1.2 Мікроконтролери виробництва Atmel

Справжня революція в світі мікроконтролерів сталася в 1996 році, коли корпорація Atmel представила своє сімейство чіпів на новому прогресивному ядрі AVR. Мікропроцесори AVR мають більш розвинену систему команд, що налічує до 133 інструкцій, продуктивність, що наближається до 1 MIPS/МГц, Flash пам'ять програм з можливістю внутрішньосхемного перепрограмування. Багато чіпів мають функцію самопрограмування. AVR-архітектура оптимізована під мову високого рівня C. Крім того, всі кристали сімейства сумісні “знизу вгору”.

Величезну роль в їх поширенні зіграла доступність програмного забезпечення і засобів підтримки розробки. У Atmel багато безкоштовно розповсюджуваних програмних продуктів. Добре відомо, що розвинені засоби підтримки розробок при освоєнні і знайомстві з будь-яким мікроконтролерним сімейством грають не менш значущу роль, ніж самі кристали. Фірма Atmel приділяє цьому питанню велику увагу.

1.3 Мікроконтролери виробництва Microchip Technology Inc.

PIC — мікроконтролери гарвардської архітектури, вироблені американською компанією Microchip Technology Inc. Назва PIC є скороченням від Peripheral Interface Controller, що означає “периферійний інтерфейсний контролер”. Назва пояснюється тим, що спочатку PIC призначалися для розширення можливостей введення-виведення 16-бітних мікропроцесорів CP1600.



Рисунок 1.1— Мікроконтролер PIC з “віконцем” для перепрограмування

					ІА/ЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		4

У номенклатурі Microchip Technology Inc. представлений широкий спектр 8-и, 16-и і 32-бітних мікроконтролерів та цифрових сигнальних контролерів під маркою PIC. Їх відмінною особливістю є хороша наступність різних сімейств. Є і програмна сумісність (єдина безкоштовне середовище розробки MPLAB IDE), сумісність по периферії, по напругам живлення, по бібліотеках. Номенклатура налічує більше 500 різних контролерів зі різними варіаціями периферії, пам'яті, продуктивністю, діапазонами живлення і температури і т. д.

1.4. Мікроконтролери виробництва Intel

Біля витоків виробництва мікроконтролерів стоїть фірма Intel з родинами восьмирозрядних мікроконтролерів 8048 і 8051. Архітектура MCS-51 отримала свою назву від першого представника цього сімейства — мікроконтролера 8051, випущеного в 1980 році на базі технології NMOS. Вдалий надір периферійних пристроїв, можливість гнучкого вибору зовнішньої або внутрішньої програмної пам'яті і прийнятна ціна забезпечили цьому мікроконтролеру успіх на ринку. З точки зору технології МК-51 був для свого часу дуже складним виробом — у кристалі було використано 128 тис. транзисторів, що в 4 рази перевищувало кількість транзисторів в 16-розрядному мікропроцесорі 8086. Загалом фірма Intel випустила близько 50 моделей на базі операційного ядра МК-51. Одночасно багато інших фірм, такі як Atmel, Philips, почали виробництво своїх мікроконтролерів, розроблених в стандарті MCS-51. Існує також і радянський аналог Intel 8051 — мікросхема К1816ВЕ51.

Структура мікроконтролера МК-51:

- восьмирозрядний центральний процесор, оптимізований для реалізації функцій управління;
- вбудований тактовий генератор (максимальна частота 12 МГц);
- адресний простір пам'яті програм — 64 Кб;
- адресний простір пам'яті даних — 64 Кб;
- внутрішня пам'ять програм — 4 Кб;
- внутрішня пам'ять даних — 128 байт;
- додаткові можливості по виконанню операцій дулевої алгебри (побітові операції);
- 32 двонаправлені і індивідуально адресовані лінії введення/виведення;
- два 16-розрядних багатофункціональних таймера/лічильника;
- повнодуплексний асинхронний приймач (послідовний порт);
- векторна система переривань з двома рівнями пріоритету і п'ятьма джерелами подій.

					ІАЛЦ 462616.004 ПЗ	Арк.
						5
Зм.	Арк.	№ докум.	Підпис	Дата		



Рисунок 1.2 — Мікроконтролер Intel

Спочатку найбільш “вузькими” місцями архітектури MCS-51 були 8-розрядний арифметико-логічний пристрій на базі акумулятора і відносно повільне виконання інструкцій (для виконання найшвидших інструкцій потрібно 12 тактів). Це обмежувало застосування мікроконтролерів сімейства в додатках, що вимагають підвищеної швидкодії і складних обчислень (16- і 32-бітових). Нагальним стало питання принципової модернізації старої архітектури. Проблема ускладнювалася тим, що до початку 90-х років вже була створена маса напрацювань у галузі програмного і апаратного забезпечення, і однією з основних задач розробки нової архітектури була реалізація апаратної і програмної сумісності зі старими розробками на базі МК-51. Для вирішення цього завдання була створена спільна група з фахівців компанії Intel і Philips. У результаті в 1995 р. з’явилася 2 сімейства: MCS-251/151 в Intel і 51XA у Philips.

Основні характеристики архітектури MSC-251:

- 24-розрядний лінійний адресний простір, що забезпечує адресацію до 16 Мб пам’яті;
- система команд мікроконтролерів сімейства MCS-251 містить всі 111 команд, що входять в систему команд сімейства MCS-51 (“старі” команди), і, крім того, в неї входять 157 “нових” команд. Коди деяких нових команд мають формат 4 байти.
- перед використанням мікроконтролера його необхідно конфігурувати, тобто за допомогою програматора “пропалити” конфігураційні байти, що визначають, який з наборів інструкцій стане активним після включення живлення;
- регістрова архітектура, яка припускає звернення до регістрів як до байтів, слів і подвійних слів;
- сторінковий режим адресації для прискорення вибірки інструкцій з зовнішньої програмної пам’яті;
- розширений набір команд, що включає 16-бітові арифметичні і логічні інструкції;

					ІА/ЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		6

- розширений адресний простір стеку до 64 Кб;
- виконання найшвидшої інструкції за 2 такти;
- сумісність на рівні двійкового коду з програмами для MCS-51.

1.5 Мікроконтролери виробництва Samsung

Для початку розглянемо 8-розрядні мікроконтролери.

Процесор SAM86 адресує три області пам'яті: регістровий файл, що включає від 112 до 208 регістрів загального призначення, пам'ять програм до 8 Кб і пам'ять даних. Але розробники Samsung не зупинилися на досягнутому і розробили покращене процесорне ядро SAM88, що адресує до 64 Кб пам'яті програм і даних. В даний час випускається моделі мікроконтролерів KS86 і KS88, побудованих, відповідно, на основі процесорів SAM86 і SAM88. Для більшості виробів доступні одноразово програмовані версії (OTP).

Крім спеціалізованих, Samsung випускає моделі мікроконтролерів загального призначення, в число яких входять мікросхеми обох підродин KS86 і KS88. Крім архітектурних відмінностей, мікроконтролери KS88 мають також розширений регістровий файл (до 1040 байт, доступних в сторінковому режимі) і, як правило, більший об'єм внутрішньої пам'яті програм (від 16 до 32 Кб).

Особливістю 8-розрядних Flash мікроконтролерів сімейства S3F94xx є використання ядра CPU SAM88RCR1, молодшої версії типового ядра SAM8. Скорочення функціональних можливостей ядра SAM88RCR1, порівняно з типовим ядром, призвело до скорочення розмірів кристала, зниженню споживання, зниження вартості мікроконтролера в цілому. Іншим наслідком стало зменшення кількості команд до 41. Мікроконтролери S3F944xx оснащені Flash пам'яттю ємністю 4 Кб і регістровим файлом, в якому 208 байтів можуть бути використані в якості регістрів загального призначення. Діапазон робочих напруг від 2,0 до 5,5 В, передбачені режими енергозбереження Power-Down і Idle. Типове споживання при тактовій частоті 10 МГц становить 5 мА і в режимі Stop всього 0,1 мкА. Діапазон робочих температур від -40 °C до 85 °C.

Настала черга 16-розрядних мікроконтролерів.

Мікроконтролери сімейства Samsung S3C24xx на ядрі ARM9. Яскравим представником даного сімейства можна вважати S3C2410A — високопродуктивний мікроконтролер з розширеннями Thumb (режим процесорів ARM, в якому використовується скорочена система команд). Його параметри: 16 Кб Cache інструкцій, 16 Кб Cache даних, 4 Кб оперативної пам'яті, NAND Flash завантажувач, контролер переривань, зовнішній контролер пам'яті, контролер РК монітора (STN і TFT), хост Multi-Media Card інтерфейсу v2.11, двопортний USB Host.

					ІАЛЦ 462616.004 ПЗ	Арк.
						7
Зм.	Арк.	№ докум.	Підпис	Дата		

І, нарешті, настала черга 32-розрядних мікропроцесорів.

Мікроконтролери сімейства S3F4xxx на ARM9. Представником даного сімейства можна назвати S3F4A1HR — високопродуктивний 32-розрядний мікропроцесор з розширеннями Thumb, 16 Кб оперативної пам'яті, частоти процесора до 40 МГц, чотири 16-бітових таймера (ST), 74 General purpose I/O pins.

Таблиця 1.1— Вироби Samsung

<i>Part No.</i>	<i>Application</i>	<i>ARM Core</i>	<i>Pins</i>	<i>Package</i>	<i>Cache</i>	<i>MHz</i>	<i>Supply</i>
<i>S3C3400A</i>	<i>General Purpose, PDA</i>	<i>ARM7TDMI</i>	<i>128</i>	<i>QFP</i>	<i>4K</i>	<i>33</i>	<i>2.7-5.5</i>
<i>S3C3410X</i>	<i>General Purpose, PDA</i>	<i>ARM7TDMI</i>	<i>128</i>	<i>QFP</i>	<i>4K</i>	<i>50</i>	<i>3.3</i>
<i>S3C44A0A</i>	<i>General Purpose, PDA</i>	<i>ARM7TDMI</i>	<i>208</i>	<i>QFP</i>	<i>8K</i>	<i>50</i>	<i>3.3</i>
<i>S3C44B0A</i>	<i>General Purpose, PDA</i>	<i>ARM7TDMI</i>	<i>160</i>	<i>QFP</i>	<i>8K</i>	<i>66</i>	<i>3.3</i>
<i>S3C3400A</i>	<i>General Purpose, PDA</i>	<i>ARM7TDMI</i>	<i>128</i>	<i>QFP</i>	<i>4K</i>	<i>33</i>	<i>5.0</i>
<i>S3C4510</i>	<i>Network Control</i>	<i>ARM7TDMI</i>	<i>208</i>	<i>QFP</i>	<i>8K</i>	<i>50</i>	<i>3.3</i>
<i>S5N8946</i>	<i>ADSL Modem Control</i>	<i>ARM7TDMI</i>	<i>240</i>	<i>QFP</i>	<i>4K</i>	<i>50</i>	<i>3.3</i>

1.6 Мікроконтролери виробництва Siemens

Мікроконтролери SIMATIC S7-200 призначені для вирішення завдань управління і регулювання в невеликих системах автоматизації. При цьому, вони дозволяють створювати як автономні, так і системи управління, що працюють в загальній інформаційній мережі. SIMATIC S7-200 все більш інтенсивно використовується при створенні систем, для яких в минулому, з міркувань економії, необхідно було розробляти спеціальні електронні модулі.

Фірмою Siemens пропонуються 4 базові моделі з наростаючими можливостями:

CPU 221— малогабаритний центральний процесор володіє достатньо високою потужністю. Вбудовані дискретні входи можуть працювати як швидкі 32 розрядні лічильники (чотири лічильника), лінії переривання (чотири лінії), або як звичайні дискретні входи. CPU 221 не має можливості розширення.

CPU 222 — модель, яка завдяки великому обсягу пам'яті і численним інтегрованим спеціальних функцій дозволяє з успіхом вирішувати і досить складні завдання автоматизації. CPU 222 має можливість нарощування через шини розширення (до 2 зовнішніх модулів).

CPU 224/226 — ці моделі володіють найкращими характеристиками в сімействі при управлінні процесами в реальному часі. Вони мають можливість нарощування через шини розширення (до 7 модулів).

Всі CPU серії S7-22x мають вбудований PPI інтерфейс, який використовується для з'єднання з програматором (PG), ПК, дисплеями TD200, TP070 та іншими панелями оператора. Інтер-

фейс PPI має швидкість передачі до 187.5 Кбіт/с і може використовуватися також для підключення текстового дисплею, кнопкової панелі, модемів, пристроїв зчитування бар-кодів, принтерів або для організації невеликих мереж з контролерів і т.д.

Всі CPU 22х здатні виконувати операції над числами з плаваючою крапкою.

SITOP power 24/3.5 А — це відмінне допоміжне джерело живлення у випадку, якщо стандартний SIMATIC S7-200 CPU не може більше забезпечувати підключених до нього споживачів. Блок живлення спеціально сконструйований, відмінно функціонує з мікроконтролерами і може бути легко інтегрований в конструктив як будь-який інший модуль S7-200.

Контролери SIMATIC S7-1200 і S7-200 відповідають вимогам міжнародних стандартів VDE, UL, CSA і FM. Система управління якістю виготовлення виробів SIMATIC має сертифікат ISO 9001.

1.7 Мікроконтролери виробництва Motorola

Motorola пропонує найширшу в світі номенклатуру мікроконтролерів, що охоплює практично всі сфери застосування і включає в себе близько 300 моделей: від найпростіших дешевих до високопродуктивних 32-розрядних з RISC-ядром і потужною периферією.

Сімейство HCO5 містить найбільшу кількість модифікацій мікроконтролерів (близько 180), оскільки це сімейство формувалося споживачами фірми Motorola, що замовляли розробку мікроконтролера потрібної конфігурації під свою конкретну продукцію, тому сімейство HCO5 іноді називають сімейством “замовних” контролерів (CSIC—Customer Specified Integrated Circuit — мікроконтролери з характеристиками, обумовленими користувачами). Всі вони мають однакове 8-розрядне процесорне ядро, засноване на популярній архітектурі 6800, і відрізняються набором периферійних функцій. Це означає, що застосування будь-якого мікроконтролера цього сімейства відкриває користувачеві можливість використовувати набутий досвід при створенні нових пристроїв як із застосуванням інших мікроконтролерів з сімейства HCO5, так і на основі більш продуктивного, але програмно сумісного сімейства HCO8.

До складу мікроконтролера сімейства HCO5 входять: процесорне ядро, яке має стандартну внутрішню тактову частоту 2 МГц, для деяких контролерів існують версії з тактовою частотою 4 МГц (цикл команди 250 нс), пам'ять програм всіх типів, оперативна пам'ять об'ємом до 768 байт, таймери, контролери дисплеїв, послідовні інтерфейси і багато інших пристроїв. Всі представники сімейства HCO5 мають версії зі зниженим живленням і розширеним температурним діапазоном, і випускаються в найрізноманітніших корпусах.

Серія C характерна широким розмаїттям побудованої пам'яті і лінії паралельного введення/виводу. Асинхронний послідовний інтерфейс (SCI) дозволяє організувати обмін даними з

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		9

зовнішніми пристроями зі швидкістю до 131 кГц. Високошвидкісний синхронний послідовний інтерфейс (SPI) зручний для управління дисплеями і зовнішніми периферійними пристроями по 4-провідній лінії. Найбільш популярним представником серії C є мікроконтролер MC68HC705C8A з однократно програмованою вбудованою пам'яттю, великою кількістю ліній введення/виведення, наявністю версії з подвоєною тактовою частотою і захистом коду від читання. MC68HC05C0 є єдиним представником сімейства HC05, які не мають вбудованої пам'яті програм. Вони активно використовуються в комунікаційних пристроях, таких, як абонентські модулі АТС, системи цифрового ущільнення абонентських ліній і т.д.

Серія J включає в себе недорогі 20-вивідні мікроконтролери, що містять постійний запам'ятовуючий пристрій, багатofункціональний таймер і функцію переривання реального часу. Найбільш яскравою моделлю цієї серії є MC68HC705J1A, наявність в якому програмованої пам'яті з захистом від читання, виходів з високою навантажувальною здатністю, переривань від клавіатури, швидкісної версії і вкрай недорогого комплексу налагоджувальних засобів роблять його популярним.

Серія K містить найдешевші 16-вивідні мікроконтролери, що включають в себе пам'ять, таймер, переривання реального часу, лінії з підвищеною навантажувальною здатністю і програмовану користувачем область пам'яті (8 байт). MC68HC805K3 з вбудованим EEPROM (Flash) призначений для макетування і невеликих виробничих серій.

Серія P характерна різноманітністю варіантів вбудованої пам'яті (включаючи EEPROM), наявністю простого послідовного порту, а також невеликим 28-вивідним корпусом і низькою ціною. Найбільш популярним представником цієї серії є MC68HC705P9.

Серія F була спеціально створена для побудови абонентських телефонних апаратів різних груп складності і терміналів. Головною її особливістю є наявність в них генератора для тонального набору номера і цифрової сигналізації. Ряд мікроконтролерів цієї серії додатково містить контролер РКІ-дисплея, а також великий обсяг пам'яті програм для реалізації складних алгоритмів і незалежну пам'ять для зберігання номерів. Всі ці функції, поряд з низьким споживанням, що дозволяє жити від телефонної лінії або батарей, роблять його привабливими для створення як масових телефонних апаратів, так і складного абонентського обладнання.

Серія L, головними рисами якої є наявність вбудованих контролерів дисплеїв, наявність тонального генератора, годиннику реального часу і низьке споживання, також широко використовуються при створенні різноманітного, особливо портативного, зв'язкового обладнання: безд-

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		10

готових телефонів, пристроїв персонального виклику (пейджерів), радіостанцій, цифрових блоків і т.д. Часто використовується в різноманітних побутових пристроях, що вимагають виведення на дисплей.

Серія Е включає мікроконтролери, що містять синтезатор тактової частоти для гнучкого управління споживанням, незалежну пам'ять і використовується для загального призначення.

Серія М містить вбудований контролер вакуум-флюоресцентного індикатора. Вбудований формувач забезпечує можливість управління по 24 лініях при напрузі 40 вольт. До складу мікросхем серії також входять 8-бітний таймер, 6-канальний 8-бітний аналогово-цифровий перетворювач, асинхронний послідовний порт і великий об'єм вбудованої пам'яті.

Серія МС характеризується наявністю в 28-вивідному корпусі 6-канального аналогово-цифрового перетворювача, і призначена для управління електродвигунами в "ділії техніці": холодильниках, пральних машинах, кухонних комбайнах, і т.д.

Серія Т спеціально призначена для застосування у відео та телевізійній апаратурі і містить драйвер кольорового екранного дисплея, що дозволяє відображати на екрані ЕПТ символи і текстову інформацію. Вбудований аналогово-цифровий перетворювач може використовуватися для управління настроюванням на певний канал телебачення.

Серія СС є продовженням серії Т і має розширений драйвер екранного дисплея з можливістю секціонування даних.

Серії мікроконтролерів загального призначення, особливо найбільш дешеві серії з малою кількістю виводів (К, J і RC), використовуються для вирішення задач управління в різноманітних побутових пристроях (наприклад, пульт дистанційного керування).

Вироби серії Х мають вбудовані контролери локальної керуючої мережі (CAN-Controller Area Network). Вони використовуються для локального управління/збору даних у різних підсистемах автомобіля (приладова панель, склопідйомники, підвіска, і т.д.). Ряд моделей містять розширений таймер, незалежну пам'ять, аналогово-цифровий перетворювач і розширений послідовний порт, випускаються в різних модифікаціях (постійний запам'ятовуючий пристрій від 4 до 32 Кб, різноманітний корпус).

Серія V призначена для виконання функцій, аналогічних серії Х, але орієнтована на інші стандарти: MDLC (Message DataLink Control) або J1850. Характерною особливістю мікроконтролерів цієї серії є поєднання декількох технологій: КМОП, високовольтної і силової, що дозволило створити "систему на кристалі", що містить, крім стандартних блоків, високовольтний регулятор напруги, EEPROM, аналогово-цифровий перетворювач та інші функції.

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		11

Серії К, J, Р загального призначення часто використовуються для реалізації окремих функцій автомобіля, наприклад, охоронної сигналізації (електронний ключ, центральний замок). Можуть також використовуватися при створенні розподілених систем управління/збору інформації, наприклад, систем пожежної сигналізації.

Мікроконтролери серії В поєднують великий обсяг вбудованого програмованого постійного запам'ятовуючого пристрою, EEPROM, аналогово-цифровий перетворювач, а також таймер і розширений послідовний порт. Така конфігурація дозволяє використовувати мікросхеми серії в найрізноманітніших індустріальних додатках.

Серія G була розроблена спеціально для використання в портативних комп'ютерах. Включаючи до свого складу два асинхронних послідовних інтерфейси, контролер клавіатури, синтезатор частот і можливість управління споживаною енергією, вони знаходять застосування в переносних комп'ютерах типу Laptop і Notebook.

Серія BD містить процесор горизонтальної та вертикальної розгортки і ідеально підходить для використання в комп'ютерних моніторах.

					ІАЛЦ 462616.004 ПЗ	Арк.
						12
Зм.	Арк.	№ докум.	Підпис	Дата		

Структурна схема розроблювальної мікропроцесорної системи представлена на кресленнику ІА/Ц 462416.005 Е1, що знаходиться в додатках.

2.1 Архітектура створюваної системи

Під архітектурою розуміють конфігурацію основних компонентів системи з врахуванням їх можливостей, здібностей, способу взаємодії і розділення функцій між ними. В нашому випадку, розробка архітектури розроблюваної системи складається з вибору необхідних компонентів, його обґрунтування та налагодження між ними необхідних зв'язків.

Відповідно до технічного завдання, розроблювана мікропроцесорна система має наступні компоненти:

- Процесорне ядро на базі мікроконтролера КР1816ВЕ51;
- Зовнішня пам'ять програм, що складається з 2 сторінок об'ємом по 64 Кб;
- Зовнішня пам'ять даних, що складається з 12 сторінок об'ємом по 2 Кб, остання відведена для адрес зовнішніх пристроїв та наведена на рисунку 2.1;
- 127 зовнішніх пристроїв, кожен з яких має відведений для нього діапазон адресів для реєстру даних та реєстру стану;
- Централізовані контролер пріоритетних переривань та прямого доступу до пам'яті;
- Спецодчислювач має адресу 5019h та виконує додаткові операції;
- Мікросхема КР580ВР43 підключена лише портами Р4, Р6, Р7, тому для управління необхідно лише три розряди;
- Програмний периферійний адаптер К580ВВ55 — має виділений діапазон адрес 5020h–5023hh.
- Програмний зв'язковий адаптер К580ВВ51 має виділені адреси 5024h, 5025h.

Всі вищенаведені пристрої об'єднані за допомогою системної шини — магістралі обміну даними. В даній роботі вона складається з 16 провідників та розділена на шину даних і адреси (по 8 розрядів), що дозволяє не використовувати тимчасове мультиплексування при передачі адреси і даних.

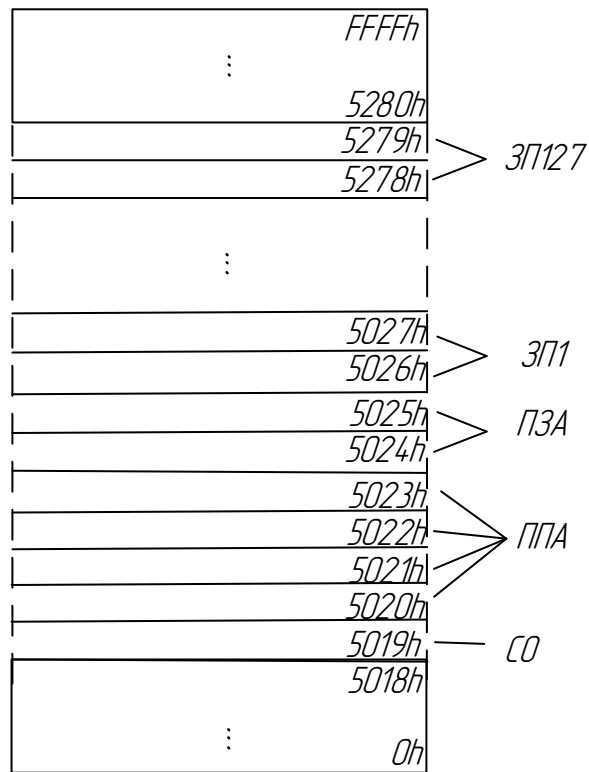


Рисунок 2.1— Таблиця розподілу пам'яті зовнішніх пристроїв

2.2 Огляд процесорного ядра

Intel 8051 — це однокристальний мікроконтролер гарвардської архітектури, який вперше був виготовлений в 1980 році для використання у вбудованих системах. Був надзвичайно популярний у 1980-их, але зараз застарів та витіснений сучаснішими пристроями. Існує також радянський клон даної мікросхеми, КР1816ВЕ51 з характеристиками:

- складається з процесорного ядра, оперативної пам'яті, постійного запам'ятовуючого пристрою, портів, логіки керування перериваннями, двох 16-бітних таймерів і т. д;
- шина даних — 8-ми бітна;
- шина адреси — 16-ти бітна;
- вбудований оперативний запам'ятовуючий пристрій — 128 байт пам'яті даних;
- вбудований постійний запам'ятовуючий пристрій — 4 Кб пам'яті програм;
- 4 порти вводу/виводу: двонаправлений і три квазідвонаправлений;
- два рівня пріоритету переривань;
- енергозберігаючий режим.

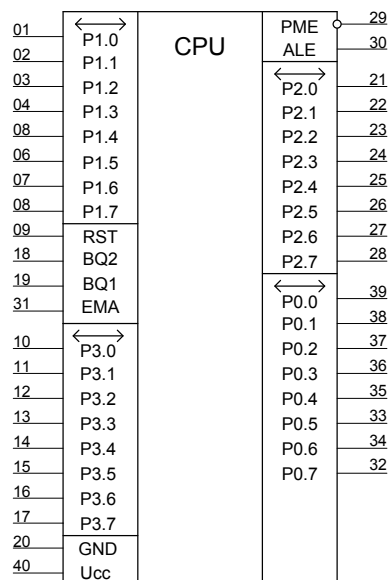


Рисунок 2.2 – Умовне графічне позначення МК-51

Таблиця 2.1 – Призначення виводів МК-51

№ виводу	Позначення	Призначення	Тип
1-8	P1.0-P1.7	Двонаправлений порт P1	Вхід/Вихід
9	RST	Сигнал загального скидання	Вхід
10-17	P3.0-P3.7	Двонаправлений порт з додатковими функціями	Вхід/Вихід
	P3.6	Сигнал дозволу запису у зовнішню пам'ять даних — WR	Вихід
	P3.7	Сигнал дозволу читання з зовнішньої пам'яті даних — RD	Вихід
18	BQ2	Виводи для підключення кварцевого резонатора	Вихід
19	BQ1		Вхід
20	GND	Загальний вивід	
21-28	P2.0-P2.7	Двонаправлений порт P2	Вхід/Вихід
29	PME	Активне значення сигналу дозволяє читання з зовнішньої пам'яті програм	Вихід
30	ALE	Вихідний сигнал дозволу фіксації адреси	Вихід
31	EMA	Активне значення сигналу означає читання коду з зовнішньої пам'яті	Вихід
40	Ucc	Напруга живлення (+5В)	Вхід
32-39	P0.0-P0.7	Двонаправлений програмований порт вводу/виводу	Вхід/Вихід

Регістри загального призначення та визначені користувачем програмно-керовані прапорці розміщені в адресному просторі внутрішнього оперативного запам'ятовуючого пристрою даних.

Таблиця 2.2. — Призначення регістрів

Позначення	Назва	Адреса
ACC*	Акумулятор	0E0h
B*	Регістр В	0F0h
PSW*	Регістр стану програми	0D0h
SP	Вказівник стеку	081h
DPTR	Вказівник даних на 2 байти	083h – 082h
P0*	Порт 0	080h
P1*	Порт 1	090h
P2*	Порт 2	0A0h
P3*	Порт 3	0B0h
IP*	Регістр пріоритетів переривання	0B8h
IE*	Регістр дозволу переривання	0A8h

* – реєстри, що допускають підготовку адресації.

Нижче описуються функції реєстрів, приведених в таблиці 2.2.

Регістр стану програми. Інформація наведена в таблиці 2.3.

Таблиця 2.3 – Призначення розрядів реєстру PSW

Біти	Назва		Призначення бітів	Доступ до біту
7	CY		Прапорець переносу	Апаратно чи програмно
6	AC		Прапорець додаткового переносу	Апаратно чи програмно
5	FO		Користувачський прапорець	Програмно
4	RS1		Вказівник банку робочих реєстрів	Програмно
3	RS0			Програмно
	RS1	RS0		
	0	0	Банк 0 з адресами (00h–07h)	
	0	1	Банк 1 з адресами (08h–0Fh)	
	1	0	Банк 2 з адресами (010h–017h)	
	1	1	Банк 3 з адресами (018h–01Fh)	
2	OV		Прапорець переповнення	Апаратно чи програмно
1	–		Резервний	Програмно
0	P		Біт парності. Скидається/встановлюється в кожному циклі інструкції для вказування парної/непарної кількості розрядів акумулятора, що встановлені в “1”	Апаратно чи програмно

Акумулятор. Команди, призначені для роботи з акумулятором, використовують мнемоніку “A”, наприклад, MOV A, P2. Мнемоніка “ACC” використовується, наприклад, при підготові адресації. Так, символічне ім’я п’ятого біта акумулятора при використанні асемблера буде наступним: ACC.5.

Регістр В. Використовується під час операцій множення і ділення. Для інших інструкцій розглядається як додатковий і надоперативний.

Вказівник стеку SP. 8-бітовий регістр, вміст якого інкрементується перед записом даних в стек при виконанні команд PUSH і CALL. При початковому скиданні вказівник стеку встановлюється в 07h, адже область стеку в оперативній пам'яті даних починається з адреси 08h.

Вказівник даних. Вказівник даних містить 16-бітну адресу при звертанні до зовнішньої пам'яті. Може використовуватися як два незалежних восьмибітових регістри.

Порт0-Порт3. Регістри спеціальних функцій P0, P1, P2, P3 являються регістри-“замки” портів P0, P1, P2, P3.

Регістри управління. Регістри спеціальних функцій IP, IE, TMOD, TCON, SCON і PCON містять біти управління і біти стану системи переривань, таймерів/лічильників і послідовного порту.

Також передбачена можливість задавання частоти внутрішнього генератора за допомогою кварцу, LC-ланцюжка чи зовнішнього генератора.

Незважаючи на те, що архітектура сімейства МК-51 заснована на архітектурі МК-48, вона все ж не являється повністю з нею сумісною. В MCS-51 існує ряд нових режимів адресації, додаткові інструкції, розширений адресний простір та ряд інших апаратних відмінностей. Розширена система команд забезпечує побайтову і побітову адресацію, двійкову і двійково-десяткову арифметику, індикацію переповнення і визначення парності/непарності, можливість реалізації логічного процесора.

Найважливішою і визначаючою рисою архітектури сімейства МК-51 являється те, що арифметико-логічний пристрій може разом з виконанням операцій над 8-розрядними типами даних маніпулювати однорозрядними даними. Окремі програмно-доступні біти можуть бути встановлені, скинуті чи замінені їх доповненням, можуть пересилатися, перевірятися і використовуватися в логічних обчисленнях. Підтримка простих типів даних (при існуючій тенденції до збільшення довжини слова) може з першого погляду здатися кроком назад, але завдяки такому потужному арифметико-логічному пристрою, набір інструкцій мікроконтролерів сімейства МК-51 однаково добре підходить як для застосування в управлінні як у реальному часі, так і для алгоритмів з великим об'ємом даних.

2.3 Підключення зовнішньої пам'яті

В архітектурі МК-51 пам'ять даних і пам'ять програм розділені. Кожна з них може мати розмір до 64 Кб, вибір одної з матриць виконується сигналами PME, WR, RD.

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		17

2.4.1 Підключення зовнішньої пам'яті програм

Пам'ять програм розділяється на резидентну (та, що знаходиться всередині чіпу) і зовнішню, для реалізації якої потрібні додаткові мікросхеми. Резидентна представляє собою постійний запам'ятовувачий пристрій, ємністю 4 Кб (адреси від 0 до 0FFFFh). Вона може бути відключена шляхом подання низького рівня на вхід EMA. Адреси 0h, 03h, 0Bh, 013h, 01Bh і 023h мають спеціальне призначення:

- 00h — початкова адреса пуску;
- 03h — вектор зовнішнього переривання INT0;
- 0Bh — вектор переривання від таймера T/C0;
- 013h — вектор зовнішнього переривання INT1;
- 01Bh — вектор переривання від таймера T/C1;
- 023h — вектор переривання від послідовного інтерфейсу.

Підключення зовнішньої пам'яті програм розроблювальної мікропроцесорної систе показано на рисунку 2.4.

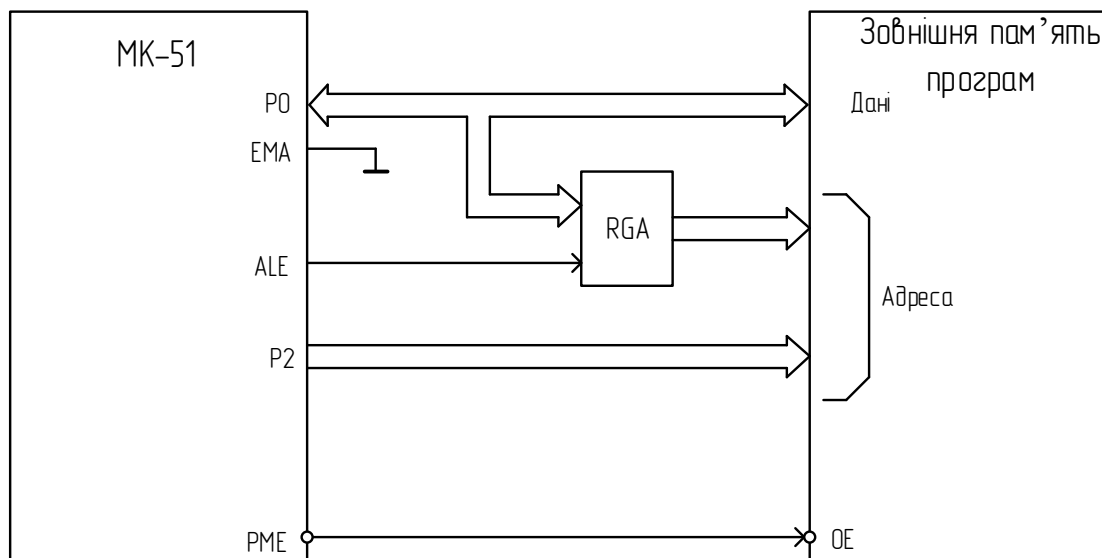


Рисунок 2.4 — Схема підключення зовнішньої пам'яті програм

При звертаннях до зовнішньої пам'яті програм завжди формується 16-розрядна адреса, молодший байт якої видається через порт P0, а старший — через P2. При цьому байт адреси, що видається через P0, повинен бути зафіксований у зовнішньому регістрі по спаду сигналу ALE. Порт P0 працює як мультиплексована шина адреса/дані: видає молодший байт лічильника команд, а потім переходить у високоімпедансний стан і очкує приходу байту від зовнішньої пам'яті програм. Коли молодший байт адреси знаходиться на виходах порту P0, сигнал ALE закриває його в адресному регістрі RGA. Старший байт адреси знаходиться на виходах порту P2 протягом всього

часу звертання до пам'яті програм. Сигнал PМЕ дозволяє читання байту з пам'яті, після чого вибраний байт іде на порт РО і вводиться в мікроконтролер.

Адресація в пам'яті програм — безпосередня чи непряма базова індексна. В першому випадку з пам'яті вибирається константа, явно задана в команді. Наприклад, при виконанні інструкції MOV R2, #15 в регістр пересилається константа 15. У другому випадку в якості індексного регістра використовується акумулятор, а в якості базового — регістр-вказівник даних DPTR чи лічильник команд PC. Читання операндів виконується командами MOVC.

Доступ до зовнішньої пам'яті програм виконується в будь-якому разі, якщо програмний лічильник має число більше, ніж максимальна комірка внутрішньої пам'яті програм.

2.4.2. Підключення зовнішньої пам'яті даних

Пам'ять даних необхідна для прийому, збереження і видачі інформації, що використовується в процесі виконання програми. Вона розміщена на кристалі мікроконтролера, складається з дешифратора, регістра адреси, оперативного запам'ятовуючого пристрою і вказівника стеку.

Регістр адреси призначений для прийому і збереження адреси вибраної за допомогою дешифратора комірки пам'яті, яка може містити як біт, так і байт інформації.

Оперативний запам'ятовуючий пристрій представляє собою 128 восьмирозрядних регістрів, призначених для прийому, збереження і видачі різної інформації.

Вказівник стеку — восьмирозрядний регістр, призначений для прийому і збереження адреси комірки стеку, до якої було останнє звертання. При виконанні команд LCALL, ACALL його вміст збільшується на 2, а при виконанні RET, RETI — зменшується на 2. При виконанні PUSH вміст вказівника збільшується на 1, а при виконанні інструкції POP — зменшується на 1. Після скидання в ньому встановлюється адреса 07h, що відповідає початку стеку з адресою 08h.

Внутрішня пам'ять даних складається з двох областей: оперативної пам'яті з адресами 0h–07Fh і області регістрів спеціальних функцій, що займає адреси 080h–0FFh. Розподіл простору внутрішньої пам'яті даних показано на рисунку 2.5.

Фізично внутрішній оперативний запам'ятовуючий пристрій даних і область регістрів спеціальних функцій являються окремими пристроями. Всі комірки внутрішньої пам'яті даних можуть адресуватися з використанням прямої і непрямої адресації. Крім цього, оперативний запам'ятовуючий пристрій даних має наступні особливості. Його молодші 32 байти згруповані в 4 банки по 8 регістрів в кожному (БАНКО–БАНК3 на рисунку 2.5). Команди програми можуть звертатися до регістрів, використовуючи їх імена R0–R7. Два біта PSW (вказівники банку робочих регістрів RSO

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		19

і RS1) визначають, з регістрами якого банку виконуються маніпуляції. Наявність такого механізму роботи з комітками дозволяє економити пам'ять програм, оскільки команди, що працюють з регістрами R0–R7, коротші тих, що використовують пряму адресацію. Наступні після банків регістрів 16 байт (адреси 020h–02Fh) утворюють область коміток, до яких можлива подітова адресація.

Набір команд мікроконтролерів сімейства МК–51 містять значну кількість інструкцій, що дозволяють працювати з окремими бітами, використовуючи при цьому пряму адресацію. 128 біт, що складають область внутрішнього оперативного запам'ятовуючого пристрою даних, мають адреси 0h–07Fh. Звернення до оперативної пам'яті завжди здійснюється з використанням 8-розрядної адреси.

Простори внутрішньої і зовнішньої пам'яті даних не перетинаються, оскільки доступ до них здійснюється за допомогою різних команд. Для роботи з зовнішньою пам'яттю даних існують спеціальні команди MOVX, які не впливають на внутрішню пам'ять. Звернення до коміток зовнішньої пам'яті виконується лише з використанням непрямої адресації по регістрах R0 і R1 активного банку регістрів внутрішнього оперативного запам'ятовуючого пристрою (команди типу MOV @Ri) чи по регістру DPTR (команди типу MOV @DPTR). В першому випадку буде формуватися 8-розрядна, а в другому — 16-розрядна адреса.

При зверненні до зовнішньої пам'яті даних, адреса виводиться через порт P0 (молодший байт) і P2 (старший байт). Точно так, як і в випадку зовнішньої пам'яті програм, її об'єм може бути збільшено.

Обмін байтом даних (запис і читання) проводиться через P0, тобто порт використовується як шина адреси/даних в режимі мультиплексування.

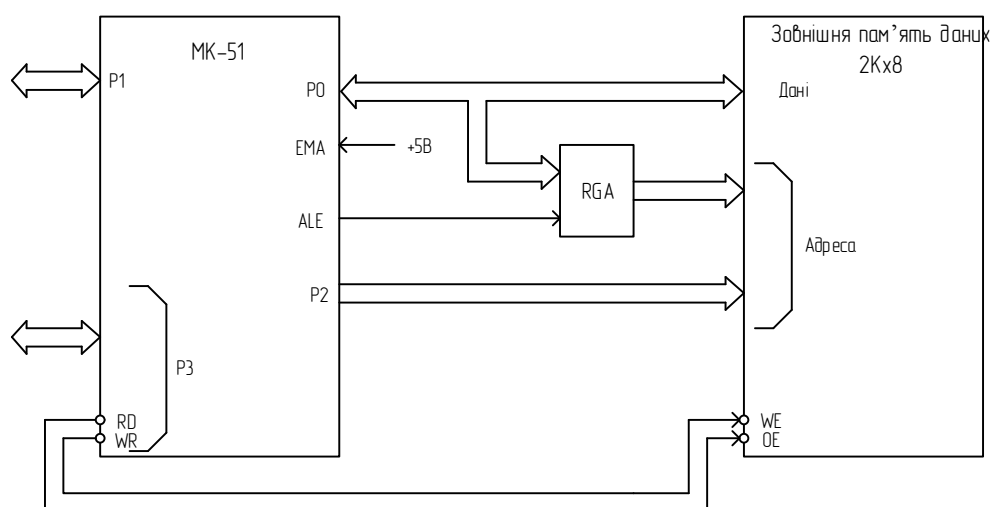


Рисунок 2.6 — Сторінкова організація зовнішньої пам'яті даних

На рисунку 2.6 показана сторінкова організація зовнішньої пам'яті даних. Приведена схема дозволяє працювати з пам'яттю даних ємністю 2 Кб, використовуючи команди типу MOVX @Ri. P0 при цьому працює як мультиплексована шина адрес/дані, а три лінії порту P2 адресують сторінки зовнішнього оперативного запам'ятовуючого пристрою. Інші 5 ліній порту P2 можуть використовуватись в якості пінів вводу/виводу.

2.4 Контролер пріоритетних переривань

Під перериванням розуміють деяку призупинку виконання програми і перехід на підпрограму з можливістю повернення на перервану. Переривання можна класифікувати наступним чином: внутрішні і зовнішні. Внутрішні діляться на апаратні і програмні.

Мікроконтролери сімейства МК-51 забезпечують підтримку п'яти джерел переривань: двох зовнішніх, що надходять по входах INTO і INT1, двох від таймерів/лічильників, переривання від послідовного порту.

Запити на переривання фіксуються в регістрах спеціальних функцій мікроконтролера: прапорці IE0, IE1, TFO, TF1 запитів на переривання від INTO, INT1, T/CO і T/CI знаходяться в регістрі управління TCON, а прапорці RI та TI запитів на переривання від послідовного порту — в регістрі SCON управління послідовним портом.

Прапорці TFO і TF1 встановлюються апаратно при переповненні відповідного таймера/лічильника і скидаються апаратно при передачі управління програмі обробки відповідного переривання.

Прапорці TI і RI встановлюються апаратно схемою послідовного інтерфейсу відповідно після закінчення передачі чи прийому байту і скидаються лише програмним шляхом.

Всі вказані прапорці запитів на переривання доступні для встановлення і скидання програмно. Їх програмне встановлення приводить до такої ж реакції мікроконтролера, що й апаратне.

Скидання прапорців IE0 і IE1 виконується апаратно при обслуговуванні переривання лише в тому випадку, якщо воно було налаштоване на сприйняття спаду сигналу INTx. Якщо переривання було конфігуроване на сприйняття рівня сигналу запиту, то скидання прапорця IEх повинна виконувати програма обслуговування переривання, діючи на джерело переривання для зняття запиту.

Кожен вид переривання індивідуально забороняється чи дозволяється встановленням чи скиданням відповідних бітів регістру дозволу переривання IE. Він містить також і біт спільної заборони всіх переривань.

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		21

При одночасному надходженні запитів переривання від джерел, що мають різні пріоритети, спочатку оброблюється запит від більш пріоритетного пристрою.

У випадку одночасного надходження кількох запитів на переривання з однаковим пріоритетом порядок їх обробки визначається апаратними засобами мікроконтролера і не може бути змінений програмно.

При переході на підпрограму обробки переривання, забороняються всі інші, що мають рівень пріоритету, що дорівнює рівню переривання, що обслуговується.

Повернення з обробника переривань здійснюється за допомогою команди RETI, яка відновлює з стеку значення PC і логіку пріоритетів переривань.

2.5 Контролер прямого доступу до пам'яті

Одним із способів обміну даними з зовнішнім пристроєм є обмін в режимі прямого доступу до пам'яті. Тоді обмін даними відбувається без участі процесора, до ним управляють зовнішні по відношенню до мікропроцесора електронні схеми. Зазвичай вони розміщуються в спеціальній мікросхемі, яка називається контролером прямого доступу до пам'яті.

Обмін даними в режимі прямого доступу до пам'яті дозволяє використовувати в мікроконтролері швидкодіючі зовнішні запам'ятовуючі пристрої, такі, наприклад, як накопичувачі на жорстких магнітних дисках, оскільки цей режим може забезпечити час обміну одним байтом даних рівний циклу звернення до пам'яті. Для його реалізації необхідно забезпечити безпосередній зв'язок контролера прямого доступу і пам'яті мікроконтролера. З метою скорочення кількості ліній в шинах, контролер підключається до пам'яті за допомогою шин адреси і даних системного інтерфейсу. При цьому виникає проблема спільного використання шин системного інтерфейсу мікропроцесором і контролером прямого доступу. Можна виділити два основних способи її вирішення: реалізація обміну з “захопленням циклу” і з блокуванням мікроконтролера.

Існують два різновиди прямого доступу до пам'яті з “захопленням циклу”. Найпростіший полягає в тому, що для обміну використовуються ті машинні цикли процесора, в яких він не обмінюється даними з пам'яттю. Тоді контролер прямого доступу може обмінюватися даними, не заважаючи роботі мікропроцесора. Однак виникає необхідність виділення таких циклів, наприклад в деяких мікроконтролерах формується спеціальний керуючий сигнал.

Більш поширеним є режим прямого доступу з “захопленням циклу” і примусовим відключенням процесора від шин системного інтерфейсу. Для його реалізації, системний інтерфейс мі-

					ІАЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		22

мікроконтролера доповнюється двома лініями для передачі керуючих сигналів “Вимога прямого доступу до пам’яті” (ВПДП) і “Надання прямого доступу до пам’яті” (НПДП). Керуючий сигнал ВПДП формується контролером прямого доступу. Мікропроцесор, отримавши його, припиняє виконання чергової команди, не чекаючи її завершення, видає на системний інтерфейс керуючий сигнал НПДП і відключається від шин. З цього моменту вони управляються контролером прямого доступу. Використовуючи шини системного інтерфейсу, він здійснює обмін одним байтом або словом даних з пам’яттю мікроконтролера і потім, знявши сигнал ТПДП, повертає управління системним інтерфейсом мікропроцесору. Як тільки контролер буде готовий до обміну наступним байтом, він знову “захоплює” цикл мікроконтролера і т.д. У проміжках між сигналами ТПДП, мікропроцесор продовжує виконувати команди програми. Тим самим виконання програми сповільнюється, але в меншій мірі, ніж при обміні в режимі переривань.

Застосування в мікропроцесорах обміну даними з зовнішніми пристроями в режимі прямого доступу завжди вимагає попередньої підготовки, а саме: для кожного пристрою необхідно виділити область пам’яті, що використовується при обміні, вказати її розмір, тобто кількість байт (слів) інформації, що будуть записуватись або читатись. Отже, контролер прямого доступу повинен обов’язково мати у своєму складі регістр адреси і лічильник байт (слів). Перед початком обміну з зовнішнім пристроєм в режимі прямого доступу мікропроцесор повинен виконати програму завантаження. Вона забезпечує запис в зазначені регістри контролера початкової адреси виділеної пристрою пам’яті і її розміру в байтах або словах, залежно від того, якими порціями інформації ведеться обмін. Сказане не відноситься до початкового завантаження програм в пам’ять в режимі прямого доступу. У цьому випадку вміст регістра адреси і лічильника байт слів встановлюється перемикачами або перемичками безпосередньо на платі контролера. Використання великих інтегральних схем дозволяє істотно скоротити апаратні витрати при реалізації прямого доступу до пам’яті.

					ІА/ЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		23

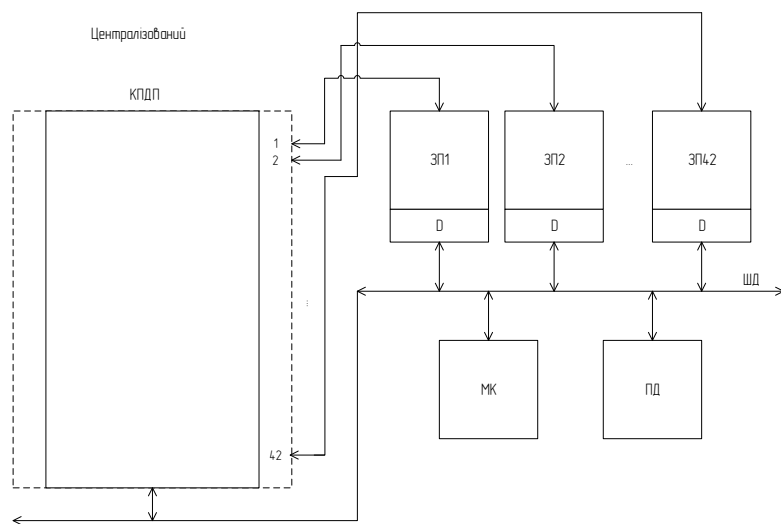


Рисунок 2.7— Реалізація централізованого КПП

Спеціалізований обчислювач — цифровий пристрій, який обчислює функцію чи їх набір за допомогою послідовності команд, кожній з яких відповідає мікропрограма. Мікропрограма, в свою чергу, це зв'язаний список мікрокоманд, яка зберігається в пам'яті блоку мікропрограмного управління. Він призначений для формування послідовності керуючих сигналів для операційного блоку, які забезпечують виконання операції.

Спецобчислювач в розроблюваній системі виконує важливу функцію. Він дозволяє розвантажувати мікропроцесорне ядро від виконання важких операцій, що займають не один такт, наприклад ділення. Це дає можливість мікроконтролеру займатись важливішими задачами, наприклад обслуговуванням переривання від певного зовнішнього пристрою.

3.1 Аналіз рішення алгоритму заданої задачі

Мікрокоманда — це інформаційне слово, що містить таку інформацію:

- керуючі сигнали;
- тривалість керуючих сигналів;
- інформацію для формування адреси наступної мікрокоманди.

Блок мікропрограмного управління функціонує так: у кожному такті з постійної пам'яті зчитується і розшифровується чергова мікрокоманда. В результаті її виконання формуються управляючі сигнали необхідної тривалості, які надходять на всі функціональні вузли обчислювальної системи, а також формується адреса наступної мікрокоманди.

Згідно технічного завдання, спецобчислювач мусить виконувати задачу розв'язання ви-
значника квадратної матриці системи лінійних алгебраїчних рівнянь:

$$A = \begin{bmatrix} a_{11} & \cdots & a_{1n} \\ \vdots & \ddots & \vdots \\ a_{n1} & \cdots & a_{nn} \end{bmatrix}$$

методом Гауса з вибором головного елемента по всій матриці.

Обчислювальна схема метода:

$$a'_{ij} = a_{ij} - \frac{a_{ik} \times a_{kj}}{a_{kk}},$$

де

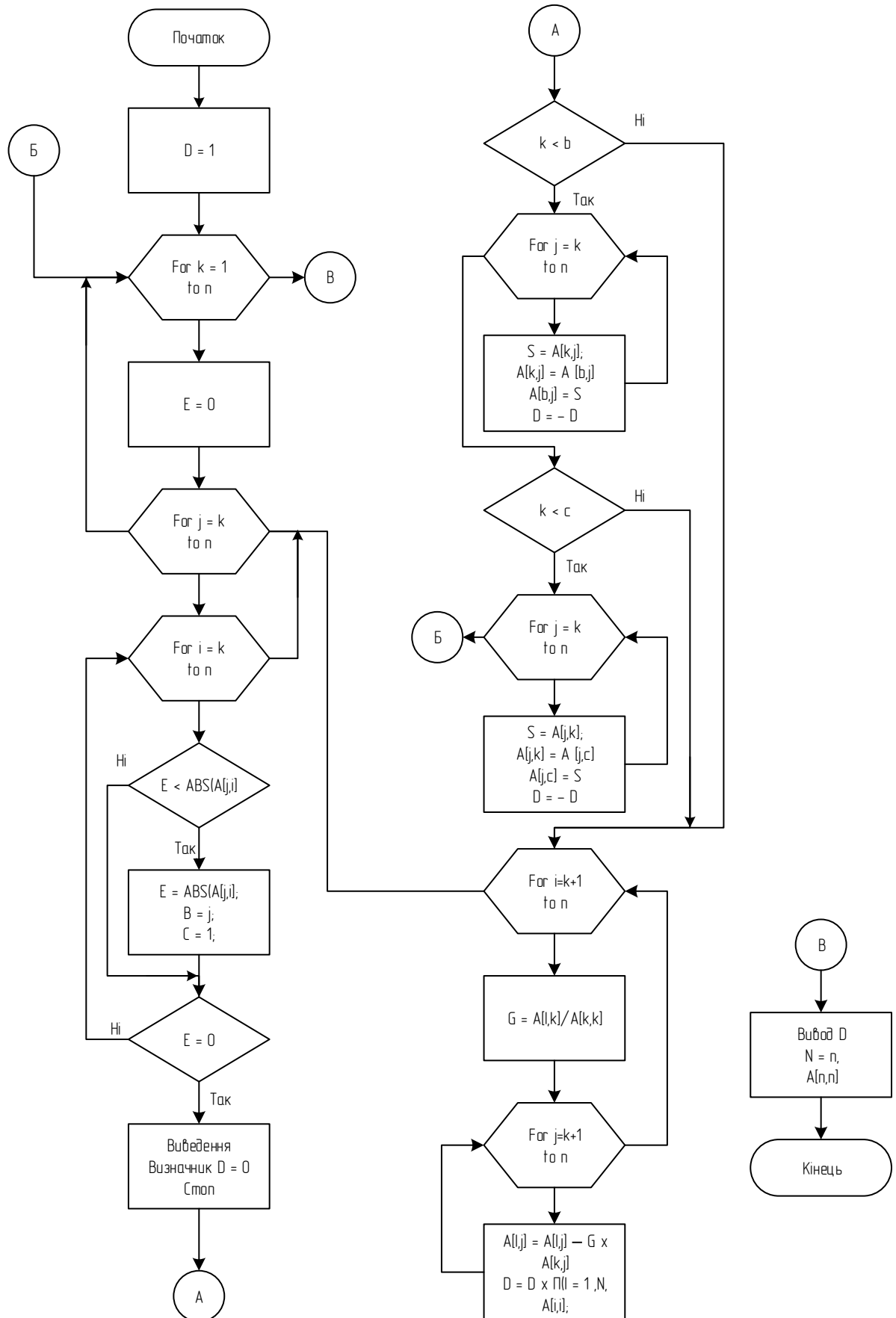
$$k = 1, 2, \dots, n-1;$$

$$i = k+1, \dots, n;$$

$$j = k+1, \dots, n;$$

$$d = \prod_{i=1}^n a_{ii}$$

3.2 Розробка алгоритму задачі



4.1 Формат та розрядність подання даних

Проаналізувавши створений алгоритм, було зроблено висновок щодо частоти використання різних команд. Тому команди, що будуть використовуватися найчастіше, були винесені для реалізації в спеодчислювачі та наведені в таблиці 4.1.

Ця таблиця вимагає певних пояснень. Перш за все, варто зазначити, що обране кодування не забезпечує необхідної в таких випадках оптимальності, проте зотує надійний ґрунт для подальшого розширення спеодчислювача й перетворення його в повноцінний мікроконтролер. По-друге, для того, що зрозуміти як в таблиці кодуються регістри, порти та біти заповнення, необхідно звернутися до таблиць 4.2 – 4.4.

Варто зазначити, що використовуючи разом команди розроблюваного пристрою та мікропроцесорного ядра, можна розв'язати поставлену задачу.

Отже, після розгляду вищезазначених таблиць, можна розпочати опис архітектури розроблюваного пристрою. По-перше, спеодчислювач оперує 8-ми розрядними даними та 12-ми розрядними адресами. Пристрій має фіксовану довжину команди (3 байти), 5 старших біт відводяться на код операції.

Таблиця 4.1 — Система команд спеодчислювача

№ П/п	Команда		КОп		Операнди			
					Dest	Src3	Src2	Src1
	Мнемоніка	Тun	23–19	18–16	15–12	11–8	7–4	3–0
1	NOP	sys	00000	000	0000	0000	0000	0000
2	JZ label	bra	01100	000	0000	label	label	label
3	JMP label	bra	01111	000	0000	label	label	label
6	AND Rd, Rs2, Rs1	alu	10010	000	ORd	0000	ORs2	ORs1
7	NOT Rd, Rs	alu	10011	000	ORd	0000	ORs	0000
10	IN Prt, Rd	i/o	10110	OPrt	ORd	0000	0000	0000
11	OUT Rs, Prt	i/o	10111	OPrt	0000	0000	0000	ORs
12	ADDC Rd, Rs2, Rs1	alu	11001	000	ORd	0000	ORs2	ORs1
13	MOV Rd, Rs	mov	11010	000	ORd	0000	ORs	0000
14	MOV Rd, const	mov	11011	000	ORd	0000	const	const

5.1. Розробка вузла ЕОМ

Операційна схема для виконання операції множення першим способом наведена на рис. 5.1. Пристрій складається з трьох регістрів, лічильника і суматора. Перед виконанням операції множення операнди записують в $RG2$ і $RG3$.

Змістовний алгоритм множення першим способом наведений на рис. 5.2.

Алгоритм множення заключається в наступному:

- 1) Проводимо ініціалізацію. Заносимо в регістри операнди і розрядність операндів в лічильник.
- 2) Аналізуємо молодший біт регістру $RG2(0)$. Якщо біт рівний 1, то виконуємо сумування вмісту регістрів $RG1$ і $RG3$ результат занісши в $RG1$. Якщо молодший біт рівний 0, то просто виконуємо зсув праворуч пари регістрів $RG1$, $RG2$ і декремент лічильника.
- 3) Аналізуємо вміст лічильника. Якщо вміст лічильника рівний 0, то закінчуємо програму. В іншому випадку повертаємося до кроку 2.

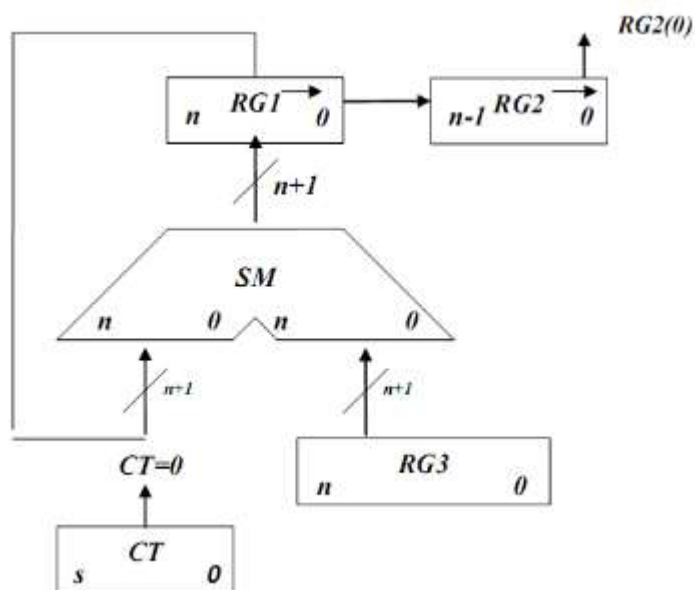


Рис. 5.1. Функціональна схема пристрою множення першим способом

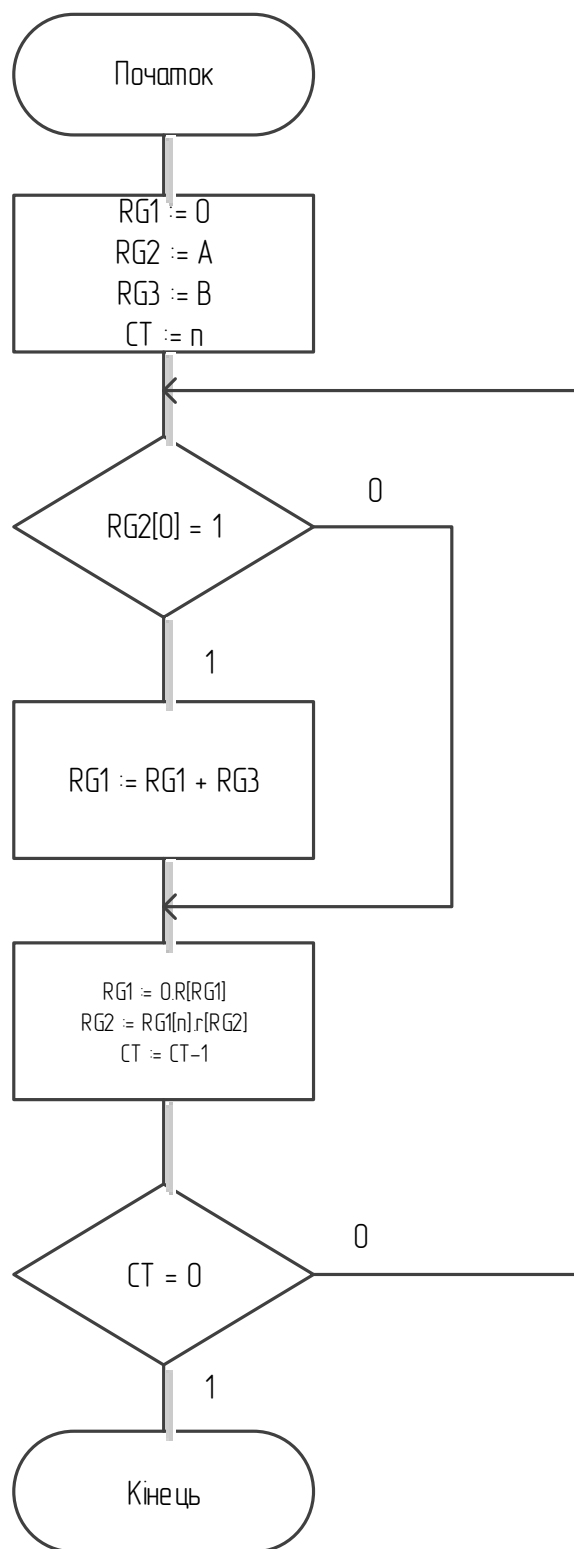


Рис. 4.2. Змістовний мікроалгоритм

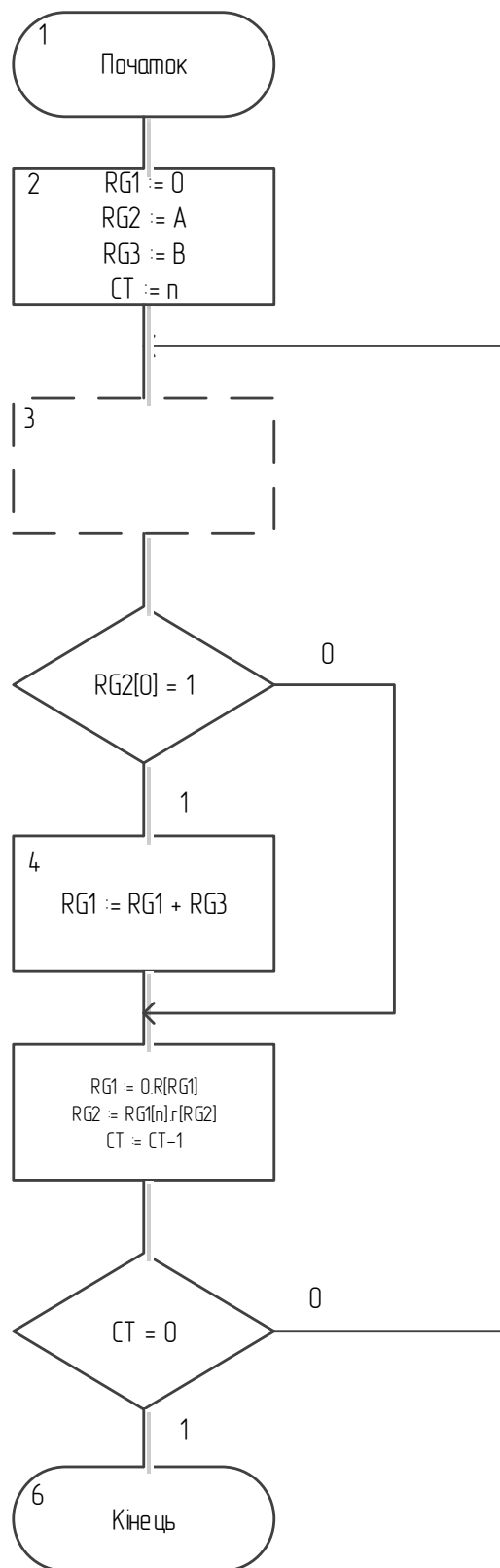


Рис. 5.3. Закодований мікроалгоритм

Розміщення команд в ПМК відображено на рис. 5.4.

Проведемо кодування мікрооперацій керування операційною схемою. Результат кодування наведено в таблиці 5.1.

					ІА/Ц 462616.004 ПЗ	Арк.
						30
Зм.	Арк.	№ докум.	Підпис	Дата		

Кодування умовних сигналів наведено в табл. 5.2.

Схема вихідних сигналів мультимплексора відображена в табл. 5.3.

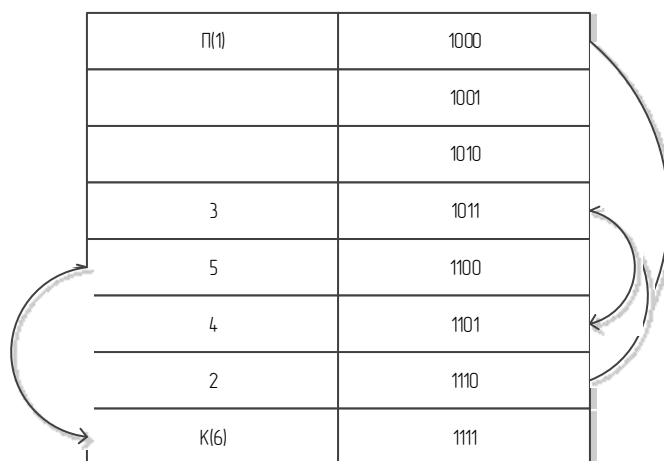


Рис. 5.4. Розміщення команд в ПМК.

Табл. 5.1. Кодування мікрооперацій

Мікрооперації	Управляючі сигнали
CLR	y1
W1	y2
W2	y3
W3	y4
SHR	y5
dec	y6
W4	y7

Табл. 5.2. Кодування сигналів

Логічні умови	Позначення
RG1[n]	X1
CT	X2

Табл. 5.1. Схема вихідних сигналів мультимплексора

m_1m_2	УС
00	0
01	X1
10	X2
11	1

БМУ функціонує у відповідності з принципом мікропрограмного управління, що полягає в наступному.

Спрощена структурна схема БМУ наведена на рис. 5.5.

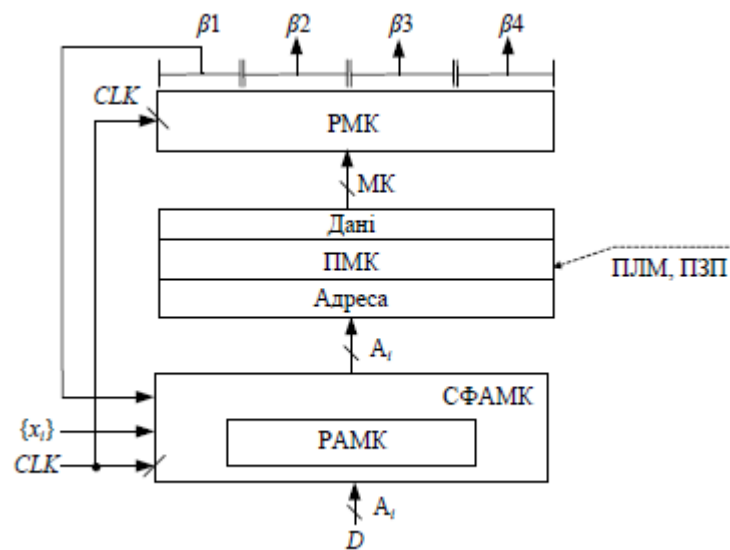


Рис. 5.5. Спрощена структурна схема БМУ

Основні функціональні частини БМУ:

РАМК — регістр адреси МК;

СФАМК — схема формування адреси МК;

ПМК — пам'ять МК;

РМК — регістр МК;

A_i — адреса МК;

CLK — синхросигнал;

$\{x_i\}$ — логічні умови;

D — вхід завдання початкової адреси мікропрограми.

МК розміщуються у пам'яті мікрокоманд.

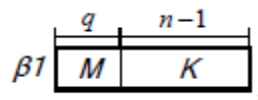
Сигнали зони **В2** управляють вузлами комп'ютера, зони **В3** — визначають тривалість цих сигналів, сигнали зони **В1** разом із логічними умовами $\{x_i\}$ поступають на вхід СФМК і формують адресу наступної МК. За черговим сигналом CLK адреса наступної МК буде сформована у РАМК. Зона **В4** використовується для виконання допоміжних функцій, наприклад контролю апаратури.

У обчислювальних системах зона **В4** може складатися із сотні розрядів. Найчастіше цю зону використовують для контролю апаратури.

Для контролю використовують операцію згортки (суму за модулем 2). У цьому випадку зона **В4** має довжину 1 розряд, вміст цього розряду доповнює кількість 1 у слові мікрокоманди до парної (або непарної, при контролі слова МК на непарність).

Синтез БМУ з примусовою адресацією.

За примусової адресації зона **В1** має наступний формат:



де M — поле управління мультиплексором;

q — довжина поля управління мультиплексором;

K — константа, що визначає адресу наступної мікрокоманди;

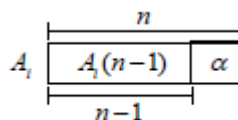
n — розрядність адреси мікрокоманди.

Довжина поля управління мультиплексором визначається за формулою:

$$q = \lceil \log_2(k+2) \rceil$$

Поле константи K являє собою $(n-1)$ старших розрядів адреси мікрокоманди.

Формат адреси мікрокоманди має наступний вигляд:



де α — визначає умову переходу, яка формується на виході мультиплексора в залежності від логічних умов X_i .

Спрощена структурна схема БМУ з примусовою адресацією зображена на рис. 5.6. На цій та подальших схемах БМУ входи для занесення початкової адреси D в РАМК умовно не показані.

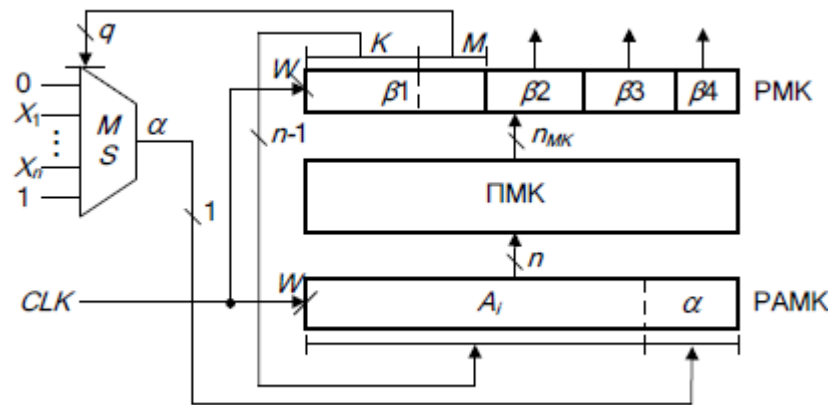


Рис. 5.6. Спрощена структурна схема БМУ з примусовою адресацією

Виходячи з кількості логічних умов (2) та константи (5) визначимо:

$$n_m = \lceil \log_2 3 \rceil = 2$$

$$n_s = \lceil \log_2 4 \rceil + 1 = 5$$

Розрядність адреси ПМК:

$$n_a = \lceil \log_2 8 \rceil = 4$$

Формат зони **в2**

При горизонтальному кодуванні управляючих сигналів довжина зони дорівнює кількості управляючих сигналів:

$$n_{\beta 2} = 7$$

Формат зони **в3**

Тривалість мікрооперації зберігатиметься у зоні **в3** в прямому коді без

знакового розряду. Виходячи із максимальної тривалості мікрооперації

$-7_{10}=0101_2$ отримаємо довжину зони **в3**

$$n_{\beta 3} = 4$$

Формат зони **в4**

Для перевірки на непарність у зоні **в4** необхідно виділити 1 розряд.

Таблиця 5.3 – Карта програмування БМУ

Адреса	в1		в2							в3	в4
	S	M	y1	y2	y3	y4	y5	y6	y7		
1000	111	00	0	0	0	0	0	0	0	000	1
1110	101	11	0	0	0	0	0	0	1	000	0

1011	110	01	0	0	0	1	0	0	0	000	1
1101	110	00	0	0	1	0	0	0	0	101	1
1100	111	10	0	0	0	0	0	0	0	000	0
1111	000	00	1	0	0	0	0	0	1	000	1

5.2. Моделювання з використанням САПР вузла EOM на ПЛІС з метою визначення основних характеристик

Блок мікропрограмного управління складається з лічильника команд, пам'яті, суматора та схеми формування сигналів для зміни природнього порядку слідування команд. Оскільки пристрій розроблюється в системі автоматизованого проектування Quartus II, то буде природно використати її можливості для спрощення роботи

На рис. 5.7 представлено схему БМУ для керування А/П.

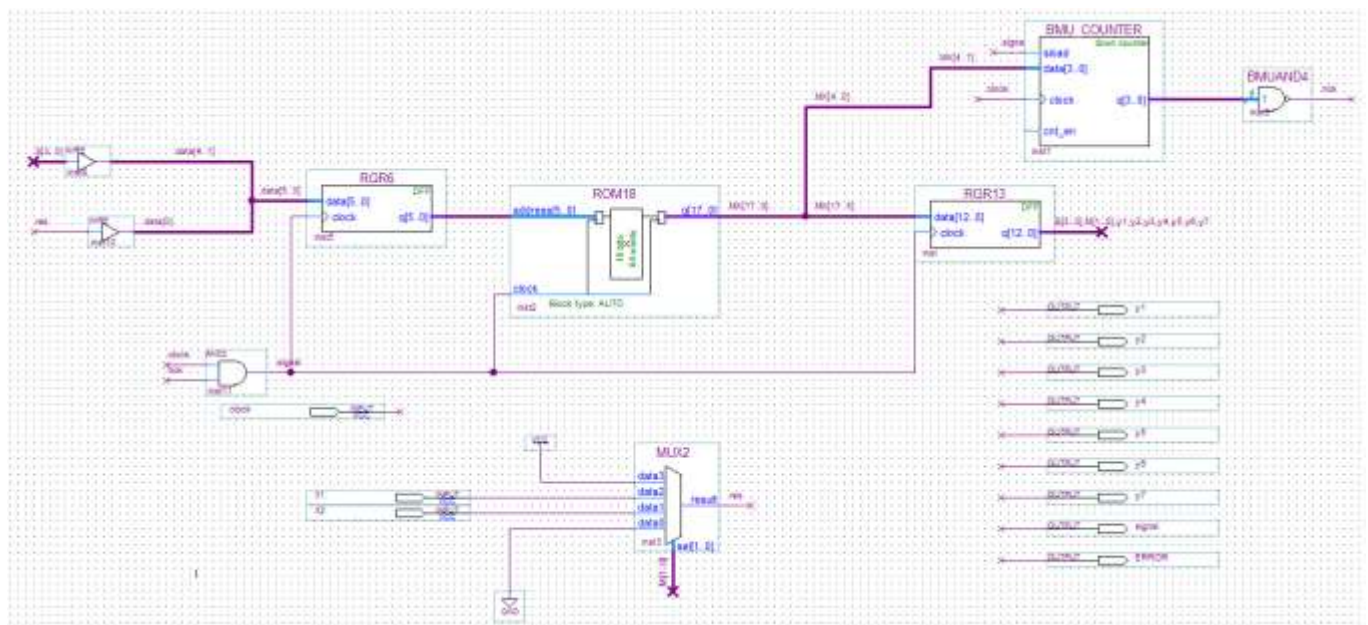
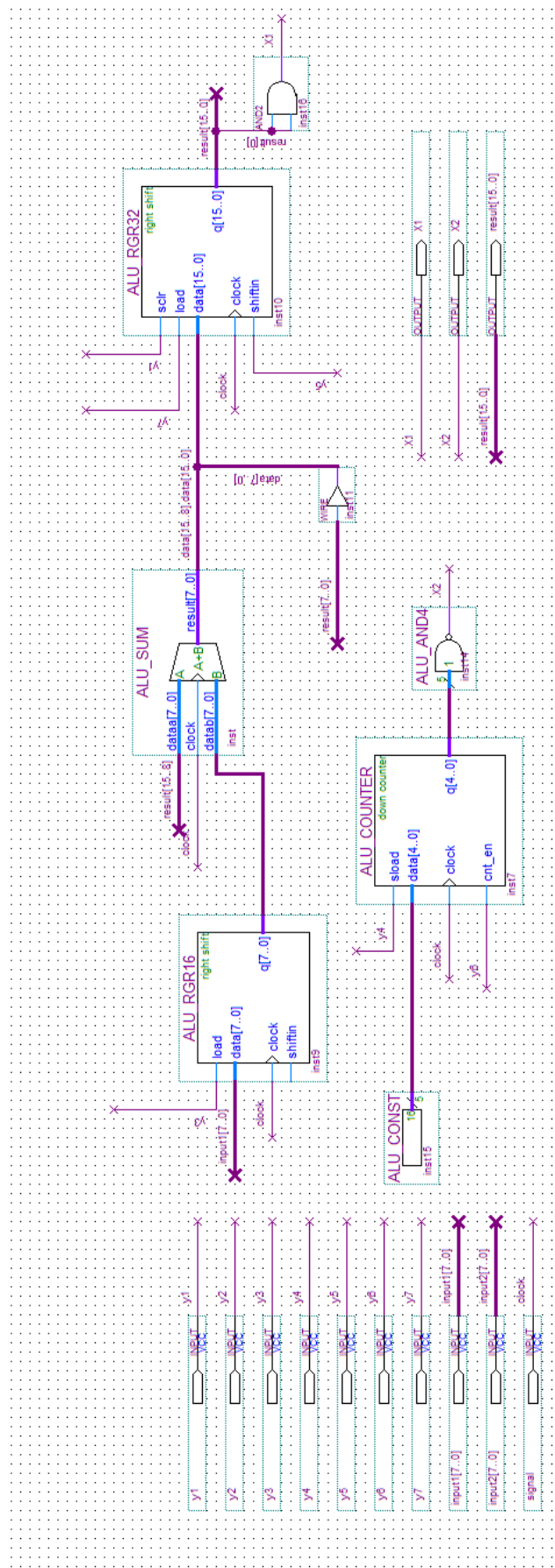


Рис. 5.7. Схема БМУ.

На рис. 5.8 представлено схему А/П розроблюваного вузла.



На третьому етапі виконується розмітка контактів вводу/виводу за допомогою утиліти Pin Planner. Результати розміщення на мікросхемі зображені на рис. 5.9.

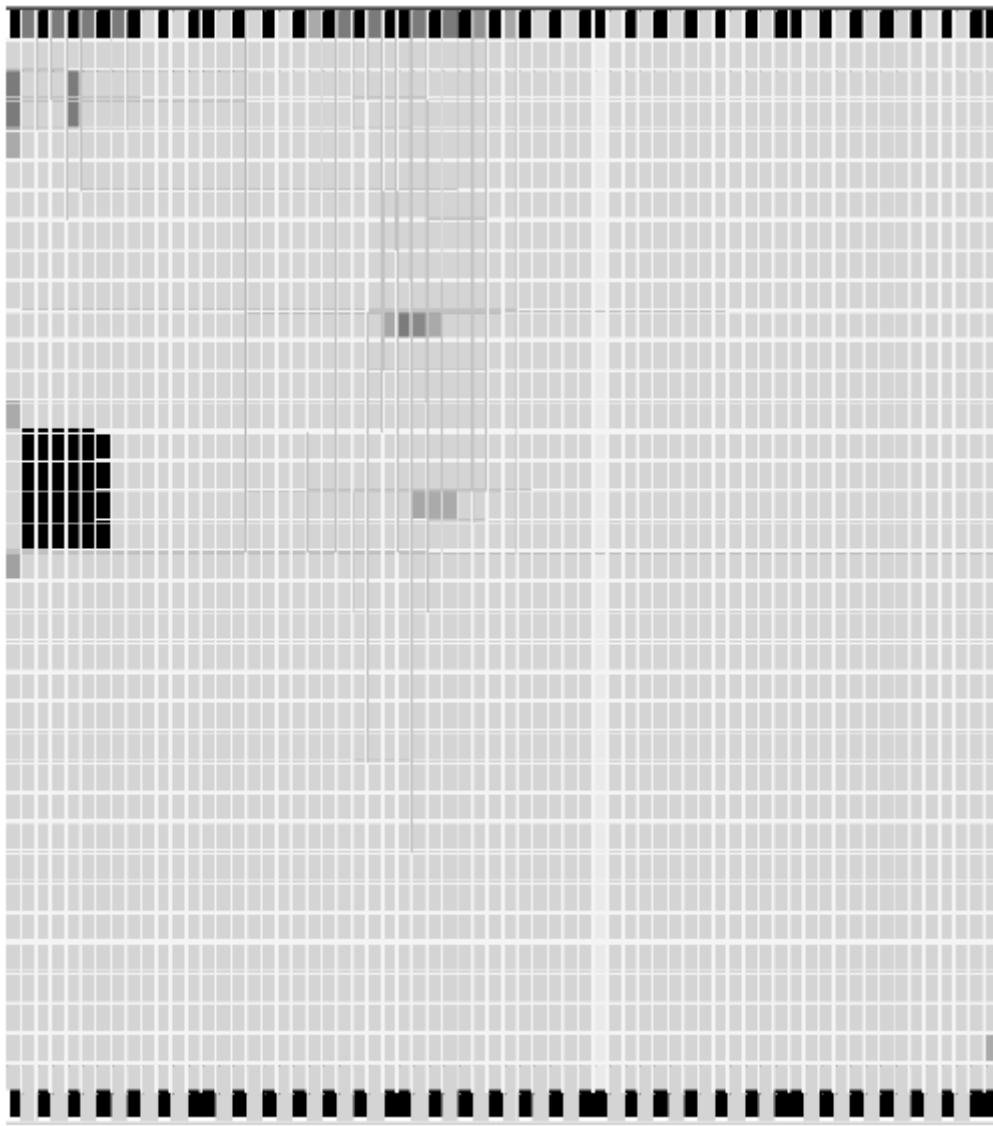


Рис. 5.9. Результат розміщення вузла EOM на ПЛІС

На фінальному етапі створюється звіт компілятора про кількість задіяних ресурсів і призначені контакти, звіт часового аналізатору про часові параметри пристрою, а також результати моделювання у вигляді часових діаграм.

Зведений звіт про результати компіляції приведений на рис. 5.10.

Flow Status	Successful - Tue Jun 16 06:39:57 2015
Quartus II 64-Bit Version	9.1 Build 222 10/21/2009 SJ Full Version
Revision Name	Project
Top-level Entity Name	Project
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Met timing requirements	No
Total logic elements	71 / 33,216 (< 1 %)
Total combinational functions	55 / 33,216 (< 1 %)
Dedicated logic registers	59 / 33,216 (< 1 %)
Total registers	59
Total pins	43 / 475 (9 %)
Total virtual pins	0
Total memory bits	576 / 483,840 (< 1 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

Рис. 5.10. Звіт компілятора

Часові діаграми роботи схеми наведені на рис. 5.11.

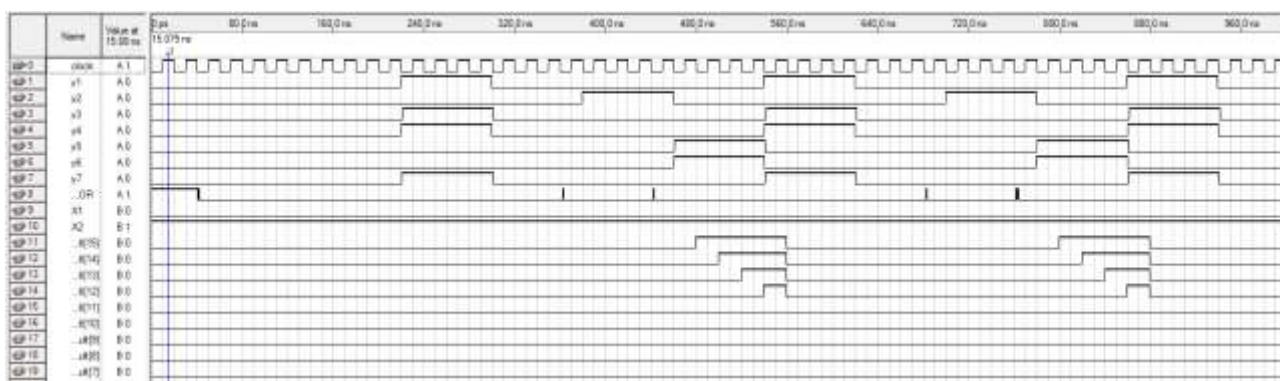


Рис. 5.11. Часова діаграма результатів моделювання

ОСНОВНІ РЕЗУЛЬТАТИ І ВИСНОВКИ ПО РОБОТІ

В ході виконання курсового проекту була розроблена мікропроцесорна система, заснована на мікропроцесорному ядрі МК-51. Вона містить зовнішню пам'ять даних та програм, пристрої, програмований периферійний адаптер, додаткові порти вводу-виводу. Для організації переривань та прямого доступу до пам'яті організовані централізовані арбітри пріоритетних переривань і прямого доступу до пам'яті.

Переважа даного підходу в гнучкості, тобто можливості додавання нових пристроїв. Недолік — фіксовані значення пріоритетів пристроїв, неможливість маскування переривань від окремих пристроїв.

Також в ході роботи був розроблений спеціалізований обчислювач на базі програмованої логічної інтегральної схеми, який виконує різні арифметичні і логічні операції. Його використання дозволяє підвищити ефективність роботи розробленої системи за рахунок винесення громіздких обчислень (наприклад ділення) в окремий пристрій.

Схема обчислювача розроблялася в системі автоматизованого проектування Quartus II, яка дозволяє створювати різні пристрої на базі програмованих логічних інтегральних схем. Перевагою даної методики є те, що, по-перше, їх використання дозволяє скоротити час розробки і, по-друге, виробництво малих партій є економічно виправдано, на відміну від виробництва замовлених інтегральних схем, що не можуть бути перепрограмовані.

					ІАЛЦ 462616.004 ПЗ	Арк.
						39
Зм.	Арк.	№ докум.	Підпис	Дата		

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Жадін В.І., Жуков І.А., Ткаченко В.В., Клименко І.А. — Мікропроцесорні системи. — К.: “СПД Гура-
льник О.Ю.”, 2009. — 492 с.
2. Жадін В.І., Жуков І.А., Клименко І.А., Стіренко С.Г. — Арифметичні та управляючі пристрої циф-
рових ЕОМ: Навчальний посібник. — К.: ВЕК+, 2008. — 176 с.
3. Жадін В.І., Жуков І.А., Клименко І.А., Ткаченко В.В. — Прикладна теорія цифрових автоматів:
Навч. посібник. — К.: Книжкове вид-во НАУ, 2007. — 364 с.
4. Бояринов А.Е., Дьяков И.А. — Архитектура микроконтроллеров MCS-51— Тамбов: “Издатель-
ство ТГТУ”, 2005. — 64 с.
5. Савельев А.Я. — Прикладная теория цифровых автоматов: Учеб. для вузов по спец. ЭВМ. — М.:
Высш. шк., 1987. — 272 с.
6. Самофалов К.Г., Романкевич А.М., Валуїський В.Н., Каневський Ю.С., Пиневич М.М. Прикладная те-
ория цифровых автоматов. — К.: Высш. шк., 1987. — 375 с.
7. User Manual: Altera DE2 Board. — Altera Corporation, 2006. — 72 с.
8. Техническая информация — Микроконтроллеры, микропроцессоры — 32-разрядные — ARM [Еле-
ктронний ресурс] — Режим доступу до публ. : http://sestec.ru/techinfo/mikrokontrolleri___mikroprotsessori/32-razryadnie/ARM/283/
9. Микроконтроллеры семейства HCO8 фирмы MOTOROLA [Электронный ресурс] / Т. Ремизевич —
Режим доступу до публ. : http://www.chipnews.ru/html.cgi/archiv_i/99_04/stat-43
10. Микроконтроллеры: краткий обзор (AVR, PIC и другие) [Электронный ресурс] — Режим доступу
до публ. : http://www.myrobot.ru/stepbystep/mc_meet.php
11. Философия микропроцессорной техники [Электронный ресурс] Режим доступу до публ. :
http://library.tuit.uz/skanir_knigi/book/osnovi_mikroprosessor/osnovi_mikropros_1.htm
12. Intel HEX [Электронный ресурс] — Режим доступу до публ. :
http://ru.wikipedia.org/wiki/Intel_HEX

					ІА/ЛЦ 462616.004 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		40