

2. ЛАБОРАТОРНА РОБОТА №1

СИНТЕЗ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ З РОЗПОДІЛЕНОЮ ЛОГІКОЮ

Мета роботи: одержати навички в проектуванні арифметико-логічних пристроїв з розподіленою логікою і автоматів управління з жорсткою логікою.

Теоретичні відомості

За структурою розрізняють АЛП з розподіленою та зосередженою логікою. Інакше їх називають відповідно АЛП із закріпленими та загальними мікроопераціями.

В АЛП першого типу апаратура для реалізації мікрооперацій розподілена між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій. У пристроях другого типу всі логічні ланцюги об'єднані в арифметико-логічному блоці, а всі регістри реалізовані у вигляді надоперативного запам'ятовуючого пристрою.

АЛП з розподіленою логікою складаються з двох функціональних

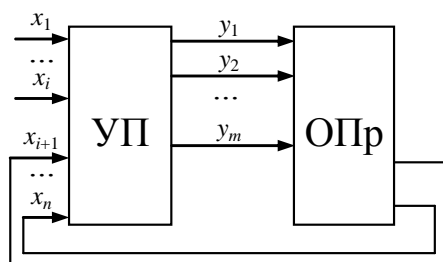


Рис. 2.1. Загальна структура АЛП

частин (рис. 2.1): управляючий пристрій (УП), що забезпечує формування всіх управляючих сигналів; операційний пристрій (ОПр), що забезпечує перетворення інформації та виконує мікрооперації над

машинними словами.

Побудова таких АЛП відбувається за наступними етапами:

1. Для кожної операції будується операційна схема та функціональний мікроалгоритм (Ф-мікроалгоритм). Рекомендується обирати такі мікроалгоритми виконання операцій, що краще об'єднуються, тобто

вимагають однакового напрямку зсувів в регістрах, однакову схему з'єднання регістрів і суматорів і таке інше.

2. Обирається розрядність регістрів, лічильників. Виконується логічне моделювання роботи ОПр, наприклад, із застосуванням діаграми стану регістрів при виконанні мікрооперацій з критичними значеннями операндів.

3. Розробляється функціональна та принципова схеми ОПр із зазначенням управляючих сигналів для кожного вузла пристрою.

4. Складається структурний мікроалгоритм (С-мікроалгоритм) виконання заданих операцій, що враховує спосіб управління мікроопераціями на вузлах ОПр.

5. Виконується синтез управляючого пристрою.

6. Складається функціональна та принципова схеми всього АЛП.

Приклад. Побудувати схему АЛП для реалізації операції множення чисел за першим способом. Синтезувати схему, що дозволяє обчислити добуток $Z=Y \times X$ двох правильних дробів $Y = 0, y_1, y_2 \dots y_n$ та $X = 0, x_1, x_2 \dots x_n$.

Виконання завдання

Операційна схема, що реалізує перший спосіб множення, подана на рис. 2.2, де $RG1$ – регістр накопичення суми часткових добутоків, $RG2$ – регістр множника, $RG3$ – регістр множеного, $RG4 (CT)$ – лічильник циклів, SM – комбінаційний суматор. DR – вхід заповнення старшого розряду при зсуві вправо. Регістри $RG1$ та $RG2$ реалізують мікрооперації зсуву, лічильник $RG4$ дозволяє формувати ознаку нуля. За нульовим вмістом регістру $RG4$ результат обчислення є сформованим в регістрах $RG1$ та $RG2$.

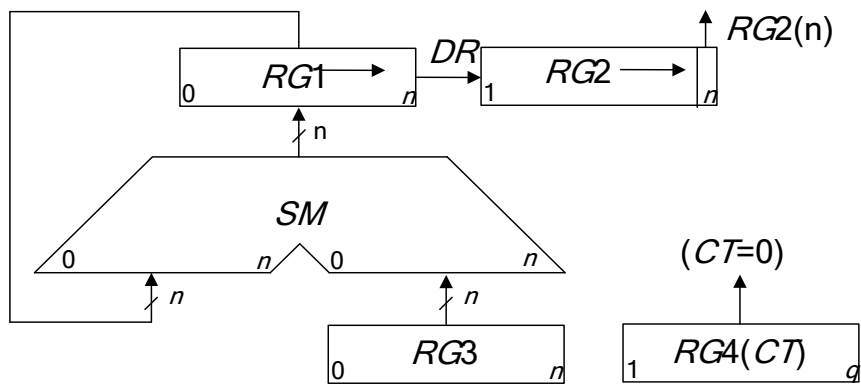


Рис. 2.2. Операційна схема множення

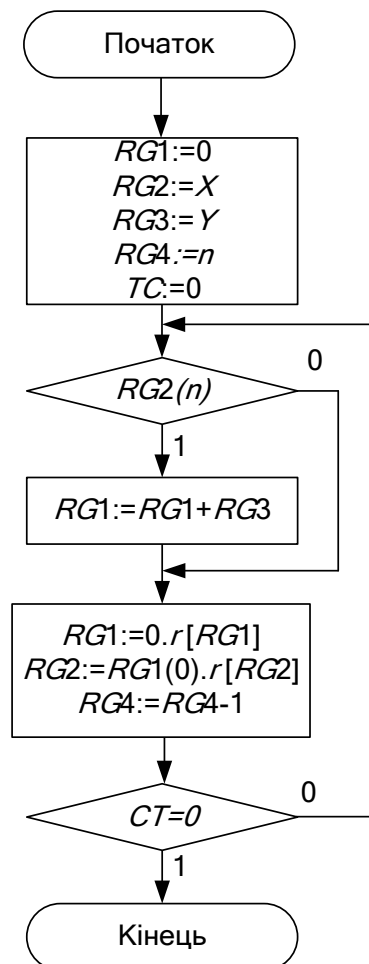


Рис. 2.3. Φ -мікроалгоритм множення чисел

Для розробленої операційної схеми побудуємо Φ -мікроалгоритм (рис. 2.3), де $RG2(n)$ – значення молодшого розряду регістру $RG2$.

Логічне моделювання потактової роботи ОПр приведене в табл. 2.1

Значення операндів:

$$Y = 5_{10} = 101_2;$$

$$X = 7_{10} = 111_2;$$

$$Z = 35_{10} = 100011_2.$$

Розрядність: $n = 3, q=2$.

Таблиця 2.1. Логічне моделювання роботи ОПр

№ такту	$RG1$	$RG2$	$RG2(n)$	$RG3$	$RG4$	МО
ПС	0000	101	1	0111	11	Початковий стан
1	$\begin{array}{r} 0000 \\ +0111 \\ \hline 0111 \\ 0011 \end{array}$	110	0	0111	10	$RG1 + RG3$ $RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT \neq 0$
2	0001	111	1	0111	01	$RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT \neq 0$
3	$\begin{array}{r} 0001 \\ +0111 \\ \hline 1000 \\ 0100 \end{array}$	011	1	0111	00	$RG1 + RG3$ $RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT = 0$

На підставі операційної схеми множення та Φ -мікроалгоритму складемо перелік управляючих сигналів для всіх функціональних вузлів ОПр та побудуємо функціональну схему.

Функціональна схема ОПр зображена на рис. 2.4. Перелік управляючих сигналів наведений в табл. 2.2.

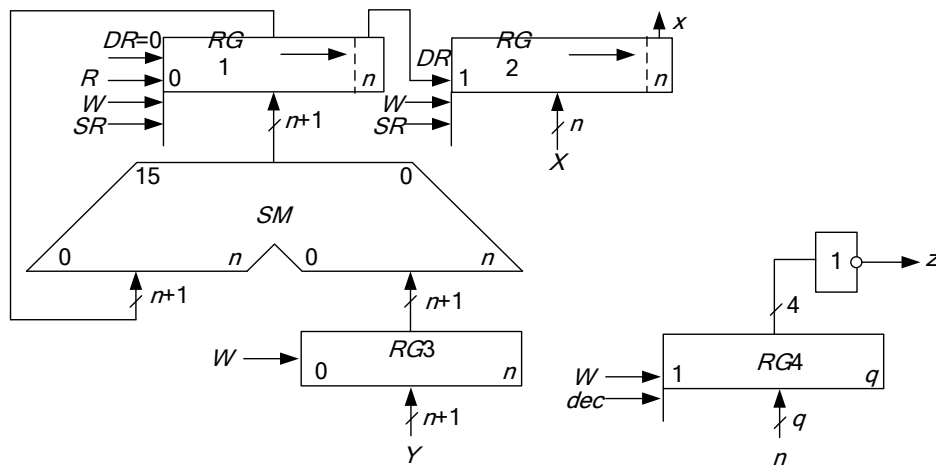


Рис. 2.4. Функціональна схема операційного пристрою

Таблиця 2.2. Таблиця управляючих сигналів

Вузол	Мікрооперація	Управляючий сигнал
RG1	Скидання в нуль	R
	Запис	W
	Зсув вправо	SR
RG2	Запис	W
	Зсув вправо	SR
	Старший розряд при зсуві вправо	DR
RG3	Запис	W
RG4	Запис	W
	Декремент лічильника	dec

За функціональною схемою будуюмо структурний мікроалгоритм (С-мікроалгоритм), що зображений на рис 2.5. Індекс указує до якої з функціональних частин пристрою належить управляючий сигнал. Кодування сигналів управління та логічних умов наведене в табл. 2.3 – 2.4.

Закодований С-мікроалгоритм зображений на рис. 2.6, де управляючі сигнали та сигнали логічних умов відповідають рис. 2.5 та табл. 2.2 – 2.4. Сигнали, що завжди формуються разом, кодуються одним символом. Цьому символу відповідає один вихід пристрою управління.

Для управління роботою ОПр застосуємо *пристрій управління з жорсткою логікою*, який реалізуємо у вигляді цифрового автомата Мура.

Розмітка С-микроалгоритма для автомата Мура наведена на рис. 2.6. Стани автомата позначені символами a_i . Порожня вершина a_4 введена для

запобігання перетинання у часі сигналів W_1 і SR_1 , що подаються на $RG1$. Це необхідно для правильного виконання послідовності мікрооперацій на одному регістрі. Для забезпечення перепаду сигналів управління SR_1 , SR_2 , dec (вершину з цими сигналами охоплює петля) необхідно ввести порожню додаткову вершину a_6 . Ця вершина забезпечує також вірну оцінку стану лічильника після декременту в наступному такті, коли новий стан лічильника вже буде встановлено.

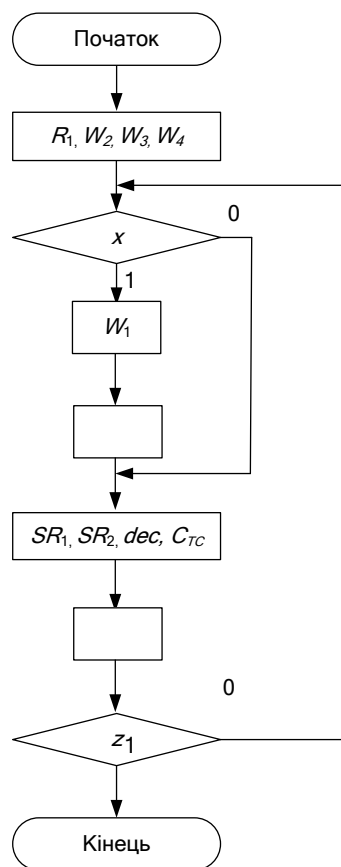


Рис. 2.5. Структурний мікроалгоритм

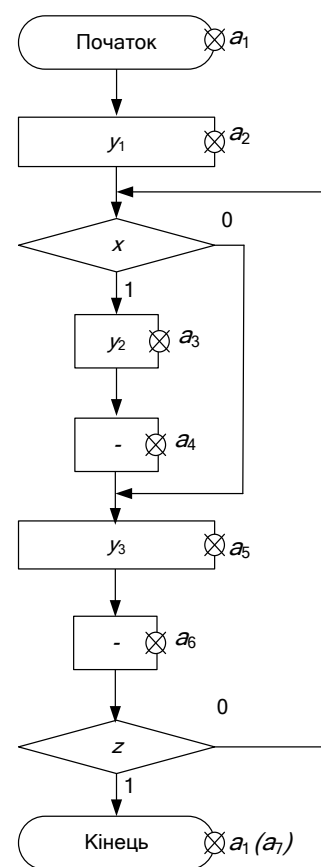


Рис. 2.6. Закодований структурний мікроалгоритм

Таблиця 2.3. Кодування сигналів управління

Управляючі сигнали	Код
R_1	y_1
W_2	
W_3	
W_4	
R_{TC}	
W_1	y_2
SR_1	y_3
SR_2	
C_{TC}	
dec	

Таблиця 2.4. Кодування логічних умов

Логічні умови	Код
Значення молодшого розряду множника	x
Нульовий вміст лічильника	z

Одержаний закодований С-мікроалгоритм є вихідним для здійснення синтезу управляючого пристрою (автомата з жорсткою логікою). На рис. 2.7 зображена узагальнена структурна схема АЛП. Управляючі сигнали з виходів пристрою управління підключаються до входів відповідних функціональних

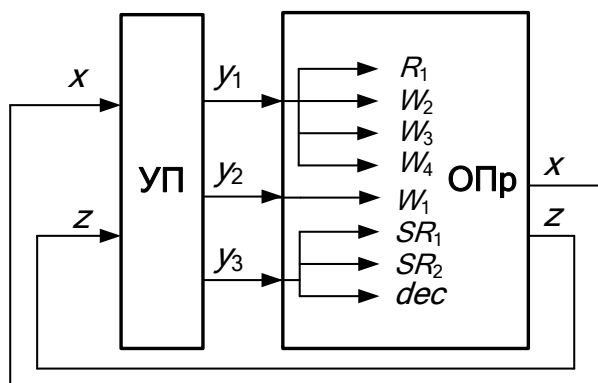


Рис. 2.7. Узагальнена структурна схема АЛП вузлів ОПр.

Операцію множення AB можна замінити додаванням A до самого себе B разів. Такий підхід дозволяє спростити схему пристрою, але з втратою його швидкодії.

Наприклад, функцію $D = AB/2 + 2C$ можна реалізувати за допомогою операційної схеми на рис. 1 за змістовним мікроалгоритмом на рис. 2.

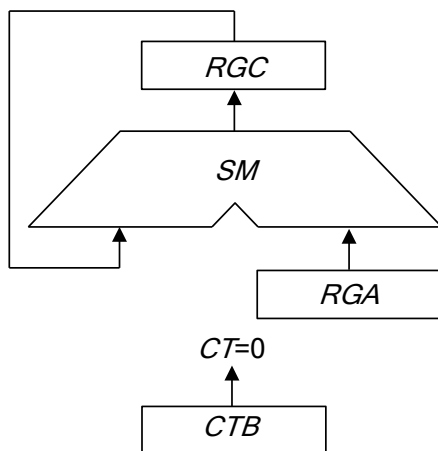


Рис. 2.8. Операційна схема пристрою для обчислення функції

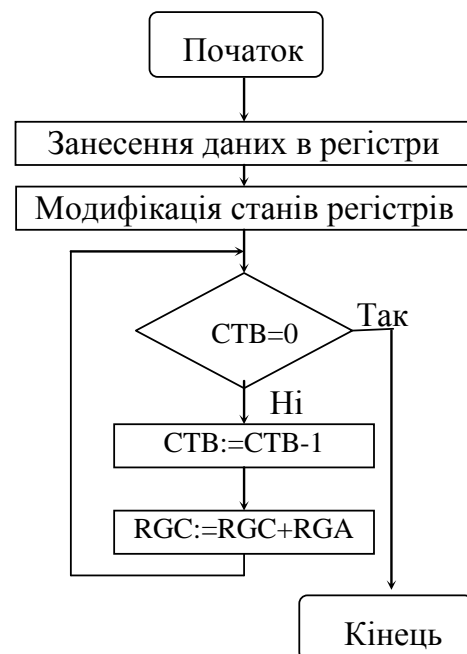


Рис. 2.9. Змістовний мікроалгоритм

У вихідному стані операнд C записаний в регістр RGC , операнд A – в регістр RGA і операнд B – у лічильник CTB . Модифікація вмісту регістрів виконується зсувами. Далі до вмісту RGC додається B разів слово, записане в RGA . Після кожного такту вміст CTB зменшується на 1. Обчислення закінчуються при виконанні умови $CTB=0$. Результат операції формується в регістрі RGC .

Підготовка до лабораторного заняття

1. Варіанти завдання визначаються молодшими розрядами a_7, \dots, a_1 двійкового номера залікової книжки відповідно з табл. 2.7-2.9.
2. Розробити операційну схему пристрою та змістовний мікроалгоритм обчислення функції (виконання операції множення) відповідно з табл. 2.7.
3. Розробити функціональну схему операційного пристрою. Для побудови схеми використати комбінаційний суматор, регістр-лічильник циклів та асинхронні регістри, що мають входи управління зсувами і занесенням інформації. На схемі повинні бути зазначені розрядність регістрів та шин.

4. Виконати логічне моделювання роботи операційного пристрою за допомогою таблиці станів регістрів та лічильника. Задати самостійно значення операндів (3-4 розряди).

5. Здійснити синтез пристрою управління, тип тригерів і управляючого автомату обрати із табл. 2.8 та 2.9. Ураховувати, що мікрооперації на регістрах виконуються за перепадом управляючих сигналів з 1 в 0.

Таблиця 2.7. Варіанти завдань

a_7	a_6	a_5	a_4	Спосіб множення
0	0	0	0	1-й
0	0	0	1	2-й
0	0	1	0	3-й
0	0	1	1	4-й
a_7	a_6	a_5	a_4	Функція
0	1	0	0	$D=2C+4AB$
0	1	0	1	$D=C+4AB$
0	1	1	0	$D=2C+0,5AB$
0	1	1	1	$D=A(B-1)+0,5C$
1	0	0	0	$D=2A(B+1)+2C$
1	0	0	1	$D=A(B+1)+2C$
1	0	1	0	$D=C+2AB$
1	0	1	1	$D=AB+0,5C$
1	1	0	0	$D=2A(B+1)+C$
1	1	0	1	$D=A(B-1)+2C$
1	1	1	0	$D=A(B+1)+0,5C$
1	1	1	1	$D=2A(B-1)+C$

Таблиця 2.8. Варіанти завдання

a_3	a_2	Тип тригера
0	0	JK
0	1	T
1	0	RS
1	1	D

Таблиця 2.9. Варіанти завдання

a_1	Тип автомата
0	Мили
1	Мура

Опис методів множення чисел наведено в додатку А, а етапи синтезу автоматів – в додатку Б.

Порядок виконання роботи

1. В моделюючій програмі ПРОГМОЛС 2.0 (AFDK) побудувати схему операційного пристрою для множення чисел або обчислення функції та доповнити її схемою управляючого автомата. На першому етапі виходи автомата до входів операційного пристрою не підключати. Налаштувати окремо схему операційного пристрою та схему управляючого автомата. Опис програмного комплексу ПРОГМОЛС 2.0 наведений у додатку М.

2. Підключити до управляючих входів операційного пристрою виходи автомата. Зробити комплексне налагодження схеми і переконатися в правильності одержання результату.

3. Перейти до асинхронного моделювання. Дослідити зазначені викладачем часові параметри схеми.

Зміст звіту

Звіт з лабораторної роботи повинен включати короткі теоретичні відомості, необхідні для виконання лабораторної роботи; структурні та функціональні схеми; таблиці та діаграми, отримані при виконанні теоретичного завдання, а також у процесі моделювання схем; висновки за роботою.

Контрольні питання

1. Охарактеризуйте чотири основних методи множення чисел.
2. Як розрахувати розрядність вузлів операційного пристрою?
3. Визначить поняття: операція, мікроалгоритм, мікрооперація.
4. Наведіть типи арифметико-логічних пристроїв, та їх основні відмінності.

5. Охарактеризуйте основні етапи проектування арифметико-логічного пристрою з розподіленою логікою.
6. Що відображує операційна схема виконання операції?
7. Що відображує функціональна схема пристрою?
8. В чому відмінність функціонального та структурного мікроалгоритмів?
9. Напишіть вирази, що визначають закони функціонування автоматів Милі та Мура.
10. Нарисуйте узагальнену структурну схему управляючого автомата.
11. Охарактеризуйте основні етапи проектування управляючого автомата.
12. Як перейти від змістовного мікроалгоритму до закодованого мікроалгоритму?
13. Як побудувати граф автомата?
14. Як здійснюється оцінка станів автомата?
15. Як визначити необхідну тривалість управляючих сигналів?
16. Від чого залежить кількість тригерів, необхідних для побудови пам'яті автомата?
17. Як скласти структурну таблицю автомата?
18. Складіть таблицю переходів для JK -, RS -, T - і D -тригерів. Наведіть їх умовне графічне позначення.
19. Коли можливе виникнення помилкових управляючих сигналів (що непередбачені графом автомата) і чим визначається їх тривалість?
20. Наведіть способи усунення короткочасних помилкових управляючих сигналів.
21. Як забезпечити перепад управляючого сигналу у випадку, коли операторну вершину з цим сигналом охоплює «петля»?
22. Як визначити час переходу автомата з одного стану в інший?

Список літератури

1. Арифметичні та управляючі пристрої цифрових ЕОМ: Навчальний посібник / В.І.Жабін, І.А.Жуков, І.А.Клименко, Стиренко С.Г. – К.: ВЕК +, 2008. – 176 с.
2. Жабін В.И., Жуков І.А., Ткаченко В.В., Клименко І.А. Мікропроцесорні системи: Навчальний посібник. – К. Видавництво «СПД Гуральник», 2009. – 492 с.
3. *Прикладна* теорія цифрових автоматів: Навчальний посібник / В.І.Жабін, І.А.Жуков, І.А.Клименко, В.В.Ткаченко. – К.: Книжкове видавництво НАУ, 2007. – 364 с.
4. *Цифровые* ЭВМ. Практикум / К.Г.Самофалов, В.И. Корнейчук, В.П. Тарасенко, В.И.Жабін – К.: Высш.шк. 1989. – 124 с.