

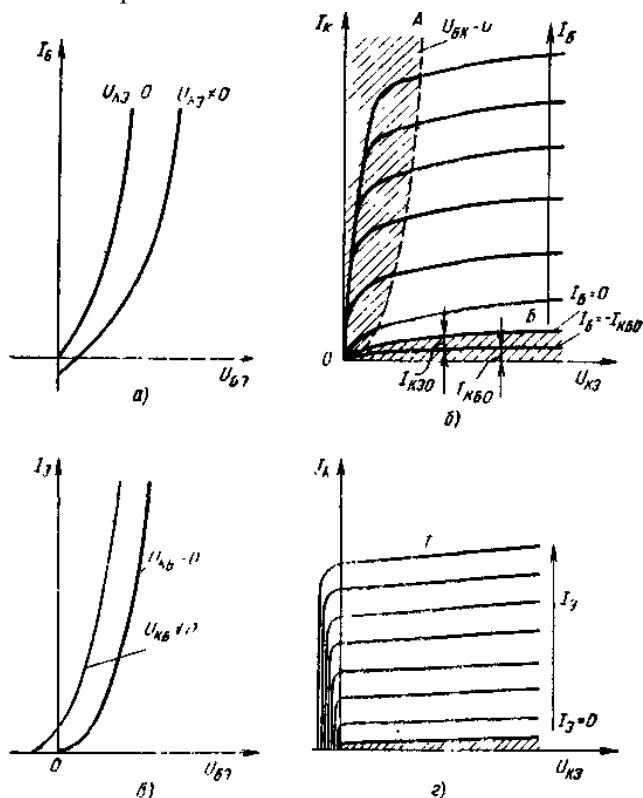
Билет 10

1. Статические характеристики биполярного транзистора. Модель Эберса-Мола.

Статические характеристики.

Транзистор как четырехполюсник характеризуется входной и выходной статическими ВАХ. Статические входные и выходные ВАХ биполярного транзистора п-р-п-типа для схем включения с ОЭ и ОБ приведены на рис. 2.10. Они имеют явно выраженный нелинейный характер. При этом входные ВАХ (рис. 2.10) подобны прямой ветви ВАХ диода, а выходные (рис. 2.10, б, г) характеризуются вначале резким возрастанием выходного тока при возрастании выходного напряжения, а затем, по мере дальнейшего роста напряжения, незначительным его увеличением. Переход значений выходного тока на пологий участок соответствует границе области режима насыщения транзистора, когда оба перехода открыты. При этом на выходных характеристиках транзистора, включенного с ОБ, явно видны области двух режимов его работы: нормального режима, соответствующей обратному напряжению на коллекторном переходе (1 квадрант) и режима двойной инжекции, соответствующего прямому смещению коллекторного перехода (2 квадрант).

При включении транзистора в схему с ОЭ выходные характеристики полностью располагаются в 1-м квадранте. В то же время изменение положительного значения входного тока начинается не от нулевого значения входного напряжения, как в случае схемы с ОБ, а при некотором его положительном значении из-за падения напряжения на эмиттерном переходе от тока I_3 при $V_{кэФБ}$.



На выходной характеристике транзистора можно выделить три области, отвечающие различным режимам работы транзистора:

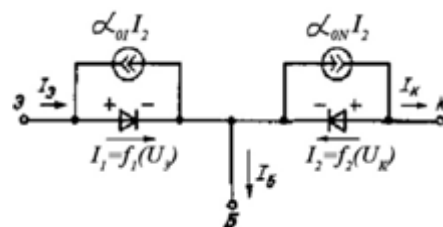
насыщения (заштрихованная область левее линии ОА — режим двойной инжекции); отсечки (заштрихованная область ниже линии ОБ, соответствующая закрытому состоянию транзистора; активной (незаштрихованная область между линиями ОА и ОБ), соответствующая активному состоянию транзистора

Модель Эберса-Мола

Эквивалентные схемы: Эберса-Мола. Строится на базе физ. модели транзистора. Характеризует активную область. Схема отражает обратимость транзистора (равноправность переходов). Мат.

Описание:

$$\begin{cases} I_3 = I_1 - \alpha_{01} I_2 \\ I_K = \alpha_{0N} I_1 - I_2 \\ I_3 = I'_{ЭБ0} (e^{\frac{U_3}{U_{ФМ}}} - 1) - \alpha_{01} I'_{КЭ0} (e^{\frac{U_K}{U_{ФМ}}} - 1) \\ I_K = \alpha_{0N} I'_{ЭБ0} (e^{\frac{U_3}{U_{ФМ}}} - 1) - I'_{КЭ0} (e^{\frac{U_K}{U_{ФМ}}} - 1) \end{cases}$$



- 1-я Система из эквивалентной схемы
- 2-я Система при подстановке формул для переходов

2. Дифференциальные усилители

Дифференциальный усилитель — широко известная схема, используемая для усиления разности напряжений двух входных сигналов. В идеальном случае выходной сигнал не зависит от уровня каждого из входных сигналов, а определяется только их разностью. Когда уровни сигналов на обоих входах изменяются одновременно, то такое изменение входного сигнала называют синфазным. Дифференциальный или разностный входной сигнал называют нормальным или полезным.

По принципу построения дифференциальные усилительные каскады — это балансные (мостовые) усилительные каскады параллельного типа. Они обладают высокой стабильностью параметров при воздействии различных дестабилизирующих факторов, большим коэффициентом усиления дифференциальных сигналов и высокой степенью подавления синфазных помех.

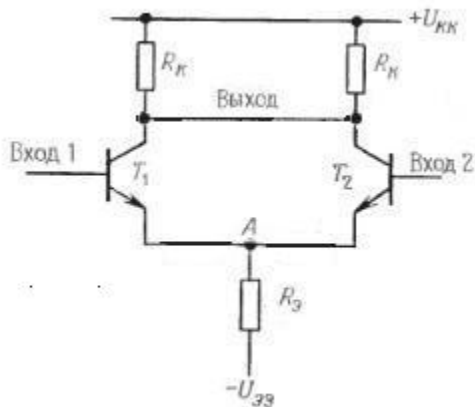


Рис. 2.67. Классический транзисторный дифференциальный усилитель.

На рисунке 2.67 показана основная схема дифференциального усилителя. Выходное напряжение снимается между коллекторами, если нужен дифференциальный сигнал. Если нужен несимметричный (инвертированный) сигнал, то снимает с одного из коллекторов (получится схема с однополюсным выходом).

Существуют усилительные и точностные параметры дифференциальных каскадов.

К точностным параметрам относятся: начальный разбаланс входного напряжения (или напряжение смещения нуля) и его температурные дрейф, средний входной ток и разбаланс входного тока.

Усилительные параметры стоит рассмотреть подробнее. Главными из них являются дифференциальный коэффициент усиления, синфазный коэффициент усиления, а также коэффициент подавления синфазной составляющей (синфазных напряжений).

- 1) Дифференциальный коэффициент. В симметричной схеме (такова показана на рисунке выше $R_{Э} \gg r_{Э}$,

$$K_d = (R_k \cdot I_0) / 2 \cdot \Phi_T$$

Тут R_k – сопротивление коллектора, I_0 – начальный ток эмиттера, а Φ_T – температурный потенциал p-n перехода (для кремния равен 25 мВ)

- 2) Синфазный коэффициент усиления
Для того чтобы определить синфазный коэффициент усиления – нужно на оба входа подать одинаковые сигналы $U_{вх}$

$$K_c = R_k / (2 \cdot R_{Э}) = \Delta(U_{вых}) / \Delta(U_c)$$

Величина синфазного коэффициента усиления уменьшается при увеличении величины эмиттерного резистора, поскольку при этом уменьшается величина изменения I_0 при изменении потенциала $U_{Э}$.

- 3) Легко определить коэффициент ослабления синфазного сигнала (КОСС)

$$K_{осс} = K_d / K_c$$

Этот коэффициент характеризует способность ДК ослаблять одинаковые изменения параметров самого ДК и одинаковых составляющих входных сигналов.

Также в качестве параметров можно рассматривать **сопротивления каскада**.

- 1) Входное дифференциальное сопротивление $R_{вх.д.} = 2r_{бэ}$
- 2) Входное синфазное сопротивление $R_{вх.с.} = \beta \cdot R_{Э}$
- 3) Выходное сопротивление не может быть дифференциальным или синфазным. Его величина $R_{вых} = R_k \cdot R_{Э} / (R_k + R_{Э})$ формируется

между коллекторами транзисторов дифференциального каскада.

Существует множество других схем дифференциальных усилителей. Среди них - ДУ с нелинейным двухполюсником в цепи эмиттеров, ДУ с несимметричным входом и выходом, ДУ на составных транзисторах, ДУ каскада на полевых транзисторах и другие.

На всякий случай.

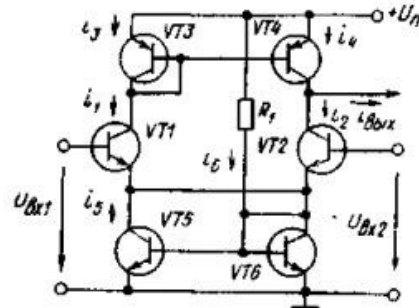


Рис. 6.32 Дифференциальный усилительный каскад с динамической нагрузкой

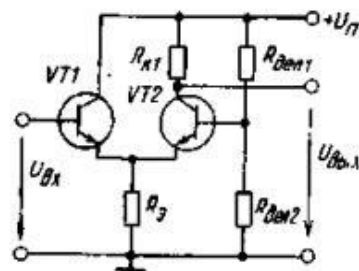


Рис. 6.33. Дифференциальный усилительный каскад с несимметричным входом и выходом

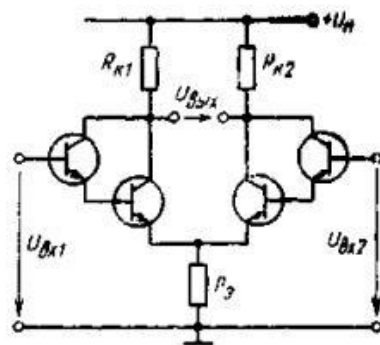


Рис. 6.35. Дифференциальный усилительный каскад на составных транзисторах

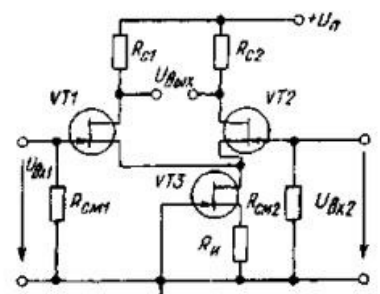
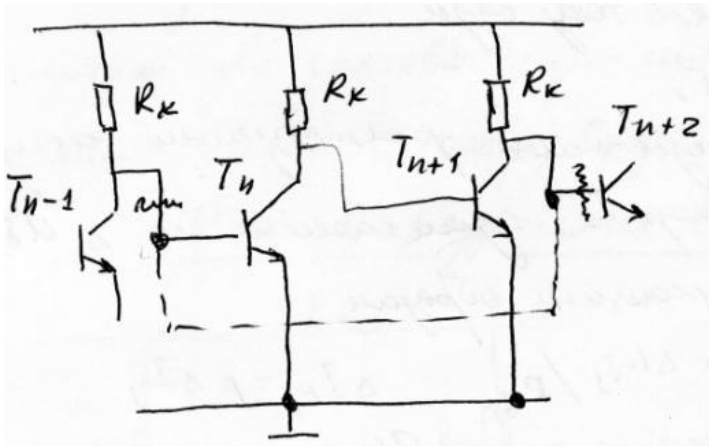


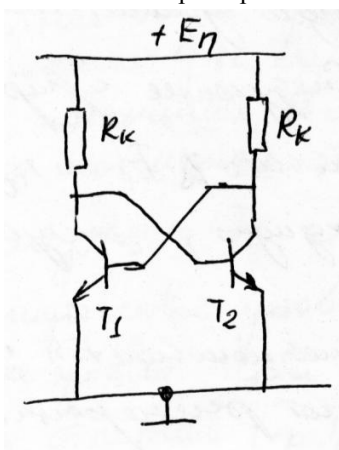
Рис. 6.34 Дифференциальный усилительный каскад на полевых транзисторах

3. Транзисторные триггеры

(Бистабильная ячейка, управление, управление ячейки с двух входов и с одного входа)



Одним из основных элементов для бистабильных ячеек являются цифровые ключи. Для бистабильных ячеек характерно использование не только прямых связей между ключами, но и положительных обратных связей. В последовательной цепочке ключей каждый ключ “окружен” ключами, находящимися в противоположном состоянии. Таким образом, в произвольной паре смежных ключей T_n и T_{n+1} выходное напряжение ключа T_{n+1} такое же, как входное напряжение ключа T_n . Изолировав рассматриваемую пару от предыдущих и последующих звеньев цепочки и соединив выход $(n+1)$ -го ключа со входом n -го мы не изменим состояние пары. Это устойчивое состояние может иметь два варианта: T_n замкнут, T_{n+1} – открыт. И наоборот. Такие электронные схемы, имеющие 2 равноценных варианта устойчивых состояний, называются бистабильными ячейками или триггерами.



Схеме бистабильной ячейки свойственна симметричная конфигурация, наличие взаимных обратных связей и то, что один из ключей заперт, а второй открыт и насыщен. Таким образом, БЯ свойственна электрическая асимметрия. Однако полная электрическая симметрия невозможна. Докажем это методом от противного. Пусть схема БЯ находится в симметричном состоянии, когда оба транзистора открыты и работают на границе активного режима. (Запертое состояние двух транзисторов невозможно, т.к. при этом коллекторные

потенциалы обоих транзисторов равны $+E_n$, те превышают напряжение отпирания u^* . Невозможно и насыщенное состояние, т.к. тогда коллекторные потенциалы были бы меньше u^* .) Напряжения на обоих коллекторах и базах равны и близки к u^* . Коллекторный ток пропорционален току базы $I_k = \beta * I_b$. Пусть в результате неизбежных флуктуаций напряжение на одной из баз, например T_1 , изменится на ΔU_{b1} . Тогда токи изменятся следующим образом $\Delta I_{k1} = \Delta U_{b1} / R_{вх}$.

$$\Delta I_{k1} = \beta * \Delta I_{b1}$$

$R_{вх}$ – входное сопротивление открытого транзистора.

Часть приращения ΔI_k ответвится в цепь базы T_2 и тогда

$$\Delta I_{b2} = -m * \Delta I_{k1}$$

$$\Delta I_{k2} = \beta * \Delta I_{b2}$$

Аналогично часть ΔI_2 ответвится в цепь базы T_1 в виде приращения базового тока

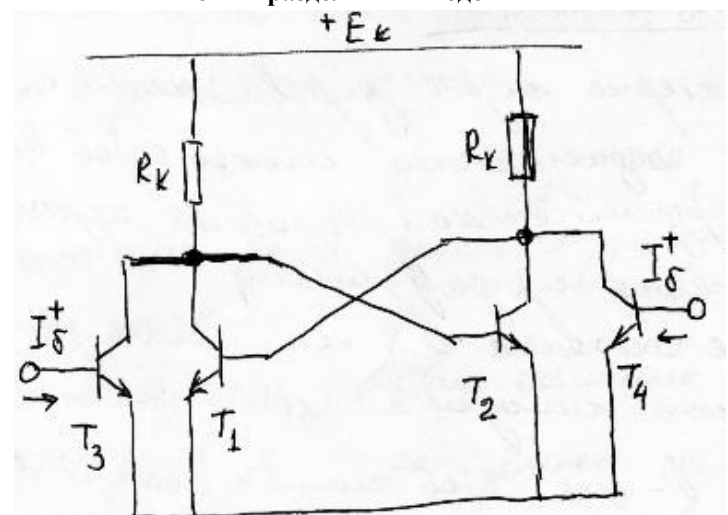
$$\Delta I_{b1}' = -m * \Delta I_{k2} = m^2 * \beta^2 * \Delta I_{b1}$$

При обычных значениях вроде $M=0,5$ дополнительное приращение $\Delta I_{b1}'$, получившееся при обходе цепи, будет значительно превышать исходное приращение ΔI_{b1} . Следующее приращение $\Delta I_{b1}''$ окажется во столько же раз больше приращение $\Delta I_{b1}'$ и т.д. Значит, реакция схемы на малейшую исходную флуктуацию состоит в усилении последней.

Лавинообразный процесс нарастания токов в одной половине БЯ и уменьшения токов в другой половине называются регенерацией. Регенерация заканчивается запирающим одного из ключей и насыщением второго. В нашей примере при положительной флуктуации ΔU_{b1} запирается T_2 , а при отрицательной – T_1 . Поскольку знак флуктуации – величина случайная, то и результаты лавинообразного процесса равновероятны. Значит, при анализе БЯ любое из двух сочетаний возможно. Цель управления бистабильной ячейкой состоит в том, чтобы с помощью импульсных сигналов задавать то или иное состояние или изменять данное устойчивое состояние на противоположное.

Различают два способа управления бистабильной ячейкой: режим отдельных входов и режим общего (счетного) входа.

Режим отдельных входов



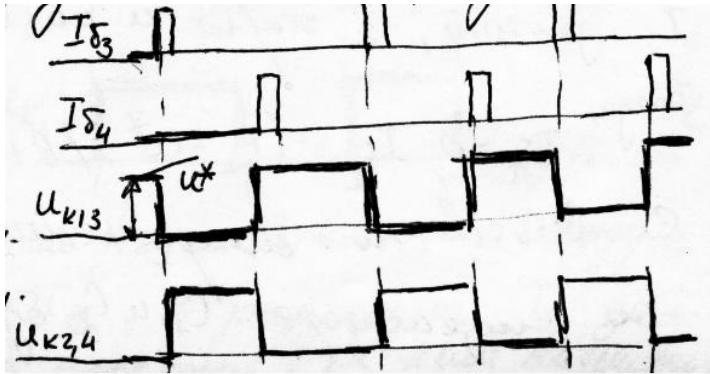
В режиме отдельных входов параллельно каждому из транзисторов подключается еще один транзисторный ключ (T_3 и T_4). Эти ключи управляются внешним

сигналом – током базы, принимающим одно из двух значений: I_b^+ или 0.

Пусть в исходном состоянии Т1 заперт, Т2 открыт и насыщен, а оба ключа Т3 и Т4 заперты. Если открыть транзистор Т4 током I_b^+ , то состояния БЯ не изменится, т.к. напряжение U_{k2} в исходном состоянии уже было близко к нулю. Если же открыть Т3, то потенциал U_{k1} падает до 0. Вместе с ним падает до нуля потенциал базы U_{b2} и транзистор Т2 закрывается. При этом из-за регенерации Т1 отпирается до насыщения. После того как достигнуто новое устойчивое состояние, ключ Т3 теряет свое управляющее действие. Чтобы вернуть Бя в исходное состояние теперь нужно отпереть транзистор Т4.

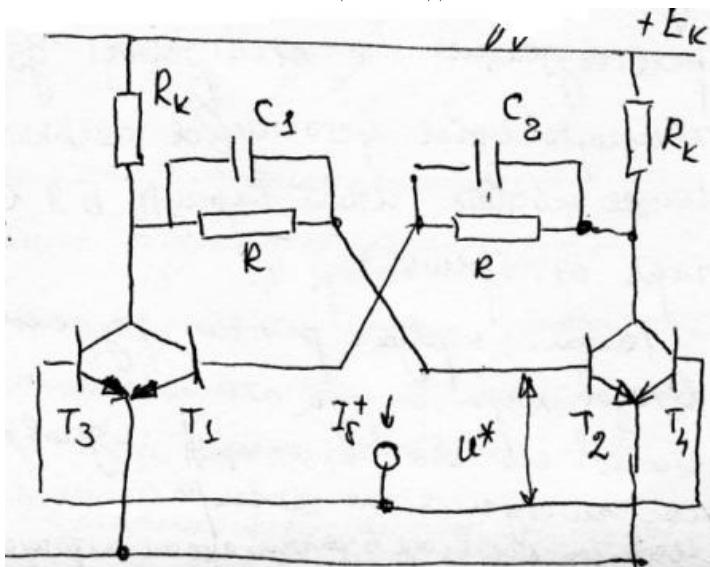
Таким образом режим раздельных входов характерен для отпирающих сигналов на оба входа БЯ.

Одновременное поступление отпирающих импульсов на оба входа в данной схеме недопустимо.



Действительно, если отпирающие попадут одновременно на транзисторы Т1 и Т2, то на их базах будет нулевой потенциал и оба транзистора будут заперты. По окончании сигнала оба транзистора откроются, т.е. БЯ окажется временно в симметричном состоянии, из которого с равной вероятностью БЯ перейдет в одно из двух устойчивых состояний. Следовательно, результат одновременно воздействия отпирающих сигналов оказывается неоднозначным, что недопустимо [RS-триггер]

Режим общего входа



Для этого режима характерна подача управляющих сигналов одновременно на оба соединенных между собой входа БЯ, причем каждый очередной сигнал вызывает переход БЯ в состояние, противоположное предыдущему. Для того чтобы устойчивые состояния

БЯ менялись регулярно после каждого входного импульса схема должна иметь внутреннюю память. Функция этой памяти состоит в том, чтобы хранить информацию о предыдущем состоянии триггера в течение всего времени действия очередного управляющего сигнала, а после его окончания обеспечить принудительный переход схемы в состояние, противоположное предыдущему. Для реализации внутренней памяти используют запоминающие емкости.

Бистабильные ячейки, предназначенные для работы в режиме общего входа, называют **Т-триггерами**.