

Національний технічний університет України  
«Київський політехнічний інститут імені Ігоря Сікорського»  
Факультет інформатики та обчислювальної техніки  
Кафедра обчислювальної техніки

Архітектура комп'ютерів-1

Лабораторна робота №1

**«Синтез арифметико-логічних  
пристроїв з розподіленою логікою»**

Виконала:  
студентка групи ІО-64  
Бровченко А. В.  
Перевірив:  
доц. Верба О. А.

Київ  
2018 р.

**Мета роботи:** Одержати навички в проектуванні арифметико-логічних пристроїв з розподіленою логікою і автоматів управління з жорсткою логікою.

### Теоретичні відомості

За структурою розрізняють АЛП з розподіленою та зосередженою логікою. Інакше їх називають відповідно АЛП із закріпленими та загальними мікроопераціями.

В АЛП першого типу апаратура для реалізації мікрооперацій розподілена між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій. У пристроях другого типу всі логічні ланцюги об'єднані в арифметико-логічному блоці, а всі регістри реалізовані у вигляді надоперативного запам'ятовуючого пристрою.

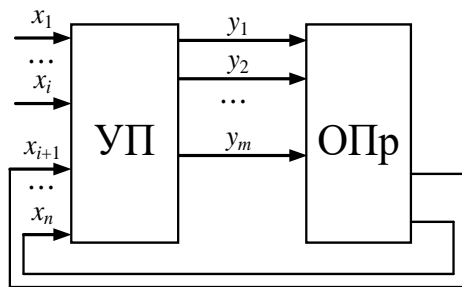


Рис. 2.1. Загальна структура АЛП

АЛП з розподіленою логікою складаються з двох функціональних частин (рис. 2.1): управляючий пристрій (УП), що забезпечує формування всіх управляючих сигналів; операційний пристрій (ОПр), що забезпечує перетворення інформації та виконує мікрооперації над машинними словами.

Побудова таких АЛП відбувається за наступними етапами:

1. Для кожної операції будується операційна схема та функціональний мікроалгоритм (Ф-мікроалгоритм). Рекомендується обирати такі мікроалгоритми виконання операцій, що краще об'єднуються, тобто вимагають однакового напрямку зсувів в регістрах, однакову схему з'єднання регістрів і суматорів і таке інше.

2. Обирається розрядність регістрів, лічильників. Виконується логічне моделювання роботи ОПр, наприклад, із застосуванням діаграми стану регістрів при виконанні мікрооперацій з критичними значеннями операндів.

3. Розробляється функціональна та принципова схеми ОПр із зазначенням управляючих сигналів для кожного вузла пристрою.

4. Складається структурний мікроалгоритм (С-мікроалгоритм) виконання заданих операцій, що враховує спосіб управління мікроопераціями на вузлах ОПр.

5. Виконується синтез управляючого пристрою.

6. Складається функціональна та принципова схеми всього АЛП.

При синтезі управляючого автомата необхідно враховувати можливість формування просічок, що може привести до невірному результату обчислень в операційному пристрої.

Крім цього, необхідно враховувати можливість перетинання управляючих сигналів в часі (наступний сигнал встановлюється раніше ніж знімається попередній сигнал). Якщо сигнали подаються на один регістр, то можливий збій виконання мікрооперацій.

Для правильної роботи операційного пристрою необхідно корегування структурного мікроалгоритму роботи автомата або графа наступним чином.

**1. Якщо дві сусідні операторні вершини містять управляючі сигнали для одного регістра (лічильника), то між вершинами треба включити пусту операторну вершину. Це виключить накладення сигналів.**

**2. Перевірка умови, що змінюється в даному такті, може перевірятися тільки в наступному такті (наприклад, змінюється стан лічильника в даному такті – перевірка тільки в наступному такті).**

**3. Якщо операторна вершина охоплюється петлею для циклічного виконання мікрооперації, то необхідно забезпечити перепад сигналів, що подаються на регістри (лічильники), інакше мікрооперації виконуватись не будуть. У випадку, коли це неможливо забезпечити перестановкою вершин в циклі, необхідно додати порожню вершину.**

**Варіант:**

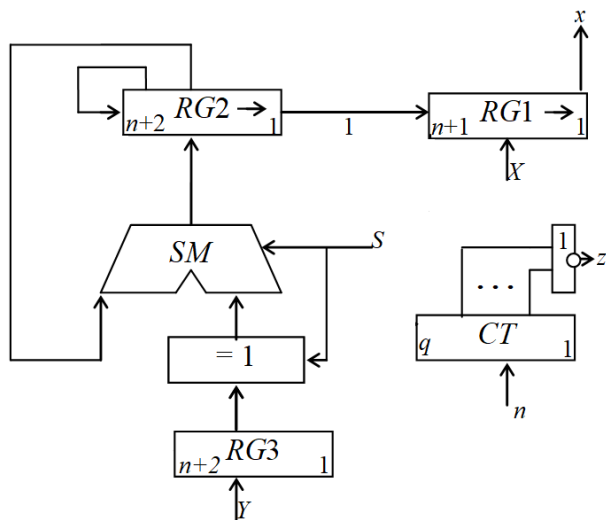
$6403_{10} = 1100100000011_2$

Операція: перший спосіб множення, операнди зі знаками в ДК

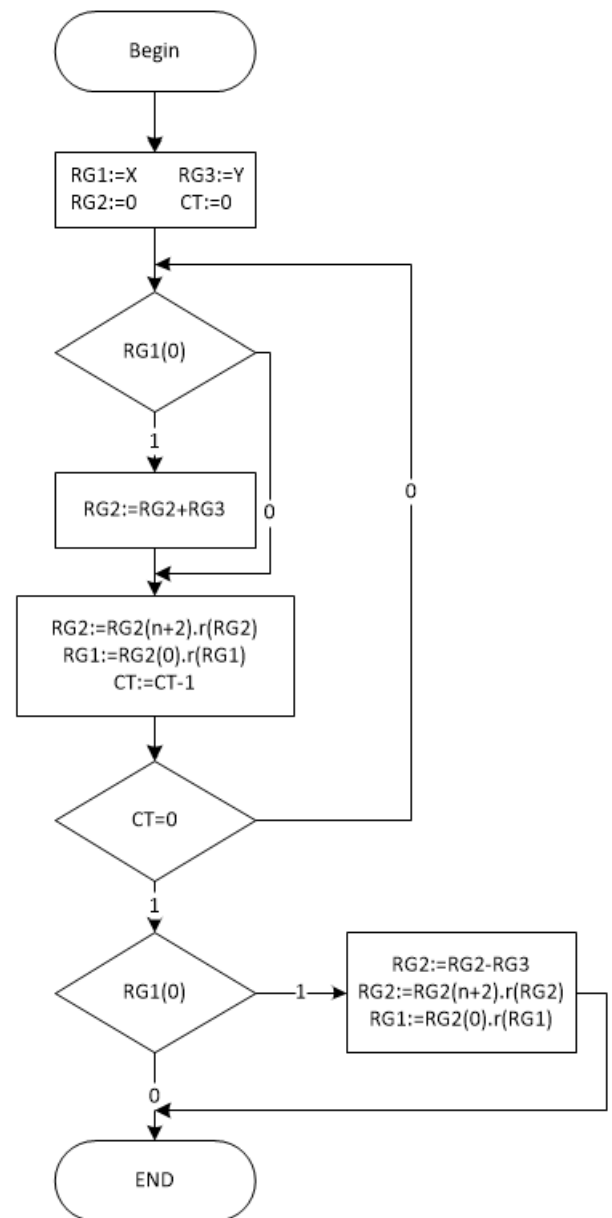
Тригери: Т

Автомат: Мура

Операційна схема множення  
по першому способу в ДК:



Функціональний мікроалгоритм:



Логічне моделювання роботи операційного пристрою:

Значення операндів при  $n=3$ :

$$Y = -5_{10} = -101_2; Y_{\text{ДК}} = 1.011;$$

$$X = 7_{10} = 111_2; X_{\text{ДК}} = 0.111_2;$$

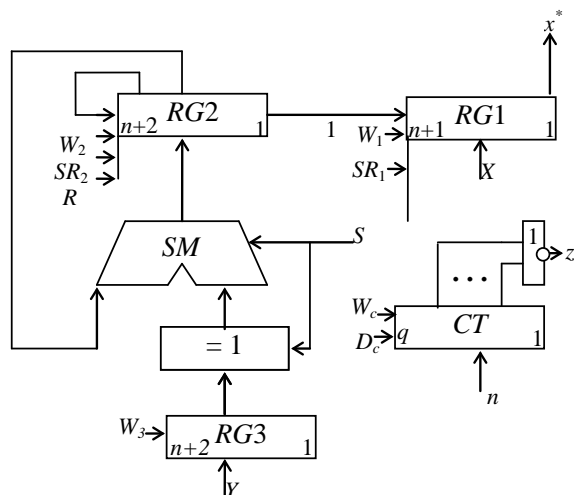
$$Z = -35_{10} = -100011_2; Z_{\text{ДК}} = 1.011101;$$

Розрядність:  $n = 3, q=2$ .

№ циклу	$RG1$	$RG2$	$RG3$	$CT$	МО
ПС	00.000	1.011	00.111	11	Початковий стан
1	$+00.111 \leftarrow$ 00.111				$RG1 + RG3$
	00.011	11.01		10	$RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT \neq 0$
2	$+00.111 \leftarrow$ 01.010			01	$RG1 + RG3$
	00.101	011.0			$RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT \neq 0$
3	00.010	1011.		00	$RG1 \rightarrow, RG2 \rightarrow,$ $RG4 - 1; CT = 0$
Доп. цикл	$+11.001 \leftarrow$ 11.011		11.001 <sup>*</sup>		$RG1 - RG3$
$\underbrace{11.011 \quad 1011}_{\text{Результат: } Z = -100011}$					

11.001<sup>\*</sup> – доп. код від'ємного числа -Y в  $RG3$ ; 1 – знаковий розряд.

Функціональна схема:



Таблиця управляючих сигналів:

Вузол	Мікрооперація	Управляючий сигнал
<i>RG2</i>	Скидання в нуль	<i>R</i>
	Запис	<i>W2</i>
	Зсув вправо	<i>SR2</i>
<i>RG1</i>	Запис	<i>W1</i>
	Зсув вправо	<i>SR1</i>
<i>RG3</i>	Запис	<i>W3</i>
<i>RG4</i>	Запис	<i>WC</i>
	Декремент лічильника	<i>Dec</i>

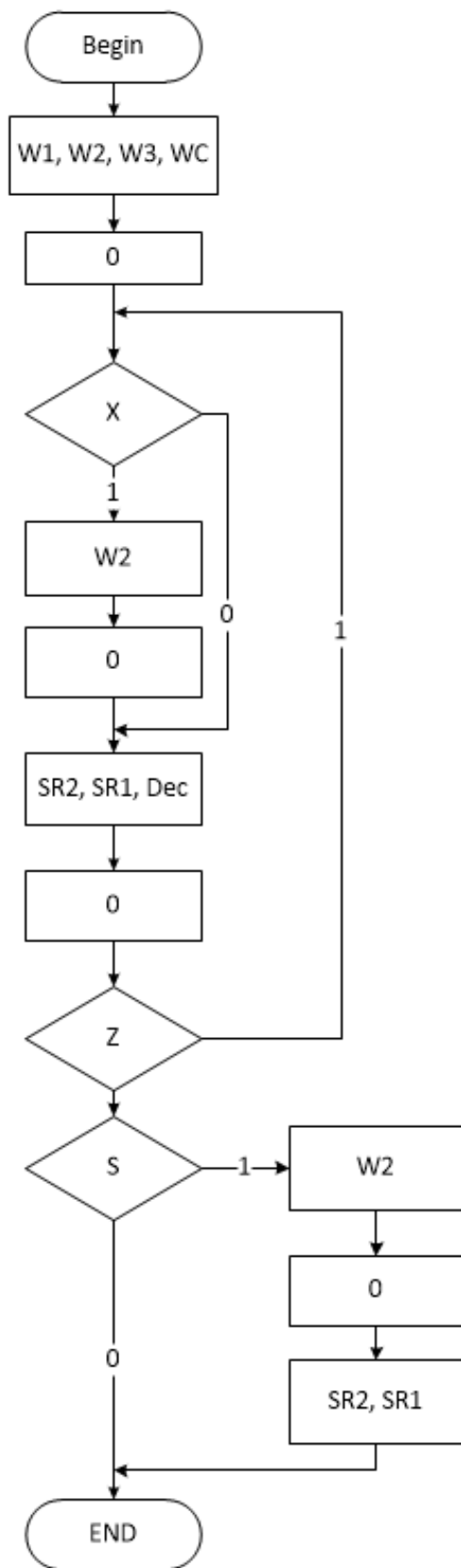
Кодування сигналів управління:

Y1	W1, W3, WC
Y2	W2
Y3	SR2, SR3
Y4	Dec

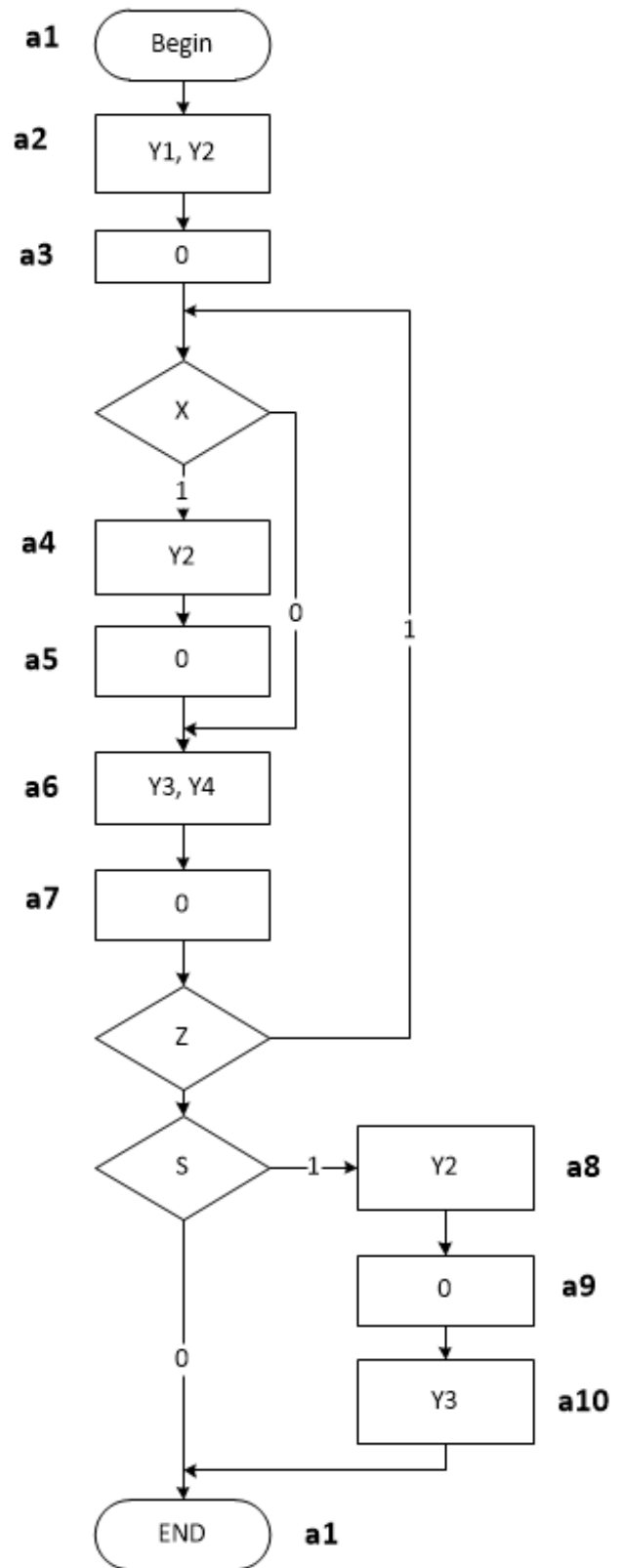
Кодування логічних умов:

X	Значення молодшого розряду множника
Z	Вміст лічильника
S	Сигнал віднімання

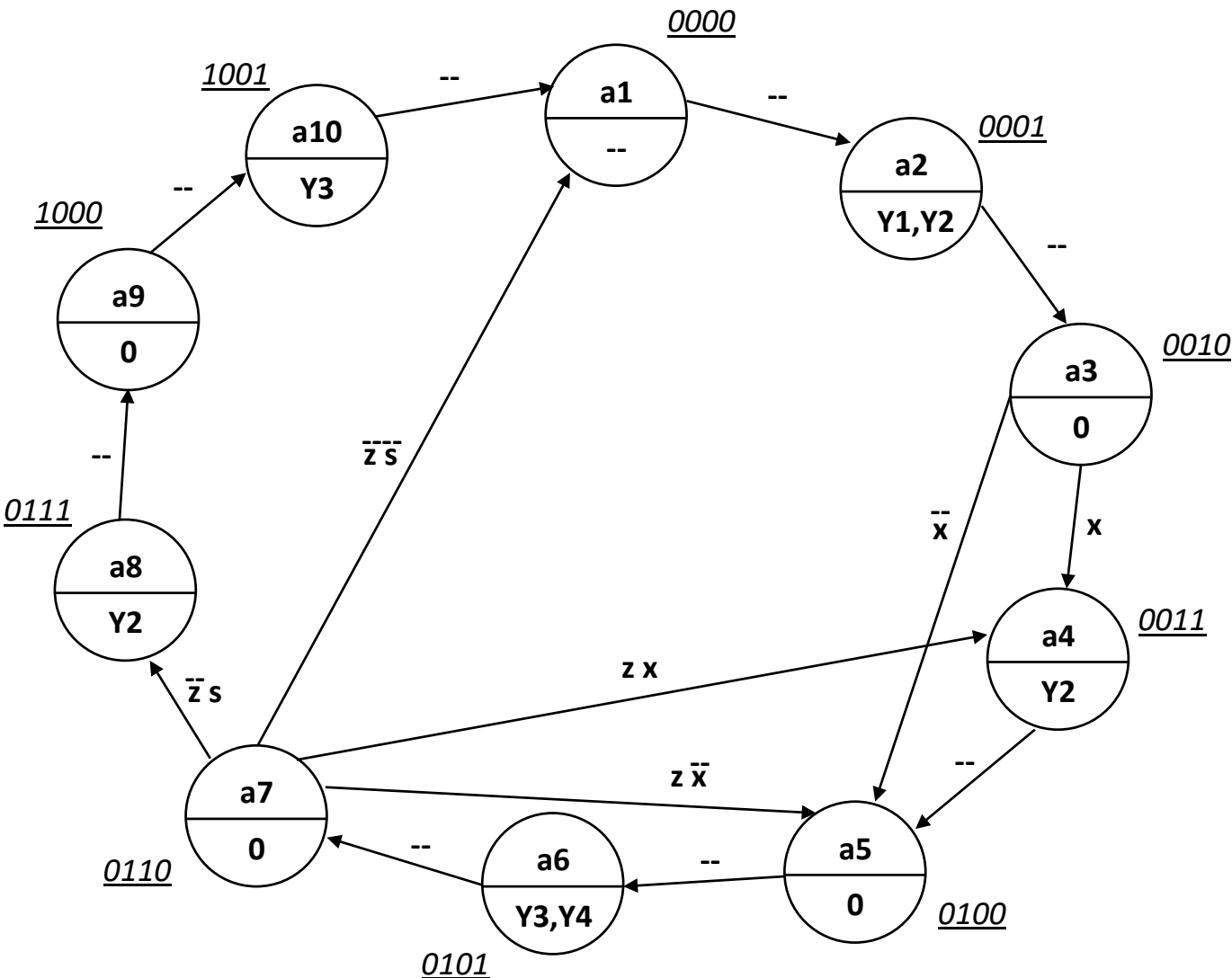
Структурний мікроалгоритм:



Закодований структурний мікроалгоритм:



## Граф автомата Мура:



Таблиця переходів автомата:

a <sup>t</sup>				a <sup>t+1</sup>				X	Z	S	Упр. сигнали				T1	T2	T3	T4
a <sub>1</sub>	a <sub>2</sub>	a <sub>3</sub>	a <sub>4</sub>	a <sub>1</sub>	a <sub>2</sub>	a <sub>3</sub>	a <sub>4</sub>				Y1	Y2	Y3	Y4				
0000	0001	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0	1	
0001	0010	-	-	-	1	1	0	0	0	0	0	1	0	0	0	1	1	
0010	0011	1	-	-	0	0	0	0	0	0	0	0	0	0	0	0	1	
0010	0100	0	-	-	0	0	0	0	0	0	0	1	1	0	1	0	0	
0011	0100	-	-	-	0	1	0	0	0	0	0	1	1	1	0	1	1	
0100	0101	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0	1	
0101	0110	-	-	-	0	0	1	1	0	0	0	0	1	1	0	1	1	
0110	0100	0	1	-	0	0	0	0	0	0	0	0	0	1	0	1	0	
0110	0011	1	1	-	0	0	0	0	0	0	0	0	1	0	0	1	1	
0110	0111	-	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	
0110	0000	-	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	



0111	1000	-	-	-	0 1 0 0	1	1	1	1
1000	1001	-	-	-	0 0 0 0	0	0	0	1
1001	0000	-	-	-	0 0 1 0	1	0	0	1

Мінімізовані функції:

$$Y1 = \overline{a_1 a_2 a_3} a_4$$

$$Y2 = \overline{a_1 a_2} a_4 \vee a_3 a_4$$

$$Y3 = \overline{a_1} a_2 \overline{a_3} a_4 \vee a_1 a_4$$

$$Y4 = \overline{a_1} a_2 \overline{a_3} a_4$$

$$T1 = a_2 a_3 a_4 \vee a_1 a_4$$

$$T2 = \overline{a_2} a_3 \overline{x} \vee a_3 a_4 \vee a_2 a_3 x z$$

$$T3 = \overline{a_2} a_3 \overline{x} \vee a_4 \overline{a_1}$$

$$T4 = \overline{a_2} x \vee \overline{a_3} \vee a_4 \vee a_2 a_3 \overline{a_4} \vee a_2 x z$$

**Висновок:** у даній лабораторній спроектовано простий арифметико-логічний пристрій з розподіленою логікою і автомат управління з жорсткою логікою. Було виконано синтез автомата Мура та операційної схеми з чотирма регістрами та суматором.