# Міністерство освіти і науки України Національний технічний університет України «Київський політехнічний інститут» Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

ЛАБОРАТОРНА РОБОТА № 1 3 дисципліни «Архітектура комп'ютерів-1»

На тему «СИНТЕЗ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ 3 РОЗПОДІЛЕНОЮ ЛОГІКОЮ»

> Виконав: студент 2 курсу ФІОТ групи ІВ-71 Мазан Я.В. Залікова — 7109

ПЕРЕВІРИВ: доц. Верба О. А.

#### Мета роботи

Одержати навички в проектуванні арифметико-логічних пристроїв з розподіленою логікою і автоматів управління з жорсткою логікою.

#### Теоретичні відомості

За структурою розрізняють АЛП з розподіленою та зосередженою логікою. Інакше їх називають відповідно АЛП із закріпленими та загальними мікроопераціями.

В АЛП першого типу апаратура для реалізації мікрооперацій розподілена між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій. У пристроях другого типу всі логічні ланцюги об'єднані в арифметикологічному блоці, а всі регістри реалізовані у вигляді надоперативного запам'ятовуючого пристрою.

АЛП з розподіленою логікою складаються з двох функціональних частин (рис. 1): управляючий пристрій (УП), що забезпечує формування всіх управляючих сигналів;

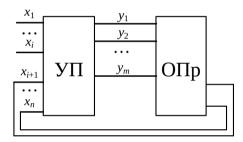


Рис. 1. Загальна структура АЛП

операційний пристрій (ОПр), що забезпечує перетворення інформації та виконує мікрооперації над машинними словами.

#### Завдання

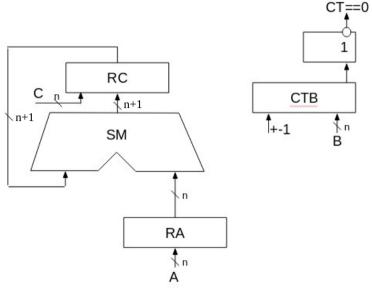
IB-71, 9 у списку  $\rightarrow$  7409 7409 = 1110011110001<sub>2</sub>

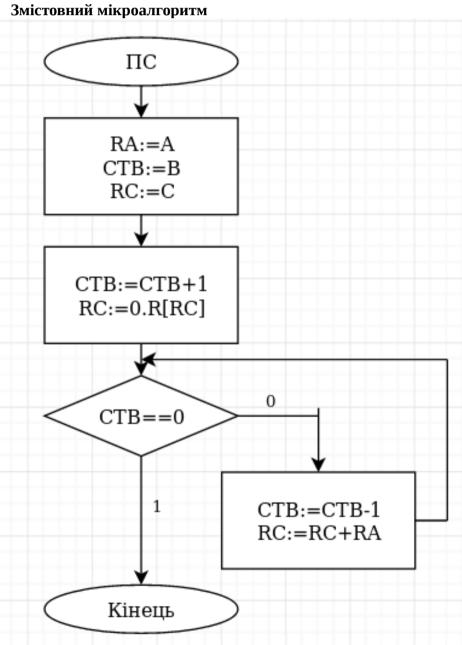
<b>a</b> <sub>7</sub>	$a_6$	$a_5$	$a_4$	Функція
1	1	1	0	D=A(B+1)+0.5C

$a_3$	$a_2$	Тип тригера
0	0	JK

$a_1$	Тип автомата
1	Мура

## Операційна схема





## Таблиця управляючих сигналів

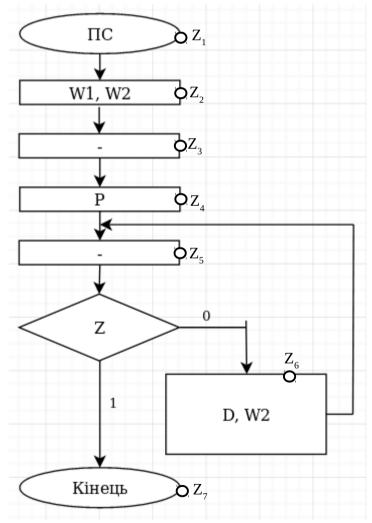
Кодування сигналів управління

Мікрооперація	Управляючий
мінерація	сигнал
RA:=A	
CTB:=B	W1
Початкове передавання в RC:=C, а не	W I
суми з суматора	
RC:=C	W2
Інкремент В	D
0.R[RC]	P
Декремент В	D

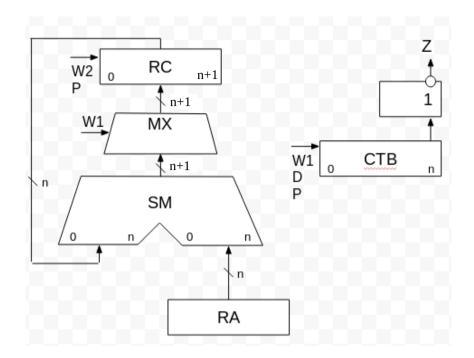
Кодування логічних умов

Логічна умова	Управляючий сигнал
CTB==0	Z

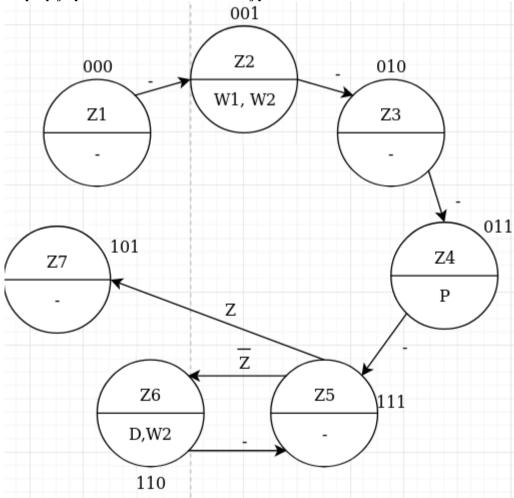
## Структурний мікроалгоритм



Функціональна схема





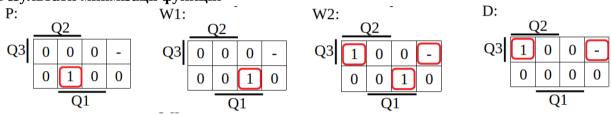


Таблиця переходів станів у автоматі Мура

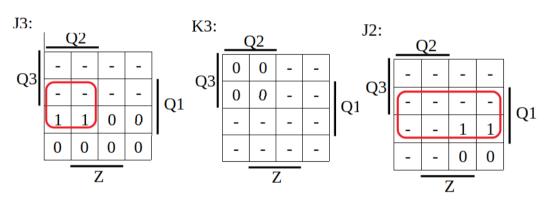
т иолици и	cpczie	mi C	IUIIII	, y ub	I OMIG	** *** <i>y</i>	Pu							
Перехід	Старий стан		Новий стан			ЛУ	Вихідні сигнали			Ф-ції збудження тригерів				
	Q3	Q2	Q1	Q3	Q2	Q1	Z	P	W1	W2	D	J3 K3	J2 K2	J1 K1

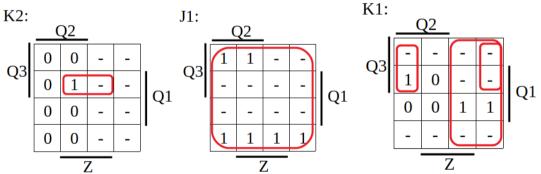
Z1-Z2	0	0	0	0	0	1	-	0	0	0	0	0 -	0 -	1 -
Z2-Z3	0	0	1	0	1	0	-	0	1	1	0	0 -	1 -	- 1
Z3-Z4	0	1	0	0	1	1	-	0	0	0	0	0 -	- 0	1 -
Z4-Z5	0	1	1	1	1	1	-	1	0	0	0	1 -	- 0	- 0
Z5-Z6	1	1	1	1	1	0	0	0	0	0	0	- 0	- 0	- 1
Z6-Z5	1	1	0	1	1	1	-	0	0	1	1	- 0	- 0	1 -
Z5-Z7	1	1	1	1	0	1	1	0	0	0	0	- 0	- 1	- 0

### Результати мінімізації функцій



$$P = \overline{Q3} \ Q2 \ Q1; \qquad W1 \ = \ \overline{Q3} \ \overline{Q2} \ Q1; \qquad W2 = Q3 \ \overline{Q1} \lor \overline{Q3} \ \overline{Q2} \ Q1; \qquad D = Q3 \ \overline{Q1};$$





$$J3=Q2\ Q1;\quad K3=0;\quad J2=Q1;\quad K2=Q3\ Q1\ Z;\quad J1=1;\quad K1=Q3\ \overline{Z}\vee\overline{Q2};$$

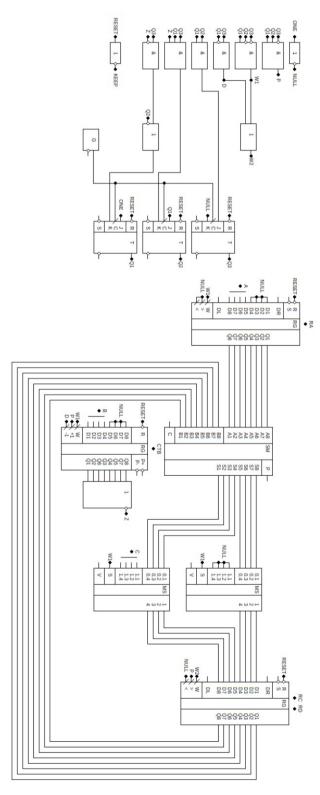
### Логічне моделювання схеми

А=0010, В=0001, С=0110. Тоді D=2\*(1+1)+6/2=7=0111

N₂	RA	СТВ	RC	Z	Мікрооперації
такт					
y					
ПС	00000010	0000001	00000110	0	RA:=A
					CTB:=B
					RC:+C
1	00000010	0000010	00000011	0	CTB:=CT +1

					RC:=0.R[RC]
2	0000010	00000001	00000101	0	CTB:=CTB-1 RC:=RC+RA
3	00000010	00000000	00000111	1	CTB:=CTB-1
					RC:=RC+RA

## Схема пристрою у AFDK



#### Висновок

При виконанні лабораторної роботи я побудував функціональну схему в програмі AFDK, в якій виконується обчислення функції D = A(B+1) + 0.5C. Значення A та B записуються в регістри RGA та CTB відповідно, де CTB є лічильником. Початкове значення C записується в мультиплексор і передається в регістр RGC, через управляючий сигнал W1. В якості множення на 2 була використана операція зсуву значень вліво. В результаті виконання цієї роботи, я згадав навички по використанню AFDK та пригадав й закріпив теоретичні аспекти цієї теми.