

## 1. МЕТОДЫ РАСЧЕТА НЕЛИНЕЙНЫХ ЦЕПЕЙ

Метод линеаризации заключается в замещении нелинейного элемента эквивалентной линейной схемой, справедливой для ограниченного диапазона изменения тока и напряжения в нелинейном элементе. Такое замещение нелинейного элемента позволяет описывать электрическое состояние нелинейной цепи с помощью системы линейных уравнений.

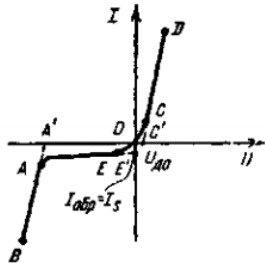


Рис. 4.4. Кусочно-линейная аппроксимация ВАХ диода

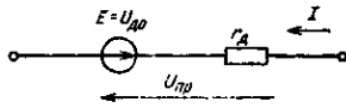


Рис. 4.5. Эквивалентная линейная схема диода при прямом смещении

Практическим воплощением метода линеаризации является метод кусочно-линейной аппроксимации, заключающийся в замене заданной нелинейной характеристики ломаной прямой с одной или несколькими точками излома.

Наиболее просто эта задача решается в частном случае, когда нелинейность характеристики мала или участок характеристики, в пределах которого работает нелинейный элемент, известен и может быть аппроксимирован прямой без излома. В этом случае нелинейный резистивный элемент заменяется источником постоянного ЭДС и линейным сопротивлением, равным его дифференциальному сопротивлению [1]. Сказанное можно продемонстрировать для случая применения в нелинейной цепи неуправляемого полупроводникового элемента — диода. Как видно из рис. 4.4, ВАХ диода легко поддается кусочно-линейной аппроксимации. Действительно, реальная ВАХ диода может быть разбита на три области: прямого (участок CD) и обратного (участок AE) смещения, а также область пробоя (участок AB). В каждой из этих областей ВАХ близка к линейной. Поэтому ВАХ диода может быть представлена тремя отрезками прямых (C'D, E'A, A'B).

Прямая ветвь ВАХ диода (прямая C'D, включающая отрезок CD и его продолжение до пересечения с осью абсцисс), в этом случае может быть аппроксимирована линейной функцией вида

$$U_{пр} = U_{до} + I r_A, \quad (4.3)$$

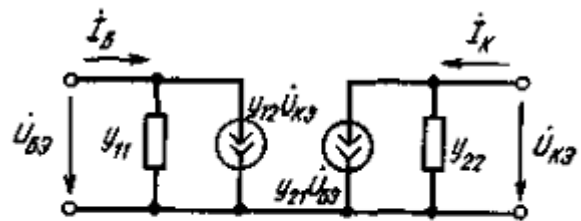
где  $U_{до}$  — напряжение, определяемое отрезком OC' на оси абсцисс от начала координат до пересечения прямой C'D с осью абсцисс (продолжение линейного участка CD прямой ветви ВАХ диода).

Напряжение  $U_{до}$  представляет собой остаточное напряжение диода (напряжение отсечки диода при прямом его смещении) и носит название порогового напряжения диода, начиная с которого зависимость тока диода от возрастающего значения, приложенного к нему напряжения можно считать линейной. Дiode при прямом смещении может быть заменен эквивалентной линейной схемой, приведенной на рис. 4.5.

## 2. Эквивалентная схема биполярного транзистора в y-параметрах.

Схема в h параметрах

На практике для высокочастотных усилителей применяют чаще схему в y параметрах. Формулы для схемы с ОЭ.



$$\left. \begin{aligned} I_B &= y_{11} U_{БЭ} + y_{12} U_{КЭ}; \\ I_K &= y_{21} U_{БЭ} + y_{22} U_{КЭ}. \end{aligned} \right\}$$

$$y_{11} = \left( \frac{\Delta I_B}{\Delta U_{БЭ}} \right)_{U_{КЭ}=0}$$

величина обратная входному сопротивлению, т. е. входная проводимость при коротком замыкании;

$$y_{21} = \left( \frac{\Delta I_K}{\Delta U_{БЭ}} \right)_{U_{КЭ}=0}$$

— проводимость прямой передачи, т. е. величина, характеризующая воздействие входного напряжения на выходной ток при коротком замыкании.

Для случая обратного короткого замыкания

$$y_{12} = \left( \frac{\Delta I_B}{\Delta U_{КЭ}} \right)_{U_{БЭ}=0}$$

проводимость обратной передачи, т. е. величина, характеризующая воздействие выходного напряжения на входной ток при обратном коротком замыкании;

$$y_{22} = \left( \frac{\Delta I_K}{\Delta U_{КЭ}} \right)_{U_{БЭ}=0}$$

выходная проводимость при обратном коротком замыкании.

## 3. Резисторно-транзисторная логика (РТЛ) — технология построения логических электронных схем на базе простых транзисторных ключей.

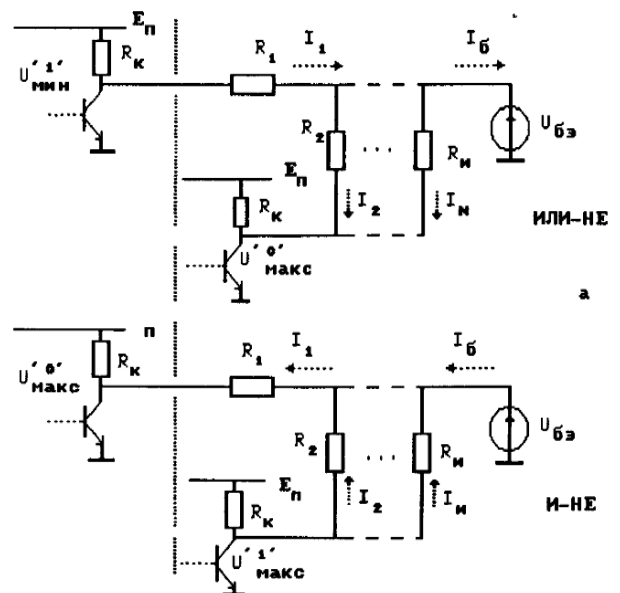


рис. 10.3. Формирование управляющих токов при каскадировании РТЛ.

Логические элементы, относящиеся к группе РТЛ были, пожалуй, первыми логическими элементами, ориентированными на интегральное исполнение (в гибридной технологии). Впервые такие элементы начали серийно выпускаться промышленностью в СССР в начале 60-х годов.

Статические характеристики РТЛ

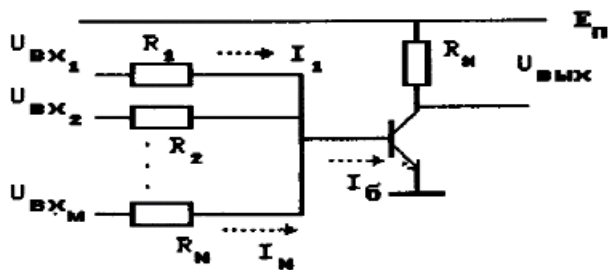


рис. 10.1. Резисторно-транзисторный логический элемент.

Схема классического РТЛ, реализующего суммирование токов в базе биполярного ключа, приведена на рис. 10,1.

В схеме, реализующей логическую функцию "ИЛИ-НЕ", ток  $I_b$ , должен быть равен  $I_{бн}$  (без учета ответвления тока в параллельные цепи). В схеме "И-НЕ" управляющий ток базы (при тех же условиях)

$I_{бн} = \sum_{i=1}^M I_i > I_{бн}$  должен обеспечить переключение и насыщение биполярного транзистора, а ток

$I_{бн-1} = \sum_{i=1}^{M-1} I_i < I_{бн}$  не должен приводить к заметному изменению выходного напряжения.

Входные характеристики РТЛ при реализации функций "И-НЕ" (б) и "ИЛИ-НЕ" (а) изображены на рис. 10.2.

Входные характеристики РТЛ при реализации функций "И-НЕ" (б) и "ИЛИ-НЕ" (а) изображены на рис. 10.2.

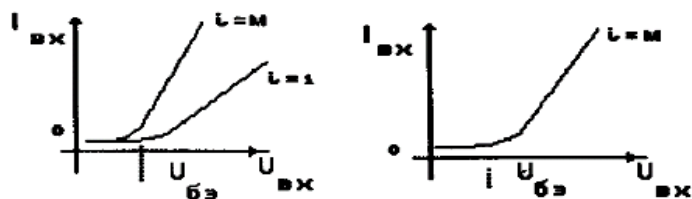


рис. 10.2. Входные характеристики РТЛ. а) логического элемента "ИЛИ-НЕ" (при одном или нескольких входных воздействиях), б) логического элемента "И-НЕ".

В схемах РТЛ мы впервые сталкиваемся со специфической для цифровых элементов проблемой электрической связи выходов нескольких предшествующих логических элементов с последующим элементом. Именно эта проблема проявляется наиболее ярко (ради этого, собственно, мы и рассматриваем эту устаревшую схему).

Суть проблемы в том, что величина управляющего тока зависит не только от величины входного напряжения и соответствующего ему входного сопротивления (как было в простейшем ключе), но и от величины (и их комбинации) входных напряжений на других входах схемы. При этом можно отыскать наихудшую комбинацию входных напряжений, при которой взаимное влияние будет наиболее существенным.

Нетрудно убедиться, что в нашем случае такой комбинацией будет:

♦ для схемы "ИЛИ-НЕ" - на одном входе высокий потенциал (минимальный уровень), на остальных низкий (максимальный уровень);

♦ для схемы "И-НЕ" - на одном входе низкий потенциал (максимальный уровень), на остальных высокий (максимальный уровень).

Приведенные положения иллюстрируются эквивалентными схемами рис. 10.3.

$$I_b = (U_{мин}^{1*} - U_{бэ})/R_1 - \sum_{i=1}^{N-1} (U_{бэ} - U_{макс}^{0*})/R_i > I_{бн},$$

или при  $R_1 = R_2 = \dots = R_N = R_б$

$$I_b = (U_{мин}^{1*} - U_{бэ})/R_1 - (N-1)(U_{бэ} - U_{макс}^{0*})/R_б,$$

Для схемы а)

**помехоустойчивость** логических схем РТЛ определяется:

♦ значениями коэффициентов разветвления и объединения;

♦ предельными отклонениями параметров схемных элементов и напряжений;

♦ заданным быстродействием схемы.

Практически все проблемы РТЛ связаны с неизбежным ответвлением управляющих токов в нефункциональные (но относительно к рассматриваемому входу) входные цепи. Как только позволила технология в интегральных схемах были реализованы Диодно-Транзисторные Логические элементы (ДТЛ), использующие во входных цепях нелинейные элементы-диоды, исключаяющие подобное ответвление. **Быстродействие элементов РТЛ**, пожалуй, самое низкое из всех использовавшихся в практике логических элементов.

**Достоинства:** Конструктивная простота; Низкая стоимость.

**Недостатки:** Высокая рассеиваемая мощность (как на включенном ключе так и на резисторах); Нечёткий уровень сигналов (уровень единицы от ~0,9В до напряжения питания); Крайне низкое быстродействие; Низкая помехоустойчивость; Сложность разработки; Низкая нагрузочная способность выходов (обычно не более трёх входов других элементов).



