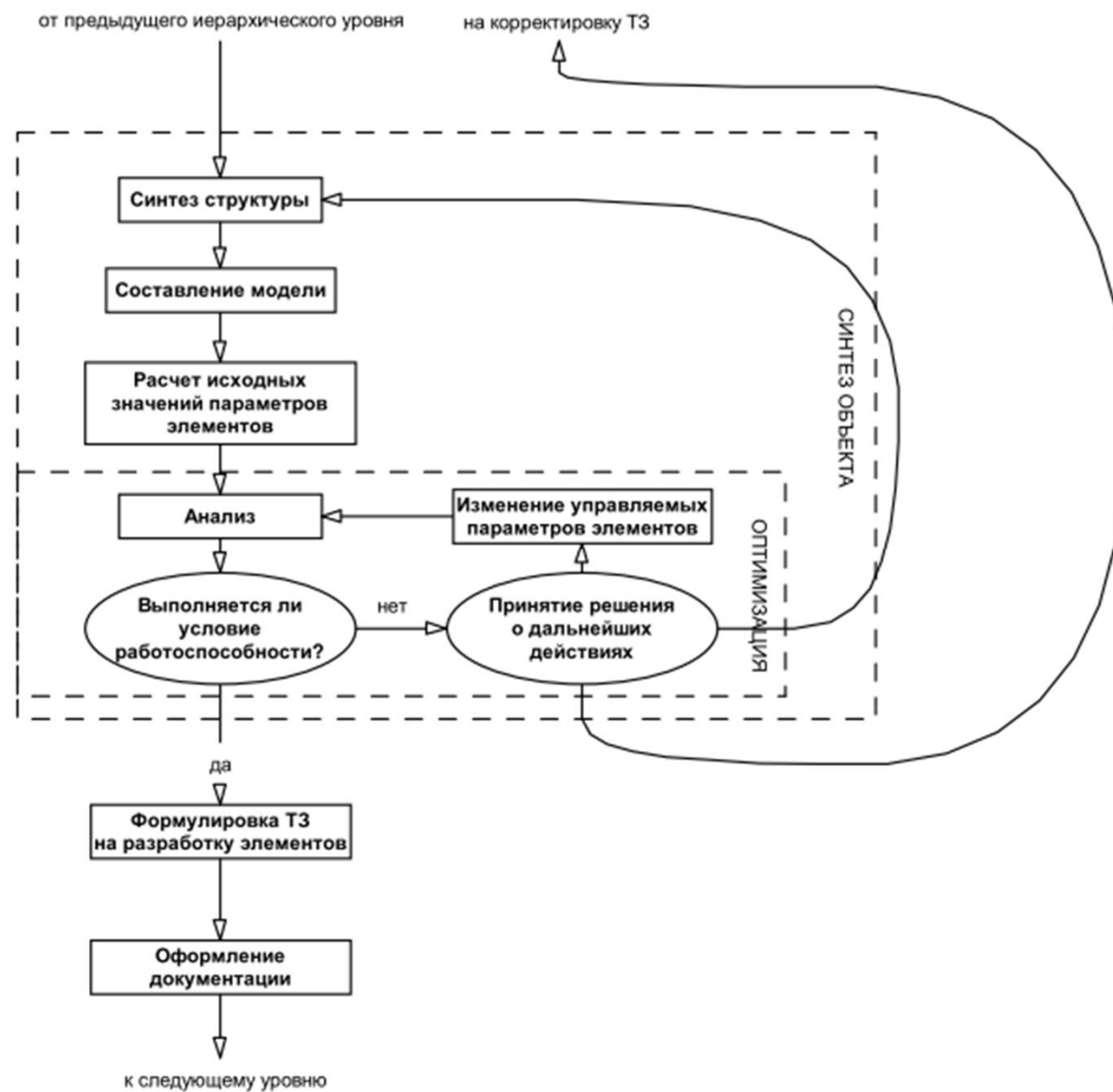


Лекция 5.

Анализ и контроль логических схем

Схема процесса нисходящего проектирования



Моделирование логических схем

- Вычисление реакции схемы на заданное входное воздействие (стимул) называют моделированием логической схемы.
- Моделирование является одним из методов анализа схемы.
- Главной задачей логического моделирования является оценка качества предлагаемого варианта функциональной схемы проектируемого устройства.
- На первом этапе исследуется схема на соответствие заданным функциям без учета задержек сигналов, ограничений элементной базы и внешних условий.
- Вторым этапом исследования является проверка работоспособности устройства с учетом задержек элементов, составляющих его структуру, и воздействий различных дестабилизирующих факторов. Этот анализ дает возможность выявить критические состязания сигналов, возникающие в асинхронных схемах, а так же причин других сбоев.

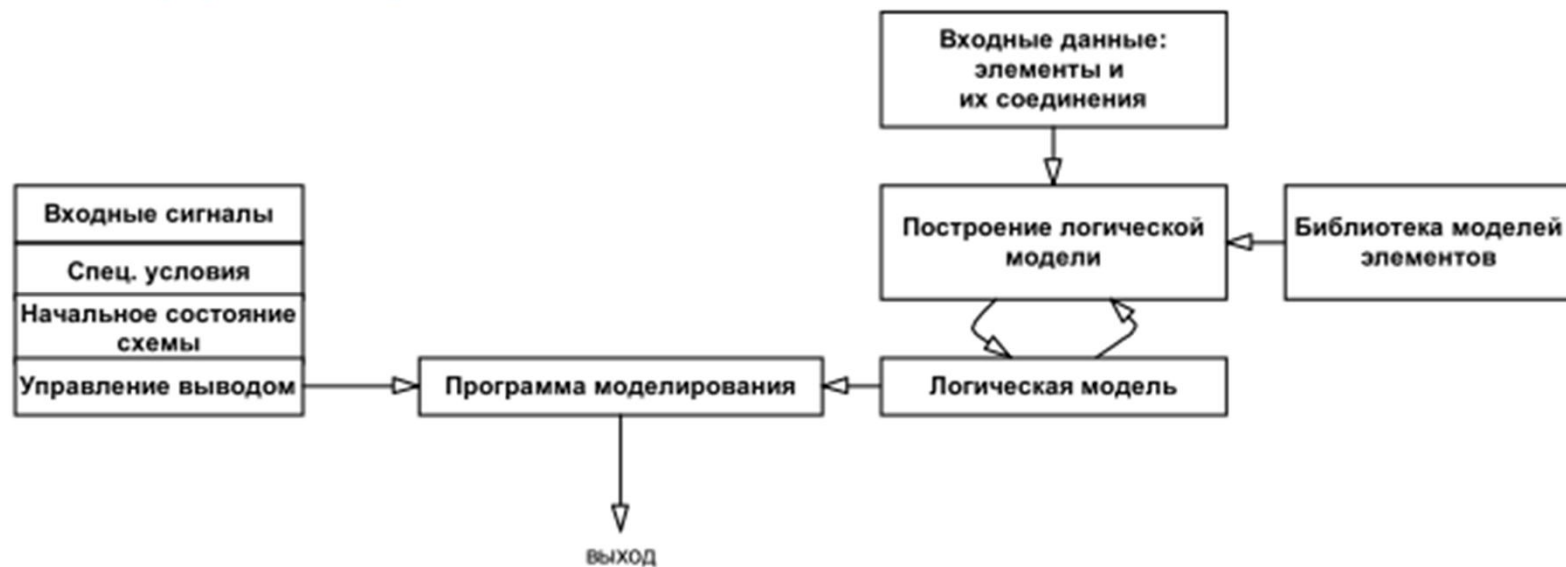
Моделирование цифровых устройств

- Для описания работы цифровых устройств используют самые различные модели, отличающиеся друг от друга сложностью, точностью, большим или меньшим учетом тонких физических эффектов.
- В основном эти модели используются при компьютерных расчетах цифровых схем. В настоящее время существуют компьютерные программы, которые не только рассчитывают готовые схемы, но способны и проектировать новые схемы по формализованным описаниям функций, которые данное устройство должно выполнять.
- В подавляющем большинстве случаев для разработчика цифровых схем достаточно трех моделей, трех уровней представления о работе цифровых устройств:
 - 1) Логическая модель.
 - 2) Модель с временными задержками.
 - 3) Модель с учетом электрических эффектов (или электрическая модель).

Цели и задачи логического моделирования

- Целью логического моделирования является получение логико-временной картины работы схемы, которая затем внимательно анализируется разработчиком.
- Основные задачи
 - 1) Проверка правильности функционирования дискретного устройства
 - 2) Проверка временных диаграмм
 - 3) Анализ состязаний сигналов и рисков сбоев
 - 4) Разработка обнаруживающих и диагностических тестов
 - 5) Анализ полноты тестов
 - 6) Анализ диагностических свойств тестов

Процесс логического моделирования



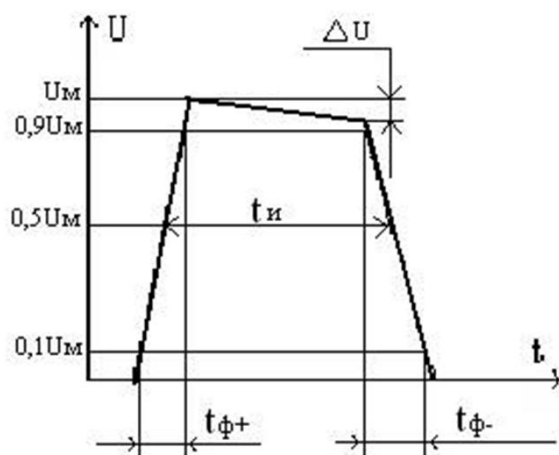
- Параметры алгоритмов моделирования:
 - ❖ Адекватность
 - ❖ Быстродействие
 - ❖ Требуемый объем памяти
- Адекватность зависит от:
 - ❖ Выбранной модели дискретного устройства
 - ❖ Моделей сигналов и элементов
 - ❖ Способа учета временных задержек между элементами

Классификация методов логического моделирования

- По организации процесса моделирования:
 - ❖ асинхронное;
 - ❖ синхронное.
- По виду кодирования сигналов:
 - ❖ двоичное;
 - ❖ троичное;
 - ❖ многозначное.
- По методам реализации программ моделирования:
 - ❖ интерпретация;
 - ❖ компиляция.
- По организации вычислений:
 - ❖ сквозное;
 - ❖ событийное.

Модель импульсного сигнала

- Прямоугольным импульсным сигналом принято называть скачкообразное изменение токов и (или) напряжений, при этом эти параметры могут принимать только два значения: высокое и низкое (логические 0 или 1).
- В так называемой положительной логике высокому уровню соответствует логическая 1, низкому - логический 0, в отрицательной логике – наоборот.



Параметры импульсного сигнала
 U_m - амплитуда импульса ,
 $g = \Delta U / U_m$ - относительный завал
вершины импульса,
 $t_{и}$ - длительность импульса,
 $t_{ф+}$ - передний фронт импульса,
 $t_{ф-}$ - задний фронт импульса.

Модели элементов

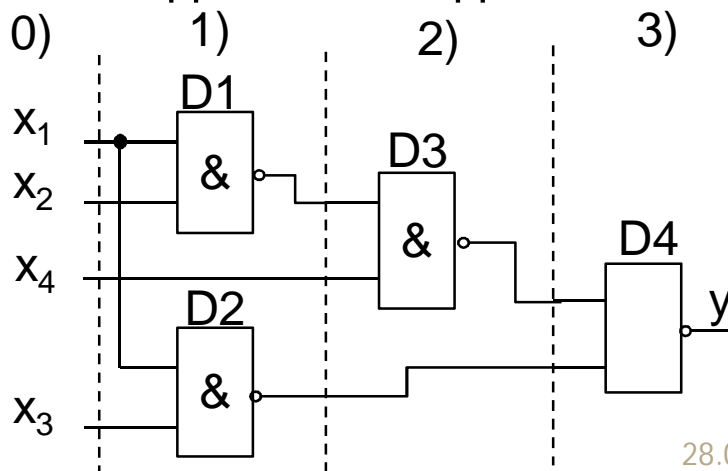
- Различают следующие модели элементов:
 - 1) Структурно-параметрическое модели – определяют состав элементов устройства, способы их соединения и взаимодействия.
 - 2) Функциональные модели – исследование процесса преобразования сигнала по мере его прохождения от входа к выходу элемента без учета его внутренней структуры. Функциональные модели предназначены для отображения физических или информационных процессов, протекающих в технологических системах при их функционировании. Обычно функциональные ММ представляются системой уравнений, описывающих внутренние, внешние и выходные параметры.
- Как правило, функциональные модели более сложные, поскольку в них отражаются также сведения о структуре объектов. Однако при решении многих задач конструирования использование сложных функциональных моделей неоправданно, так как нужные результаты могут быть получены на основе более простых структурных моделей.

Алфавит моделирования

- При моделировании входным, выходным и внутренним переменным присваиваются определенные значения, которые называются символами.
- Совокупность символов составляет алфавит моделирования. Самый простейший алфавит двоичный. В этом случае сигналы могут принимать значения только 0 и 1.
- Для выявления состязания сигналов и попадания схем в неопределенное состояние используется троичное моделирование (0, X, 1). Под X понимают неопределенное, неизвестное и иногда безразличное значение сигнала.
- Для повышения адекватности моделирования можно использовать многозначный алфавит (например, STD_LOGIC – 9 знаков).

Двоичное моделирование

- Двоичное моделирование является самым простым и быстроедействующим.
- Все входные сигналы схемы записывают в алфавите $\{0,1\}$.
- Моделирование комбинационной схемы состоит в вычислении, в порядке возрастания рангов, значений на выходе элементов схемы.
- Если у вентиля определены сигналы на всех его входах, то двоичное значение на выходе этого вентиля может быть определено по его таблице истинности.
- Для ранжированной схемы обеспечивается вычисление состояний за один просчет (итерацию) для каждого набора входной последовательности.



	x_1	x_2	x_3	x_4	D1	D2	D3	D4
0)	1	0	1	0				
1)					1	1		
2)							1	
3)								0

Троичное моделирование

- При троичном кодировании, кроме значений сигналов 0 и 1, вводится третье значение – неопределенность, которое интерпретируется как состояние перехода сигнала из 1 в 0 или из 0 в 1.
- Хотя введение третьего состояния и усложняет процесс моделирования, но в ряде случаев позволяет более простыми, чем при двух состояниях, методами получать необходимую информацию о работе схемы.
- Свойства неопределенности:

$$x \wedge 1 = x \wedge x = x \vee 0 = x \vee x = x \oplus 0 = x \oplus x = x \oplus 1 = x;$$
$$x \wedge 0 = 0; \quad x \vee 1 = 1; \quad x = x.$$

Таблицы операций

Таблица 1

\wedge	0	x	1
0	0	0	0
x	0	x	x
1	0	x	1

Таблица 2

\vee	0	x	1
0	0	x	1
x	x	x	1
1	1	1	1

Таблица 3

\neg	0	x	1
	1	x	0

Таблица 4

\oplus	0	x	1
0	0	x	1
x	x	x	x
1	1	x	0

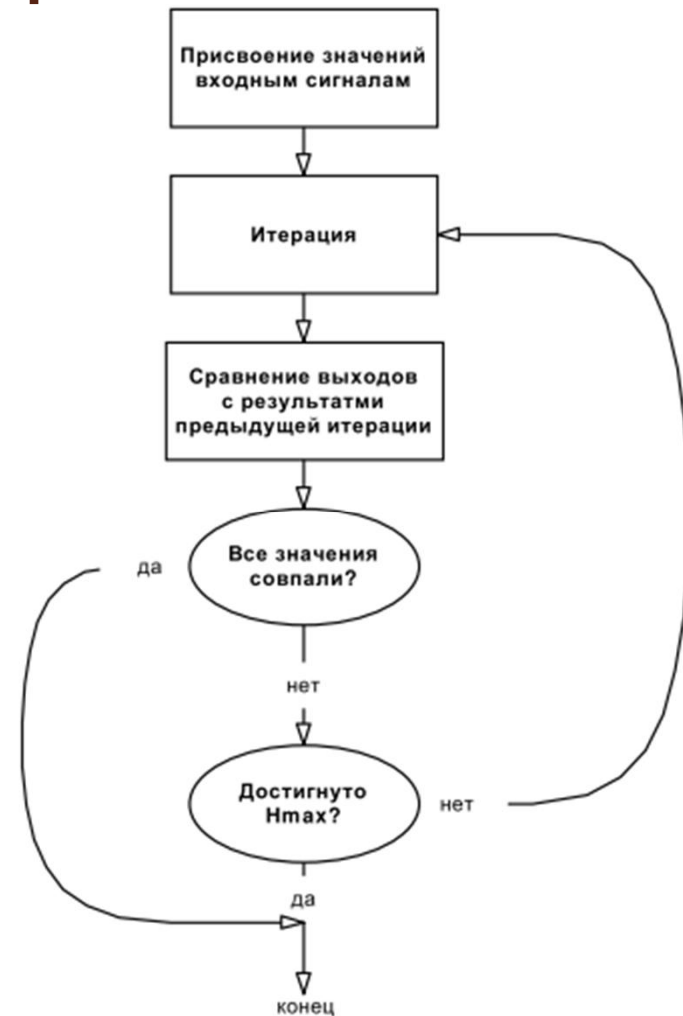
Синхронное моделирование

- Синхронное моделирование характеризуется представлением моделей элементов их логическими функциями без учета задержек сигналов. Синхронное моделирование применяется для оценки правильности логического функционирования дискретных устройств без учета переходных процессов.
- Процесс моделирования работы проектируемого устройства связан с вычислением значений сигналов на выходах логических элементов схемы по заданным входным сигналам. Моделирование выполняется при каждом изменении сигналов на входах.
- При синхронном моделировании каждый из элементов схемы описывается логическим уравнением

$$y = f(x_1, x_2, \dots, x_n)$$

Алгоритм моделирования

- Итерация – это расчет выходных сигналов на каждом элементе схемы при подаче на ее вход очередного входного набора (стимула).
- После выполнения итерации, проводят моделирование использованного в этой итерации входного набора, и если на каком-либо из элементов сменился сигнал, проводят моделирование данного входного набора до тех пор, пока в двух соседних итерациях не получится одинакового результата по всем сигналам.
- Для окончания процесса моделирования данного входного набора (ведь он может быть бесконечным), устанавливают предельное число итераций

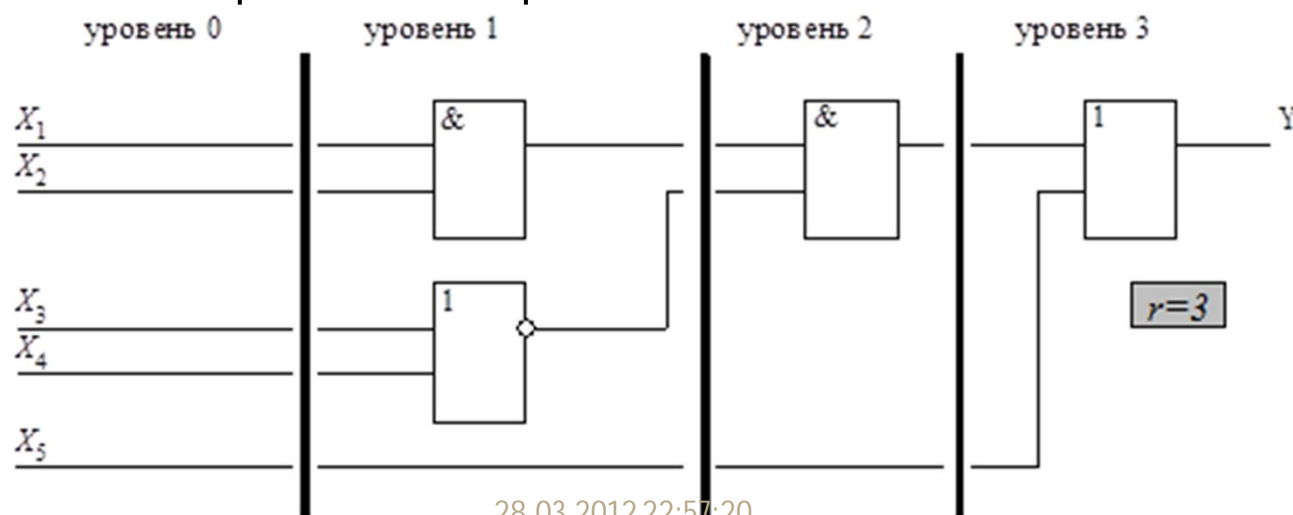


Алгоритм моделирования

- Особенностью синхронного моделирования является решение логических уравнений в определенном порядке, соответствующем последовательности прохождения сигналов через элементы схемы.
- Для определения этого порядка схему предварительно нужно ранжировать, чтобы к моменту решения каждого уравнения, описывающего функционирование элемента, значения всех его входных сигналов были известны. Под ранжированием понимается размещение описаний элементов функциональной схемы в таком порядке, в каком происходит последовательное переключение элементов схемы при подаче на ее вход некоторого входного слова.
- Элемент схемы имеет ранг $r + 1$, если максимальных ранг любого из входов этого элемента равен r . При ранжировании принимается, что входные сигналы схемы к моменту начала ее моделирования известны, и им присваивается ранг $r = 0$, что влечет за собой присваивание ранга $r = 1$ элементам, на которые поступают только входные сигналы устройства.

Алгоритм моделирования

- Комбинационная схема (если она предварительно ранжирована с целью упорядочения вычислений) моделируется за одну итерацию.
- Ранжирование комбинационной схемы выполняется по следующему алгоритму.
 - 1) Всем входам схемы присвоить ранг $r = 0$.
 - 2) Если всем входам элемента схемы присвоен ранг, то ранг самого элемента и его выхода определяют как максимальный ранг его входов плюс единица.
 - 3) Если в схеме имеется элемент, ранг которого не определен, пункт 2 алгоритма повторяется.



Асинхронное моделирование

- Асинхронный метод моделирования применяется для анализа переходных процессов в логических схемах. В этом методе учитывается время распространения сигналов в элементах и соединительных цепях схемы.
- Изменение значений выходных сигналов логического элемента происходит с некоторым запаздыванием по отношению к входным сигналам, которое учитывается задержкой в моделях элементов. Каждый элемент характеризуется некоторой средней задержкой, значение которой может меняться в зависимости от режима работы элемента, комбинации входных сигналов, температуры, отклонения в технологии изготовления элемента и т.д.
- В зависимости от требуемой степени адекватности моделирования учет задержек производится с той или иной степенью детализации. Задержки в линиях связи весьма малы и обычно не учитываются, однако при моделировании устройств с очень высоким быстродействием учитываются и они.

Модель с учетом задержек

- Задержка в элементе зависит от большого числа факторов (технологических, напряжения питания, нагрузки, линий связи) и описывается статистическими закономерностями.
- Обычно задается максимальное время задержки. Отсюда следует, что нельзя сравнивать задержки в двух цепях, т.к. в принципе они могут быть сколь угодно малыми.
- Если же известны и минимальные задержки, то сравнение возможно при определенных условиях.
- Пусть длинная цепь имеет число элементов N_D , а короткая – N_K . Тогда:

$$t_{зд. \max_K} = N_K \cdot t_{зд. \max} \quad t_{зд. \min_D} = N_D \cdot t_{зд. \min}$$

- В длинной цепи сигнал будет распространяться дольше если

$$N_K \cdot t_{зд. \max} < N_D \cdot t_{зд. \min}$$

Риски сбоя

- Риском сбоя называется возможность появления на выходе цифрового устройства сигнала, не предусмотренного алгоритмом его работы и могущего привести к ложному срабатыванию. Отметим, что риск сбоя представляет собой только возможность ложного срабатывания. Конкретная цепь может давать риск сбоя, а может и не давать, причем даже при наличии риска сбоя может отсутствовать ложное срабатывание, следовательно, риск сбоя представляет собой наихудший случай.
- Функциональная устойчивость определяется стабильностью реализации цифровым устройством заданного алгоритма работы при наличии разброса задержек выполнения операций в логических элементах, задержек сигналов в линиях связи и электромагнитных наводок паразитных сигналов. Термин "функциональная устойчивость" можно рассматривать также как синоним алгоритмической устойчивости.

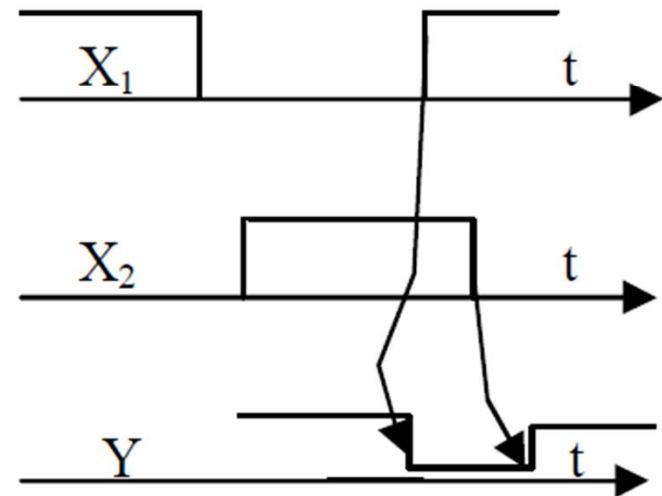
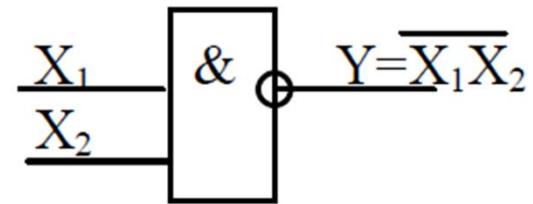
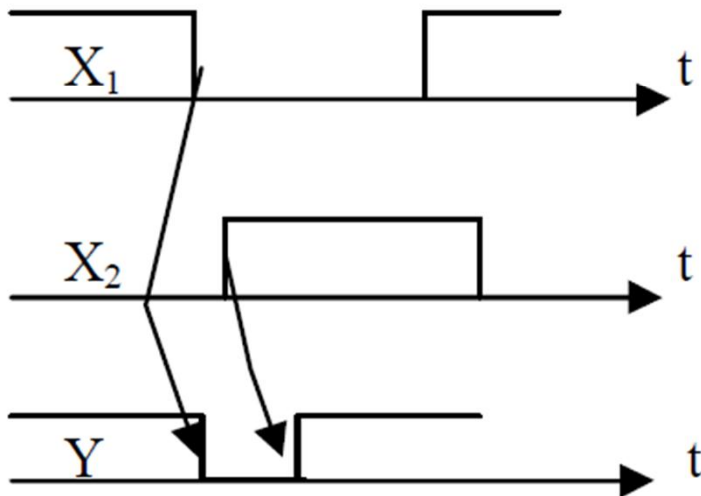
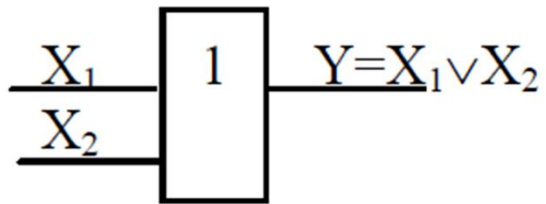
Состязания

- В схемотехническом плане проблема функциональной устойчивости может быть сведена к устранению опасных состязаний (гонок) сигналов устройства.
- Состязаниями (гонками) сигналов называется процесс их распространения в различных цепях цифрового устройства при существовании разбросов временных задержек этих цепей. Цепь - совокупность логических и других элементов и линий связи между ними.
- Алгоритмическим переходом называется изменение сигнала на выходе какой-либо схемы, предусмотренное алгоритмом ее работы. Неалгоритмическим переходом называется изменение выходного сигнала, не предусмотренное алгоритмом ее работы.
- Опасными называются такие состязания, которые могут привести к неалгоритмическому переходу в цифровой схеме при заданных условиях ее работы. Схемой, свободной от влияния опасных состязаний, называется такая цифровая структура, в которой неалгоритмический переход, возникший в части схемы из-за опасных состязаний, не изменяет алгоритма работы схемы в целом при заданных условиях ее работы.

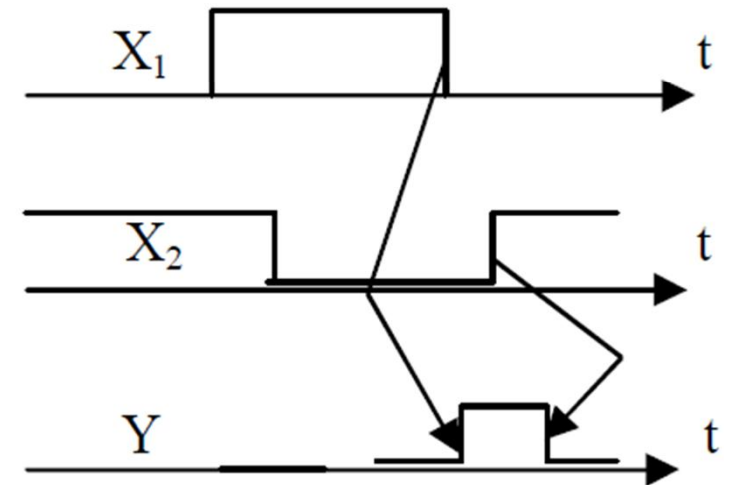
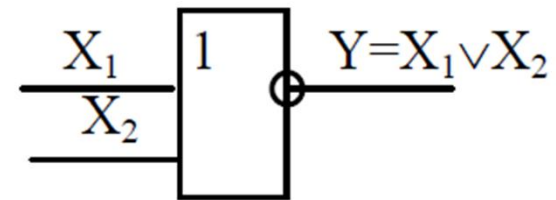
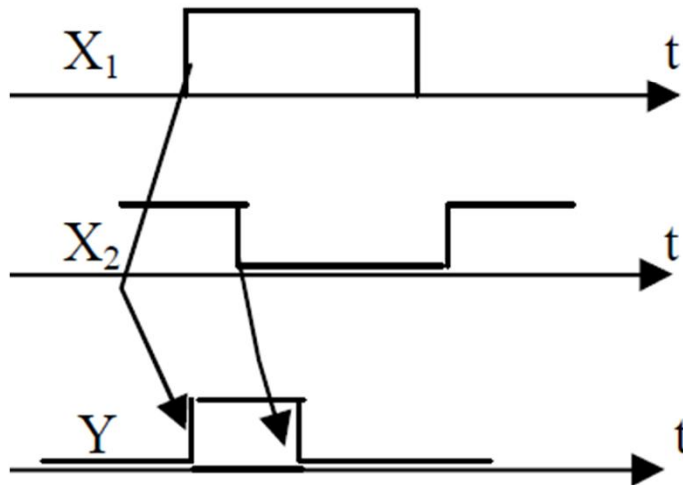
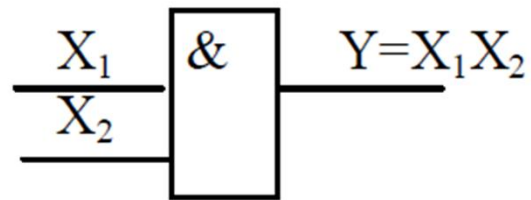
Статический риск

- Временное рассогласование входных сигналов элемента может привести к появлению ложного сигнала на выходе логического элемента.
- Такая возможность появления ложных сигналов носит название риска сбоя. Если сигналы на выходе схемы для двух смежных наборов входных воздействий остаются одинаковыми, а во время переходного процесса возможно появление ложного сигнала противоположного значения, то такая ситуация называется статическим риском сбоя.
- Рассогласование во времени поступления сигналов на вход логических элементов приводит к появлению на выходе ложного сигнала

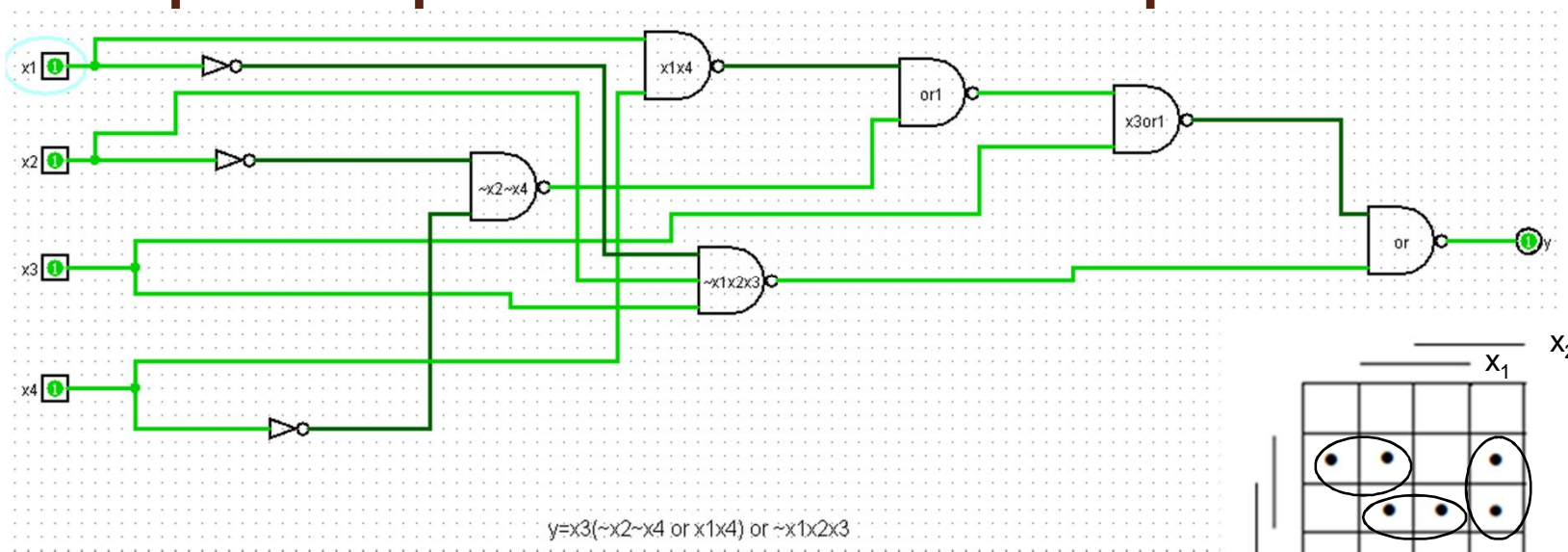
Статический риск сбоя на элементах «ИЛИ» и «И-НЕ»



Статический риск сбоя на элементах «И» и «ИЛИ-НЕ»



Пример статического риска

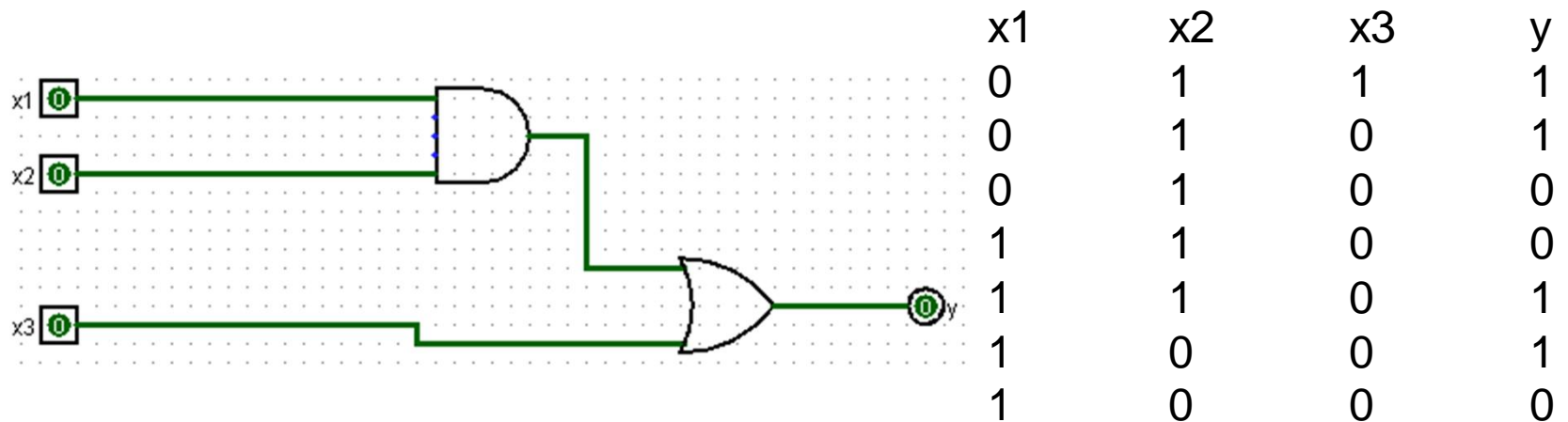


$$y = x3(\sim x2 \sim x4 \text{ or } x1x4) \text{ or } \sim x1x2x3$$

x1	x2	x3	x4	Y
0	0	0	0	0
0	0	0	0	0
1	0	0	0	0
1	1	0	0	0
1	1	1	0	0
1	1	1	1	0
1	1	1	1	1
0	1	1	1	1
1	1	1	1	1
1	1	1	1	0
1	1	1	1	1

Динамический риск

- Динамический риск сбоя возникает в тех случаях, когда состояние выхода по логике работы схемы должно измениться на противоположное, однако вместо однократного перехода с одного уровня на другой происходят многократные переходы (0-1-0-1 вместо 0-1; 1-0-1-0 вместо 1-0). Такие ситуации могут появиться в схемах, где один какой-либо сигнал проходит по трем и более путям и каждый путь имеет различные задержки распространения.

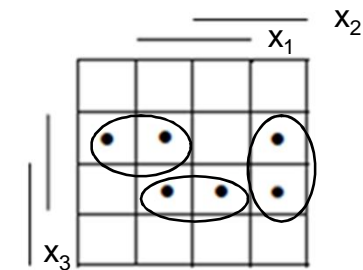


УСТРАНЕНИЕ РИСКОВ СБОЯ В КОМБИНАЦИОННЫХ СХЕМАХ

- Все методы, разработанные для устранения рисков сбоя в комбинационных схемах, можно объединить в три группы: структурные, функциональные и конструктивно-технологические.
- Структурные методы направлены на получение необходимых свойств реализации устройства при неизменном алгоритме его работы.
- Функциональные методы связаны с изменением алгоритма работы, в частности с изменением кодирования состояний входов.
- Конструктивно-технологические методы ориентированы на получение требуемых ограничений на уровне используемых математических моделей.
- Наиболее простыми для соответствующей математической модели являются структурные и функциональные методы, а наиболее сложными конструктивно-технологические, так как они часто связаны с разработкой принципиально новых видов производства интегральных цифровых схем.

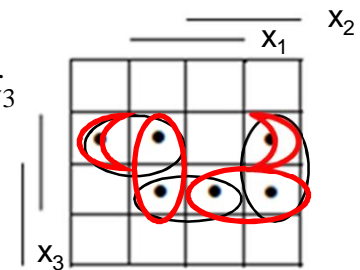
Структурные методы

- При соседней смене входных наборов в комбинационных схемах могут быть устранены статические риски сбоя. В общем случае одной из основных задач синтеза комбинационных схем, свободных от статических рисков сбоя и представленных в дизъюнктивных нормальных формах (ДНФ), будет отыскание таких минимальных покрытий единичных клеток в карте Карно импликантами (контурами на картах Карно), в которых любые соседние единичные клетки покрыты по меньшей мере одной импликантой (контуром).
- Аналогично для функции, представленной в конъюнктивной нормальной форме (КНФ), необходимо найти такое минимальное покрытие нулевых клеток карты Карно, в котором любые две соседние нулевые клетки покрыты по крайней мере одним контуром.



x_4

$$y = \overline{x_1}x_3\overline{x_4} \vee \overline{x_1}x_2x_3 \vee \overline{x_1}x_3x_4 \vee x_2x_3x_4 \vee \overline{x_1}x_2x_3$$



x_4

Структурные методы

- Иногда в схемы вводят задержки таким образом, чтобы гарантировать, что цепь не будет проходить через какой-либо промежуточный набор, требующий изменения значения функции. Однако это не устранил сбой при обратном переходе.
- Часто используют введение в схему максимальных инерционных задержек, еще не изменяющих алгоритм работы схемы. К сожалению, такой способ не позволяет изменять частоту работы схемы, если это необходимо.
- Часто рисков сбоя можно избежать, если использовать “ранний сигнал” для включения (выключения) элемента, установленного в цепь распространения “позднего сигнала”.

Конструктивно-технологические методы

- К конструктивно-технологическому методу можно отнести метод борьбы с влиянием входных гонок на уровне одного логического элемента, основанный исключительно на совершенствовании технологии изготовления логических элементов и их конструктивного исполнения, которые в совокупности должны обеспечить минимальные разбросы задержки распространения сигналов в элементе по логически одинаковым цепям.
- В частности, использование интегральной технологии производства ИС, позволяющей получать весьма малые относительные вариации различных параметров, дает возможность считать, что гонки по входу практически не влияют на устойчивость цифровых устройств, проектируемых на любой серии логических ИС.

Программные системы для моделирования ДУ

- ModelSim фирмы Model Technology Inc.,
- Active-HDL фирмы Aldec,
- ISIM фирмы Xilinx
- Electronic Workbench фирмы Interactive Image Technologies Ltd.
- LogiSim

Пакет моделирования LogiSim

- Logisim - это образовательный инструмент для разработки и моделирования цифровых логических схем. Благодаря простому интерфейсу панели инструментов и моделированию схем по ходу их проектирования, Logisim достаточно прост, чтобы облегчить изучение основных понятий, связанных с логическими схемами. При возможности постройки больших схем из меньших подсхем и рисования пучков проводов одним перетаскиванием мыши, Logisim может быть использован (и используется) для проектирования и моделирования целых процессоров в образовательных целях.
- Logisim используется студентами колледжей и университетов по всему миру во многих типах курсов, начиная от краткого курса по логике в обзорном изучении информатики в общеобразовательных учреждениях, кончая курсами по организации ЭВМ и полными курсами по архитектуре компьютеров.
- Logisim - программное обеспечение с открытым исходным кодом и работает под управлением Windows, Linux и Macintosh.

Пакет моделирования LogiSim

