

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА
СПОРТУ УКРАЇНИ**

**Національний технічний університет України
“Київський політехнічний інститут”**

КОМП’ЮТЕРНА СХЕМОТЕХНІКА

Методичні вказівки до виконання
лабораторних робіт по кредитному модулю
«КОМП’ЮТЕРНА СХЕМОТЕХНІКА»
для студентів напрямку 6.050102
«Комп’ютерна інженерія»

Рекомендовано вченою радою факультету інформатики та обчислювальної техніки НТУУ «КПІ»



Київ 2012

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА
СПОРТУ УКРАЇНИ**

**Національний технічний університет України
“Київський політехнічний інститут”**

КОМП’ЮТЕРНА СХЕМОТЕХНІКА

Методичні вказівки до виконання
лабораторних робіт по кредитному модулю
«КОМП’ЮТЕРНА СХЕМОТЕХНІКА»
для студентів напрямку 6.050102
«Комп’ютерна інженерія»

Затверджено
на засіданні кафедри обчислювальної техніки
ФІОТ НТУУ «КПІ»
Протокол № 10 від 11.04.12

Київ НТУУ «КПІ» 2012

УДК 681.3

ББК 0513-048р

К

Комп'ютерна схемотехніка: Методичні вказівки до виконання лабораторних робіт для студ. напрямку підготовки 6.050102 «Комп'ютерна інженерія» / О.М. Долголенко, В. І. Корнійчук, О.О.Кучмій -К.: НТУУ «КПІ», 2012. – 22 с.

*Гриф надано вченою радою ФІОТ
(протокол № 10 від 28 травня 2012 р.)*

Методичні вказівки вміщують завдання до виконання лабораторних робіт по кредитному модулю «Комп'ютерна схемотехніка». Наведені варіанти завдань. До кожної роботи надається необхідний теоретичний матеріал і перелік рекомендованої літератури. Призначені для студентів напряму підготовки 6.050102 «Комп'ютерна інженерія».

Навчальне електронне видання

Укладачі: *Долголенко Олександр Миколайович, к. т. н., с.н.с., ст. викл.
Корнійчук Віктор Іванович, к.т.н., доцент, доцент.
Кучмій Оксана Олександрівна, старший викладач.*

Відповідальний
редактор: *Луцький Г.М., д.т.н., професор, професор*

Рецензенти: *Симоненко В.П., д.т.н., професор, професор
Новацький А.О., к.т.н, доцент кафедри АУТС*

За редакцією авторів

ЗМІСТ

ВСТУП.....	4
1. МЕТОДИЧНІ ВКАЗІВКИ ЩО ДО ВИКОНАННЯ	5
ЛАБОРАТОРНИХ РОБІТ.....	5
1.1 Мета циклу лабораторних робіт.....	5
1.2 Зміст та оформлення лабораторних робіт	5
2. ЛАБОРАТОРНІ РОБОТИ.....	6
Лабораторна робота 1.	6
Лабораторна робота 2.	12
Лабораторна робота 3.	15
СПИСОК ЛІТЕРАТУРИ.....	19
СПИСОК ОСНОВНОЇ ЛІТЕРАТУРИ.....	19
СПИСОК ДОДАТКОВОЇ ЛІТЕРАТУРИ.....	19

ВСТУП

Дисципліна «Комп'ютерна схемотехніка» є нормативною дисципліною підготовки фахівців рівня бакалавр з напрямку 050102 «Комп'ютерна інженерія» і призначена для вивчення принципів побудови типових вузлів, блоків, пристроїв та машин; способів оцінки їх якості; методів їх проектування; структур комп'ютера та комп'ютерних систем. Дисципліна вивчається на третьому курсі, тому вважається, що студенти вже засвоїли курси „Прикладна теорія цифрових автоматів” та „Комп'ютерна електроніка” .

Цикл лабораторних робіт складається з семи робіт. Метою проведення циклу лабораторних робіт є придбання студентами практичних навиків проектування типових вузлів, блоків , пристроїв та обчислювачів на великих інтегральних схемах, що програмуються за потребами споживачів, та визначати їх характеристики.

Методичні вказівки для кожної роботи включають:

- теоретичний матеріал у вигляді прикладів її виконання;
- посилання на список рекомендованих джерел;
- варіанти завдань для виконання циклу лабораторних робіт.

1. МЕТОДИЧНІ ВКАЗІВКИ ЩО ДО ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ

1.1 Мета циклу лабораторних робіт

Метою проведення циклу лабораторних робіт є придбання студентами практичних навиків проектування типових вузлів, блоків, пристроїв та обчислювачів на великих інтегральних схемах, що програмуються за потребами споживачів, та визначати їх характеристики.

1.2 Зміст та оформлення лабораторних робіт

Протокол виконання кожної лабораторно роботи включає:

- титульний лист;
- завдання на лабораторну роботу;
- проектування заданого варіанту пристрою;
- програми моделювання розробленого пристрою на ЕОМ;
- висновки.

2. ЛАБОРАТОРНІ РОБОТИ

Лабораторна робота 1. Дослідження ICTR засобами моделювання на EOM.

Завдання до лабораторної роботи

На PLMT (рис.1.1) с параметром $N=(C_{10}+1)\bmod 6+4$ побудувати m – розрядний ICTR, що виконує мікрооперації (МО): W_R (запис), R (скидання в 0), M (зберігання), $+1, +2, +\dots +K$, де $m=\lceil \log_2(n \cdot M_R/8) \rceil$, $\lceil x \rceil$ – найближче до x більше ціле число, $n=8+8C_8$, $K=12-C_{11}$, $M_R=2^R$, $R=7+C_7$. Оцінити складність отриманої схеми та її швидкодію (PLMT вносить затримку 2нс, із них на PLM – 1 нс, на T-1 нс).

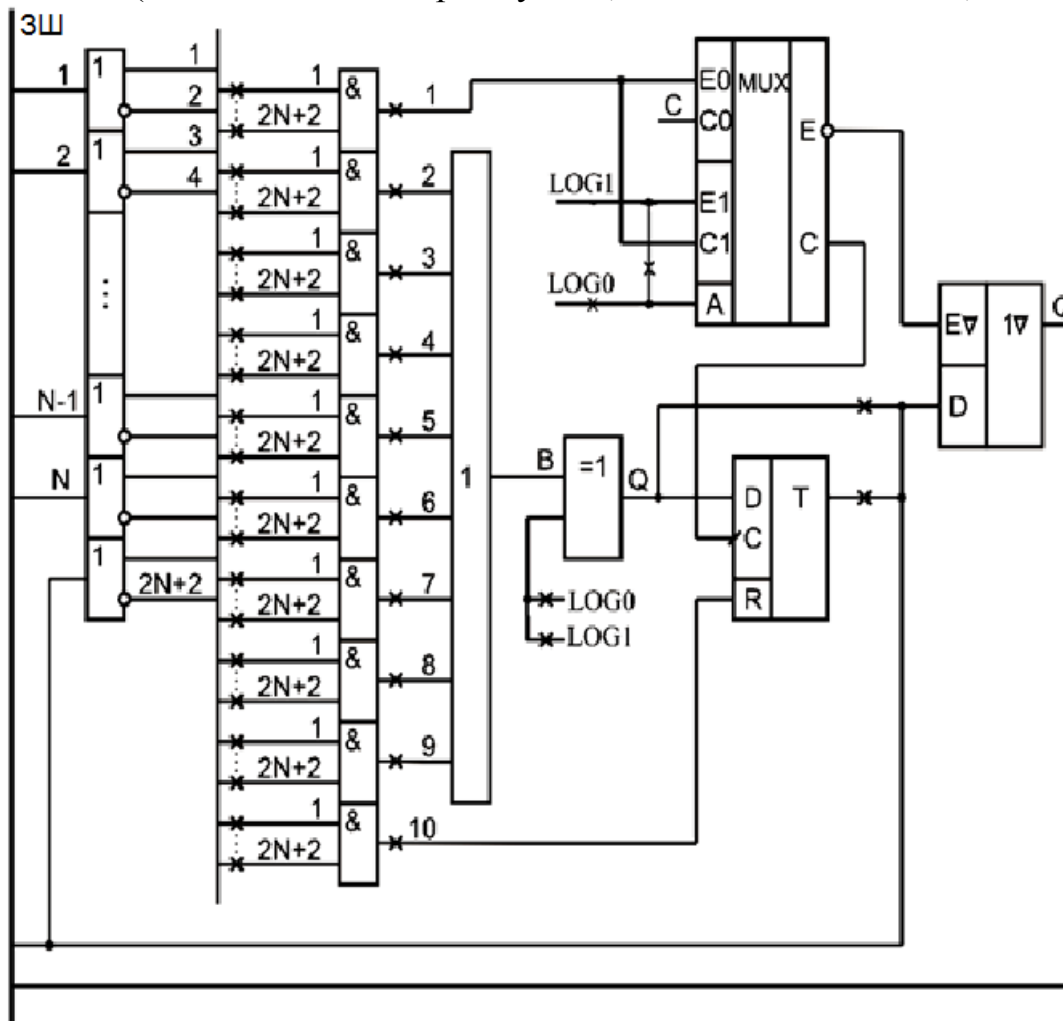


Рис. 1.1

Приклад виконання завдання

Проектування багатофункціонального лічильника (ICTR). На ПЛІС розглянемо випадок, коли $N=4$ (рис.1.1), кількість розрядів ICTR дорівнює 20 і ICTR повинен виконувати 7 мікрооперацій (МО), а саме: R - установка в 0, W_R - прийом коду $D, +i$ ($i=1,2,3,4$), M - режим зберігання.

Для завдання вказаних режимів код МО повинен містити не менше 3 біт. Приклад кодування МО представлений в табл.1.1, де $F_2F_1F_0$ - код МО. При кодуванні МО коди підібрані так, щоб при виконанні МО "i" код цієї МО співпадав з числом

і. В цьому випадку МО лічби доцільно здійснювати за допомогою SM (рис.1.2). Отже, завдання проектування ICTR зводиться до проектування на основі PLMT RG, SM і CTR.

Рис.1.2

Лічильники такого типу застосовують для формування адреси наступної команди в пристроях управління (CU) обчислювачах (CPU), що працюють з командами змінної довжини. Через це адреса наступної команди дорівнює адресі поточної команди, збільшеній на i , де i - число байт, яке займає поточна команда.

Таблиця 1.1

MO	F ₂ F ₁ F ₀	Q ^{t+1}	D _T	R
M	0 0 0	Q=S	S	0
+1	0 0 1	S	S	0
+2	0 1 0	S	S	0
+3	0 1 1	S	S	0
+4	1 0 0	S	S	0
R	1 0 1	0	X	1
WR	1 1 0	D	D	0
–	1 1 1	X	X	X

При $F_2F_1F_0=000$ реалізується режим зберігання, отже, стан RG не повинен змінюватися, тобто $Q^{t+1} = Q^t$. У режимах +1, +2, +3 і +4 стан RG збільшується на відповідну величину. Цей стан формуватиметься на виході S SM, отже, $Q^{t+1} = S$. Аналогічно, в режимах R $Q^{t+1} = 0$ та WR $Q^{t+1} = D$. Оскільки код $F_2F_1F_0=111$ не відповідає ні одній із операцій, то Q^{t+1} може бути довільним.

По отриманих таблицях функцій D_T і R складаємо діаграми Вейча (рис.1.3), з яких виходить :

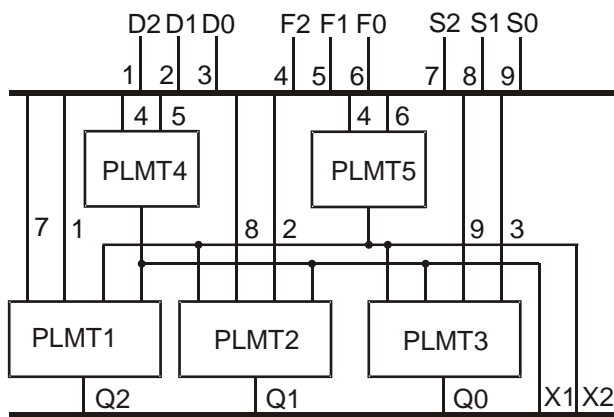


Рис. 1.5

Проектування SM. SM (рис.1.3) призначений для додавання до коду, що зберігається в ICTR, константи F. Виходячи з цього складаємо табл.1.2 відповідності до входніх Q і F і вихідніх S і q сигналів SM, де q_i - перенесення в i -й розряд SM. З табл.1.2 після мінімізації отримуємо:

$$\begin{aligned} S &= \overline{Q}Fq_i \vee Q\overline{F}q_i \vee QF\overline{q_i} \vee QFq_i \\ q_{i+1} &= QF \vee Qq_i \vee Fq_i \end{aligned} \quad (1.3)$$

де індекси 'i' в змінних S, Q и F умовно опущені.

Для реалізації SM по виразах (3) необхідно 2 PLMT на розряд (рис.1.7). Якщо ж врахувати, що $q_0 = 0$, то $q_1 = Q_0F_0$,

$$\begin{aligned} S1 &= \overline{Q_1}\overline{F_1}Q_0F_0 \vee Q_1\overline{F_1}(\overline{Q_0}F_0) \vee \overline{Q_1}F_1(\overline{Q_0}F_0) \vee Q_1F_1Q_0F_0 = \\ &= \overline{Q_1}\overline{F_1}Q_0F_0 \vee Q_1\overline{F_1}\overline{Q_0} \vee Q_1\overline{F_1}F_0 \vee \overline{Q_1}F_1\overline{Q_0} \vee \overline{Q_1}F_1F_0 \vee Q_1F_1Q_0F_0. \end{aligned}$$

З цього випливає, що функцію переносу q_i можна реалізувати на входній PLMT PLMT SM першого розряду. Схема SM представлена на рис.1.6

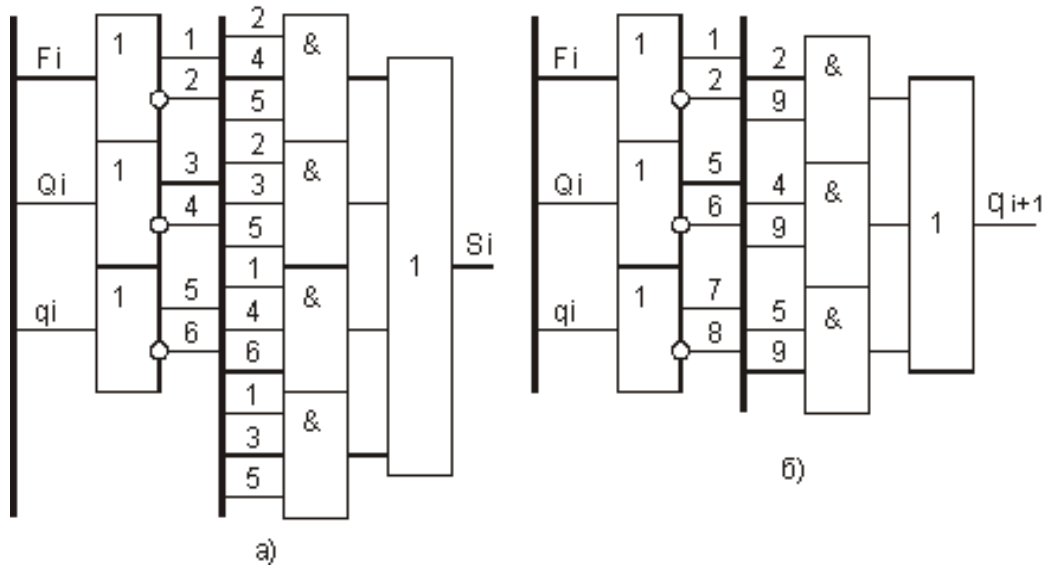


Рис.1.6

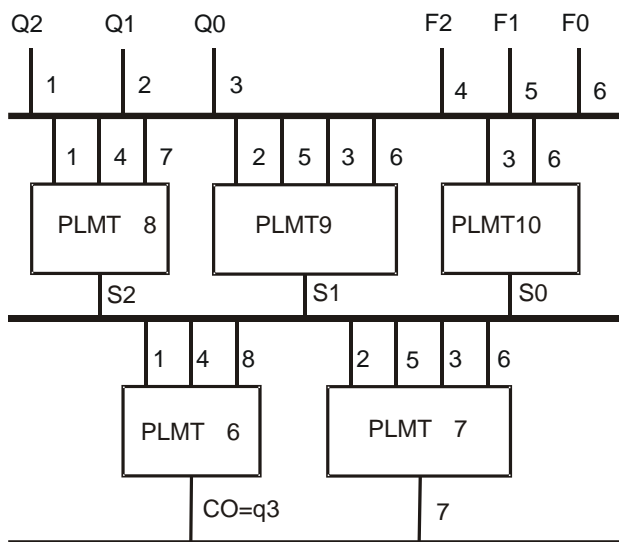


Рис.1.7

Проектування CTR. Представимо CTR як сукупність трьох вузлів: набору тригерів, ланцюгів перенесення і збудження тригерів. Ланцюги перенесення формують сигнали перенесення C_i ($i = 3, 1, 9$) в кожний розряд Q_i CTR (рис.1.3).

$$\left. \begin{array}{l} C_3 = C_R; \\ C_i = Q_{i-1}C_{i-1} \end{array} \right\} \quad (1.4)$$

Для реалізації цього перенесення на один розряд потрібна одна PLMT. Для проектування ланцюгів збудження тригерів складемо табл.1.3 перемикань i -го тригера. (довільні значення X функцій Q^{t+1} , R и D_T обумовлені трьома причинами: при $F_1F_2F_3=000$ $C_0=0$; при правильній роботі схеми рівності $F_1F_2F_3=111$ не виникає, оскільки ця комбінація змінних не використовується для кодування МО; при $R=1$ значення на вході D не впливає на роботу схеми).

Таблиця 1.3

режим	$F_2 F_1 F_0$	Q^{t+1}		$C_i=0$		$C_i=1$	
		$C_i=0$	$C_i=1$	D_T	R	D_T	R
NO	0 0 0	Q^t	X	Q^t	0	X	0
+1	0 0 1	Q^t	$\overline{Q^t}$	Q^t	0	$\overline{Q^t}$	0
+2	0 1 0	Q^t	$\overline{Q^t}$	Q^t	0	$\overline{Q^t}$	0
+3	0 1 1	Q^t	$\overline{Q^t}$	Q^t	0	$\overline{Q^t}$	0
+4	1 0 0	Q^t	$\overline{Q^t}$	Q^t	0	$\overline{Q^t}$	0
R	1 0 1	0	0	X	1	X	1
WR	1 1 0	D	X	D	0	D	0
-	1 1 1	X	X	X	X	X	X

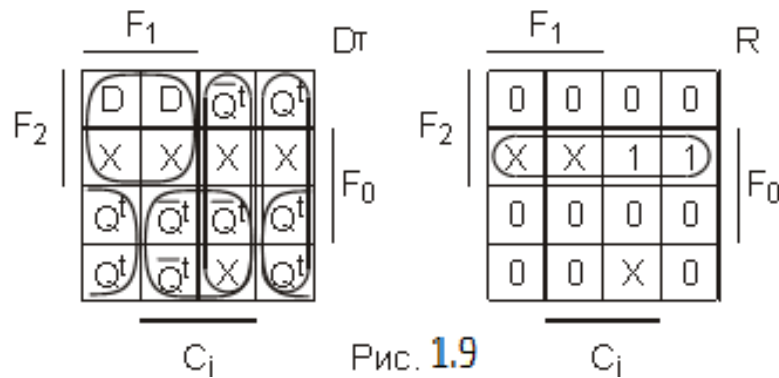


Рис. 1.9

По табл.1.3 складаємо діаграми Вейча (рис.1.9), з яких отримуємо

$$\left. \begin{aligned} D_T &= DF_2F_1 \vee \bar{Q}\bar{F}_1C_i \vee Q\bar{F}_1\bar{C}_i \vee QF_2\bar{C}_i \vee \bar{Q}\bar{F}_2C_i = \\ &= DX_1 \vee \bar{Q}C_i\bar{X}_1 \vee QC_i\bar{X}_1, \\ R &= F_2F_0 = X_2. \end{aligned} \right\}$$

Схема формує сигнали DT і R, і повна схема CTR, показані на рис.1.10 і 1.11. Складність схеми визначається кількістю використаних PLMT в RG, SM і CTR, а саме: 5+5+32=42 PLMT. При підрахунку швидкодії вважатимемо що усі зміни інформаційних сигналів, що управляють, відбуваються по наростанню синхросигналу С після перемикання тригерів, на яких вказана інформація повинна зберігатися в плинні усього наступного часу Т, де Т - період сигналу С. Аналіз швидкодії схеми полягає у визначенні мінімального періоду Т, необхідного для правильної роботи схеми. Таким чином, усі інформаційні сигнали, що управляють, поступають на ICTR із затримкою τ_T , де τ_T – час переключення тригера PLMT.

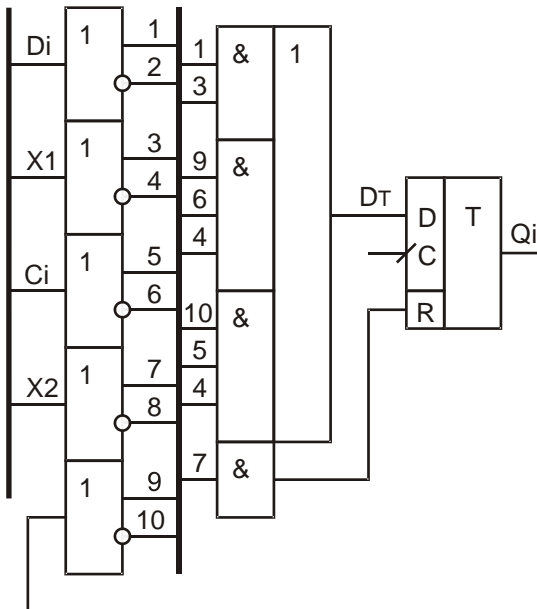


Рис.1.10

Далі формуються сигнали X1 і X2 на PLMT 4 і 5 за час τ_L , де τ_L – час перемикання PLM, і паралельно з ними формуються сума S_0 і q_1, q_2 і $q_3=C_0=C_3$. Отже, сигнал C_0 буде сформований за $\tau_T+3\tau_L$. Цей і-ий ($i=\overline{4,19}$) сигнал поступає на ланцюги перенесення CTR і формує сигнали перенесення C_i ($i=\overline{4,19}$), на що йде $16\tau_L$. Сигнал C_{19} поступає на останній розряд CTR, реалізований на PLMT 11. Після проходження вхідної логіки PLMT 11 можна здійснювати подачу наростання сигналу С. Відповідно, період $T=\tau_T+3\tau_L+16\tau_L+\tau_L=\tau_T+20\tau_L$. При $\tau_T=\tau_L=1$, $T=21$ нс.

Лабораторна робота 2. Дослідження LSM засобами моделювання на EOM.

Завдання до лабораторної роботи.

На PLMT с параметром $N=(C_{10}+2)\bmod 6+4$ $n=8+8C_8$ -розрядний LSM з частково-груповим перенесенням і заданим набором з $K= C_{11}+5$ операцій: $P+Q, P-Q, PQ, P\bar{Q} \vee \bar{P}Q, O_j$ ($j=5,6,\dots,K$), де O_j вибрати з табл.2.1, перетворивши номери j операцій в їх номери i в табл.2.1 по правилу $i=(j+C_9)\bmod 15$. LSM повинен містити вузли, що формують ознаки RZ (нульовий результат), SI (знак операції), CO (перенесення із старшого розряду). Приклад визначення набору операцій LSM при $C_{11}=8, C_9=7$. В цьому випадку $K=8+5=13$, а операціями з 5 по 13 відповідають в табл.2.1 операціям з номерами $(5+7)\bmod 15=12$; $(6+7)\bmod 15=13$; $(7+7)\bmod 15=14$; $(8+7)\bmod 15=0$; $(9+7)\bmod 15=1$ і т.д. до 5. Відповідно, LSM повинен реалізувати операції

$P+Q, P-Q, PQ, P\bar{Q} \vee \bar{P}Q, \bar{P}\bar{Q}, \bar{P}V\bar{Q}, P, 0, P \vee Q, P\bar{Q}, P-1, \bar{P} \vee Q, 2P$ Таблиця 2.2

Визначити складність і швидкодію отриманої схеми.

Таблиця 2.1

i	O_i
0	0
1	$P \vee Q$
2	$P\bar{Q}$
3	$P-1$
4	$\bar{P} \vee Q$
5	$2P$
6	\bar{P}
7	$PQ \vee \bar{P}\bar{Q}$
8	1
9	$P \vee \bar{Q}$
10	$\bar{P}Q$
11	$P+1$
12	$\bar{P}\bar{Q}$
13	$\bar{P} \vee \bar{Q}$
14	P

F_0F_1	$F_2=0$	$F_2=1$
	$D_i - C_i$	D_i
00	1	x
01	x	$P_i Q_i$
10	$P_i - Q_i$	x
11	$P_i + Q_i$	$P_i \bar{Q}_i \vee \bar{P}_i Q_i$

Таблиця 2.3

F_0F_1	$F_2=0$		$F_2=1$	
	X_i	Y_i	X_i	Y_i
00	P_i	\bar{P}_i	P_i	x
01	P_i	x	P_i	$P_i \bar{Q}_i$
10	P_i	\bar{Q}_i	P_i	x
11	P_i	Q_i	P_i	Q_i

Приклад виконання завдання

Сучасні CPU мають великий набір команд для виконання арифметичних (додавання, віднімання та ін.) і логічних (І, АБО та ін.) операцій. Для виконання операцій додавання і віднімання ці команди використовують суматор (SM), а логічні операції виконуються на спеціальних LN, які в сукупності з SM утворюють багатофункціональний SM (LSM). При проектуванні таких LSM є природним їх спрощення за рахунок якнайповнішого викорис-

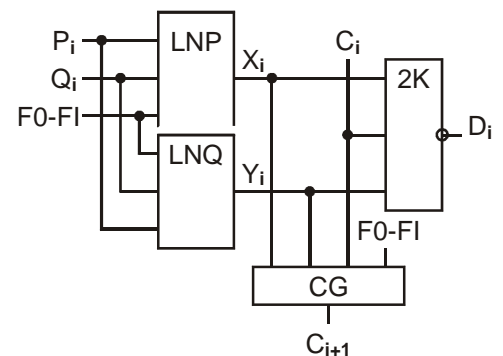


Рис. 2.1

тання SM для виконання логічних операцій. З цією метою і -й розряд LSM можна представити як сукупність чотирьох блоків (рис.2.1) : ЛЕ 2К-НЕ (суматор по модулю 2) на три входи, блок CG генерації перенесення в старший розряд і двох LN (LNP і LNQ), необхідних для формування операндів порозрядних логічних операцій. Управляють LSM кодом $F_0 - F_i$, який задає тип виконуваної операції.

Складність LSM визначають набір виконуваних операцій і тип ЛЕ, використовуваних для побудови LSM. Нехай для визначеності LSM повинен виконувати арифметичні операції (АТ) складання і віднімання і функціонально повний набір порозрядних логічних операцій (ЛО) модульної алгебри (константа 1, функції I і 2К- НЕ), а для побудови LSM використані PLM 4(1 з 8 ЛЕ I).

Для управління таким LSM потрібний трьохрозрядний код (F_0, F_1, F_2). Проектування LSM складається з ряду етапів, кожен з яких може впливати на складність LSM. На першому етапі необхідно скласти табл.2.1 кодувань операцій.

Оскільки наборів (F_0, F_1, F_2) вісім, а операцій 5, то на трьох наборах (001, 010 і 101) операції не визначені. Ці набори в табл.2.2 відмічені знаком х. Із табл.2.2 виходить, що F_2 задає тип виконуваної операції: при $F_2=0$ – АО (перенесення не блокується), при $F_2=1$ – ЛО (перенесення блокується). Таке призначення F_2 дозволяє блокувати CG тільки одним сигналом (F_2), що позитивно впливає на складність LSM оскільки усувається залежність C_{i+1} від F_0 і F_1 . В цьому випадку

$$C_{i+1} = x_i y_i \bar{F}_2 \vee x_i \bar{C}_i \bar{F}_2 \vee y_i C_i \bar{F}_2.$$

Звідси витікає, що CG реалізується на одній PLM. Одна PLM потрібна і для побудови ЛЕ 2К-НЕ:

$$D_i = x_i y_i \bar{C}_i \vee x_i \bar{y}_i C_i \vee \bar{x}_i y_i C_i \vee x_i y_i C_i.$$

Якби вдалося видалити з LSM блок LNP, а блок LNQ реалізувати на одній PLM, то складність LSM була б мінімальною і рівною три PLM на один розряд. Спробуємо це здійснити. Для цього вважатимемо, що блок LNP при будь-якій операції передає на ЛЕ 2К-НЕ цифру P_i . В цьому випадку на вході і виході LNP_i завжди буде одна і та ж цифра P_i , і, отже, необхідність у блоці LNP відпадає. Для визначення функції Y_i , що реалізовується блоком LNQ, складемо табл.2.3 значень Y_i при $X_i=P_i$. Для заповнення табл.2.3 необхідно розв'язати 8 незалежних рівнянь для кожного з восьми наборів сигналів, що управляють F_0, F_1 і F_2 . На наборі 000 $P_i \oplus Y_i = 1$. Оскільки $P_i \oplus \bar{P}_i = 1$, то $Y_i = \bar{P}_i$.

Для набору 011 маємо $P_i \oplus Y_i = P_i Q_i$. Додавши до лівої та правої частин рівняння P_i , отримаємо $P_i \oplus Y_i \oplus P_i = P_i Q_i \oplus P_i$ або, оскільки $P_i \oplus P_i = 0$, то $Y_i = P_i (Q_i \oplus 1) = P_i \bar{Q}_i$.

На наборах 001, 010 і 101 Y_i може набувати довільного значення, що в табл.2.3 відображено знаком х.

При коді 100 виконується операція віднімання шляхом додавання прямого коду P_i і зворотного коду Q_i з урахуванням перенесення в молодший розряд. Наприклад, прямий код 9=1001, прямий код 6=0101, то

$$\begin{array}{rcl} & 1001 & \text{прямий код 9} \\ + & 1010 & \text{зворотний код 6} \\ + & 1 & = C_i, \text{ перенесення в молодший розряд.} \end{array}$$

Отримуємо $C_0=1$ 0011. Результат 0011=3.

Лабораторна робота 3. Дослідження RAM засобами моделювання на ЕОМ .

Завдання до лабораторної роботи

На PLMT (рис.1.1) с параметром $N=(C_{10}+6)\bmod 6+4$, де $M_R=2^R$, $R=7+C_7$, розробити RAM місткістю $M=2^{7+2^5} * C_{10}$ слів з розрядністю $n=8+8C_8$ біт з $K_R=1+C_3$ шинами, а саме: $(AD<\triangleright)$, $(A,D<\triangleright)$, (A,D,Q) .

Визначити складність і швидкодію отриманої схеми.

Приклад виконання завдання

Приклад проектування RAM місткістю $8K \times 8$ з трьома шинами (A, D, Q) на PLMT (рис.1.1) з параметром $N=10$. Таке RAM (рис.3.1) містить $8K \times 8$ (від 0.0 до 7.8191) тригерів з схемами I і два DC на $8K$ виходів, підключених до ABW0, - ABW8191 ABR0 - ABR8191. Реалізація такого RAM на PLMT залежить від того, в якому режимі працюватиме PLMT: з керуванням C (рис.3.2) або ∇ (рис.3.3). Вказані режими задаються налаштуванням MUX PLMT (рис.1.1).

У режимі з керуванням C синхросигнал C формується ЛЕ I PLM. Цей ЛЕ можна використати для реалізації функцій DC на 13 входів. Ця кількість входів визначається місткістю RAM (для нумерації $8K$ слів потрібно 13 біт). Оскільки PLMT по умові завдання має тільки 10 входів, то повністю реалізувати функції DC на 13 входів неможливо. Це завдання можна вирішити показаним на рис.3.4 способом.

RAM $8K \times 8$ містить п'ять DC на 1, 2, 3, 3 і 3 входів, $8K \times 8 = 64K$ запам'ятовуючих PLMT, з номерами 0.0-7.8191 і набору PLMT, що працюють в режимі PLM (без тригера) з керуванням ∇ , що служать для об'єднання однойменних виходів PLMT у бітові шини читання Q_0 , - Q_7 (на рис.3.4 показані тільки PLM, що формують шину Q_0). Режим запису синхронізований сигналом WR. Це необхідно для того, щоб здійснити запис даних в RAM у момент часу, коли усі перехідні процеси завершилися і на шині D_0 - D_7 встановилися достовірні дані. Адреса чарунки, в яку буде здійснюватися запис, визначається сигналами на A_0 - A_5 (поступають на вхід &C усіх запам'ятовуючих PLMT) і сигналами з виходів DC 1, 2; DC 15-22 і DC 23-30 (поступають на вхід PLMT за принципом «кожен з кожним»: вихід 1, вихід 15, вихід 23; вихід 1, вихід 15, вихід 24; .; вихід 2, вихід 22, вихід 30).

Внаслідок цього, на виході ЛЕ &3 формуватиметься добуток сигналів

$$\text{або } C = W \bigwedge_{i=0}^{12} A_i^{a_i}, \text{ де } A^a = \begin{cases} \bar{A} & \text{при } a = 0 \\ A & \text{при } a = 1 \end{cases}, a_i - \text{константи, котрі в сукупності задають адресу чарунки } A = (a_{12}, a_{11}, \dots, a_0).$$

$$A_5^{a_5} A_4^{a_4} A_3^{a_3} A_2^{a_2} A_1^{a_1} A_0^{a_0} \text{ з шини } A_0 - A_5,$$

$$A_6^{a_6} W_R \text{ з виходу } DC1,2,$$

$$A_9^{a_9} A_8^{a_8} A_7^{a_7} \text{ з виходу } DC15 - 22,$$

$$A_{12}^{a_{12}} A_{11}^{a_{11}} A_{10}^{a_{10}} \text{ з виходу } DC23 - 30.$$

Наприклад, якщо адреса чарунки $2096=0100000110000$, то це значить, що на входи &C підключені: прямі розряди адреси A_5 і A_4 та інверсні розряди A_3-A_0 ; перший вихід DC1,2, на котрому формується сигнал $\bar{A}_6 W_R$; 15 вихід DC 15-22, на котрому формується сигнал $\bar{A}_9 \bar{A}_8 \bar{A}_7$, і 25 вихід DC 23-30, на котрому формується сигнал $\bar{A}_{12} \bar{A}_{11} \bar{A}_{10}$. Тому, при $A_{12}-A_0=2096$ на виходах ЛЕ &C 2096 чарунки буде сигнал $C=W_R$, котрий і здійснить запис коду D_0-D_7 по входах PLM і D в запам'ятовуючі PLMT RAM.

Читання слів з RAM - асинхронне: стан виходів $Q_0 - Q_7$ вибраною за адресою $A_{12}-A_0$ чарунки відповідатиме коду, що зберігається в запам'ятовуючих PLMT вибраної чарунки. Здійснює таку вибірку набір PLMT, що працюють в режимі PLM з керованим ∇ . У одному розряді, наприклад Q_0 (рис.2.4), таких PLM буде $8K/4=2K$ штук. Чотири виходи запам'ятовуючих PLMT, мультиплексуються адресою $A_1 A_0$, а інші біти адреси керують через DC 3-6, DC 7-14, DC 15-22 та DC 23-30 третім станом PLM. В наслідок цього, на виходах PLM ∇ з адресою Q буде формуватися сигнал $Q_0 = (\bigvee_{a=0}^3 Q_{0,(a_1 a_0)} A_1^{a_1} A_0^{a_0}) \& \bigwedge_{i=2}^{12} A_i^{a_i}$. Наприклад, 11 при $A_{12}-$

$A_0=2096=0100000110000$ на входи ЛЕ1 ∇ PLM ∇ надійде сигнал з виходів запам'ятовуючих PLMT з адресами, у котрих $A_1=A_0=0$, а дозвіл по ∇ буде тільки у PLM ∇ з адресою 0100000110000 . Тому на вихід Q_0 поступить сигнал з тригера PLMT з адресою 2096. Виходи всіх $2K$ однойменних PLM ∇ під'єднуються до шини Q_0 . RAM (рис.3.4) вміщує: $8 \times 8K/4=16K=16384$ PLMT, що використовуються для читання; $8 \times 8K=64K=65536$ PLMT, що використовуються в накопичувачі; $3 \times 8+4+2=30$ PLMT, що використовуються в DC. В сумі це складатиме 81950 PLMT.

У режимі з керованим ∇ (рис.3.3) синхросигнал C діє на тригери усіх PLMT (рис.3.5) незалежно від того, чи йде в ці тригери запис даних чи ні. Внаслідок цього, невибрані тригери в режимі запису або усі тригери при $W_R=0$ встановляться в нуль. Для запобігання цьому функції D_T збудження тригерів повинні мати вигляд

$$D_T = D A_{12}^{a_{12}} \cdot \dots \cdot A_0^{a_0} W_R V Q((A_{12}^{a_{12}} \cdot \dots \cdot A_0^{a_0}) W_R),$$

де D - біт, що підлягає запису в тригер, Q - стан тригера.

Приведені вирази необхідно так перетворити, щоб його можна було реалізувати на PLMT з 8-ма схемами І (рис.1.1), тобто представити у вигляді диз'юнкції 8-и добутоків. Це можна зробити так:

$$D_T = D(A_{12}^{a_{12}} A_{11}^{a_{11}})(A_{10}^{a_{10}} A_9^{a_9}) \dots (A_4^{a_4} A_3^{a_3}) A_2^{a_2} A_1^{a_1} A_0^{a_0} W_R \vee Q(\overline{A_{12}^{a_{12}} A_{11}^{a_{11}}}) \vee \dots \vee \\ \vee Q(\overline{A_4^{a_4} A_3^{a_3}}) \vee Q(\overline{A_2^{a_2} A_1^{a_1} A_0^{a_0}}) \vee \overline{Q W_R},$$

що потребує використання шести DC (рис.3.5).

Виходи ЛЕ &E ∇ PLMT використані для вибору чарунки при читанні. Для цього на входи ЛЕ &E ∇ підключені відповідні виходи DC, а саме: для вибору чарунки з номером 0 на вказані входи підключають вихід «0» для усіх DC (виходи 1, 9, 13, 17, 21 і 25). Для вибору чарунки з номером, наприклад, 573, цей номер переводять в двійкову систему числення і розбивають його на групи по 2, 2, 2, 2, 2 і 3 розряди: $573=00\ 01\ 00\ 01\ 11\ 111$. Цифри у відповідних групах вказують на номери виходів DC, які потрібно підключити до виходів &E ∇ чарунки №573 (висновки 0,

1, 0, 1, 3, 7). Виходи однойменних розрядів (0.0 - 0.81911) усіх чарунок підключені до відповідної розрядної шини читання (Q0, ..., Q7). Таке з'єднання допустиме, оскільки PLMT працюють в режимах ∇ .

Запис слів в RAM відбувається через PLM. Для цього на вхось PLM подають синхросигнал запису WR і підключають виходи DC описаним вище способом. Складність RAM на PLMT з керуванням ∇ дорівнює $28+8K*8=65364$ PLMT, що на 20% простіше, ніж попередня схема.

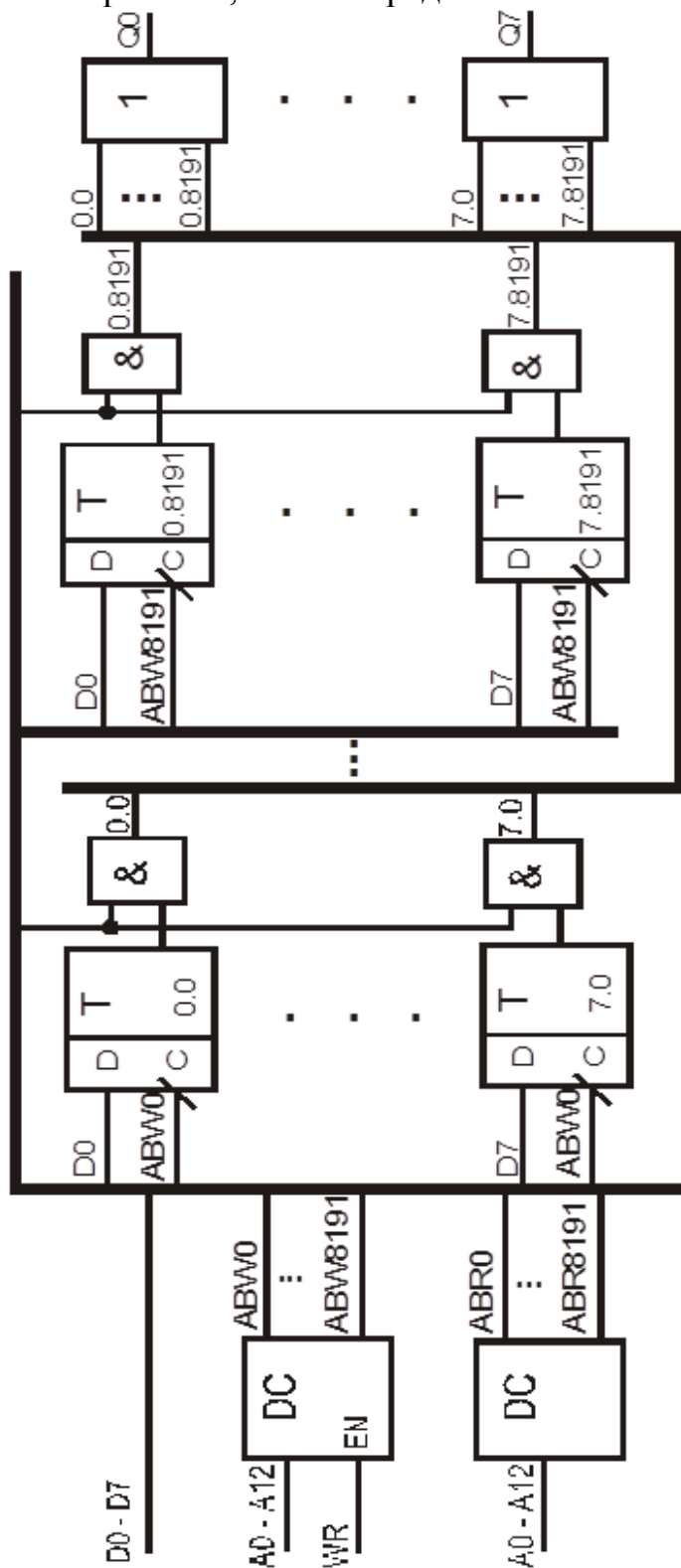


Рис. 3.1

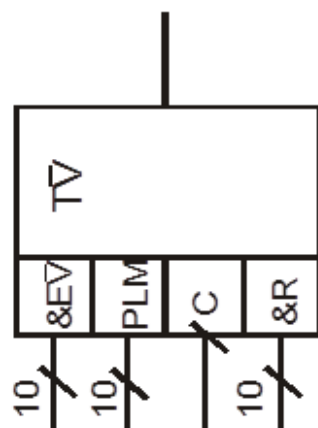


Рис. 3.2

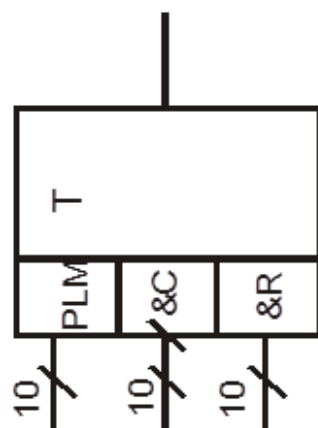


Рис. 3.3

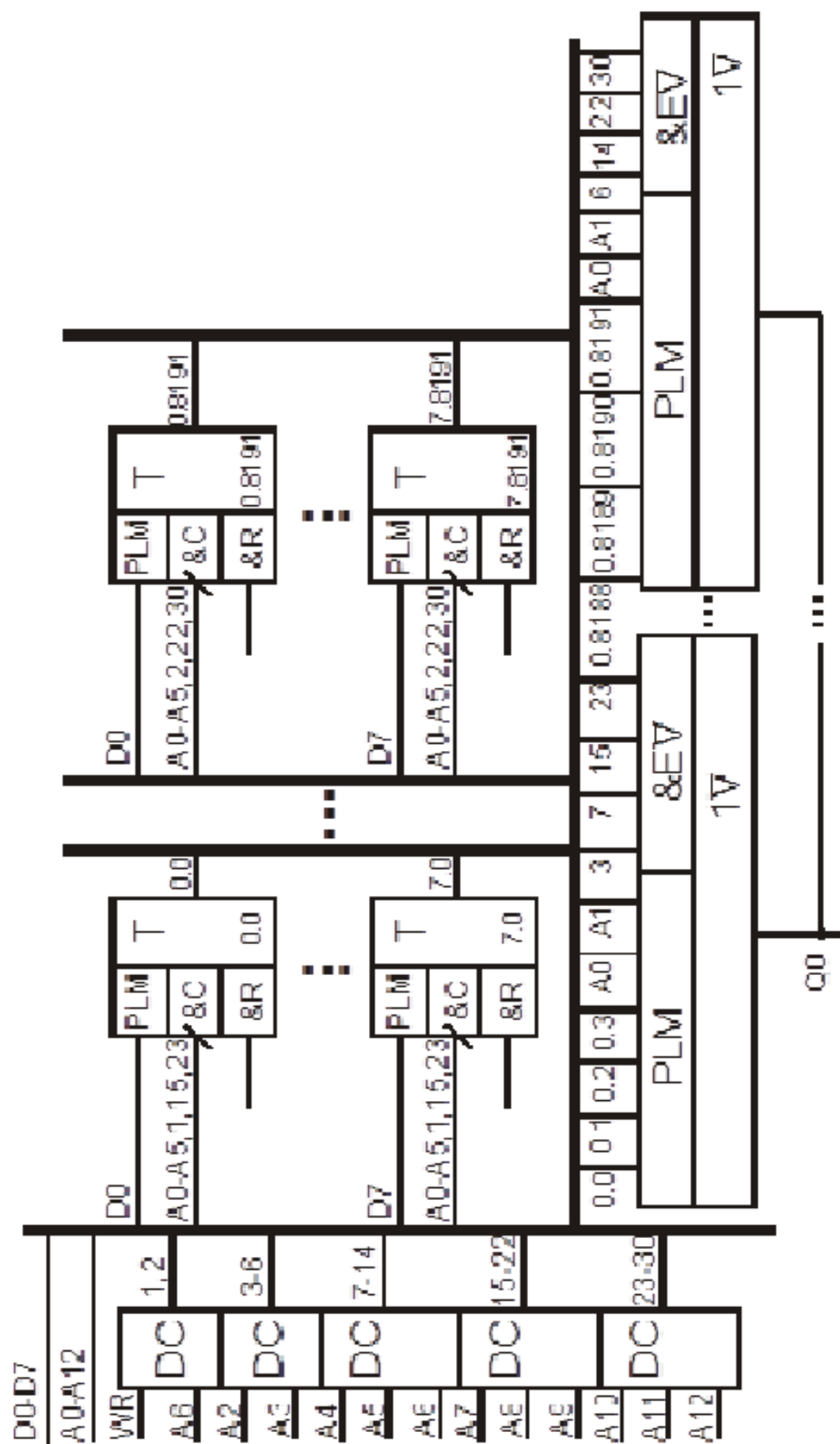


Рис. 3.4

СПИСОК ЛІТЕРАТУРИ

СПИСОК ОСНОВНОЇ ЛІТЕРАТУРИ

1. Процюк Р. О., та інш. Комп'ютерна схемотехніка.- К.: Корнейчук, 2006.- 468 с
2. Шкурко А.И., Процюк Р.О., Корнейчук В.И. Компьютерная схемотехника в примерах и задачах.- К.: Корнейчук, 2003.- 144 с.
3. Корнейчук В.И., Юрченко О.А., Пацюра И.В. Логические схемы цифровых устройств.- К.: СВІТ, 1996.- 94 с.
4. Корнейчук В.И. и др. Интегральные схемы оперативной памяти.- К.: ВИ-ПОЛ, 1995.- 72 с.
5. Самофалов К.Г. и др. Цифровые ЭВМ: Теория и проектирование - 3-е изд.- К.: Вища школа, 1989. - 424 с.
6. Корнійчук В.І., Тарасенко В.П. Основи комп'ютерної арифметики.- К.: "Корнійчук", 2007.- 176 с.

СПИСОК ДОДАТКОВОЇ ЛІТЕРАТУРИ

1. Андрэ Ф. Микроконтроллеры семейства SX фирмы Scenix/ Пер. с англ.- М.: Додэка-XXI, 2002.- 272 с.
2. Антонов А.П. Язык описания цифровых устройств AlteraHDL. Практический курс.- М.: ИП РадиоСофт, 2001.- 224 с..
3. Бибило П.Н. Синтез логических схем с использованием языка VHDL.- М.: Солон, 2002.- 384 с.
4. Бродин В.Б., Калинин А.В. Системы на микроконтроллерах и БИС программируемой логики.- М.: Эком, 2002.- 400 с.
5. Вл. Стешенко. EDA. Практика автоматизированного проектирования радиоэлектронных устройств.- М.: Нолидж, 2002.- 768 с.
6. Грушвицкий Р.И. и др. Проектирование систем на микросхемах программируемой логики.- СПб.: БХВ, 2002.- 608 с.
7. Густав Олссон, Джангуидо Пиани. Цифровые системы автоматизации и управления.- СПб.: Невский диалект, 2001.- 557 с.
8. Евсеев Г.А. Реанимация, проверка, наладка персонального компьютера.- М.: ДЕСС, 2001.- 288 с.
9. Кнышев Д.А., Кузелин М.О. Плис фирмы "Xilinx": описание структуры основных семейств.- М.: ДОДЭКА-XXI, 2001.- 240 с.
10. Комолов Д.А. и др. Системы автоматизированного проектирования фирмы Altera MAX+plus II и Quartus II. Краткое описание и самоучитель.- М.: РадиоСофт, 2002.- 352 с.
11. Кучумов А.И. Электроника и схемотехника: Учебное пособие.- М.: Гелиос АРВ, 2002.- 304 с.

12. Ленк Д. 500 практических схем на популярных ИС: Пер. с англ.- М.: ДМК, 2001.- 448 с.
13. Мельников А.В., Рябцев В.Г. Контроль модулей памяти компьютеров.- К.: "Корнійчук", 2001.- 172 с.
14. Микропроцессорные системы: Уч. пос. для вузов/ Е.К. Александров и др.- СПб.: Политехника, 2002.- 935 с.
15. Микросхемы ТТЛ. Том 1 = TTL Taschenbuh. Teil 1: Пер. с нем.- М.: ДМК, 2001.- 384 с. (Справочник)
16. Микросхемы ТТЛ. Том 2 = TTL Taschenbuh. Teil 2: Пер. с нем.- М.: ДМК, 2001.- 544 с. (Справочник)
17. Мюллер С, Зекер К. Модернизация и ремонт ПК, .: Пер. с англ.- М.: Вильямс, 2011.- 992 с.
18. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги: Справочник. В 12 т.- М.: РадиоСофт, 2001.
19. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования.- М.: Мир, 2001.- 379 с.
20. Платонов Ю.М. Диагностика, ремонт и профилактика персональных компьютеров.- М.: Горячая линия-Телеком, 2002.- 312 с.
21. Предко М. Справочник по PIC-микроконтроллерам: Пер. с англ.- М.: ДМК, 2002.- 512 с.
22. Пухальский Г.И. Проектирование микропроцессорных систем: Учебное пособие для вузов.- СПб.: Политехника, 2001.- 544 с.
23. Сайков Б.П. Сбои компьютера: диагностика, профилактика, лечение.- М.: ЛБЗ, 2002.- 320 с.
24. Соловьев В.В. Проектирование цифровых систем на основе ПЛИС.- М.: Горячая линия-Телеком, 2001.- 636 с.
25. Соломенчук В.. Аппаратные средства персональных компьютеров.- СПб.: БХВ, 2003.- 512 с.
26. Солонина А.И. и др. Алгоритмы и процессоры цифровой обработки сигналов.- СПб.: БХВ, 2001.- 464 с.
27. Солонина А.И. и др. Цифровые процессоры обработки сигналов фирмы Motorola.- СПб.: БХВ, 2000.- 512 с.
28. Старостин О. Зарубежные микропроцессоры и их аналоги. Справочник-каталог. В 10 т..- М.: ИП РадиоСофт, 2001.
29. Степаненко И.П. Основы микроэлектроники: Уч. пос. для вузов.- 2-е изд., перераб. и доп.- М.: ЛБЗ, 2001.- 488 с.
30. Стешенко В.Б. ПЛИС фирмы "Altera": элементная база, система проектирования и языки описания аппаратуры.- М.: Додэка-XXI, 2002.- 576 с.
31. Стешенко В.Б. ПЛИС фирмы Altera: проектирование устройств обработки сигналов.- М.: ДОДЭКА, 2000.- 128 с.
32. Тавернье К. PIC-микроконтроллеры. Практика применения: Пер. с франц.- М.: ДМК, 2002.- 272 с.
33. Тавернье К. Схемы синтезаторов речи: Пер. с франц.- М.: ДМК, 2001.- 176 с. (В помощь радиолюбителю)
34. Угрюмов Е. Цифровая схемотехника.- СПб.: БХВ, 2000.- 528 с.

35. Фромберг Э.М. Конструкции на элементах цифровой техники.- М.: Горячая линия-Телеком, 2002.- 364 с.
36. Частиков А.П. Архитекторы компьютерного мира.- СПб.: БХВ, 2002.- 384 с.
37. Шелестов И.П. Радиолюбителям: полезные схемы.- М.: Солон, 2002.- 240 с.
38. Шрайбер Г. 400 новых радиоэлектронных схем: Пер. с фр.- М.: ДМК, 2001.- 368 с.
39. Яценков В.С. Микроконтроллеры MicroСНІР. Практическое руководство.- М.: Горячая линия-Телеком, 2002.- 296 с