

БИЛЕТ 12

1. Униполярные транзисторы. Общие сведения и принцип работы.

ЭФФЕКТ ПОЛЯ

Эффектом поля называется изменение концентрации носителей заряда при поверхностном слое полупроводника при воздействии магнитного поля.

Сущность эффекта

Система «металл-диэлектрик-проводник» при подаче напряжения образуют конденсатор у которого одна из обкладок будет полупроводником. На этой обкладке будет наводиться заряд такой же как и на металлической обкладке, однако он будет сосредоточен не на поверхности, а будет распространяться в глубь диэлектрика. Поле в диэлектрике – постоянно, а в полупроводнике – не спостоянно, из за того что заряд спадает с поверхности в глубь проводника.

В дырочном полупроводнике заряд обеспечен дырками которые притянуты к поверхности, а электронном полупроводнике – ионным донором от которого ушли электроны. В первом случае происходит обогащение полупроводника, а во втором – обеднение.

Поле в полупроводнике распределяется между диэлектриками и полупроводником. Оно возрастает при уменьшении ширины диэлектрика и может произойти пробой диэлектрика.

ПОЛЕВЫЕ ТРАНЗИСТОРЫ

Полевой транзистор — полупроводниковый прибор, усилительные свойства которого обусловлены потоком основных носителей, протекающим через проводящий канал, и управляемым электрическим полем.

Основным способом движения носителей заряда, образующих ток полевого транзистора, является их дрейф в электрическом поле. Проводящий слой, в котором создается рабочий ток полевого транзистора, называют каналом. Полевой транзистор — полупроводниковый усилительный прибор которым управляет напряжение (электрическое поле, отсюда и название — полевой).

Металлический электрод, создающий эффект поля, называют затвором (З), два других электрода — истоком (И) и стоком (С). Различают три схемы включения полевого транзистора: с общим истоком (ОИ), с общим затвором (ОЗ) и общим стоком (ОС). Наибольшее распространение на практике нашла схема с ОИ.

Полевые транзисторы делятся на:

- Транзисторы с управляющим р-п переходом
- Транзисторы с изолированным затвором (МДП-транзисторы)
- МДП-транзисторы с индуцированным каналом
- МДП-транзисторы со встроенным каналом

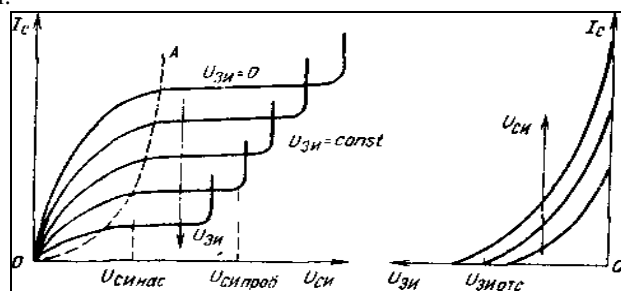
Принцип работы полевого транзистора.

В полевом транзисторе с объемным каналом площадь поперечного сечения канала меняется за счет изменения площади обедненного слоя обратного включенного р-п-перехода. На р-п-переход (затвор) —исток подается обратное напряжение $U_{зи}$. При его уменьшении глубина d обедненного

слоя (заштрихованная область на рис) возрастает, а токопроводящее сечение канала сужается. При этом увеличивается сопротивление канала, а следовательно, снижается выходной ток I_c транзистора. Поскольку напряжение $U_{зи}$ прикладывается к р-п-переходу в обратном направлении, ток I_3 ничтожно мал и практически не зависит от управляющего напряжения.

Для полевых транзисторов входная характеристика (зависимость I_3 от $U_{зи}$ при фиксированном значении $U_{си}$) не имеет практического применения и при расчетах используют только передаточные и выходные ВАХ. На рис. приведены выходные и передаточные характеристики полевого транзистора с управляющим р-п-переходом для

схемы включения с ОИ. Эти характеристики имеют нелинейный характер, а, следовательно, полевой транзистор является управляемым нелинейным элементом цепи.



При заданном напряжении $U_{зи}$ и постепенном увеличении напряжения от тока, зависимость тока стока имеет сначала крутой подъем, а потом пологий и почти горизонтальный участок. Это связано с перекрытием канала $U_{стока}$ за счет напряжения $U_{сз}$.

Пологий участок выходных характеристик называют областью насыщения. Математическое описание этого участка:

$$I_c = I_{c_{нас}} \left(1 - \frac{U_{зи}}{U_{зи \text{ отсечки}}}\right)^2$$

Наклон выходной характеристики в области насыщения задается остаточным сопротивлением стока или его остаточной выходной проводимостью с общим истоком. Для расчетов схем часто используются значения крутизны в области насыщения, которые определяются по формуле:

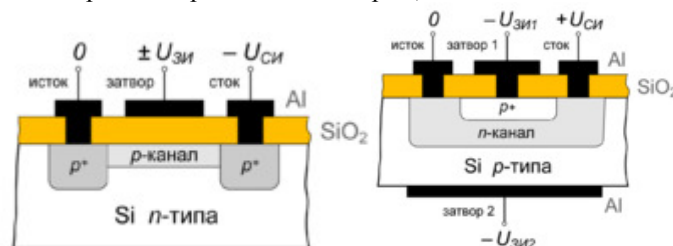
$$S = \left| \frac{dI_c}{dU_{зи}} \right| = S_0 \left(1 - \frac{U_{зи}}{U_{зи \text{ отсечки}}}\right)$$

$$S_0 = \frac{dI_{c_{нас}}}{dU_{зи \text{ отсечки}}} - \text{удельная крутизна}$$

В импульсных и ключевых режимах существенным параметром является проводимость канала:

$$\text{При } U_{си}=0 \quad g_{си} = \frac{1}{R_{си}} = S$$

Реальная структура МДП-транзистора с каналом n-типа показана на рис. Металлический затвор изолирован от полупроводниковой подложки слоем диэлектрика (отсюда эквивалентное название МДП-транзистора — полевой транзистор с изолированным затвором).



МДП-транзистор с управляющим р-п-переходом

Основные параметры ПТ

Основными параметрами, характеризующими полевой транзистор как нелинейный элемент, являются: коэффициент усиления по напряжению

$$k_U = \mu = \Delta U_{си} / \Delta U_{зи} \text{ при } I_c = \text{const};$$

крутизна (определяется по передаточной характеристике)

$$S = \Delta I_c / \Delta U_{зи} \text{ при } U_{си} = \text{const};$$

дифференциальное выходное (внутреннее R_i)

сопротивление

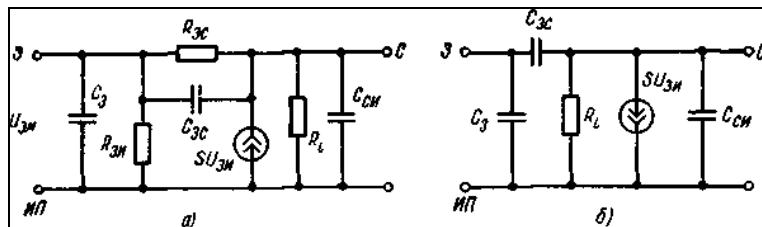
$$r_{вых} = R_i = \Delta U_{си} / \Delta I_c \text{ при } U_{зи} = \text{const};$$

дифференциальное сопротивление участка затвор — сток

$$R_{зс} = \Delta U_{зс} / \Delta I_c.$$

Эквивалентные схемы полевых транзисторов.

На этих схемах принято, что вывод подложки электрически соединен с истоком. Такое включение наиболее часто используется при разработке схем на ПТ.



Отличительные особенности полевого транзистора.

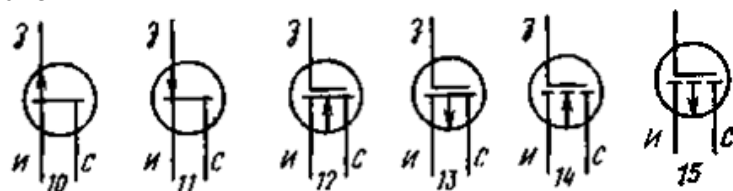
Из принципа действия полевого транзистора вытекают две основные его особенности: в установившемся режиме работы входной ток полевого транзистора стремится к нулю (т. е. $I_{ВХ} \rightarrow \infty$), инерционность полевого транзистора в отличие от биполярного обусловлена только процессами перезаряда его входной и выходной емкостей.

Принято считать, что в общем случае по быстродействию, усилению и частотным свойствам полевой транзистор, как правило, не имеет преимуществ перед биполярным транзистором.

Полевые транзисторы имеют преимущество перед биполярными транзисторами в большей температурной стабильности их характеристик.

Основными преимуществами полевого транзистора являются его большое входное сопротивление по постоянному току и высокая технологичность.

УГО



10 - полевой транзистор с управляющим p - n -переходом и л-каналом; 11 — полевой транзистор с управляющим p - n -переходом и p -каналом; 12 — МДП транзистор с встроенным n -каналом; 13 — полевой транзистор с встроенным p -каналом. 14- МДП транзистор с индуцированным n -каналом; 15 — МДП транзистор с индуцированным p каналом.

2. Дифференциальные усилители

Дифференциальный усилитель — широко известная схема, используемая для усиления разности напряжений двух входных сигналов. В идеальном случае выходной сигнал не зависит от уровня каждого из входных сигналов, а определяется только их разностью. Когда уровни сигналов на обоих входах изменяются одновременно, то такое изменение входного сигнала называют синфазным. Дифференциальный или разностный входной сигнал называют нормальным или полезным.

По принципу построения дифференциальные усилительные каскады — это балансные (мостовые) усилительные каскады параллельного типа. Они обладают высокой стабильностью параметров при воздействии различных дестабилизирующих факторов, большим коэффициентом усиления дифференциальных сигналов и высокой степенью подавления синфазных помех.

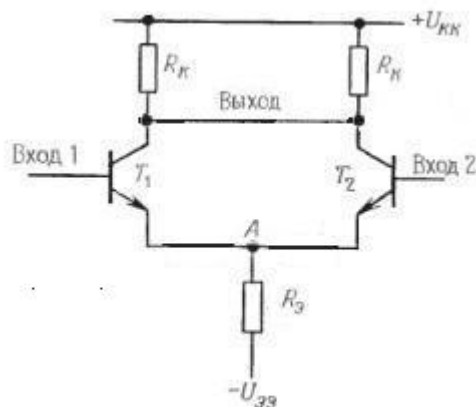


Рис. 2.67. Классический транзисторный дифференциальный усилитель.

На рисунке 2.67 показана основная схема дифференциального усилителя. Выходное напряжение снимается между коллекторами, если нужен дифференциальный сигнал. Если нужен несимметричный (инвертированный) сигнал, то снимает с одного из коллекторов (получится схема с однополюсным выходом).

Существуют усилительные и точностные параметры дифференциальных каскадов.

К точностным параметрам относятся: начальный разбаланс входного напряжения (или напряжение смещения нуля) и его температурные дрейф, средний входной ток и разбаланс входного тока.

Усилительные параметры стоит рассмотреть подробнее. Главными из них являются дифференциальный коэффициент усиления, синфазный коэффициент усиления, а также коэффициент подавления синфазной составляющей (синфазных напряжений).

1) Дифференциальный коэффициент. В симметричной схеме (такова показана на рисунке выше $R_{Э} \gg r_{г}$,

$$K_{д} = (R_{к} \cdot I_0) / 2 \cdot \varphi_T$$

Тут $R_{к}$ — сопротивление коллектора, I_0 — начальный ток эмиттера, а φ_T — температурный потенциал p - n перехода (для кремния равен 25 мВ)

2) Синфазный коэффициент усиления

Для того чтобы определить синфазный коэффициент усиления — нужно на оба входа подать одинаковые сигналы $U_{вх}$

$$K_{с} = R_{к} / (2 \cdot R_{Э}) = \Delta(U_{вых}) / \Delta(U_{с})$$

Величина синфазного коэффициента усиления уменьшается при увеличении величины эмиттерного резистора, поскольку при этом уменьшается величина изменения I_0 при изменении потенциала $U_{э}$.

3) Легко определить коэффициент ослабления синфазного сигнала (КОСС)

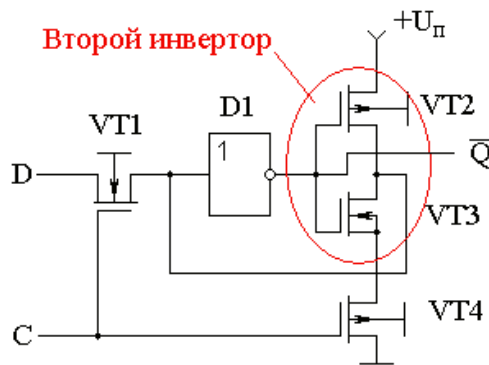
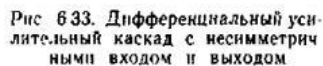
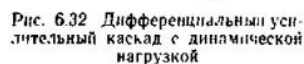
$$K_{осс} = K_{д} / K_{с}$$

Этот коэффициент характеризует способность ДК ослаблять одинаковые изменения параметров самого ДК и одинаковых составляющих входных сигналов.

Также в качестве параметров можно рассматривать **сопротивления каскада.**

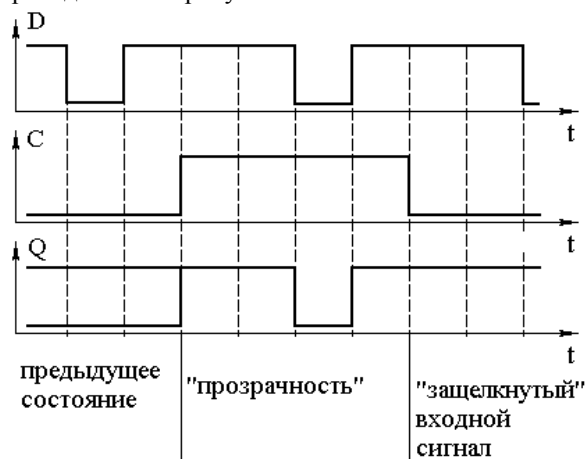
- 1) Входное дифференциальное сопротивление $R_{вх,д} = 2r_{бэ}$
- 2) Входное синфазное сопротивление $R_{вх,с} = \beta \cdot R_{э}$
- 3) Выходное сопротивление не может быть дифференциальным или синфазным. Его величина $R_{вых} = R_{к} \cdot R_{Э} / (R_{к} + R_{Э})$ формируется между коллекторами транзисторов дифференциального каскада.

Существует множество других схем дифференциальных усилителей. Среди них — ДУ с **нелинейным двухполюсником в цепи эмиттеров**, ДУ с **несимметричным входом и выходом**, ДУ на **составных транзисторах**, ДУ **каскада на полевых транзисторах** И другие.
На всякий случай.



При подаче высокого уровня синхросигнала С транзистор VT1 открывается и обеспечивает передачу сигнала с входа D на инверсный выход Q через инвертор D1. Транзистор VT2 при этом закрыт и отключает второй инвертор, собранный на транзисторах VT2 и VT3. При подаче низкого потенциала на вход С включается второй инвертор, который вместе с инвертором D1 и образует триггер.

Во всех рассмотренных ранее схемах синхронных триггеров синхросигнал работает по уровню, поэтому триггеры называются триггерами, работающими по уровню. Ещё одно название таких триггеров, пришедшее из иностранной литературы - триггеры-защёлки. Легче всего объяснить появление этого названия по временной диаграмме, приведенной на рисунке

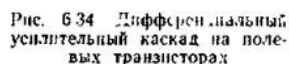
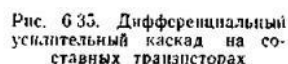


По этой временной диаграмме видно, что триггер-защелка хранит данные на выходе только при нулевом уровне на входе синхронизации. Если же на вход синхронизации подать активный высокий уровень, то напряжение на выходе триггера будет повторять напряжение, подаваемое на вход этого триггера.

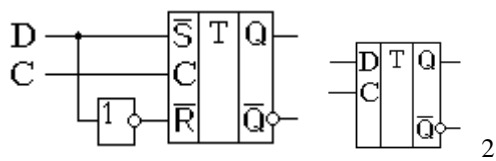
Входное напряжение запоминается только в момент изменения уровня напряжения на входе синхронизации С с высокого уровня на низкий уровень. Входные данные как бы "защелкиваются" в этот момент, отсюда и название – триггер-защелка.

Принципиально в этой схеме входной переходной процесс может беспрепятственно проходить на выход триггера. Поэтому там, где это важно, необходимо сокращать длительность импульса синхронизации до минимума. Чтобы преодолеть такое ограничение были разработаны триггеры, работающие по фронту.

До сих пор мы предполагали, что сигнал на входе триггера может принимать только два состояния: логический ноль и логическая единица. Однако синхроимпульс может прийти в



В RS-триггерах для записи логического нуля и логической единицы требуются разные входы, что не всегда удобно. При записи и хранении данных один бит может принимать значение, как нуля, так и единицы. Для его передачи достаточно одного провода. Как мы уже видели ранее, сигналы установки и сброса триггера не могут появляться одновременно, поэтому можно объединить эти входы при помощи инвертора, как показано на

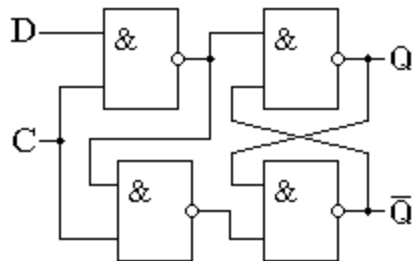


рисунке 1 1

Такой триггер получил название D-триггер. Название происходит от английского слова delay - задержка. Конкретное значение задержки определяется частотой следования импульсов синхронизации. Условно-графическое обозначение D-триггера на принципиальных схемах приведено на рисунке 2

Нужно отметить, что отдельный инвертор при реализации триггера на ТТЛ элементах не нужен, так как самый распространённый элемент ТТЛ логики - это “2И-НЕ”.

Принципиальная схема D-триггера на элементах 2И-НЕ” приведена на рисунке 3



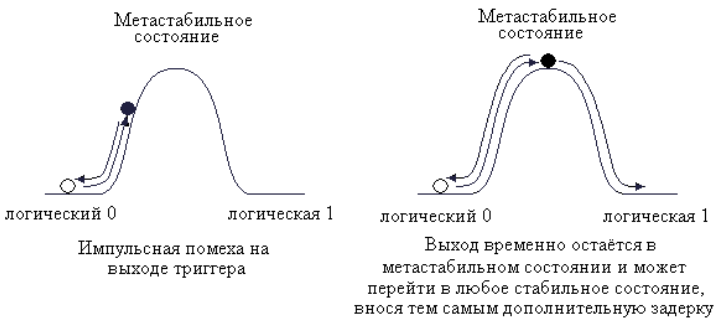
3

Ещё проще реализуется D-триггер на КМОП логических элементах. В КМОП микросхемах вместо логических элементов “И” используются обычные транзисторные ключи. Схема D-триггера приведена на рисунке 4

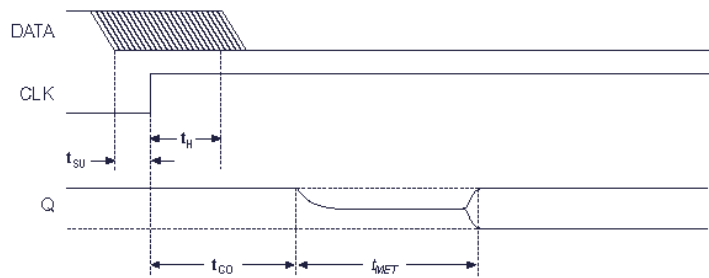
любой момент времени, в том числе и в момент смены состояния сигнала на входе триггера.

Если синхросигнал попадёт точно на момент перехода входным сигналом порогового уровня, то триггер на некоторое время может попасть в неустойчивое метастабильное состояние, при котором напряжение на его выходе будет находиться между уровнем логического нуля и логической единицы. Это может привести к нарушению правильной работы цифрового устройства.

Состояние метастабильности триггера подобно неустойчивому состоянию шарика, находящегося на вершине конического холма. Такая ситуация иллюстрируется рисунком 1. Обычно триггер не может долго находиться в состоянии метастабильности и быстро возвращается в одно из стабильных состояний. Время нахождения в метастабильном состоянии зависит от уровня шумов схемы и использованной технологии изготовления микросхем.



Временные параметры триггера в момент возникновения состояния метастабильности и выхода из этого состояния приведены на рисунке 2. Время t_{SU} (register setup time or t_{SU}) на этом рисунке это минимальное время перед синхроимпульсом, в течение которого логический уровень сигнала должен оставаться стабильным для того, чтобы избежать метастабильности выхода триггера. Время t_H (register hold time or t_H) это минимально необходимое время удержания стабильного сигнала на входе триггера для того, чтобы избежать метастабильности его выхода. Время состояния метастабильности случайно и зависит от многих параметров. На рисунке 2 оно обозначено t_{MET} .



Вероятность того, что время метастабильности превысит заданную величину, экспоненциально уменьшается с ростом времени, в течение которого выход триггера находится в метастабильном состоянии.

$$P = e^{-\frac{t_{MET}}{\tau}}$$
 где τ – это коэффициент обратно пропорциональный коэффициенту усиления и полосе пропускания элементов, входящих в состав триггера. Склонность триггеров к метастабильности обычно оценивается величиной, обратной скорости отказов. Это значение выражается как интервал времени между отказами. Его можно определить по формуле:

$$MTBF = \frac{1}{\text{скорость отказов}} = \frac{t_{MET}}{e^{-\tau}}$$

где $t_0 = t_{SU} - t_H$
 f_c – тактовая частота
 f_d – частота с которой меняются входные данные

Метастабильное состояние не всегда приводит к неправильной работе цифрового устройства. Если время ожидания устройства после прихода импульса синхронизации достаточно велико, то триггер может успеть перейти в устойчивое состояние, и мы даже ничего не заметим. То есть если мы будем учитывать время метастабильности t_{met} то метастабильность никак не скажется на работе остальной цифровой схемы.

Если же это время будет неприемлемым для работы схемы, то можно поставить два триггера последовательно. Это снизит вероятность возникновения метастабильного состояния.

