

Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

## **Лабораторна робота №8**

*з курсу «Автоматизація проектування комп'ютерних систем»*

Виконав

студент групи ІО-73

Захожий Ігор

Номер залікової книжки: 7308

Київ-2010

## Тема роботи

Моделювання логічних схем у середовищі Active-HDL.

## Мета роботи

Здобуття навичок з функціонального моделювання логічних схем у середовищі Active-HDL.

## Завдання

1. Створити нове робоче середовище (Workspace) в Active-HDL.
2. Створити VHDL-проект.
3. Завантажити VHDL-специфікацію з попередньої роботи (Лаб. Робота 7).
4. Перевірити коректність функцій переходів і збудження тригерів у редакторі Waveform Editor.
5. Результати занотувати в протокол.

## Хід роботи

Було створене нове робоче середовище в Active-HDL та VHDL-проект. Було завантажено VHDL-специфікацію з попередньої роботи.

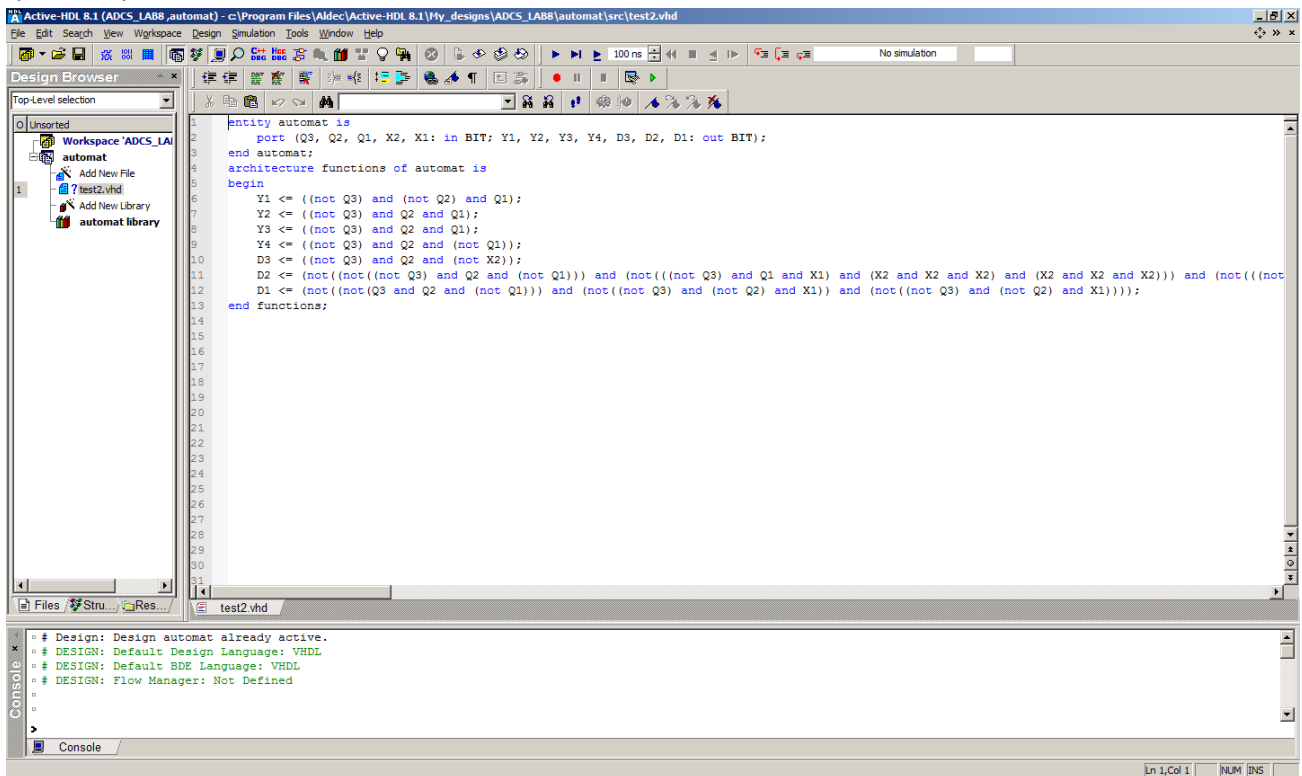


Рисунок 1 - Нове робоче середовище із завантаженою VHDL-специфікацією

Специфікація була скомпільована. Результати компіляції представлені на рисунку 2.

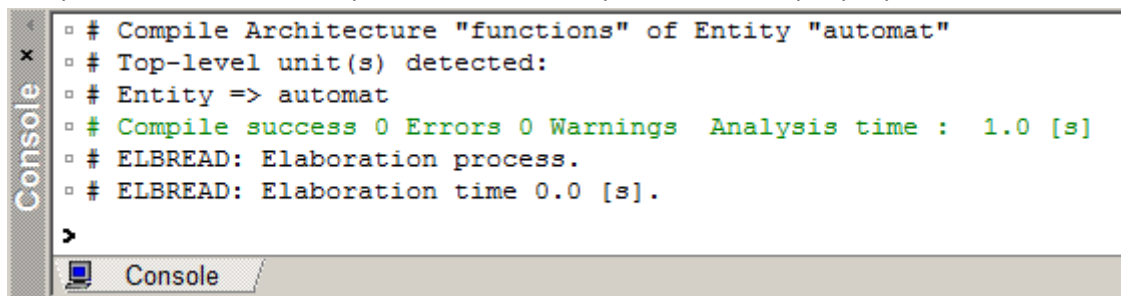


Рисунок 2 - Результати компіляції завантаженої VHDL-специфікації

Був ініціалізований режим Simulation. Всі змінні були додані до часової діаграми (Waveform).

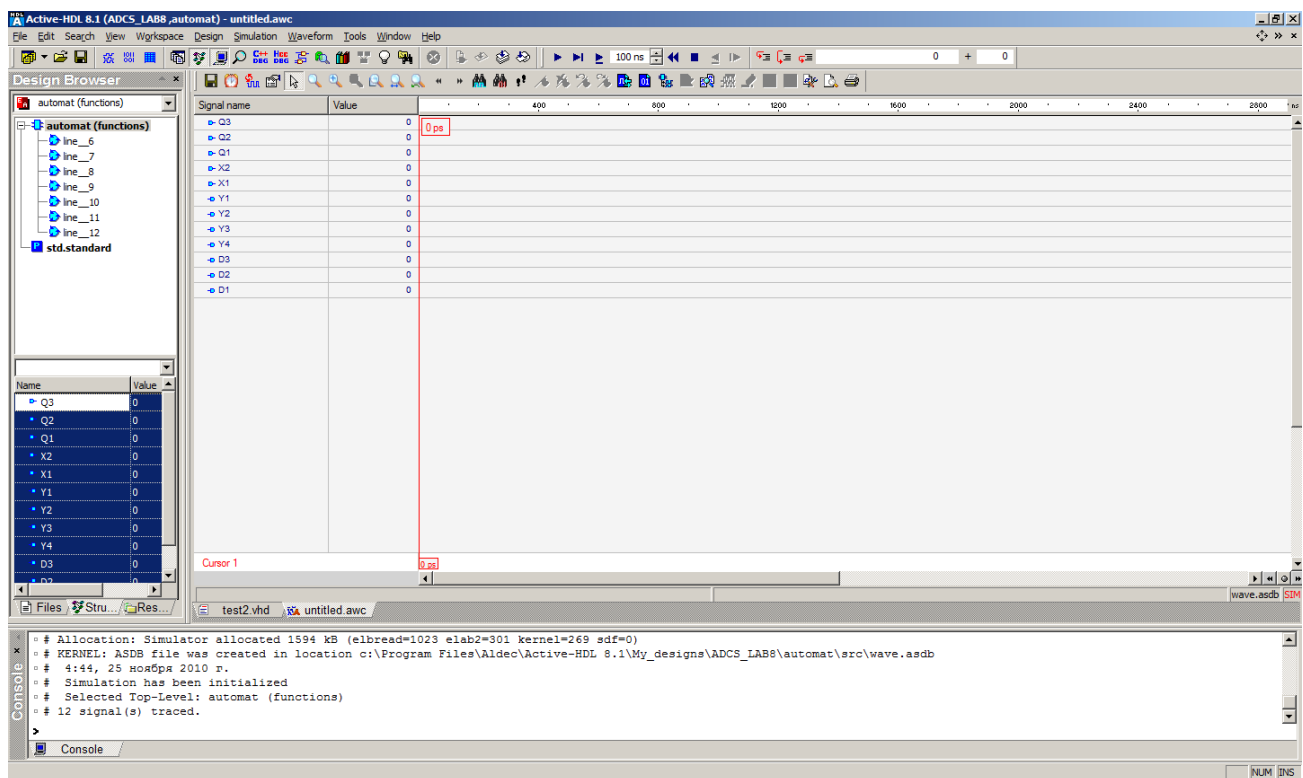


Рисунок 3 - Робоче середовище з часовою діаграмою

Для всіх вхідних змінних були додані формули генерації їх значень.

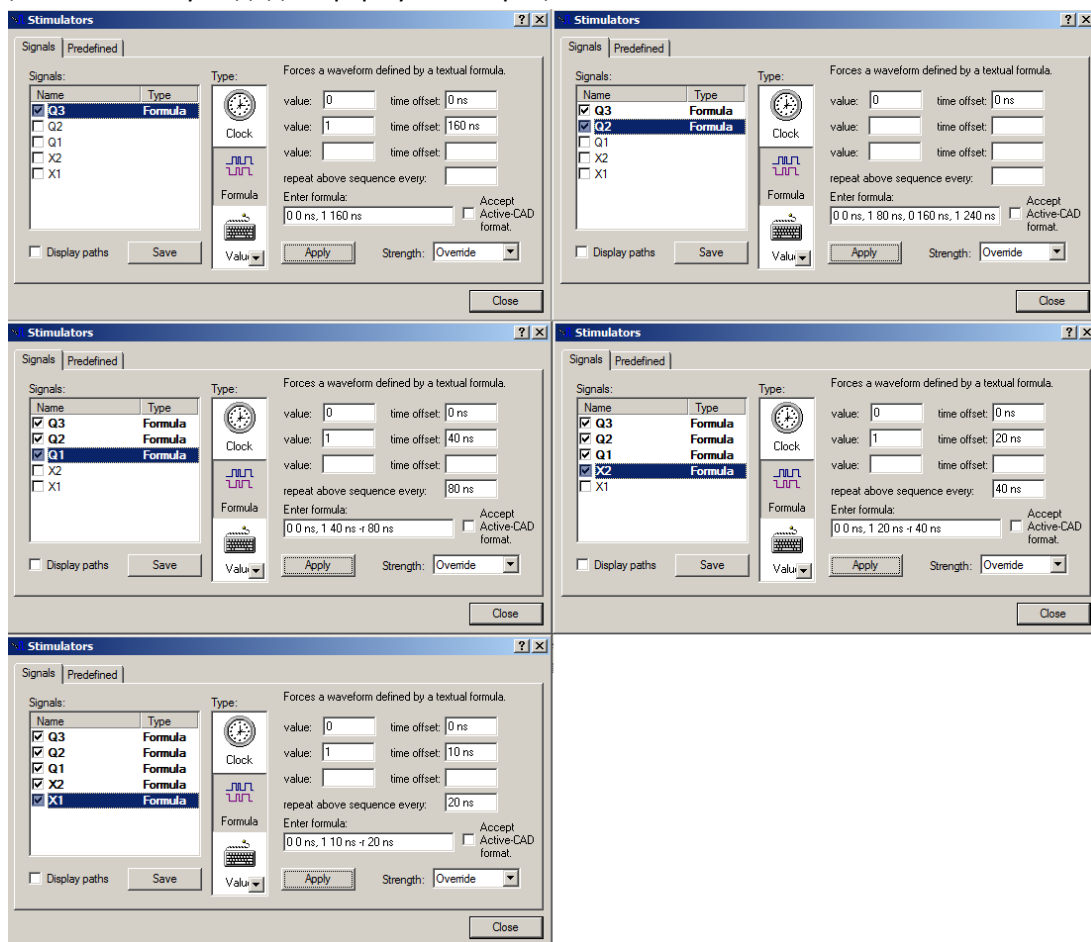


Рисунок 4 - Формули генерації значень вхідних змінних

Було промодельовано роботу схем для всіх наборів значень вхідних параметрів.

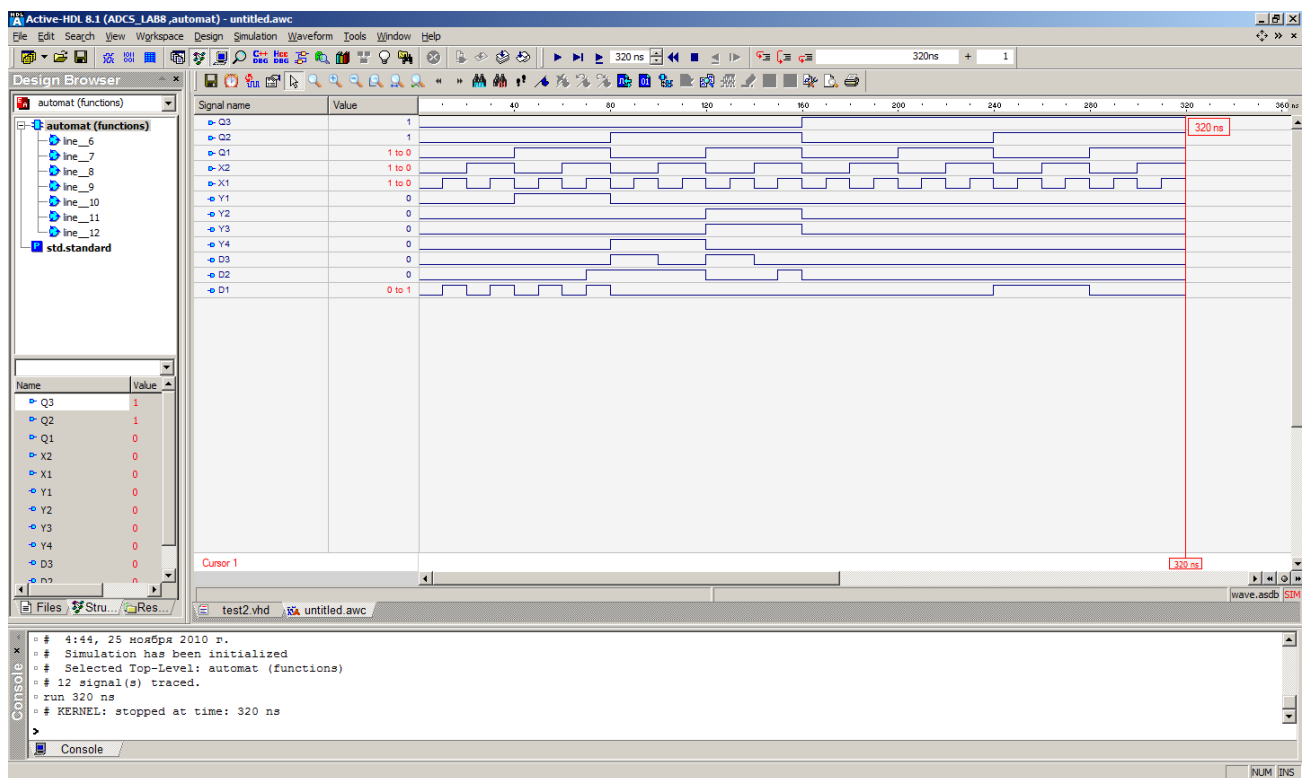


Рисунок 5 - Результати моделювання

Для перевірки результатів моделювання використаємо таблицю побудовану за допомогою програми з лабораторної роботи 5.

Building															
Coded Graph Of Moore Automat		Table Of Transitions					Functions			Minimized Functions			Converted Functions		
Transition	Q3(t)	Q2(t)	Q1(t)	Q3(t + 1)	Q2(t + 1)	Q1(t + 1)	X1	X2	Y1	Y2	Y3	Y4	D3	D2	D1
Z1→Z2	0	0	0	0	0	1	-	-	0	0	0	0	0	0	1
Z2→Z1	0	0	1	0	0	0	0	-	1	0	0	0	0	0	0
Z2→Z3	0	0	1	0	1	1	1	-	1	0	0	0	0	1	1
Z3→Z4	0	1	1	0	1	0	-	1	0	1	1	0	0	1	0
Z3→Z5	0	1	1	1	0	0	-	0	0	1	1	0	1	0	0
Z4→Z6	0	1	0	1	1	0	-	-	0	0	0	1	1	1	0
Z5→Z1	1	0	0	0	0	0	-	-	0	0	0	0	0	0	0
Z6→Z2	1	1	0	0	0	1	-	-	0	0	0	0	0	0	1

Рисунок 6 - Таблиця переходів

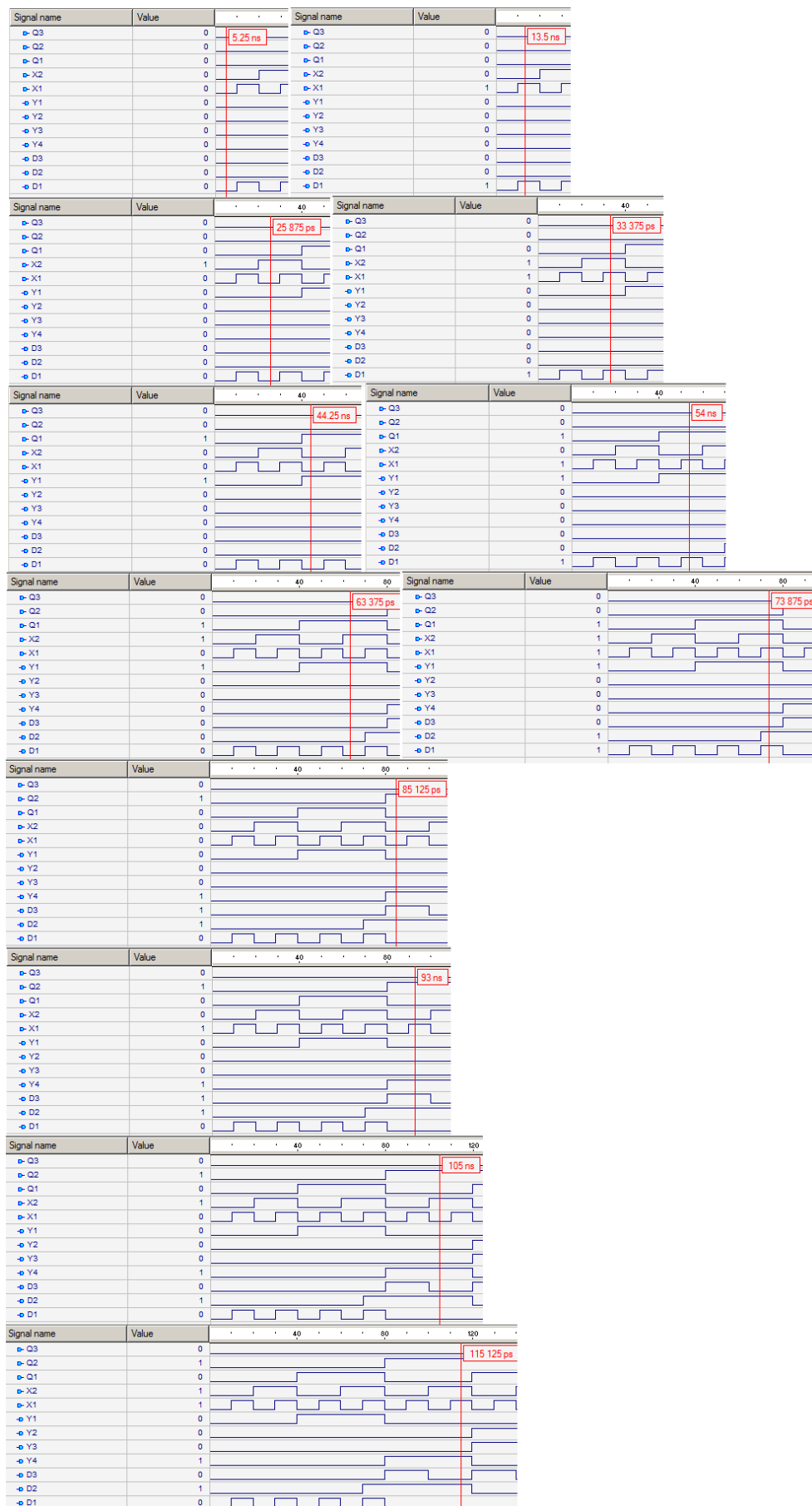


Рисунок 7 - Результати моделювання (частина 1)

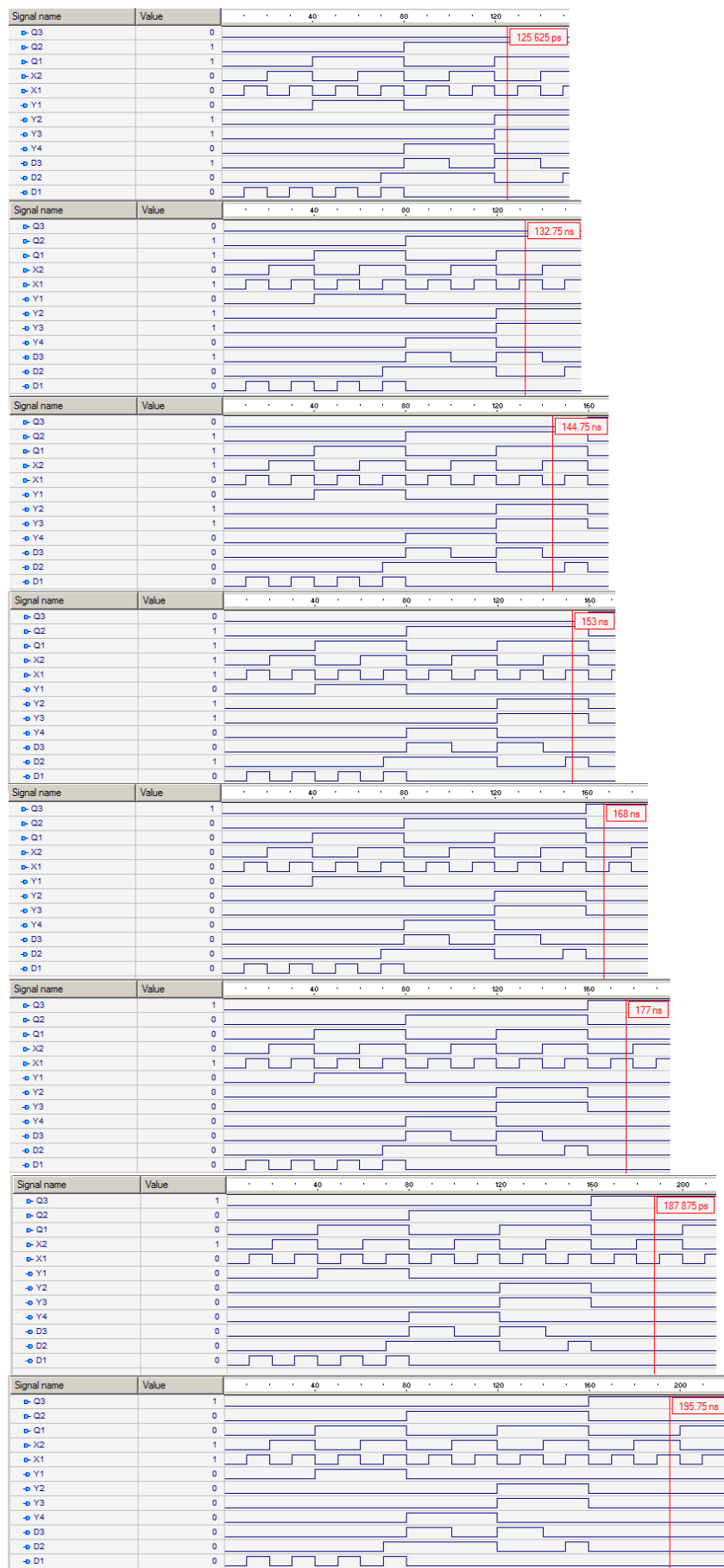


Рисунок 8 - Результати моделювання (частина 2)

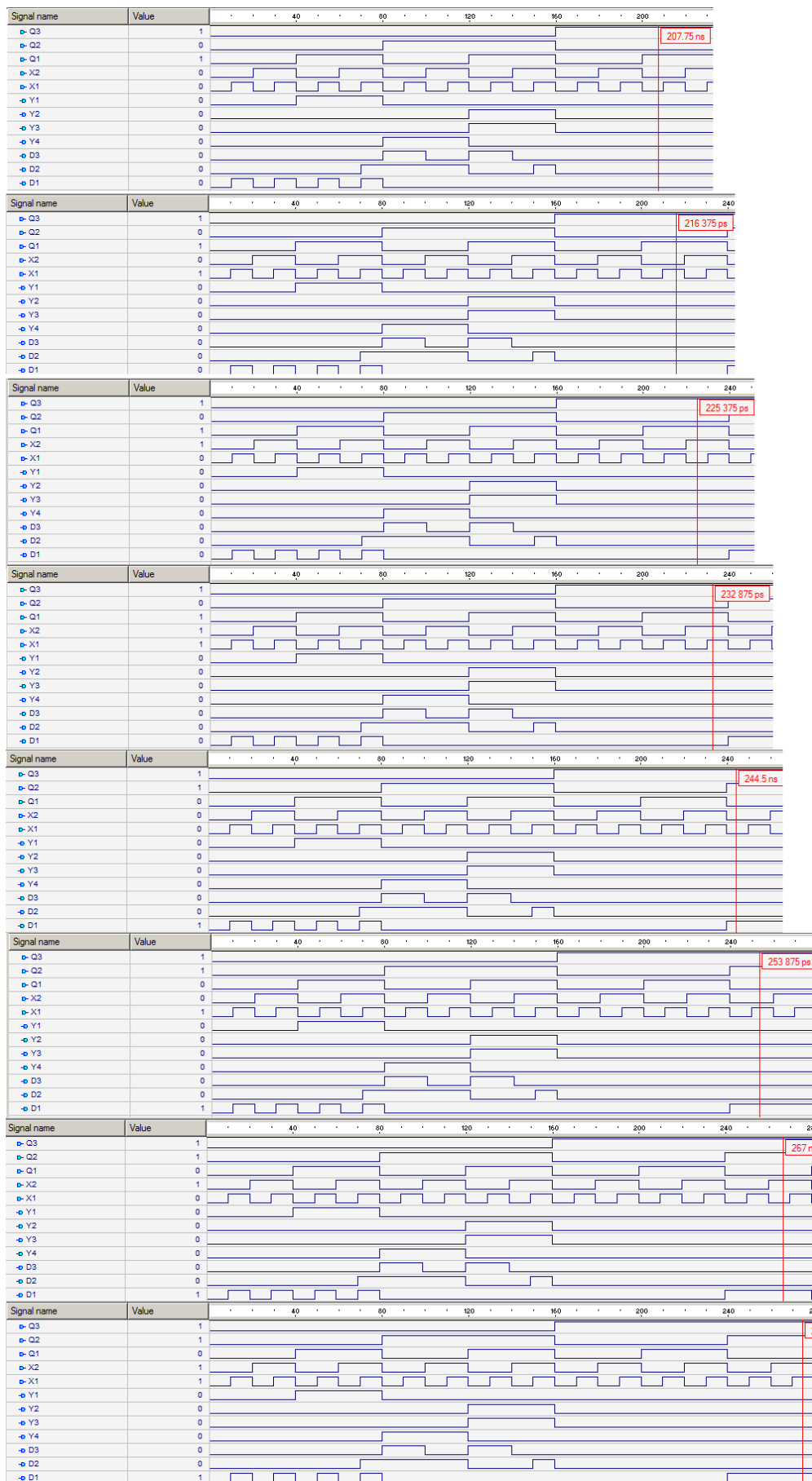


Рисунок 9 - Результати моделювання (частина 3)

Після порівняння табличних значень та результатів моделювання, можемо зробити висновок, що побудова функцій, їх мінімізація та приведення до елементного базису були зроблені правильно.

## **Висновки**

У результаті виконання даної лабораторної роботи я здобув навички з функціонального моделювання логічних схем у середовищі Active-HDL. Я навчився створювати VHDL-проекти, завантажувати VHDL-специфікації до робочого середовища в Active-HDL. Також я здобув навички генерації часових діаграм в середовищі Active-HDL. Мною було перевірено за допомогою часових діаграм правильність автоматизації побудови, мінімізації та приведення до елементного базису булевих функцій з попередніх лабораторних робіт.