

Members&Teamwork :

陳奕均：Testing&decache_top.v

余柏序：CPU.v

陳郁文：Helping debug & report

How do we implement this project:

主要是在 decache_top.v 上 add our code。確定從 sram 到 controller 的 tag 等於 p1_tag 和 valid_bit，如此一來 hit = 1。然後 r_hit_data = sram_cache date。

依照 p1_offset 的數值決定 p1_data 要抓哪一段 r_hit_data。

再來是依照 p1_offset 的數值，決定 w_hit_data，若非 4 的倍數的話就會是從 r_hit_data 上抓，若是的話就從 p1_data_i 抓。

接下來依照各個 state 去設定 mem_enable、mem_write、write_back。

再來是 CPU 將各個部件接起來的部分，因為 pj1 我們只有 stall 其中一個 buf，為了配合 pj2 的設定，把所有的 buf 都 stall 了。再來跟 pj1 不同的是，這次的 cache 等於是 pj1 的 data memory，因此還要把 cache 和 pj1 想辦法接上。

Problem :

在 project 1 時，我們並沒有設置當 mem_read 時的 opcode，因此造成不小的 bug。