

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 19 de Septiembre de 2018

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.10
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1	En la arquitectura Von Neumann, la Memoria Principal: A) Contiene solo datos para procesar y resultados B) No es necesaria si hay Memoria Caché C) Contiene solo instrucciones D) Ninguna de las afirmaciones anteriores es correcta	D
2	En cuanto a las instrucciones de bifurcación incondicionales: A) BZ es una instrucción de bifurcación incondicional B) BS y RET son instrucciones de bifurcación incondicional C) La única instrucción de bifurcación incondicional es JMP D) CALL y RET son instrucciones de bifurcación incondicional	D
3	Si un dato completo está almacenado en dos posiciones de memoria, X es una posición de memoria y R1 es un registro de propósito general de la CPU, ¿cuántos accesos a memoria hay que realizar con la operación $X \leftarrow R1 + X$?: A) Necesita de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez C) Necesita dos accesos a memoria principal D) Únicamente podría realizarse en un computador de 3 direcciones y el nº de accesos dependerá del computador	A
4	Una arquitectura de computador Von Neumann basada en Acumulador: A) No puede tener instrucciones sin campo de dirección B) Es un computador de cero direcciones C) No tiene instrucciones para operaciones diádicas D) Ninguna de las afirmaciones anteriores es correcta	D
5	Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindible y el SR sí lo es C) Ninguno de los dos son imprescindibles D) El IR es imprescindible y el SR no lo es	A
6	Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según su tamaño B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria C) Deben tener siempre un tamaño exactamente coincidente con el de la palabra de memoria D) Ninguna de las afirmaciones anteriores es correcta	A
7	Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado C) No puede representar nunca una instrucción D) Ninguna de las afirmaciones anteriores es correcta	B
8	Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera C) Puede ser de coma fija o de coma flotante D) Ninguna de las afirmaciones anteriores es correcta	C
9	Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada C) Únicamente puede representar + ó - ∞ D) El valor pertenece siempre a la zona desnormalizada	A
10	Dado el polinomio generador $P(x) = x^8 + x^6 + x^4 + x^2 + 1$, tiene como combinación binaria asociada: A) 1 0 1 0 1 0 1 0 B) 1 1 1 1 1 C) 1 0 1 0 1 0 1 0 D) Ninguna de las afirmaciones anteriores es correcta	A
11	En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación C) Asociar a cada elemento una única posición del Mapa D) Mapa de Memoria Común forzosamente	A
12	De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca	C
13	Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas: A_i (dirección), D_i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chip): A) Se trata de un módulo tipo NOVRAM B) Se trata de un módulo tipo DRAM o SRAM C) Se trata de un módulo tipo ROM D) Se trata de un módulo de tipo SRAM o RAM	D
14	Los algoritmos de reemplazo en un sistema de Memoria Caché: A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente C) Unas veces se resuelven por hardware y otras por software dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo	A
15	Dado un espacio de memoria con organización de 64 Kposiciones y 32 bits en cada posición. Se puede cubrir completamente: A) Con 4 módulos de 32Kx16 B) Con 4 módulos de 8Kx32 C) Con 8 módulos de 8Kx8 D) Ninguna de las afirmaciones anteriores es correcta	A
16	De las formas posibles para realizar una operación (aritmética, lógica, ...) en un computador, la más rápida es: A) Mediante un circuito secuencial con unidad de control propia B) Mediante un programa C) Mediante un circuito secuencial con unidad de control la misma que la de la CPU D) Ninguna de las afirmaciones anteriores es correcta	D

17	Una Unidad Operativa capaz de realizar operaciones tanto de datos enteros como de coma flotante (FP) suele tener: A) Operadores independientes para las operaciones de enteros y un operador general para las operaciones de FP B) Un único banco de registros del tamaño adecuado C) Un único operador de propósito general para todas las operaciones posibles D) Ninguna de las afirmaciones anteriores es correcta	D
18	En un computador binario, la división de un número (representado en un sistema posicional con pesos que son potencias de dos) por una potencia de dos, se puede realizar: A) Con un circuito secuencial divisor exclusivamente B) Con un circuito combinacional divisor exclusivamente C) Con un circuito desplazador a la izquierda D) Con un circuito desplazador a la derecha	D
19	La operación de extensión de signo de un valor representado en complemento a 2: A) No se puede realizar B) Implica rellenar las posiciones sobrantes con "0s", tanto si el valor es positivo como negativo C) Implica rellenar las posiciones sobrantes con "1s" D) Dependiendo de si el valor es positivo o negativo, implica rellenar con "0s" ó "1s" respectivamente	D
20	El coproceso implica: A) Un único contador de programa para la CPU y los coprocesadores B) Los mismos repertorios de instrucciones en la CPU y en los coprocesadores C) Varios flujos de instrucciones y un contador de programa para cada uno de ellos D) Ninguna de las afirmaciones anteriores es correcta	A
21	El campo código de operación de una instrucción: A) Si hay varios tipos de operandos, Indica el tipo de operando que interviene en la operación B) Puede indicar o no la operación, según el computador C) En la fase de búsqueda de la instrucción, es siempre el último campo que se obtiene D) Ninguna de las afirmaciones anteriores es correcta	A
22	El modo de direccionamiento indirecto absoluto a memoria en una instrucción de bifurcación incondicional, aparte de los accesos a memoria para buscar la instrucción: A) Implica siempre un acceso a memoria como mínimo B) Puede no implicar acceso a memoria C) No implica accesos a memoria nunca D) Implica siempre dos accesos a memoria como mínimo	A
23	Del modo de direccionamiento DIRECTO ABSOLUTO se puede decir que: A) Especifica siempre el registro de propósito general en el que está el operando B) Implica siempre un operando en memoria C) Es muy normal que exista en un microprocesador, incluso varios tipos D) No existe en instrucciones de bifurcación	C
24	Comparando los direccionamientos directo relativo a registro base y el directo relativo a registro índice: A) En ambos termina el registro base o índice modificado B) En el relativo a registro base termina modificado el registro base y en el relativo a registro índice no C) En ninguno de los dos termina modificado registro alguno D) Ninguna de las afirmaciones anteriores es correcta	D
25	Un repertorio de instrucciones de un computador se dice que es completo si puede realizar cualquier tarea computable: A) Todos los repertorios de instrucciones completos son igual de eficaces (el tiempo que tardan en realizar la misma tarea coincide en todos ellos) B) Cuantas más instrucciones tenga el repertorio de instrucciones más completo será C) Puede haber repertorios con muy pocas instrucciones que sean completos y otros que con un número superior no lo sean D) Los repertorios de instrucciones de muchos computadores no son completos porque tienen repertorios de pocas instrucciones	C
26	La capacidad de Acceso Directo a Memoria la tiene/n: A) Un Controlador de Acceso Directo a Memoria (DMAC) exclusivamente B) Un Procesador de E/S C) Cualquier dispositivo de E/S moderno D) Ninguna de las afirmaciones anteriores es correcta	B
27	Una interrupción vectorizada: A) Implica que el dispositivo que interrumpe suministre siempre la dirección dónde comienza la rutina de tratamiento de la interrupción B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema C) Implica que el dispositivo que interrumpe ejecute la Rutina de Tratamiento de la Interrupción D) Ninguna de las afirmaciones anteriores es correcta	D
28	Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,0111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente C) La de redondeo propiamente dicho exclusivamente D) Ninguna de las afirmaciones anteriores es correcta	A
29	Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha realizado en la fábrica B) Debe ser programado C) Tiene un repertorio de instrucciones bastante amplio puesto que tiene que comunicar a muy distintos periféricos con la CPU D) Ninguna de las afirmaciones anteriores es correcta	B
30	Un Controlador de Acceso Directo a Memoria: A) No necesita provocar interrupciones B) Unos necesitan provocar interrupciones y otros no C) Necesita provocar interrupciones D) Ninguna de las afirmaciones anteriores es correcta	C

EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Septiembre)

La Rábida, 19 de Septiembre de 2018

PROBLEMA 1. (2,25 puntos)

Resolver las siguientes cuestiones:

1. Dados los modos de direccionamiento mostrados en la Tabla 1 para un computador de dos direcciones basado en banco de registros, **especificar los distintos formatos de instrucción posibles** para cada uno de ellos, suponiendo que:
 - a) El tamaño de la palabra de memoria del computador es de 8 bits y el número de bits del formato de las instrucciones debe ser un múltiplo de esta palabra.
 - b) El sistema computador es capaz de ejecutar un total de 256 instrucciones diferentes.
 - c) El sistema computador tiene un banco de 16 registros de propósito general (R0-R15). ¿Se debería indicar que pueden actuar como registros base? Para poder calcular el número de bits del campo "Ident. de Registro base"
 - d) El valor más alto que puede tomar el dato inmediato según el sistema de Complemento a 2 es $+2^{11}-1$.
 - e) El máximo espacio de memoria direccionable es de 1Mposiciones.
 - f) Los modos de direccionamiento inmediato y directo relativo a registro base tienen el mismo número de bits en sus formatos de instrucción.

Tabla 1. Modos de direccionamiento			
Modo de direccionamiento	Prefijo/sufijo	Ejemplo	Operaciones que se realizan
INMEDIATO	Prefijo #	ADD R1, #18	$R1 \leftarrow R1 + 18$
DIRECTO ABSOLUTO a MEMORIA	-	ADD R2, 20	$R2 \leftarrow R2 + M(20)$
DIRECTO ABSOLUTO A REGISTRO	R	ADD R4, R8	$R4 \leftarrow R4 + R8$
DIRECTO RELATIVO a REGISTRO BASE	Corchete [R]	ADD R3, 22[R5]	$R3 \leftarrow R3 + M(22 + R5)$

2. Si tuviésemos que representar un dato según el sistema estándar IEEE P754 en un registro del tamaño igual al número de bits que tiene el formato de la instrucción con modo de direccionamiento directo absoluto a memoria, ¿cuál sería el valor más pequeño positivo (diferente de cero) posible? Justificar la respuesta con todas las fórmulas y cálculos realizados.

PROBLEMA 2. (2,5 puntos)

Dado un sistema computador con bus de datos de 8 líneas y bus de direcciones de 20 líneas y con especificaciones de diseño para el sistema de mapa de memoria común:

- 384 Kposiciones de memoria para el sistema operativo, actualizable de forma continuada. Se ubicará siempre en posiciones de memoria consecutivas y justo a continuación de los programas de inicialización.
- 384 Kposiciones para diferentes aplicaciones actuales y futuras.
- 128 Kposiciones de memoria para los programas de inicialización; en las primeras posiciones del mapa de memoria. Estos programas de inicialización deben poder ser modificados esporádicamente a lo largo de la vida del computador.
- Para la E/S se tiene un total de 128 Kposiciones implementadas, en las últimas posiciones del mapa.
- Para la elección de los módulos de memoria y de E/S se debe tener en cuenta:
 - o Se dispone de módulos de memoria de tipo SRAM, NOVRAM y UV-EPROM.
 - o La organización de los módulos de solo lectura es de 64Kx4.
 - o La organización de los módulos de lectura y escritura es de 128Kx8.
 - o Todos los módulos de E/S tienen una organización de 128Kx8.
 - o **Debe primarse el coste en la elección de los módulos.**
- El tamaño básico inicial debe ser de 128Kposiciones.

Se pide:

1. Dibujar un esquema de **cada dispositivo elegido** para el diseño, justificando la elección, y detallando todas las líneas de comunicación de cada uno de esos tipos de módulos.
2. Diseñar el/los mapa/s de direcciones, indicando el espacio ocupado según los distintos tipos de módulos y función, así como la dirección de comienzo y finalización de cada uno de esos espacios con usos diferentes.
3. Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior. En este esquema debe aparecer: el **Procesador**, los **módulos de memoria**, los **módulos de E/S**, los **circuitos que realizan la función de decodificación** y **cualquier otro circuito electrónico** necesario para que el sistema pueda operar correctamente.

PROBLEMA 3. (2,25 puntos)

Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas con información en hexadecimal (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (**se corregirá únicamente lo que aparezca en la hoja del cronograma**), a lo largo del proceso siguiente:
 - 1- La CPU ejecuta las instrucciones **LDA [1515h]**, **SUB #23**, y **STA 5050h**. Suponer que la primera, y segunda instrucción se encuentran en memoria a partir de la dirección **FF00h**; y la tercera instrucción se encuentra situada a partir de la posición de memoria obtenida de sumar el vector de interrupción con el valor **0011h**. Los códigos de operación correspondientes a las instrucciones son respectivamente **01h**, **11h** y **33h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - 2- Durante el séptimo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **AAh**, **BBh** y **CCh** a partir de la posición **AA00h**. El controlador opera en modo continuo.
 - 3- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **AAh** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida.
- b. Definir los contenidos (en hexadecimal) que van teniendo todos los elementos de almacenamiento **que se modifican en algún momento del proceso**. El contenido de dichos elementos de almacenamiento al comienzo de la ejecución de las instrucciones es el especificado en la relación siguiente:
 - Acumulador = 00h
 - Dirección AA00h = 00h
 - Dirección AA01h = 11h
 - Dirección AA02h = 22h
 - Dirección 1515h = 8Ch
 - Dirección 1516h = 8Ch
 - Dirección 5050h = 04h
 - Dirección 5051h = 03h
 - Dirección 8C8Ch = 4Bh
 - Dirección 8C8Dh = 3Ch

Los profesores de la asignatura.

Apellidos: **Nombre:**

ADDR()

DAT()

BUSREQ

BUSACK

INT

INTACK

MEMREQ

RD

WR

Ciclo 1°	Ciclo 2°	Ciclo 3°	Ciclo 4°	Ciclo 5°	Ciclo 6°	Ciclo 7°	Ciclo 8°	Ciclo 9°	Ciclo 10°	Ciclo 11°	Ciclo 12°	Ciclo 13°	Ciclo 14°	Ciclo 15°	Ciclo 16°	Ciclo 17°	Ciclo 18°	Ciclo 19°	Ciclo 20°	Ciclo 21°	Ciclo 22°
----------	----------	----------	----------	----------	----------	----------	----------	----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Tipo de ciclo

[illegible]