EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 7 de Septiembre de 2018

Apellidos			. Nombre
	Respuesta correcta Respuesta incorrecta No respuesta	- 0.05	TIEMPO REALIZACIÓN EXAMEN: 45 minutos

		Espacio para re	spuestas					
	Sea una máquina A que ejecuta un programa en 5 segund		++++++					
1	A) La máquina B es el 100% más lenta que A	C) La máquina B es el 100% más rápida que A	Α					
	B) La máquina B es el 50% más lenta que A	D) La máquina B es el 200% más lenta que A						
	Sea un sistema computador al que se le aplica una me							
2	afirmar que:		A					
2	A) La mejora aplicada no merece la pena C) La aceleración global es del 50%							
	B) La aceleración global es del 100%	D) La aceleración mejorada es de 2						
	Sea un sistema computador que dedica el 80% del tiemp	o a procesamiento gráfico. Si se aplica una mejora en la						
	tarjeta gráfica (supone 1/3 del coste total), de forma qu	ne se consigue una aceleración mejorada de 2, pero un						
3	aumento en x3 del coste de la tarjeta:		A					
3	A) La relación (Aceleración global/Coste total) = 1	C) Se consigue más aceleración global que el coste	A					
		implicado						
	B) La relación (Aceleración global/Coste total) = 1,66	D) Supone más coste que aceleración conseguida						
	Sea un sistema computador con Arquitectura Von Neu	mann, con un valor medio de CPI = 6 y frecuencia de						
4	procesamiento de 2 GHz:		A					
•	A) Dedica de media 3 ns a cada instrucción	C) Dedica de media 12 ns a cada instrucción	1.					
	B) Dedica de media 0,5 ns a cada instrucción	D) Dedica de media 6 ns a cada instrucción						
	Sea un sistema con arquitectura DLX capaz de ejecutar 2							
5	A) La frecuencia del sistema es de 2 GHz	C) La frecuencia del sistema es de 2 MHz	A					
	B) La frecuencia del sistema es de 20 GHz	D) La frecuencia del sistema es de 100 MHz						
	Considerando que la memoria caché está vacía y contier	ne 256 palabras/bloque, si la CPU llama a la dirección 0						
6	de memoria, implica:	(I) D. 1.1(D.1.05)	В					
	A) Copiar de MP a Mcaché sólo la posición 0	C) Borrar de MP las 256 primeras posiciones						
	B) Copiar de MP a Mcaché las 256 primeras posiciones	D) Copiar de MCaché a MP las 256 primeras posiciones						
_	De los algoritmos de reemplazo utilizados en la memoria		_					
7	A) El algoritmo aleatorio	C) El algoritmo LFU	В					
	B) El algoritmo LRU	D) Ninguno penaliza el bloque que acaba de entrar						
0	Indica los fallos que pueden existir en cualquier función o		_					
8	A) Sólo fallos forzosos	C) Sólo fallos de conflicto	В					
	B) Fallos forzosos y de capacidad	D) Fallos forzosos y de conflicto						
•	En relación al tamaño de caché:	C) I C.11 1						
9	A) Los fallos de capacidad son independientes del tamaño	C) Los fallos de conflicto son independientes del tamaño	В					
	B) Los fallos forzosos son independientes del tamaño	D) Ninguno de los tipos de fallos depende del tamaño						
	Sea una memoria caché de 2 niveles, sabiendo que de 1 primer nivel y 9 fallos en la de segundo nivel. ¿Cuál es la							
10	A) 9%	C) 30%	В					
	B) 0,9%	D) 3%						
	Atendiendo a la arquitectura serie Von Neumann estudia	,						
11	A) Implica comprobar el valor del biestable S	C) Implica comprobar el valor del biestable Z	C					
11	B) Implica comprobar el valor del biestable Z y S	D) Ninguna de las afirmaciones anteriores es correcta						
	Sea un sistema con arquitectura von Neumann y sin Men							
12	A) Se trata de un diseño de UC microprogramada	C) Se trata de un diseño de UC microcableada	C					
	B) No puede ejecutar instrucciones de bifurcación	D) Puede tener cualquiera de los dos diseños de UC						
	En relación a la definición de Memoria de Control:							
13	A) Almacena únicamente las primeras microinstrucciones	C) Almacena el firmware del sistema computador	C					
13	-	•						
	B) Almacena el valor de los biestables de estado aritmético	D) Tiene capacidad ilimitada						
	En relación a la arquitectura Von Neumann estudiada:	() Las sañalas ED y I (lastura mamaria) mundas actor						
14	A) Las señales FD y FP no pueden activarse simultáneamente	C) Las señales FD y L (lectura memoria) pueden estar activas en el mismo ciclo	C					
	B) La señal E es una señal triestado	D) Ninguna de las afirmaciones anteriores es correcta						
15	De los siguientes eventos, indica el que corresponde a una A) INT 21 h	C) DIV .2,.3; con R3 = 0 provocando TRAP	_					
13	B) Interrupción de periférico TIMER i8255	D) Corte de suministro eléctrico por batería descargada	A					
	DI MEHUPOUH UE PEHICHEU THVIER 18233	Di Corte de summismo electrico por Dateria descargada	1					

Sea la arquitectura DLX estudiada. la ejecución de la instrucción (de almacenamiento tamaño byte en memoria) SB 10(RX), Ri com M(10+RX) = 5 impilea: 16 A) Completar con el valor 5 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la la parte laja de R1 B) Almacenar en memoria el valor 4 la			
16 A) Completar con el valor 5 la parte data de RI B) Almacenar en memoria el byte más significativo de RI D) Almacenar en memoria el byte mono significativo de RI Parte de R			
B) Almacenar en memoria el byte más significativo de R1 Ka base a la arquitectura DLX estudiada, qué registro emplearias para representar el valor +±∞? A) El registro R0 B) Dos registros de coma fija (R-R _{***}) Sea la secuencia de instrucciones: LW R2, 10(R4) y SW 10(R4), R6 implementada sobre la arquitectura escalar DLX estudiada: A) Implica detención porque supone riesgo de tipo RAR B) Implica detención porque supone riesgo de tipo RAR B) Implica detención porque supone riesgo de tipo RAR B) Implica detención porque supone riesgo de tipo RAW Sea la secuencia de instrucciones: ADD R1, R2, R3 y SUB R2, R3, R4 que se ejecuta en la arquitectura DLX estudiada: A) Implica detención porque supone riesgo de tipo RAW D) No supone riesgo por dependencia de datos C) Implica una detención porque supone riesgo de tipo WAR D) Pude ejecutarse en una arquitectura DLX con una unidad funcional no segmentada para multiplicación EXWLUTE y otra para división EXPLYE sobre la que se ejecuta la secuencia de instrucciones MULTEFI, F2, F3 y INVF F4, F5, F6; C) A) Las respectivas etapas de EX po pueden solaparse D) Anhas instruccione emplean la misma unidad funcional no segmentada para multiplicaturse en un cauce diferente por incicación vectorial ADDV V1, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 elcilos y flempo de iniciación =1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 occlos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), sá la CPU solicita la dirección 8 (v siguientes), ésta se encuentra: A) El nel banco 1 C) En el banco 3 D) En el banco 4 D) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 40 secciones de 16 elementos B) El vector se divide en 40 secciones de 16 elementos B) El vector se divide	16		D
17 A El registros 80 D) Un registro de coma fija (R-R _m) D) Un registros de coma fija (R-R _m) D) Un registros de coma fija (R-R _m) D) Un registros de coma fija (R-R _m) D) Un registro de coma flotante de simple precisión (F)		B) Almacenar en memoria el byte más significativo de R1 D) Almacenar en memoria el byte menos significativo de	
B) Dos registros de coma flja (R-R-a) D) Un registro de coma flotante de simple precisión (F)			
Sea la secuencia de instrucciones: LW R2, 10(R4) y SW 10(R4), R6 implementada sobre la arquitectura escalar DIX sextidiada: A) Implica detención porque supone riesgo de tipo RAR D) No supone riesgo por dependencia de datos	17	A) El registro R0 C) No es posible representar ese valor	D
Debt estudiada:		B) Dos registros de coma fija (R _i -R _{i+1}) D) Un registro de coma flotante de simple precisión (F _i)	
18 A) Implica detención porque supone riesgo de tipo RAR D) Implica detención porque supone riesgo de tipo RAR D) Implica detención porque supone riesgo de tipo RAR D) Implica detención porque supone riesgo de tipo RAR D) No supone riesgo por dependencia de datos C) Implica detención por riesgo de tipo WAR D) No supone riesgo por dependencia de datos D) No supone riesgo de tipo WAR D) RAN D)		Sea la secuencia de instrucciones: LW R2, 10(R4) y SW 10(R4), R6 implementada sobre la arquitectura escalar	
A) Implica detención porque supone riesgo de tipo RAW Sea la secuencia de instrucciones: ADD R1, R2, R3 y SUB R2, R3, R4 que se ejecuta en la arquitectura DLX: 9 A) No puede ejecutarse en una arquitectura super escalar Sea una arquitectura DLX con una unidad funcional no segmentada para multiplicación EXDLY, P4, F5, F6: 20 A) Las respectivas etapas de EX no pueden solaparse B) Albas instrucciones emplean la misma unidad funcional B) Albas instrucciones emplean la misma unidad D) Las respectivas etapas de EX no pueden solaparse B) Ambas instrucciones emplean la misma unidad D) Las respectivas etapas de EX pueden solaparse B) Ambas instrucciones emplean la misma unidad D) Las respectivas etapas de EX pueden solaparse funcional Sean la instrucción vectorial ADDV V1, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclos y tiempo de iniciación = 1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 ciclos B) 384 ciclos C) (64 ciclos D) 6 ciclos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) En el banco 1 B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 2 elementos Sean las sentencias de un butec S1: B(i) = A(i)/K y S2: C(i) = B(i-1) + A(i), con i = 164: A) En la grandita de control B) Existe riesgo de	18		D
Sea la secuencia de instrucciones: ADD R1, R2, R3 y SUB R2, R3, R4 que se ejecuta en la arquitectura DLX: A) No puede ejecutarse en una arquitectura súper escalar D) A) Las respectivas etapas de EX no pueden solaparse C) Cada instrucción debe ejecutarse en un cauce diferente D) A) Las respectivas etapas de EX no pueden solaparse C) Cada instrucción debe ejecutarse en un cauce diferente D) A) Las respectivas etapas de EX pueden solaparse C) Cada instrucción debe ejecutarse en un cauce diferente D) A) Las respectivas etapas de EX pueden solaparse D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) A) Cada instrucción debe ejecutarse en un cauce diferente D) Cada instrucción debe ejecutarse en un cauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) Cada instrucción debe ejecutarse en un eauce diferente D) En el cada instrucción es encesitado e cido se encesitado en un eauce diferente D) En ectorse se encesitan comminado C) El cada D) Ninguna de la s	10		D
19 N) No puede ejecutarse en una arquitectura super escalar C) Impliea una detención por riesgo de tipo WAR B) Debe ejecutarse en una arquitectura vectorial D) Puede ejecutarse en una arquitectura super escalar C) Impliea una detención por riesgo de tipo WAR B) Debe ejecutarse en una arquitectura super escalar C) Impliea una detención por riesgo de tipo WAR D) Puede ejecutarse en una arquitectura super escalar C) Cada instrucción EXNULTE F1, F2, F3 p DIVE F4, F5, F6: D Ambas instrucciones emplean la misma unidad D) Las respectivas etapas de EX pueden solaparse Entocional D) Las respectivas etapas de EX pueden solaparse Cinccional Completo? A 70 ciclos C) 64 ciclos D) 6 ciclos C) 64 ciclos D) 6 ciclos Soa un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) El vector se divide en 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 3 elementos B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 3 elementos D) El sentencia SI es vectorizable A) Ninguna sentencia se vectorizable D) La sentencia SI es vectorizable A) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 3 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El v			
B) Debe ejecutarse en una arquitectura vectorial D) Puede ejecutarse en una arquitectura siper escalar Sea una arquitectura DLX con una unidad funcional no segmentada para multiplicación EXnur y otra para división EXnur y sobre la que se ejecuta la secuencia de instrucciones MULTF PI, F2, F3 pUVF P4, F5, F6:			
Sea una arquitectura DLX con una unidad funcional no segmentada para multiplicación EXMLTF y otra para división EXDITF sobre la que se ejecuta la secuencia de instrucciones MULTF F1, F2, F3 y DIVF F4, F5, F6: D	19		D
división EXnovs sobre la que se ejecuta la secuencia de instrucciones MÜLTF F1, F2, F3 y DIVF F4, F5, F6: A) Las respectivas etapas de EX no pueden solaparse funcional D) Las respectivas etapas de EX pueden solaparse funcional			
20 A) Las respectivas etapas de EX no pueden solaparse B) Ambas instrucciones emplean la misma unidad D) Las respectivas etapas de EX pueden solaparse funcional Sean la instrucción vectorial ADDV VI, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclos y tiempo de iniciación =1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 ciclos B) 384 ciclos D) 6 ciclos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 hancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 2 secciones de 32 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos B) El vector se divide en 64 secciones de 16 elementos D) El vector se divide en 64 secciones de 16 elementos D) El vector se divi			
B) Ambas instrucciones emplean la misma unidad D) Las respectivas etapas de EX pueden solaparse funcional Sean la instrucción vectorial ADDV V1, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclo y tiempo de iniciación = 1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 ciclos B) 384 ciclos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 1 B) En el banco 0 D) En el banco 8 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El evetor se odivide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento C) El vector se divide en 2 secciones de 32 elementos B) La soa sentencias soa vectorizable C) La sentencia S2 es vectorizable Sean las sentencias soa vectorizable D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i-1)*K y S2: C(i) = B(i-1) + A(i), con i = 164: A) El vector se opera de la mobile S1: B(i) = A(i)/K y S2: C(i) = B(i-1) + A(i), con i = 164: A) El siste riesgo de tipo RAR en S2 respecto a S1 A (C) Existe riesgo de tipo WAW en S2 respecto a S1 A) Existe riesgo de tipo RAR en S2 respecto a S1 A) Existe riesgo de tipo RAR en S2 respecto a S1 A) Desiste riesgo de tipo RAR en S2 respecto a S1 A) La arquitectura SIMD es la más sencilla B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de las arquitectura setalatorado una multiprocesador es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador es exorence la parquitectura secalar multibebra con bloqueo: C) C comuta a otra hebra cuando finaliza con	30		ъ
Sean la instrucción vectorial ADDV VI, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclos y tiempo de iniciación = 1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo?	20		ע
Sean la instrucción vectorial ADDV VI, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclos y tiempo de iniciación =1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 ciclos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 1 B) En el banco 0 C) En el banco 4 D) En el banco 4 D) En el banco 4 D) En el banco 6 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 1 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 1 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 1 secciones de 32 elementos D) El vector se divide en 1 secciones de 32 elementos D) El vector se divide en 1 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El v			
ciclos y tiempo de iniciación =1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo? A) 70 ciclos B) 384 ciclos D) 6 ciclos Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 D) En el banco 8 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 44 secciones de 16 elementos B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) La sentencia 32 es vectorizable A) Existe riesgo de tipo RAM en 52 respecto a S1 D) La sentencia 32 es vectorizable D) La sentencia 32 es vectorizable D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 4 secciones de 4 de 4 secciones de 4 de 4 secciones de 4 de 4 secciones de 5 secreta de 4 secciones de 5 secreta de 4 secciones de 5 s			
completo?	1		
A) 70 ciclos B) 384 ciclos D) 6 ciclos	2.1		A
B) 384 ciclos Eau ni sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 1 elemento B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos D) La sentencia S1 es vectorizable A) Ninguna sentencia se vectorizable B) Las dos sentencias son vectorizable D) La sentencia S2 es vectorizable D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = B(i-1) + A(i), con i = 164: A) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) La sentencia S1 es vectorizable A) Las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Ninguna sentencia se vectorizable D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) El vector se divide en 4 secciones de 16 elementos D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Presenta dos unidades operativas D) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es co			11
Sca un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 D) En el banco 8 Sca un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 2 secciones de 16 elementos D) Debe tener tantos cauces de 16 elementos D) Debe tener tantos cauces como hebras D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados D) Se incluye dentro de			
bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra: A) En el banco 0 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos Sean las sentencias de un bucle S1: B(i) = A(i-1)*K y S2: C(i) = B(i-1) + A(i), con i = 164: A) Ninguna sentencia es vectorizable B) Las dos sentencias son vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Existe riesgo de tipo RAW en S2 respecto a S1 B) Existe riesgo de tipo RAW en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control A) No contiene unidad de control C) Presenta dos unidades operativas B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de Isa arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Se incluye dentro de los sistemas denominados D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
A) En el banco 1 B) En el banco 0 D) En el banco 8 Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 22 elementos D) El vector se divide en 4 secciones de 22 elementos D) La sentencia SI Se elementos D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S2 respecto a SI D) Existe riesgo de tipo RAW en S			
Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 2 secciones de 32 elementos Sean las sentencias de un bucle S1: B(i) = A(i-1)*K y S2: C(i) = B(i-1) + A(i), con i = 164: A) Ninguna sentencia es vectorizable C) La sentencia S1 es vectorizable D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) El vector se divide en 2 secciones de 32 elementos D) El sentencia S1 es vectorizable D) La sentencia S2 es vectorizable D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: C) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: C) Presenta dos unidades operativas B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	22		Α
Máxima de Vector MVL = 64: A) El vector se opera en su totalidad sin seccionamiento D) El vector se divide en 4 secciones de 16 elementos B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 4 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 1 se secciones de 1 secciones D) El vector se divide en 2 secciones de 1 se secciones D) El vector se divide en 2 secciones de 1 se secciones D) El vector se divide en 2 secciones de 1 se secciones D) El vector se divide en 2 secciones de 1 se secciones D) El vector se divide en 2 secciones de 1 se secciones D) De tener tantos cauces		B) En el banco 0 D) En el banco 8	
A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 16 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El vector se divide en 2 secciones de 32 elementos D) El sector in 164: A) Ninguna sentencia se vectorizable D) La sentencia S1 es vectorizable D) Existe riesgo de tipo RAR en S2 respecto a S1 D) Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WAR en S2 respecto a S1 A Existe riesgo de tipo WaR en S2 respecto a S1 A Existe riesgo de tipo WaR en			
A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 1 elemento D) El vector se divide en 2 secciones de 32 elementos Sean las sentencias de un bucle S1: B(i) = A(i-1)*K y S2: C(i) = B(i-1) + A(i), con i = 164: A) Ninguna sentencia es vectorizable D) La sentencia S1 es vectorizable Sean las sentencias son vectorizables D) La sentencia S2 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Existe riesgo de tipo RAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control D) Presenta dos unidades operativas D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, commuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados Computadores Computadores Computadores Computadores Computadores de tamaño medio C) Después de cada denominados Computadores de tamaño medio	23		Δ
Sean las sentencias de un bucle S1: B(i) = A(i-1)*K y S2: C(i) = B(i-1) + A(i), con i = 164: A) Ninguna sentencia es vectorizable C) La sentencia S1 es vectorizable B) Las dos sentencias son vectorizables D) La sentencia S2 es vectorizable A	23		А
A) Ninguna sentencia es vectorizable B) Las dos sentencias son vectorizables D) La sentencia S1 es vectorizable Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Existe riesgo de tipo RAW en S2 respecto a S1 B) Existe riesgo de tipo RAR en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos B) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla B) La arquitectura SISD es la más sencilla C) La arquitectura MISD es la más sencilla B) La arquitectura SISD es la más sencilla C) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados O) Se incluye dentro de los sistemas denominados			
B) Las dos sentencias son vectorizables Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Existe riesgo de tipo RAW en S2 respecto a S1 B) Existe riesgo de tipo RAW en S2 respecto a S1 C) Existe riesgo de tipo WAW en S2 respecto a S1 B) Existe riesgo de tipo RAR en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: C) Presenta dos unidades operativas B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos En base a la clasificación de Flynn sobre los sistemas computadores: En base a la clasificación de Isa arquitecturas paralelas, en un multiprocesador tipo UMA: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: 29 A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados O) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
Sean las sentencias de un bucle S1: B(i) = A(i)/K y S2: C(i) = A(i) + B(i-1), con i = 164: A) Existe riesgo de tipo RAW en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 A tendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control C) Presenta dos unidades operativas B Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones	24		A
A) Existe riesgo de tipo RAW en S2 respecto a S1 B) Existe riesgo de tipo RAR en S2 respecto a S1 D) Existe riesgo de tipo WAW en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: 29 A) Después de cada ciclo, conmuta a otra hebra D) Debe tener tantos cauces como hebras D) Debe			
B) Existe riesgo de tipo RAR en S2 respecto a S1 Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla B) La arquitectura SISD es la más sencilla B) La arquitectura SISD es la más sencilla C) La arquitectura MISD es la más sencilla B) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: 29 A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	25		
Atendiendo al esquema de la arquitectura Harvard estudiada: A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla B) La arquitectura SISD es la más sencilla B) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados To Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	25		A
A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores Computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
B) Diferencia una memoria de instrucciones y otra de datos D) Presenta un único bus de datos e instrucciones En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla C) La arquitectura MISD es la más sencilla B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: 28 A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: 29 A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores C) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	26		P
En base a la clasificación de Flynn sobre los sistemas computadores: A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores Computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	20	, , , , , , , , , , , , , , , , , , , ,	D
A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores C) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	 		
B) La arquitectura SISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria C) El contador de programa PC es compartido B) La memoria física es compartida por los procesadores D) El acceso a la memoria se hace por paso de mensajes Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores Computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	2.7		R
En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA: A) Sólo utiliza caché como memoria B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores C) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas			D
A) Sólo utiliza caché como memoria B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados computadores C) Se incluye dentro de los sistemas denominados			
B) La memoria física es compartida por los procesadores Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra C) Conmuta a otra hebra cuando finaliza con la anterior B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras D) Debe tener tantos cauces como hebras C) Se incluye dentro de los sistemas denominados computadores C) Se incluye dentro de los sistemas denominados computadores computadores de tamaño medio D) Debe tener tantos cauces como hebras C) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Debe tener tantos cauces como hebras D) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Debe tener tantos cauces como hebras	28		В
Considerando una arquitectura escalar multihebra con bloqueo: A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados minicomputadores C) Se incluye dentro de los sistemas denominados computadores de tamaño medio D Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados computadores C) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
B) Después de cada detención, conmuta a otra hebra D) Debe tener tantos cauces como hebras Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs: A) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados computadores computadores de tamaño medio B) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados	29		В
A) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados C) B) Se incluye dentro de los sistemas denominados D)		, 1	
A) Se incluye dentro de los sistemas denominados C) Se incluye dentro de los sistemas denominados computadores de tamaño medio D B) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
B) Se incluye dentro de los sistemas denominados D) Se incluye dentro de los sistemas denominados			
	30		D
microcomputadores supercomputadores			
		microcomputadores supercomputadores	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 7 de Septiembre de 2018

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una Memoria Principal con capacidad de 1 GByte y tamaño de palabra de 2 Bytes y una Memoria Caché de 512 KBytes, dividida en 4 bloques/conjunto, con 32 Kpalabras/bloque.

- a) Justificar e indicar la organización (número de palabras, ancho de palabra de memoria, número de bloques y número de conjuntos si procede) que tiene la Memoria Principal y la Memoria Caché.
- b) Justificar la **función de correspondencia** empleada y el **formato de dirección** que define la unidad central de proceso, especificando cada uno de los campos en los que se divide. Especificar la dirección que corresponde a la última palabra del Bloque 16 de MP. ¿En qué conjunto de MCaché se ubicará?

Se supone que, después de haber estado la memoria caché "vacía", en el *Instante 1* la CPU llama a las direcciones 0, 1, 2, 32767, 32768, 65536 y 65537.

c) Indicar el contenido de la Memoria Caché en el *Instante 1*.

A continuación, en el *instante 2*, la CPU lee la secuencia de bloques de memoria: B3, B5, B6, B8, B10, B2, B7 y B0 según el orden marcado en la misma y leyendo todas las posiciones de cada bloque una sola vez.

- d) Mostrar el contenido de la memoria caché en el *Instante 2*. Considerar el algoritmo de reemplazo LFU.
- e) Identificar cuántos fallos de caché se han producido y de qué tipo en el *Instante 2*. ¿Y cuántos aciertos?
- f) Calcular justificadamente la frecuencia de uso de todos los bloques que han pasado por el Conjunto 0 de la Mcaché (tanto los que se encuentran en la memoria caché en el instante 2 como los que han salido fuera), teniendo en cuenta el número total de referencias al Conjunto 0 que han tenido desde que fueron introducidos en caché por primera vez.

PROBLEMA 2. (2,25 ptos.). Sea el sistema computador serie basado en la arquitectura Von Neumann, representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria	Instrucción
(en hexadecimal)	(en ensamblador)
B0000h	BZ B0002h
B0001h	DIV 0000Ah, .2
B0002h	NOP
C0000h	ADD R3, #1

- 1. Mostrar los formatos de las instrucciones.
- 2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar la secuencia según el flujo marcado por el programa propuesto.
- 3. Definir el valor de las señales de control correspondiente a la secuencia de operaciones elementales: RD ← 0000Ah (obtenida la dirección 0000Ah de RI) y posteriormente RA ← M(0000Ah)/R2, realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dichas operaciones.

Teniendo en cuenta:

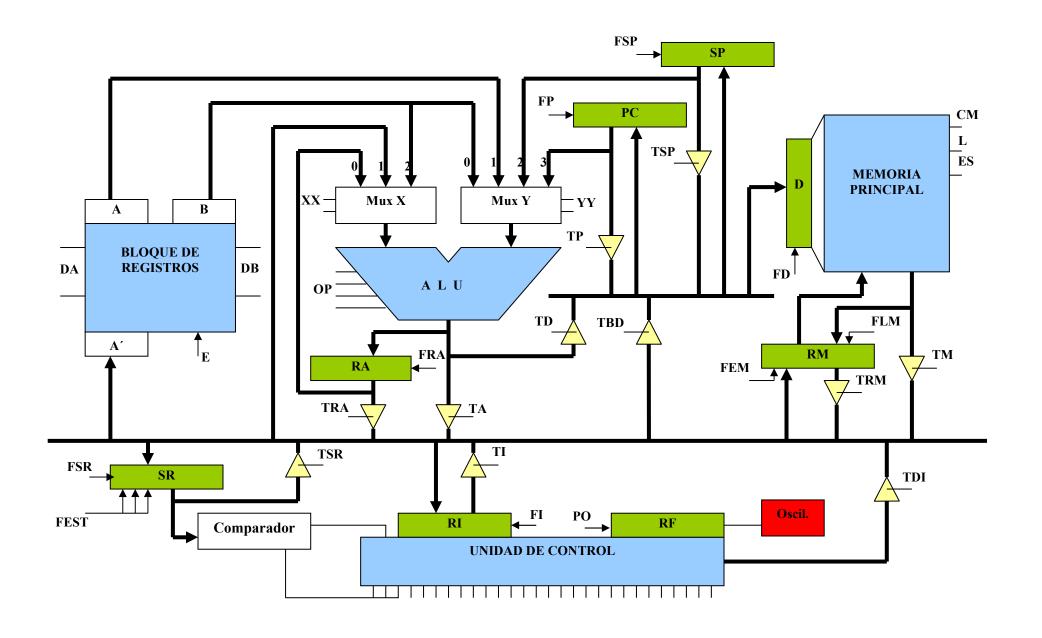
- a) PRIMERA INSTRUCCIÓN: Instrucción de bifurcación condicional BZ, con direccionamiento directo absoluto a memoria, y biestable Z = 0.
- b) SEGUNDA INSTRUCCIÓN: Instrucción aritmética DIV, con modo de direccionamiento directo absoluto a memoria para el primer operando y directo absoluto a registro para el segundo operando. El contenido de R2 = 0, provocando un cepo o trap y no siendo necesario guardar el resultado de la operación. La dirección donde se encuentra la Rutina de Servicio a la Interrupción es C0000h
- c) TERCERA INSTRUCCIÓN: Instrucción de no operación NOP.
- d) CUARTA INSTRUCCIÓN: Instrucción aritmética ADD, con modo de direccionamiento directo absoluto a registro para el primer operando e inmediato para el segundo operando.
- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de los direccionamientos relativos se realizarán de manera automática después del periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.

j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.

PROBLEMA 3. (2,25 ptos.). El siguiente fragmento de código se ejecuta en un procesador con arquitectura DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las unidades funcionales para operaciones en coma flotante están **segmentadas**).

```
LF F2, 20(R1)
LF F3, 10(R2)
ADDI R1, R1, #4
SUBI R2, R2, #4
FMULT F6, F7, F8
FDIV F1, F2, F3
FADD F2, F4, F1
SF 30(R0), F2
```

- a) Suponiendo que la memoria tiene dos puertos de acceso pero no existe adelantamiento, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen bloqueos en la cadena y a qué se deben
- b) Repetir el apartado a) para una versión del DLX que incluya adelantamiento (bypass) generalizado. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etapa	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$	IR ← M[PC]	IR ← M[PC]
	PC ← PC+4	PC ← PC+4	PC ← PC+4
ID	A ← Rs1; B ← Rs2	A ← Rs1; B ← Rs2	A ← Rs1; B ← Rs2
	PC1 ← PC	PC1 ← PC	PC1 ← PC
	IR1 ← IR	IR1 ← IR	IR1 ← IR
EX	ALU _{output} ← A op (B or (IR1 ₁₆) ¹⁶ ##IR1 ₁₆₃₁)	MAR ← A+(IR1 ₁₆) ¹⁶ ##IR1 ₁₆₃₁	Salto
		SMDR ← B	ALU _{output} ← PC1+IR1 ₁₆) ¹⁶ ##IR1 ₁₆₃₁)
			Cond ← (Rs1 op 0);
			Bifurcación
			ALU _{output} ← PC1+ IR1 ₂₆) ⁶ ##IR1 ₆₃₁)
MEM	ALUoutput1 ← ALUoutput	LMDR ← M[MAR]	If (cond):
		О	PC ← ALU _{output}
		M[MAR] ← SMDR	
WB	Rd ← ALU _{output} 1	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

	Apellidos:	pellidos:														Nombre:															
	Apartado a) 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 LF F2, 20 (R1) 8 9 10 11 12 13 14 15 16														17	18	19	20	21	22	23	24	25	26	27	28	29	30			
LF F	3, 10(R2)																														
ADDI	R1, R1, #4																														
SUBI	R2, R2, #4																														
	F6, F7, F8																														
	F1, F2, F3																														
	F2, F4, F1																														
SF 3	O(RO), F2																		antamie							antamie					
Apart	ado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	2, 20(R1)																														
	3, 10(R2)																														
	R1, R1, #4																														
	R2, R2, #4																														
	F6, F7, F8																														
	F1, F2, F3																														
	F2, F4, F1																														
	O(RO), F2							D.	<u> </u>									4 1 1	<u> </u>						411	<u> </u>	<u> </u>				
Detenci	ones							Dete	nciones	3								Adela	antamie	entos					Adela	antamie	entos				