

EXAMEN DE ESTRUCTURA DE COMPUTADORES. Campus de El Carmen, 17 de Septiembre de 2019

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.10
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1	La Unidad Operativa de un computador de una dirección, además del Registro Acumulador, ¿cuántos registros exclusivos más necesita?: A) Dos B) Uno C) Cero D) Ninguna de las afirmaciones anteriores es correcta	C
2	En un computador Von Neumann, se considera una instrucción de bifurcación incondicional: A) BNZ B) CALL C) BC D) Ninguna de las afirmaciones anteriores es correcta	B
3	Si un dato completo está almacenado en una posición de memoria, ¿cuántas instrucciones hay que ejecutar en un computador Von Neumann para llevar ese dato al registro acumulador?: A) Únicamente una instrucción B) Como mínimo dos instrucciones, puesto que de memoria obligatoriamente debe ir a un registro del banco de registros C) Depende del sistema de representación empleado para el dato D) Depende de que el computador sea de cero, una, dos o tres direcciones	A
4	Una arquitectura de computador Von Neumann con Registro Acumulador, es un computador de: A) Tres direcciones B) Dos direcciones C) Cero direcciones D) Ninguna de las afirmaciones anteriores es correcta	D
5	¿Qué registro es imprescindible en cualquier computador Von Neumann de menos de cuatro direcciones?: A) El Registro Índice B) El Registro de Instrucción C) El Registro Puntero de Pila D) Ninguna de las afirmaciones anteriores es correcta	B
6	Una información del tipo dato, almacenada en memoria, con la combinación de bits 1100101000011111: A) Necesita siempre dos posiciones de memoria B) Necesita siempre una posición de memoria C) Nunca podría coincidir con la representación de una instrucción D) Ninguna de las afirmaciones anteriores es correcta	D
7	Un sistema de representación numérica con bit implícito, implica: A) Mantisa fracción B) Mantisa entera C) Mantisa no normalizada D) Base 4, 8 ó 16	A
8	¿Cuál de los siguientes sistemas de representación de enteros tiene un bit exclusivamente para el signo? A) El C2 B) El C1 C) El exceso Z D) Ninguna de las afirmaciones anteriores es correcta	D
9	Dado el estándar IEEE 754 de simple precisión, cuando E = 11111111: A) No representa un valor en la zona normalizada B) Representa un valor en la zona normalizada C) Únicamente puede representar + ∞ ó - ∞ D) Ninguna de las afirmaciones anteriores es correcta	A
10	Si la representación binaria 1 0 0 0 0 0 0 representa un polinomio generador en un código polinomial o redundante cíclico, ¿qué grado tiene ese polinomio generador?: A) 6 B) 8 C) 1 D) 7	A
11	En el diseño del Mapa de Memoria de un computador, la decodificación COMPLETA de las direcciones implica: A) Complicar la decodificación B) Asociar a cada elemento una única posición del Mapa C) Ocupar todas las posiciones del mapa D) Mapa de Memoria Común forzosamente	B
12	De las conexiones posibles de la memoria caché, indica la/s que implica/n acceder siempre al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones	A
13	Dado un módulo de memoria SRAM, además de las líneas de alimentación, las A _i (dirección), las D _i (datos), la OE (habilitación de lectura), WE (habilitación de escritura) y CS (selección de chip), ¿qué líneas necesita?: A) No necesita ninguna línea adicional B) On/Off C) Recall y Store D) Ninguna de las afirmaciones anteriores es correcta	A
14	La asignación de espacio, en memoria principal con el mecanismo de memoria virtual, o en memoria caché con el mecanismo de caché, se resuelven con elementos: A) Hardware y software respectivamente B) Hardware en ambos casos C) Software y hardware respectivamente D) Software en ambos casos	C
15	Dado un espacio de memoria con organización de 64 Kposiciones y 16 bits en cada posición. Se puede cubrir completamente: A) Con 4 módulos de 32Kx4 B) Con 4 módulos de 8Kx16 C) Con 16 módulos de 8Kx4 D) Ninguna de las afirmaciones anteriores es correcta	D
16	De todas las formas posibles de realizar una operación en un sistema computador, y que se nombran a continuación, ¿cuál es la más lenta?: A) Mediante un circuito secuencial con unidad de control propia B) Mediante un circuito secuencial con la UC de la CPU C) Mediante un programa D) Mediante un circuito combinacional	C

17	De los tres biestables de estado aritmético: Z(Cero), O(Desbordamiento) y C(Acarreo), que forman parte del registro de estado, ¿cuál/es de ellos puede utilizar la Unidad Operativa como entrada?		C
	A) Los biestable Z ó C B) El biestable O exclusivamente	C) El biestable C D) Cualquiera de ellos, dependiendo de la operación	
18	En un computador binario, la división de un número por una potencia de dos, se puede realizar:		C
	A) Con un circuito secuencial divisor exclusivamente B) Con un circuito combinatorial divisor exclusivamente	C) Con un circuito desplazador a la derecha D) Ninguna de las afirmaciones anteriores es correcta	
19	En un sistema de representación en exceso 2^{n-1} (n es el nº de bits del formato), si queremos realizar la extensión de signo hacia otro sistema con mayor número de bits, y se conserva exactamente el mismo exceso 2^{n-1}, ¿cómo se hará?:		A
	A) Rellenando las posiciones sobrantes (las de más peso) con "0s", tanto si el valor es positivo como negativo B) No se puede realizar, es imposible	C) Rellenando las posiciones sobrantes (las de más peso) con "1s", tanto si el valor es positivo como negativo D) Las posiciones sobrantes (de más peso) se rellenarán con "0s" ó "1s", respectivamente si el valor es positivo o negativo	
20	En un sistema computador, un coprocesador:		C
	A) No mejora el rendimiento del computador nunca, lo hace siempre más lento B) No pone a disposición del programador más instrucciones de las que ya tenía la CPU	C) Comparte el Contador de Programa con la CPU D) Ninguna de las afirmaciones anteriores es correcta	
21	Dada una instrucción de un sistema computador:		A
	A) Su campo Código de Operación, especifica el modo de direccionamiento de la instrucción B) Su campo de Dirección especifica su formato	C) Los campos de Código de Operación y de Dirección siempre tienen el mismo tamaño D) El número de bits del campo Código de Operación depende exclusivamente del número de operaciones posibles	
22	El modo de direccionamiento directo absoluto a memoria para una instrucción de procesamiento de operando, aparte de los accesos a memoria para buscar la instrucción:		A
	A) Implica siempre un acceso a memoria más como mínimo B) No implica más accesos a memoria nunca	C) No implica accesos a memoria si el operando viene en la propia instrucción D) Ninguna de las afirmaciones anteriores es correcta	
23	Del modo de direccionamiento INMEDIATO se puede decir que:		A
	A) Hay determinados tipos de instrucciones en los que no puede existir jamás B) No es muy normal que exista en un microprocesador	C) Especifica el registro de propósito general en el que está el operando D) No existe en instrucciones aritméticas nunca	
24	El direccionamiento relativo a un registro índice de una instrucción concreta:		C
	A) No incrementa nunca el registro índice B) Es siempre directo	C) Implica modificación del registro índice D) Es siempre indirecto	
25	Un repertorio de instrucciones de un computador se dice que es <i>completo</i> si puede realizar cualquier <i>tarea computable</i>; si además la puede realizar en un tiempo reducido se dice que es:		B
	A) Económico B) Eficaz	C) Único D) Ninguna de las afirmaciones anteriores es correcta	
26	Un Controlador de acceso directo a memoria (DMAC):		C
	A) No puede provocar interrupciones B) Es un procesador de E/S	C) Puede manejar los buses D) No necesita ser programado	
27	Una interrupción vectorizada:		A
	A) Es una ruptura de secuencia no programada B) Es atendida siempre por la CPU, independientemente del valor del Biestable de Inhibición de Interrupciones	C) Es exclusiva para los dispositivos con capacidad de DMA D) Ninguna de las afirmaciones anteriores es correcta	
28	Si cuando redondeamos el valor 0,011111 se obtiene el valor 0,0111, ¿qué técnica se ha aplicado?:		B
	A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento o la de truncamiento y bit menos significativo a 1	C) La de redondeo propiamente dicho y la de truncamiento D) Ninguna de las afirmaciones anteriores es correcta	
29	Un Controlador de Acceso Directo a Memoria (DMAC) es capaz de realizar, sin intervención alguna de la CPU:		B
	A) La transferencia de varios bloques de información no consecutivos B) La transferencia de un bloque de información completo	C) Cualquier operación de E/S completa D) Ninguna de las afirmaciones anteriores es correcta	
30	Además del Controlador de Acceso Directo a Memoria (DMAC), otros dispositivos de E/S con capacidad de acceso directo a memoria:		C
	A) Son los controladores de interrupciones B) No existen	C) Son por ejemplo los procesadores de E/S D) Ninguna de las afirmaciones anteriores es correcta	

Fdo.: Los profesores de la asignatura

EXAMEN DE ESTRUCTURA DE COMPUTADORES

2º Curso Grado Ingeniería Informática

Campus El Carmen, 17 de Septiembre de 2019

PROBLEMA 1. (2,5 puntos)

Dado el programa mostrado a continuación (Tabla 1), completar la plantilla que se suministra de forma que se muestre la ejecución del programa indicando la evolución de los registros empleados, del registro contador de programa (PC), el bit Z del registro de estado aritmético, así como de las posiciones de memoria implicadas. Para ello, suponer que:

- El programa está almacenado a partir de la dirección 01F0h de memoria.
- Inicialmente, el registro R1 contiene el valor 1, el biestable Z = 1 y el resto de registros el valor 0.
- Las instrucciones que afectan al biestable de estado Z son, además de la de comparación, las que implican operaciones aritméticas.
- El contenido inicial de registros y posiciones de memoria se muestra en la Tabla 2. El resto de registros y posiciones de memoria contienen inicialmente el valor cero.
- Los modos de direccionamiento empleados funcionan según se muestra en la Tabla 3.

Tabla 1. Programa a ejecutar	
Instrucción	Longitud
JMP \$+0001h	2
DEC .1	1
LOAD 0050h[.1--]	3
ADD 0050h	2
STORE 0050h	2
LOAD .1	1
CMP #0	1
BNZ 01F3h	2
NOP	1

Tabla 2. Contenido inicial (Memoria y Registros)			
M(0050h)	M(0051h)	M(0052h)	R1
00h	10h	20h	2

Tabla 3. Modos de Direccionamiento		
Modo de direccionamiento	Prefijo/sufijo	Ejemplo
DIRECTO ABSOLUTO A MEMORIA		ADD 18; AC \leftarrow AC+M(18)
DIRECTO ABSOLUTO a Registro	Prefijo .	ADD .18 ; AC \leftarrow AC + R18
DIRECTO RELATIVO a REGISTRO BASE con autopredecemento	Corchete [--.]	ADD 18[.-3] ; R3 \leftarrow R3 -1 AC \leftarrow AC +M(18+R3)
DIRECTO RELATIVO a PC	Prefijo \$	ADD \$18 ; AC \leftarrow AC +M(PC+18)

Una vez finalizado el ejercicio, obtener en decimal el valor final que almacena la posición de memoria M(0050h) y obtener su representación según el formato del estándar IEEE 754 de simple precisión.

PROBLEMA 2. (2,25 puntos)

Dado un sistema computador con bus de datos de 8 líneas y bus de direcciones de 20 líneas y con especificaciones de diseño para el sistema de mapa de memoria común:

- 256 Kposiciones de memoria para el sistema operativo, actualizable de forma continuada. Se ubicará siempre en posiciones de memoria consecutivas y en las últimas posiciones del mapa de memoria.
- 384 Kposiciones para diferentes aplicaciones actuales y futuras. En posiciones de memoria del mapa consecutivas y justo antes de las que ocupa el sistema operativo.
- 128 Kposiciones de memoria para los programas de inicialización; en las primeras posiciones del mapa de memoria. Estos programas de inicialización deben poder ser modificados y actualizados anualmente.
- Para la E/S se tiene un total de 128 Kposiciones implementadas, justo a continuación de las posiciones del mapa ocupadas por los programas de inicialización.
- Para la elección de los módulos de memoria y de E/S se debe tener en cuenta:
 - o Se dispone de módulos de memoria de tipo SRAM, NOVRAM y UV-EPROM.
 - o La organización de los módulos de solo lectura es de 128Kx4.
 - o La organización de los módulos de lectura y escritura es de 128Kx8.
 - o Todos los módulos de E/S tienen una organización de 64Kx8.
 - o **Debe primarse el coste en la elección de los módulos** (el coste/bit de los módulos de SRAM es el menor y el de los módulos de NOVRAM el mayor).
- El tamaño básico inicial a considerar para el diseño del mapa de memoria debe ser de 128 Kposiciones.

Se pide:

1. Dibujar un esquema de **cada dispositivo elegido** para el diseño, justificando la elección, y detallando todas las líneas de comunicación de cada uno de esos tipos de módulos.
2. Diseñar el/los mapa/s de direcciones, indicando el espacio ocupado según los distintos tipos de módulos y función, así como la dirección de comienzo y finalización, en hexadecimal, de cada uno de esos espacios con usos diferentes.
3. Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior. En este esquema debe aparecer: el **Procesador**, los **módulos de memoria**, los **módulos de E/S**, los **circuitos que realizan la función de decodificación** y **cualquier otro circuito electrónico** necesario para que el sistema pueda operar correctamente.

PROBLEMA 3. (2,25 puntos)

Disponemos de un sistema con CPU basada en banco de registros (con 256 registros de propósito general) y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas en hexadecimal (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
 - 1- La CPU va a ejecutar las instrucciones **LD R18, 3030h**, **LD R12, #18h**, **ADD R12, R18** y **ST 2020h, R12**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **6000h**; y la cuarta instrucción se encuentra situada en la posición de memoria obtenida al concatenar el vector de interrupción (parte de menos peso de la dirección) con el valor **A0h** (parte de más peso de la dirección). Los códigos de operación correspondientes a las instrucciones son respectivamente **00h**, **11h**, **22h** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - 2- Durante el quinto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **AAh**, **BBh** y **CCh** a partir de la posición **0000h**. El controlador opera en modo carácter.
 - 3- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Fh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final de los registros implicados y el de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
 - 1- Contenido de la dirección 3030h = AAh
 - 2- Contenido de la dirección 3031h = AAh
 - 3- Contenido de la dirección 2020h = 18h
 - 4- Contenido de la dirección 2021h = 19h

Fdo.: Los profesores de la asignatura.

4

Apellidos: Nombre:

ADDR()																						
DAT()																						
BUSREQ																						
BUSACK																						
INT																						
INTACK																						
MEMREQ																						
RD																						
WR																						
	Ciclo 1°	Ciclo 2°	Ciclo 3°	Ciclo 4°	Ciclo 5°	Ciclo 6°	Ciclo 7°	Ciclo 8°	Ciclo 9°	Ciclo 10°	Ciclo 11°	Ciclo 12°	Ciclo 13°	Ciclo 14°	Ciclo 15°	Ciclo 16°	Ciclo 17°	Ciclo 18°	Ciclo 19°	Ciclo 20°	Ciclo 21°	Ciclo 22°
Tipo de ciclo																						

Inicial												
Interm. 1												
Interm. 2												
Final												