

# EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 21 de Septiembre de 2016

Apellidos ..... Nombre .....

Valor de cada: Respuesta correcta + 0.10  
 Respuesta incorrecta - 0.05  
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1*	<b>En la arquitectura Von Neumann, atendiendo a los dos tipos de informaciones que se pueden leer de la Memoria Principal (instrucciones y datos):</b> A) Las instrucciones son manejadas por la Unidad Operativa B) Las instrucciones tienen una representación binaria y los datos otra representación no binaria C) Para los datos hay unas combinaciones binarias reservadas D) Ninguna de las afirmaciones anteriores es correcta	D
2*	<b>Dadas las instrucciones JMP 0B800h, BZ 0B800h y RET:</b> A) Las tres son instrucciones de bifurcación incondicionales B) Sólo una de ellas es de bifurcación incondicional C) Las tres son instrucciones de bifurcación D) Ninguna de las afirmaciones anteriores es correcta	C
3*	<b>Dada la operación <math>A \leftarrow A - B</math>, siendo A y B posiciones de memoria:</b> A) Todo computador necesita varias instrucciones para poder realizarla B) Algunos computadores pueden realizarla con una única instrucción C) Únicamente puede realizarse en un computador de dos direcciones D) Ninguna de las afirmaciones anteriores es correcta	B
4*	<b>El computador Von Neumann, una vez ha sido programado y está ejecutando el programa:</b> A) Nunca puede tomar decisiones B) Puede tomar decisiones en función de los resultados obtenidos en las distintas operaciones C) Toma decisiones únicamente en función de los periféricos D) Ninguna de las afirmaciones anteriores es correcta	B
5*	<b>En un computador Von Neumann, ¿cuándo NO es necesario el registro Contador de Programa?:</b> A) Únicamente si es de cuatro direcciones B) Si es de tres o de cuatro direcciones C) Siempre es necesario D) Ninguna de las afirmaciones anteriores es correcta	A
6*	<b>Los registros internos y las posiciones de memoria de un computador definen el espacio material del computador:</b> A) El espacio material debe ser infinito B) Los elementos materiales que lo definen presentan determinados tamaños en función del ancho de los caminos de acceso en paralelo C) El espacio material puede ser finito o infinito D) Los elementos materiales que lo definen presentan unos tamaños independientes del ancho de los caminos de acceso en paralelo	B
7*	<b>Dada la cadena binaria 100....00, indica los sistemas de representación en los que su valor equivalente decimal es positivo:</b> A) Signo magnitud y exceso $Z = 2^{n-1}$ B) Binario puro sin signo y exceso $Z = 2^{n-1}$ C) Binario puro con signo y complemento a 2 D) Complemento a 1 y exceso $Z = 2^{n-1}$	B
8*	<b>Dado el valor equivalente decimal 0,5; indica el sistema en el que es posible obtener su representación exacta equivalente:</b> A) Es necesario un sistema en coma flotante con mantisa entera obligatoriamente B) Sólo es posible con el binario puro C) Es necesario un sistema en coma flotante con mantisa fracción obligatoriamente D) En coma fija con signo	D
9*	<b>Dado el estándar IEEE 754 de simple precisión, cuando E = 000...00 y M = 111...11:</b> A) Representa un valor de la zona desnormalizada B) Representa un valor de la zona normalizada C) Representa indeterminaciones del tipo 0/0 D) Representa el valor $-\infty$	A
10*	<b>Dado un sistema de representación polinomial cuyo polinomio generador es 1 0 0 0 1 0 0 0 0 0 1 0 0 0 0 0, su expresión de polinomio en la variable "x" y coeficientes "1" ó "0" es:</b> A) $P(x) = x^{17} + x^{13} + x^6 + x$ B) $P(x) = x^4 + x^2 + x + 1$ C) $P(x) = x^{16} + x^{12} + x^5$ D) Ninguna de las afirmaciones anteriores es correcta	C
11*	<b>Dado un sistema computador con 30 líneas en el bus de direcciones y mapa de memoria común, ocupado al 40%, se puede afirmar que:</b> A) Podría aplicarse decodificación incompleta si fuese mapa de memoria no común B) No se puede aplicar decodificación incompleta C) No se puede aplicar decodificación completa D) Ninguna de las afirmaciones anteriores es correcta	D
12*	<b>De las conexiones de la memoria caché, indica la que no implica acceder a la memoria principal en caso de acierto:</b> A) La conexión paralela B) La conexión serie C) La conexión mixta D) Ninguna de las afirmaciones anteriores es correcta	B
13*	<b>Sea un módulo de memoria que sólo contiene las siguientes líneas: A<sub>i</sub> (dirección), D<sub>i</sub> (datos), OE (habilitación de salida), WE (habilitación de escritura) y CS (selección de chip):</b> A) Se trata de un módulo tipo RAM B) Se trata de un módulo tipo DRAM C) Se trata de un módulo tipo ROM o PROM D) Se trata de un módulo de E/S	A
14*	<b>Un procesador con dos niveles de ejecución: nivel de usuario y nivel de núcleo, tiene como nivel más permisivo:</b> A) El nivel de usuario B) El nivel de núcleo C) La permisividad no depende del nivel de ejecución D) Ambos niveles implican la misma permisividad, dependiendo la misma del Sistema Operativo	B

15*	<b>Dado un espacio de memoria con organización de 32 Kposiciones y 8 bits en cada posición, se puede cubrir completamente:</b> A) Con 1 módulo de 32Kx4 B) Con 8 módulos de 32Kx1 C) Con 8 módulos de 4Kx4 D) Con 2 módulos de 32Kx2	<b>B</b>
16*	<b>De las cuatro formas que se puede realizar una operación (aritmética, lógica, ...), la forma más rápida es mediante:</b> A) Un circuito combinacional B) Un circuito secuencial con la unidad de control de la CPU C) Un circuito secuencial con unidad de control propia D) Ninguna de las afirmaciones anteriores es correcta	<b>A</b>
17*	<b>Una unidad operativa capaz de realizar operaciones tanto de datos enteros como en coma flotante (FP):</b> A) Debe tener obligatoriamente dos bancos de registros: uno para enteros y otro para FP B) Debe tener siempre uno o varios bancos de registros de tamaño doble palabra C) Puede tener un único banco de registro para enteros y para FP D) Ninguna de las afirmaciones anteriores es correcta	<b>C</b>
18*	<b>La multiplicación de un número por una potencia de dos:</b> A) Hay que realizarla obligatoriamente con un circuito desplazador B) Puede provocar desbordamiento C) Debe realizarse con un circuito secuencial multiplicador obligatoriamente D) Ninguna de las afirmaciones anteriores es correcta	<b>B</b>
19*	<b>La operación de extensión de signo de un valor representado en exceso Z (con el mismo exceso en ambos sistemas):</b> A) Implica rellenar las posiciones sobrantes con "1s" si el valor es positivo y con "0s" si el valor es negativo B) Implica rellenar las posiciones sobrantes con "1s" siempre C) Implica rellenar las posiciones sobrantes con "0s" si el valor es positivo y con "1s" si el valor es negativo D) Implica rellenar las posiciones sobrantes con "0s" siempre	<b>D</b>
20*	<b>El "coproceso" implica:</b> A) No tener instrucciones propias el coprocesador B) Compartir el flujo de instrucciones los procesadores C) Que cada procesador tenga su contador de programa D) Que el coprocesador sea matemático obligatoriamente	<b>B</b>
21*	<b>El campo código de operación de una instrucción:</b> A) Puede indicar o no la operación B) Nunca indica el tipo de operando que interviene en la operación C) Tiene siempre el mismo nº de bits en todas las instrucciones de un determinado procesador D) Le indica a la Unidad de Control cuántos accesos a memoria tiene que realizar para buscar la instrucción completa	<b>D</b>
22*	<b>La ejecución de una instrucción con modo de direccionamiento indirecto absoluto a memoria, aparte de los accesos a memoria para buscar la instrucción:</b> A) Puede no implicar acceso a memoria alguno B) Implica siempre un acceso a memoria como mínimo C) Implica siempre dos accesos a memoria como mínimo D) Ninguna de las afirmaciones anteriores es correcta	<b>A</b>
23*	<b>Del modo de direccionamiento inmediato se puede decir que:</b> A) Puede existir para todo tipo de instrucciones B) No existe para determinado tipo de instrucciones C) No tiene ninguna utilidad D) Ninguna de las afirmaciones anteriores es correcta	<b>B</b>
24*	<b>Comparando los direccionamientos directo relativo a registro base y directo relativo a registro índice:</b> A) El relativo a registro base implica modificación del registro B) El relativo a registro índice implica un formato de instrucción mayor que el relativo a registro base C) Ambos implican sumar un desplazamiento a un registro D) El relativo a registro índice no es útil	<b>C</b>
25*	<b>El que un repertorio de instrucciones sea "eficaz" implica:</b> A) Que tenga cuantas más instrucciones mejor B) Que utilice tan sólo cuatro instrucciones como la Máquina de Turing C) Que sea capaz de realizar cualquier tarea computable D) Que para la tarea computable que realice dedique el menor tiempo posible	<b>C</b>
26*	<b>Un Canal de E/S:</b> A) Es un Controlador de Acceso Directo a Memoria B) Es un registro perteneciente a un dispositivo de E/S con capacidad de provocar una interrupción C) No tiene capacidad de acceso directo a memoria D) Ninguna de las afirmaciones anteriores es correcta	<b>D</b>
27*	<b>Cuando en una interrupción el dispositivo que interrumpe suministra la información relativa a la dirección de comienzo de la rutina de tratamiento de la interrupción, la interrupción se denomina:</b> A) Enmascarable B) Vectorizada C) No enmascarable D) No vectorizada	<b>B</b>
28*	<b>En la Gestión Centralizada de Prioridades:</b> A) El recurso indica siempre quién se queda con la fase de servicio B) Un dispositivo único indica quién se queda con la fase de servicio C) Los mismos peticionarios se ponen de acuerdo entre si para determinar quién se queda con el uso del recurso D) Ninguna de las afirmaciones anteriores es correcta	<b>B</b>
29*	<b>Un Controlador de Acceso Directo a Memoria es capaz de realizar, sin intervención alguna de la CPU:</b> A) Varias operaciones de E/S completas B) Una operación de E/S completa C) La transferencia completa y seguida de todos los bloques de información D) Ninguna de las afirmaciones anteriores es correcta	<b>D</b>
30*	<b>En la técnica de redondeo denominada "Truncamiento", el error que se comete es:</b> A) $\leq$ Resolución/2 B) $\leq$ Resolución C) $<$ Resolución D) $<$ Resolución/2	<b>C</b>

## EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Septiembre)

La Rábida, 21 de Septiembre de 2016

**PROBLEMA 1. (3,0 ptos.).** Dado el programa mostrado a continuación (Tabla 1):

1. Componer (**con valores en hexadecimal exclusivamente**) la tabla que se suministra para que permita seguir su ejecución, indicando la evolución de los registros empleados, del registro contador de programa (PC), el bit Z del registro de estado y de las posiciones de memoria empleadas. Para ello, suponer que:

- El programa está cargado a partir de la dirección cero de memoria.
- Todos los registros están inicializados a un valor cero.
- El contenido inicial de las posiciones de memoria implicadas es el que se muestra en la Tabla 2.
- Las instrucciones que afectan al biestable de estado Z son, además de la de comparación, las que implican operaciones aritméticas.
- Los modos de direccionamiento empleados funcionan según se muestra en la Tabla 3.

Tabla 1. Programa a ejecutar	
Instrucción	Longitud
LOAD # 05h	2
STORE 5[.1]	2
LOAD [0080h]	3
DEC	1
STORE 5[.1++]	2
DEC	1
CMP # 0Ch	2
JNE \$ -07h	2
NOP	1

Tabla 2. Contenido de posiciones de memoria				
M(0005h)	M(0080h)	M(0081h)	M(0404h)	M(¿.....?)
00h	04h	04h	10h	00h

Tabla 3. Modos de Direccionamiento.		
Modo de direccionamiento	Prefijo/sufijo	Ejemplo
INMEDIATO	Prefijo #	<b>add #18</b> ; AC ← AC +18
DIRECTO RELATIVO a PC	Prefijo \$	<b>add \$18</b> ; AC ← AC +M(PC+18)
DIRECTO RELATIVO a REGISTRO BASE	Corchete [ . ]	<b>add 18[.3]</b> ; AC ← AC +M(18+R3)
DIR. REL. a REG. ÍND. con autopostincrement.	Sufijo ++	<b>add 18[.3++]</b> ; AC ← AC +M(18+R3) R3← R3+1
INDIRECTO ABSOLUTO A MEMORIA	Corcheto [ ]	<b>add [18]</b> ; AC ← AC+M(M(18))

2. Especificar los distintos formatos de instrucción posibles para cada modo de direccionamiento especificado en la Tabla 3 y suponiendo que

- El tamaño de la palabra de memoria del computador es de 8 bits

- b) El bus de direcciones tiene 16 líneas
- c) Los modelos de ejecución que admite el computador son REG-MEM y MEM-REG.
- d) El sistema computador tiene un total de 240 instrucciones
- e) El sistema computador tiene 8 registros que pueden utilizarse para los direccionamientos relativos a registros base e índice.

3. Representar los valores + 0, - 20 y -  $\infty$  según el estándar IEEE P754 considerando que se necesitan 8 posiciones de memoria del anterior sistema computador para representar dichos datos.

**PROBLEMA 2. (2,0 puntos).** Dado un sistema computador con bus de datos de 8 bits y bus de direcciones de 16 bits y con especificaciones de diseño para el sistema de memoria principal y E/S:

- Mapa de memoria común.
- 32 Kposiciones de memoria para el sistema operativo y para las aplicaciones.
- 16 Kposiciones de memoria para los programas de inicialización, en las primeras posiciones del mapa de memoria.
- 4 Kposiciones para E/S con módulos de 2Kx8.
- Se puede disponer de módulos de memoria RAM de 16Kx4, de NOVRAM 8Kx4, y de UVEPROM de 4Kx8.
- Emplear en el diseño al menos un módulo de cada uno de los tipos de memoria disponibles.

Se pide:

- a) Dibujar un esquema de cada dispositivo elegido para el diseño, detallando todas las líneas de comunicación.
- b) Diseñar el/los mapa/s de direcciones.
- c) Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

**PROBLEMA 3. (2,0 puntos).** Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 16 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas **en hexadecimal** (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (**se corregirá únicamente lo que aparezca en la hoja del cronograma**), a lo largo del proceso siguiente:
  - i. La CPU ejecuta las instrucciones **LDA 6060h**, **ADD #26**, **SUB 2020h** y **STA [2020h]**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **FF00h**; y la cuarta instrucción se encuentra situada en la posición de memoria especificada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **AA00h**, **BB00h**, **CC00h** y **FF00h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
  - ii. Durante el sexto ciclo de memoria, un controlador con DMA, solicita los buses para leer de memoria los datos **8**, **9** y **10** a partir de la posición **CCCCh**. El controlador opera en modo continuo.
  - iii. Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **BB00h** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida.
- b. Definir el contenido final de todos los elementos de almacenamiento implicados. El contenido de dichos elementos de almacenamiento anteriormente a la ejecución de las instrucciones es nulo o el especificado en la relación siguiente:
  - i. Contenido de la dirección 6060h = 00AAh
  - ii. Contenido de la dirección 6061h = AA00h
  - iii. Contenido de la dirección 2020h = 0018h
  - iv. Contenido de la dirección 2021h = 1800h

Fdo.: Los profesores de la asignatura.



Instrucción	PC	Z	Acum.	R1	M(.....)	M(.....)	M(.....)	M(.....)	M(.....)	M(.....)
INICIO										

Apellidos: ..... Nombre: .....