

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1	Según la clasificación de Flynn, dónde encajaría un array sistólico y un array de frente de onda:		A
	A) En MISD ambos B) En SIMD ambos	C) En MIMD ambos D) En MIMD el sistólico y en MISD el de frente de onda	
2	Considerando una arquitectura escalar multihebra (o multihilo) con entrelazado:		D
	A) Conmuta a otra hebra cuando finaliza con la anterior B) La arquitectura escalar no puede ser multihebra	C) Conmuta a otra hebra después de cada detención D) Conmuta a otra hebra después de cada ciclo	
3	En el diseño de una arquitectura de computador, indique la afirmación que es cierta:		D
	A) La arquitectura Von Neumann presenta más ventajas que el resto de arquitecturas estudiadas B) La frecuencia de procesamiento no condiciona el tiempo de ejecución	C) El repertorio de instrucciones es más completo y eficaz cuantas más instrucciones tiene D) En la arquitectura DLX, las etapas para la ejecución de una instrucción pueden necesitar más de un ciclo	
4	Comparando dos sistemas, uno con memoria caché partida y otro con memoria caché unificada:		A
	A) El de caché unificada necesita un controlador de caché más sencillo que el de la partida B) El de caché partida no necesita controlador de caché	C) El de caché partida es siempre más lento D) Ninguna de las afirmaciones anteriores es correcta	
5	En relación a la M. Principal y M. Caché, indique la afirmación que es cierta:		B
	A) La M. Caché contiene una copia total de la MP B) MP y M. Caché comparten el mismo tamaño de bloque	C) La MP tiene menor tamaño que la M. Caché D) La transferencia de información se hace a nivel de palabra	
6	En relación a las técnicas de mejora de rendimiento de la memoria principal:		C
	A) La memoria entrelazada mejora el tiempo de acceso a una única posición pero no el acceso a un bloque B) El entrelazado no mejora el sistema de memoria	C) La memoria principal más ancha reduce el tiempo de penalización por fallo en la M. Caché D) Ninguna de las afirmaciones anteriores es correcta	
7	Sea un sistema computador A que dedica 10 segundos a un proceso, si se dice que es el 30% más rápido que el computador B:		B
	A) El computador B dedica 30 segundos al mismo proceso B) El computador B dedica 13 segundos al mismo proceso	C) El computador A dedica 3 segundos más que el B D) El computador A dedica 0,3 segundos menos que el B	
8	En un sistema computador con frecuencia de procesamiento de 1 GHz, dedica 30 ns a ejecutar 6 instrucciones:		A
	A) Equivale a 5 CPI B) Equivale a 180 CPI	C) Equivale a 1 ns por instrucción D) Equivale a 0.5 ns por instrucción	
9	En relación a los MIPS, ¿qué afirmación es correcta?:		C
	A) Son independientes del repertorio de instrucciones B) Máquinas más rápidas significan menos MIPS	C) Pueden variar entre programas en el mismo computador D) Ninguna de las afirmaciones anteriores es correcta	
10	Sea un sistema computador con rendimiento valorado en 1 MIPS, ¿cuánto tiempo dedicará a la ejecución de un programa formado por 1000 instrucciones?:		B
	A) 100 ms B) 1 ms	C) 10 μs D) 20 μs	
11	De las funciones de correspondencia de la M. Caché:		A
	A) La totalmente asociativa necesita una circuitería más compleja que la asociativa por conjuntos B) La directa requiere definir algoritmo de reemplazo	C) La asociativa por conjuntos necesita una circuitería menos compleja que la directa D) Las tres comparten el mismo formato de dirección	
12	Para localizar el bloque donde se encuentra la palabra solicitada por la CPU, la función de correspondencia asociativa por conjuntos, necesita:		A
	A) Tantos elementos comparadores como bloques formen el conjunto B) Tantos elementos comparadores como conjuntos tiene	C) Tantos elementos comparadores como bloques tiene en total D) Un solo elemento comparador	
13	Sea una memoria caché de dos niveles L1 y L2, si de 200 referencias a memorias solicitadas por la CPU, el nivel L1 contiene 100 aciertos y L2 40 aciertos:		A
	A) La tasa local de fallos de L2 es del 60% B) La tasa local de fallos de L1 es del 100%	C) La tasa global de fallos de L2 es del 60% D) La tasa global de aciertos de L2 es del 90%	
14	Sea la secuencia de instrucciones LOAD A, ADD B, STORE C, con A, B, C posiciones de memoria:		A
	A) En un computador basado en acumulador, Suma dos valores de la memoria y almacena el resultado B) En una máquina basada en banco de registros, suma dos valores y almacena el resultado	C) En un computador de tres direcciones, suma dos valores de memoria y almacena el resultado D) Ninguna de las afirmaciones anteriores es correcta	
15	Sea el esquema de computador basado en la arquitectura Von Neumann estudiada, para realizar una operación de escritura en memoria:		B
	A) Se necesita definir el valor del registro PC B) Se necesita definir el valor del registro de Datos (RM) siempre	C) Se necesita algunas veces definir el valor del registro de direcciones D D) Se necesita definir el valor del registro SP	

16	Sea un computador con unidad de control microprogramada con secuenciamiento explícito, repertorio de 512 instrucciones y Memoria de Control de 2 Kpos:		A
	A) No necesita etapa traductora B) La etapa traductora ROM es de 9 pos x 11 bits	C) La etapa traductora ROM es de 512 pos x 11 bits D) Ninguna de las afirmaciones anteriores es correcta	
17	Sea un computador con unidad de control microprogramada con secuenciamiento implícito, y Memoria de Control de 2 Kpos:		A
	A) El firmware lo conforman 2^{11} microinstrucciones B) El repertorio está formado por 2 K instrucciones	C) El firmware lo conforman 11 microinstrucciones D) Faltan datos para conocer el nº de microinstrucciones	
18	Sea un sistema con arquitectura von Neumann, indica la/s instrucción/es que implica/n acceso de lectura en pila:		A
	A) La instrucción RETI B) CALL y BZ	C) ADD .2, .4 con trap por desbordamiento D) RET y CALL	
19	Comparando las arquitecturas de un procesador segmentado y uno superescalar:		A
	A) Ambas son arquitecturas segmentadas B) El procesador segmentado alcanza un nivel de paralelismo superior	C) Ambas son arquitecturas serie D) El procesador superescalar es siempre menos eficiente que el segmentado	
20	Sea la instrucción LF F0, 10(R1) ejecutada en una arquitectura DLX:		A
	A) La fase de ejecución pasa por la unidad funcional de enteros B) No puede ejecutarse porque R1 debe ser de tipo float	C) La fase de ejecución requiere de una unidad funcional de tipo flotante D) No puede ejecutarse porque F0 = 0	
21	Sea la arquitectura DLX estudiada con unidades funcionales de tipo float multiciclo:		A
	A) Puede presentar riesgos de tipo WAW B) Únicamente puede presentar riesgos de tipo RAW	C) No puede ejecutar una fase WB una instrucción, antes que otra anterior en la secuencia D) Puede presentar riesgos de tipo RAR	
22	Sea el conjunto de instrucciones:	MULTF F2, F0, F1 DIVF F3, F0, F1	D
	ejecutadas sobre una arquitectura DLX con una unidad funcional de Multiplicación/División flotante de 5 ciclos segmentada:		
23	Sea la secuencia de instrucciones LW R1, 10(R2) ST 20(R3), R1:		A
	A) Se beneficia si existe adelantamiento MEM-MEM B) Se beneficia si existe adelantamiento ALU-ALU	C) Se beneficia si existe adelantamiento ALU-MEM D) Se beneficia si existe adelantamiento MEM-ALU	
24	Para implementar la operación vectorial F0*V1, siendo F0 un registro tipo float y V1 un vector de 64 elementos:		B
	A) No se puede multiplicar registros float por un registro vectorial B) Se emplearía la instrucción vectorial MULTV de la arquitectura DLXV	C) Se emplearía la instrucción vectorial MULTV de la arquitectura DLX escalar D) Se debe emplear la instrucción MULTV y repetirla en un bucle un total de 64 veces en la arquitectura DLXV	
25	Sea X un vector de 130 elementos sobre el que se realiza una operación vectorial en una arquitectura DLXV con longitud máxima de vector MVL = 64:		D
	A) El vector se divide en 3 secciones de 64 elementos y una última de 2 B) El vector se opera en su totalidad sin seccionamiento	C) El vector se divide en 2 secciones D) El vector se divide en 3 secciones	
26	Sea un bucle con sentencia S: B(i) = B(i-1)*K; B(0)=2; i = 1...64:		B
	A) La sentencia es vectorizable porque se multiplica por una constante K B) La sentencia S no es vectorizable	C) La sentencia es vectorizable porque B(0)=2 D) Ninguna de las afirmaciones anteriores es correcta	
27	Sea la arquitectura DLXV con 16 bancos de memoria, si la CPU solicita la dirección 136 y siguientes:		A
	A) Ésta se ubicará en el Banco 1 B) Ésta se ubicará en el Banco 15	C) Ésta se ubicará en el Banco 0 D) Ésta se ubicará en el Banco 14	
28	¿Qué secuencia de instrucciones sería correcta en un computador basado en banco registros, con modelos de ejecución Reg-Reg y Reg-Mem, para realizar la suma de dos posiciones de memoria, A y B, dejando el resultado en la dirección de memoria A?		A
	A) LD R1, A; ADD R1, B; ST A, R1 B) ADD A, B	C) LD R1, A; LD R2, B; ADD R1, R2 D) Ninguna de las afirmaciones anteriores es correcta	
29	Sea la operación vectorial MULTV V2, V1, V0 (vectores de 64 elementos) con tiempo de arranque de 6 ciclos y tasa de iniciación de 1 ciclo/resultado, el tiempo de operación vectorial es de:		B
	A) (64x6) ciclos B) 70 ciclos	C) (3x64x6) ciclos D) (6+1) ciclos	
30	En base a la clasificación de Flynn sobre los sistemas computadores, en una arquitectura de tipo MISD:		A
	A) Hay un flujo de instrucciones por cada procesador B) El flujo de instrucciones es compartido	C) No hay memoria para las instrucciones D) Ninguna de las afirmaciones anteriores es correcta	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

2º Curso Grado en Ingeniería Informática

Convocatoria Ordinaria II

28 de Junio de 2021

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una Memoria Principal de 4 GBytes con ancho de palabra de 1 Byte, dividida en bloques de 1024 palabras; y una Memoria Caché organizada en 4 conjuntos de 4 bloques/conjunto.

1. Indicar el número de palabras que conforman la Memoria Principal.
2. Indicar la capacidad en bits de la Memoria Caché.
3. Indicar el número de bloques de la Memoria Principal y el número de bloques de la Memoria Caché.
4. Indicar el formato de la dirección que define la unidad central de proceso en base a la función de correspondencia empleada, definiendo cada uno de los campos en los que se divide.
5. Se supone que, después de haber estado la memoria caché “vacía”, a continuación, en el *instante 1* se encuentran en la memoria caché los bloques de memoria principal B5, B7, B12, B13, B2, B3, B4, B9 y B41, leídos en ese orden y todas sus direcciones ordenadamente una vez. Suponer que el algoritmo de reemplazamiento de bloques es el LRU (Least Recently Used). Mostrar el contenido de la memoria caché en el *instante 1*.
6. Identificar cuántos fallos de caché se han producido y de qué tipo y cuántos aciertos hasta ese *instante 1*.
7. A continuación, la CPU lee la secuencia de direcciones de memoria: 5120, 6150, 6200, 15370, 7170, 8200, 9217 y 1025 (*instante 2*), según el orden marcado en la misma. Indicar el contenido de la memoria caché en el *instante 2*.
8. En ese *instante 2*, indicar cuántos fallos, de qué tipo y con la lectura de qué direcciones de MP se han producido y cuántos aciertos y con la lectura de qué direcciones de MP se han producido en total.
9. Indicar el formato de dirección, **en binario**, de la dirección de memoria que al leerla provoca el último fallo.
10. Indicar la frecuencia de uso del bloque al que pertenece la dirección 6.200 respecto del total de referencias a todos los bloques desde el instante 0.

PROBLEMA 2. (2,5 ptos.). Para el sistema computador representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
A0000h	BZ A0002h
A0001h	MOVE .2, 120(.3)
A0002h	CALL A0004h
A0003h	MOVE .2, #24
A0004h	RET

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar el cronograma según el flujo marcado por el programa propuesto, y **considerando una sola vez la ejecución de cada instrucción**.
3. Definir el valor de las señales de control correspondiente a la secuencia ordenada de operaciones elementales **PC, $D \leftarrow R4 + RI$ (Desplaz.) y $R7 \leftarrow RA$** , realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dicha operación.

Teniendo en cuenta:

- a) PRIMERA INSTRUCCIÓN: La instrucción de bifurcación condicional BZ, con direccionamiento directo absoluto a memoria, para el caso en que el bit Z esté a "1".
- b) SEGUNDA INSTRUCCIÓN: La instrucción de transferencia MOVE, con modo de direccionamiento directo absoluto a registro para el primer operando y directo relativo a registro base para el segundo operando.
- c) TERCERA INSTRUCCIÓN: La instrucción de llamada a subrutina CALL, con modo de direccionamiento directo absoluto a memoria.
- d) CUARTA INSTRUCCIÓN: La instrucción MOVE, con modo de direccionamiento directo absoluto a registro para el primer operando y direccionamiento inmediato para el segundo.
- e) QUINTA INSTRUCCIÓN: La instrucción RET de retorno de subrutina.
- f) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- g) Los cálculos de las direcciones de los operandos en memoria especificados con direccionamiento relativo, se realizarán de manera automática en el periodo de decodificación.
- h) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- i) Las operaciones de L/E en memoria se realizan durante dos periodos.
- j) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.
- k) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de PC.

PROBLEMA 3. (2 ptos.). El siguiente fragmento de código se ejecuta en un procesador con arquitectura DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las unidades funcionales están **segmentadas**).

SUB R1, R1, R2

ADDI R2, R2, #4

LF F7, 15(R1)

FMULT F6, F7, F8

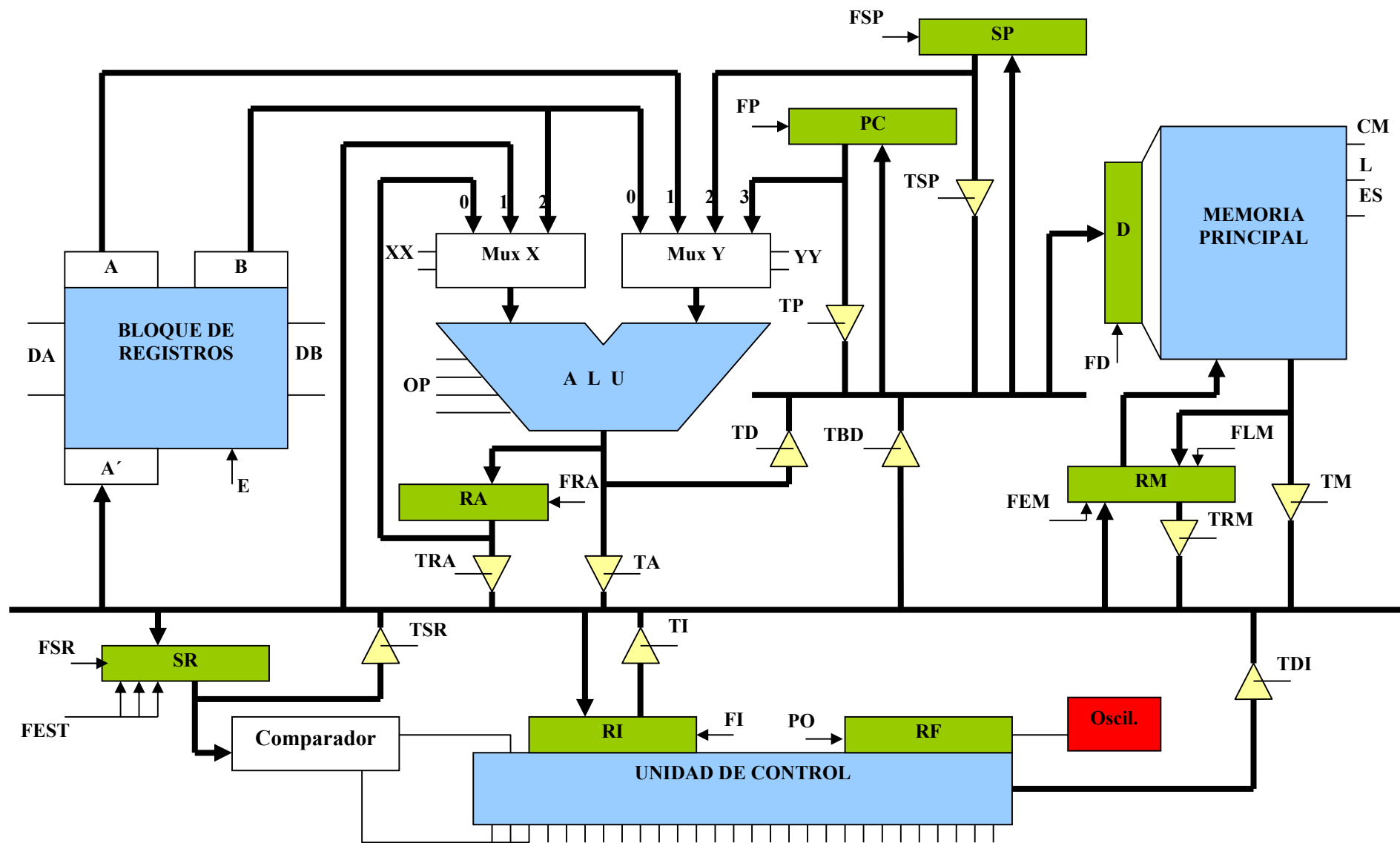
FADD F6, F2, F5

LF F2, 20(R1)

LF F3, 10(R5)

SF 30(R0), F2

- a) Suponiendo que la **memoria caché** está **unificada** y no existe **ningún tipo de adelantamiento**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen detenciones en la cadena, qué tipo de detención y a qué se debe.
- b) Suponiendo que la **memoria caché** está **partida (caché de datos y caché de instrucciones)** y existe **adelantamiento generalizado**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen detenciones en la cadena y a qué se deben e indicar los adelantamientos que se realizan y entre qué etapas actúan.



Etapa	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}##IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}##IR1_{16..31}$ $SMDR \leftarrow B$	<div> <div>Salto</div> <div> $ALU_{output} \leftarrow PC1+IR1_{16})^{16}##IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div>Bifurcación</div> </div> <div> $ALU_{output} \leftarrow PC1+ IR1_{26})^6##IR1_{16..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ <div>o</div> $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

This image shows a single sheet of white paper with horizontal blue or grey ruling lines. The lines are evenly spaced and run across the width of the page. There are no margins, text, or other markings on the paper.

1) FORMATOS

3) SEÑALES DE CONTROL

A full page of blank graph paper. The grid consists of 20 columns and 20 rows of small squares, formed by thin black lines. The margins are uniform on all sides.

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
SUB R1, R1, R2																														
ADDI R2, R2, #4																														
LF F7, 15(R1)																														
FMULT F6, F7, F8																														
FADD F6, F2, F5																														
LF F2, 20(R1)																														
LF F3, 10(R5)																														
SF 30(R0), F2																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						
Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
SUB R1, R1, R2																														
ADDI R2, R2, #4																														
LF F7, 15(R1)																														
FMULT F6, F7, F8																														
FADD F6, F2, F5																														
LF F2, 20(R1)																														
LF F3, 10(R5)																														
SF 30(R0), F2																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						