

EXAMEN DE ARQUITECTURA DE COMPUTADORES. La Rábida, 7 de Septiembre de 2018

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 No respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 45 minutos

Espacio para respuestas

	Sea una máquina A que ejecuta un programa en 5 segundos y la máquina B lo ejecuta en 10 segundos:	
1	A) La máquina B es el 100% más lenta que A B) La máquina B es el 50% más lenta que A C) La máquina B es el 100% más rápida que A D) La máquina B es el 200% más lenta que A	A
	Sea un sistema computador al que se le aplica una mejora que supone una aceleración global de 1, se puede afirmar que:	
2	A) La mejora aplicada no merece la pena B) La aceleración global es del 100% C) La aceleración global es del 50% D) La aceleración mejorada es de 2	A
	Sea un sistema computador que dedica el 80% del tiempo a procesamiento gráfico. Si se aplica una mejora en la tarjeta gráfica (supone 1/3 del coste total), de forma que se consigue una aceleración mejorada de 2, pero un aumento en x3 del coste de la tarjeta:	
3	A) La relación (Aceleración global/Coste total) = 1 B) La relación (Aceleración global/Coste total) = 1,66 C) Se consigue más aceleración global que el coste implicado D) Supone más coste que aceleración conseguida	A
	Sea un sistema computador con Arquitectura Von Neumann, con un valor medio de CPI = 6 y frecuencia de procesamiento de 2 GHz:	
4	A) Dedicar de media 3 ns a cada instrucción B) Dedicar de media 0,5 ns a cada instrucción C) Dedicar de media 12 ns a cada instrucción D) Dedicar de media 6 ns a cada instrucción	A
	Sea un sistema con arquitectura DLX capaz de ejecutar 20 MFLOPS y que dedica 100 ciclos por FLOP:	
5	A) La frecuencia del sistema es de 2 GHz B) La frecuencia del sistema es de 20 GHz C) La frecuencia del sistema es de 2 MHz D) La frecuencia del sistema es de 100 MHz	A
	Considerando que la memoria caché está vacía y contiene 256 palabras/bloque, si la CPU llama a la dirección 0 de memoria, implica:	
6	A) Copiar de MP a Mcaché sólo la posición 0 B) Copiar de MP a Mcaché las 256 primeras posiciones C) Borrar de MP las 256 primeras posiciones D) Copiar de MCaché a MP las 256 primeras posiciones	B
	De los algoritmos de reemplazo utilizados en la memoria caché, el que favorece el bloque que acaba de entrar es:	
7	A) El algoritmo aleatorio B) El algoritmo LRU C) El algoritmo LFU D) Ninguno penaliza el bloque que acaba de entrar	B
	Indica los fallos que pueden existir en cualquier función de correspondencia:	
8	A) Sólo fallos forzosos B) Fallos forzosos y de capacidad C) Sólo fallos de conflicto D) Fallos forzosos y de conflicto	B
	En relación al tamaño de caché:	
9	A) Los fallos de capacidad son independientes del tamaño B) Los fallos forzosos son independientes del tamaño C) Los fallos de conflicto son independientes del tamaño D) Ninguno de los tipos de fallos depende del tamaño	B
	Sea una memoria caché de 2 niveles, sabiendo que de 1000 referencias a memoria hay 30 fallos en la caché de primer nivel y 9 fallos en la de segundo nivel. ¿Cuál es la frecuencia global de fallos?	
10	A) 9% B) 0,9% C) 30% D) 3%	B
	Atendiendo a la arquitectura serie Von Neumann estudiada, la ejecución de la instrucción BNZ A0000h:	
11	A) Implica comprobar el valor del biestable S B) Implica comprobar el valor del biestable Z y S C) Implica comprobar el valor del biestable Z D) Ninguna de las afirmaciones anteriores es correcta	C
	Sea un sistema con arquitectura von Neumann y sin Memoria de Control:	
12	A) Se trata de un diseño de UC microprogramada B) No puede ejecutar instrucciones de bifurcación C) Se trata de un diseño de UC microcableada D) Puede tener cualquiera de los dos diseños de UC	C
	En relación a la definición de Memoria de Control:	
13	A) Almacena únicamente las primeras microinstrucciones B) Almacena el valor de los biestables de estado aritmético C) Almacena el firmware del sistema computador D) Tiene capacidad ilimitada	C
	En relación a la arquitectura Von Neumann estudiada:	
14	A) Las señales FD y FP no pueden activarse simultáneamente B) La señal E es una señal triestado C) Las señales FD y L (lectura memoria) pueden estar activas en el mismo ciclo D) Ninguna de las afirmaciones anteriores es correcta	C
	De los siguientes eventos, indica el que corresponde a una interrupción interna programada:	
15	A) INT 21 h B) Interrupción de periférico TIMER i8255 C) DIV .2,.3; con R3 = 0 provocando TRAP D) Corte de suministro eléctrico por batería descargada	A

16	Sea la arquitectura DLX estudiada, la ejecución de la instrucción (de almacenamiento tamaño byte en memoria) SB 10(R2), R1 con $M(10+R2) = 5$ implica:		D
	A) Completar con el valor 5 la parte alta de R1 B) Almacenar en memoria el byte más significativo de R1	C) Completar con el valor 5 la parte baja de R1 D) Almacenar en memoria el byte menos significativo de R1	
17	En base a la arquitectura DLX estudiada, qué registro emplearías para representar el valor $+\infty$?		D
	A) El registro R0 B) Dos registros de coma fija (R_i-R_{i+1})	C) No es posible representar ese valor D) Un registro de coma flotante de simple precisión (F_i)	
18	Sea la secuencia de instrucciones: LW R2, 10(R4) y SW 10(R4), R6 implementada sobre la arquitectura escalar DLX estudiada:		D
	A) Implica detención porque supone riesgo de tipo RAR B) Implica detención porque supone riesgo de tipo RAW	C) Implica detención porque supone riesgo de tipo WAR D) No supone riesgo por dependencia de datos	
19	Sea la secuencia de instrucciones: ADD R1, R2, R3 y SUB R2, R3, R4 que se ejecuta en la arquitectura DLX:		D
	A) No puede ejecutarse en una arquitectura súper escalar B) Debe ejecutarse en una arquitectura vectorial	C) Implica una detención por riesgo de tipo WAR D) Puede ejecutarse en una arquitectura súper escalar	
20	Sea una arquitectura DLX con una unidad funcional no segmentada para multiplicación EX_{MULTF} y otra para división EX_{DIVF} sobre la que se ejecuta la secuencia de instrucciones MULTF F1, F2, F3 y DIVF F4, F5, F6:		D
	A) Las respectivas etapas de EX no pueden solaparse B) Ambas instrucciones emplean la misma unidad funcional	C) Cada instrucción debe ejecutarse en un cauce diferente D) Las respectivas etapas de EX pueden solaparse	
21	Sean la instrucción vectorial ADDV V1, V2, V3 con longitud de vector = 64 elementos, tiempo de arranque = 6 ciclos y tiempo de iniciación = 1 ciclo, ¿cuántos ciclos se necesitan como mínimo para obtener el resultado completo?		A
	A) 70 ciclos B) 384 ciclos	C) 64 ciclos D) 6 ciclos	
22	Sea un sistema con la arquitectura DLX vectorial estudiada y memoria organizada en bancos de memoria (8 bancos), si la CPU solicita la dirección 8 (y siguientes), ésta se encuentra:		A
	A) En el banco 1 B) En el banco 0	C) En el banco 4 D) En el banco 8	
23	Sea un vector de 64 elementos sobre el que se realiza una operación vectorial en una arquitectura con Longitud Máxima de Vector MVL = 64:		A
	A) El vector se opera en su totalidad sin seccionamiento B) El vector se divide en 64 secciones de 1 elemento	C) El vector se divide en 4 secciones de 16 elementos D) El vector se divide en 2 secciones de 32 elementos	
24	Sean las sentencias de un bucle S1: $B(i) = A(i-1)*K$ y S2: $C(i) = B(i-1) + A(i)$, con $i = 1...64$:		A
	A) Ninguna sentencia es vectorizable B) Las dos sentencias son vectorizables	C) La sentencia S1 es vectorizable D) La sentencia S2 es vectorizable	
25	Sean las sentencias de un bucle S1: $B(i) = A(i)/K$ y S2: $C(i) = A(i) + B(i-1)$, con $i = 1...64$:		A
	A) Existe riesgo de tipo RAW en S2 respecto a S1 B) Existe riesgo de tipo RAR en S2 respecto a S1	C) Existe riesgo de tipo WAW en S2 respecto a S1 D) Existe riesgo de tipo WAR en S2 respecto a S1	
26	Atendiendo al esquema de la arquitectura Harvard estudiada:		B
	A) No contiene unidad de control B) Diferencia una memoria de instrucciones y otra de datos	C) Presenta dos unidades operativas D) Presenta un único bus de datos e instrucciones	
27	En base a la clasificación de Flynn sobre los sistemas computadores:		B
	A) La arquitectura SIMD es la más sencilla B) La arquitectura SISD es la más sencilla	C) La arquitectura MISD es la más sencilla D) Ninguna de las afirmaciones anteriores es correcta	
28	En base a la clasificación de las arquitecturas paralelas, en un multiprocesador tipo UMA:		B
	A) Sólo utiliza caché como memoria B) La memoria física es compartida por los procesadores	C) El contador de programa PC es compartido D) El acceso a la memoria se hace por paso de mensajes	
29	Considerando una arquitectura escalar multihebra con bloqueo:		B
	A) Después de cada ciclo, conmuta a otra hebra B) Después de cada detención, conmuta a otra hebra	C) Conmuta a otra hebra cuando finaliza con la anterior D) Debe tener tantos cauces como hebras	
30	Dado un sistema tipo CRAY Titan con 712 TB de memoria y capaz de ejecutar 20 PFLOPs:		D
	A) Se incluye dentro de los sistemas denominados minicomputadores B) Se incluye dentro de los sistemas denominados microcomputadores	C) Se incluye dentro de los sistemas denominados computadores de tamaño medio D) Se incluye dentro de los sistemas denominados supercomputadores	

EXAMEN DE ARQUITECTURA DE COMPUTADORES

La Rábida, 7 de Septiembre de 2018

PROBLEMA 1. (2,5 ptos.). Un sistema computador (sin memoria virtual) tiene una Memoria Principal con capacidad de 1 GByte y tamaño de palabra de 2 Bytes y una Memoria Caché de 512 KBytes, dividida en 4 bloques/conjunto, con 32 Kpalabras/bloque.

- a) Justificar e indicar la **organización** (número de palabras, ancho de palabra de memoria, número de bloques y número de conjuntos si procede) que tiene la **Memoria Principal** y la **Memoria Caché**.
- b) Justificar la **función de correspondencia** empleada y el **formato de dirección** que define la unidad central de proceso, especificando cada uno de los campos en los que se divide. Especificar la dirección que corresponde a la última palabra del Bloque 16 de MP. ¿En qué conjunto de MCaché se ubicará?

Se supone que, después de haber estado la memoria caché “vacía”, en el *Instante 1* la CPU llama a las direcciones 0, 1, 2, 32767, 32768, 65536 y 65537.

- c) Indicar el contenido de la Memoria Caché en el *Instante 1*.

A continuación, en el *instante 2*, la CPU lee la secuencia de bloques de memoria: B3, B5, B6, B8, B10, B2, B7 y B0 según el orden marcado en la misma y leyendo todas las posiciones de cada bloque una sola vez.

- d) Mostrar el contenido de la memoria caché en el *Instante 2*. Considerar el algoritmo de reemplazo LFU.
- e) Identificar cuántos fallos de caché se han producido y de qué tipo en el *Instante 2*. ¿Y cuántos aciertos?
- f) Calcular justificadamente la frecuencia de uso de todos los bloques que han pasado por el Conjunto 0 de la Mcaché (tanto los que se encuentran en la memoria caché en el instante 2 como los que han salido fuera), teniendo en cuenta el número total de referencias al Conjunto 0 que han tenido desde que fueron introducidos en caché por primera vez.

PROBLEMA 2. (2,25 ptos.). Sea el sistema computador serie basado en la arquitectura Von Neumann, representado en la figura, y para la secuencia de instrucciones siguiente:

Dirección de Memoria (en hexadecimal)	Instrucción (en ensamblador)
B0000h	BZ B0002h
B0001h	DIV 0000Ah, .2
B0002h	NOP
C0000h	ADD R3, #1

1. Mostrar los formatos de las instrucciones.
2. Definir la secuencia de operaciones elementales y el solapamiento posible de las mismas. Especificar la secuencia según el flujo marcado por el programa propuesto.
3. Definir el valor de las señales de control correspondiente a la secuencia de operaciones elementales: **RD** \leftarrow **0000Ah** (obtenida la dirección 0000Ah de RI) y posteriormente **RA** \leftarrow **M(0000Ah)/R2**, realizadas en el menor tiempo posible. Mostrar únicamente el valor de las señales que intervienen directamente en dichas operaciones.

Teniendo en cuenta:

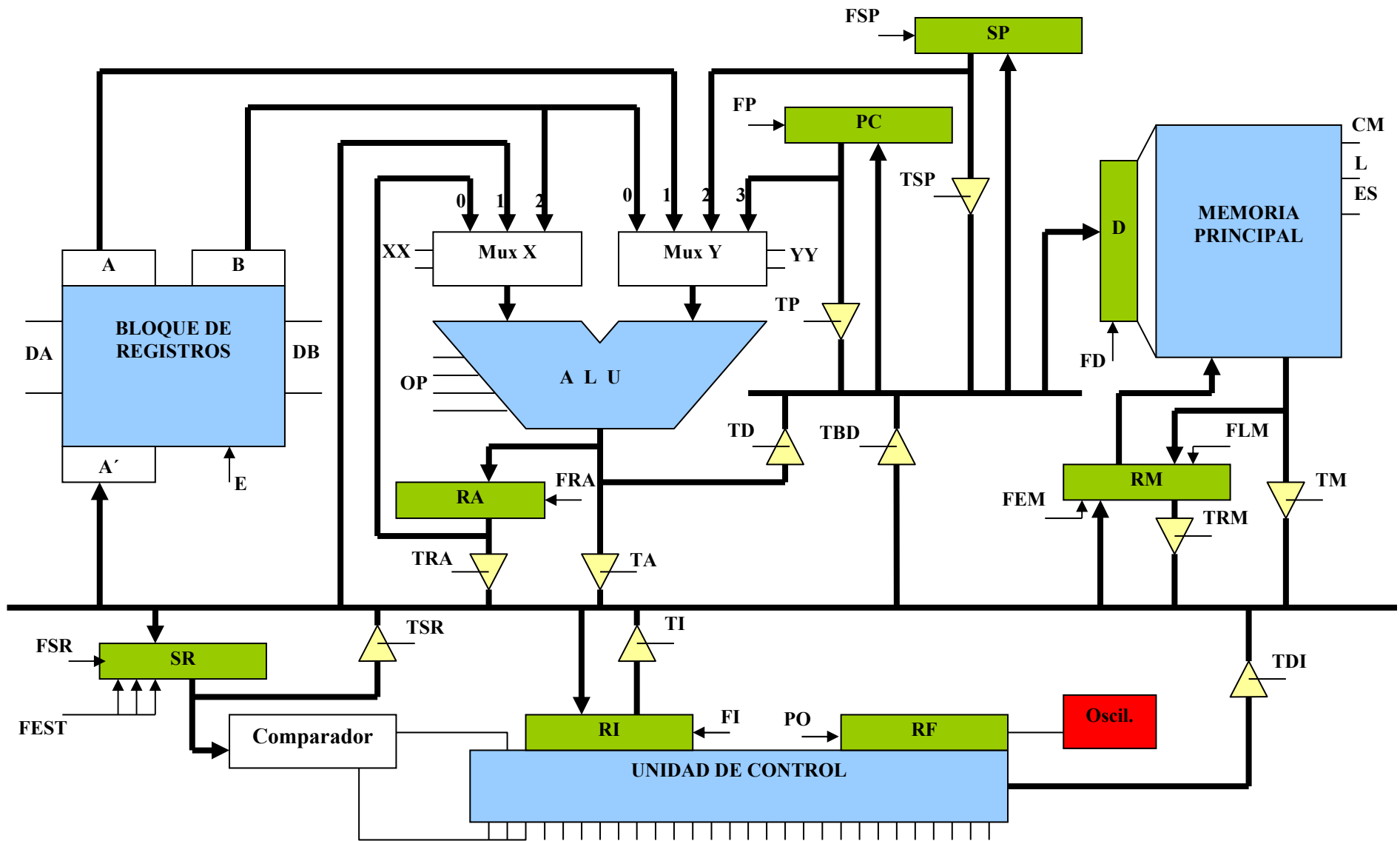
- a) PRIMERA INSTRUCCIÓN: Instrucción de bifurcación condicional BZ, con direccionamiento directo absoluto a memoria, y biestable Z = 0.
- b) SEGUNDA INSTRUCCIÓN: Instrucción aritmética DIV, con modo de direccionamiento directo absoluto a memoria para el primer operando y directo absoluto a registro para el segundo operando. El contenido de R2 = 0, provocando un cepo o trap y no siendo necesario guardar el resultado de la operación. La dirección donde se encuentra la Rutina de Servicio a la Interrupción es C0000h
- c) TERCERA INSTRUCCIÓN: Instrucción de no operación NOP.
- d) CUARTA INSTRUCCIÓN: Instrucción aritmética ADD, con modo de direccionamiento directo absoluto a registro para el primer operando e inmediato para el segundo operando.
- e) Las operaciones con la unidad aritmético-lógica se realizan en un periodo.
- f) Los cálculos de los direccionamientos relativos se realizarán de manera automática después del periodo de decodificación.
- g) El resultado de una operación o el operando destino va a ser siempre el especificado en primer lugar en la instrucción de ensamblador.
- h) Las operaciones de L/E en memoria se realizan durante dos periodos.
- i) La pila, que se implementa en el sistema con el registro SP (puntero de pila), funciona de la siguiente forma: 1) La pila crece hacia direcciones decrecientes. 2) El registro puntero de pila indica la dirección de memoria principal en la que se introdujo el último dato en la pila.

- j) Para cuando hay que salvar el contenido de SR y el de PC, siempre se almacenará primero el de SR.

PROBLEMA 3. (2,25 pts.). El siguiente fragmento de código se ejecuta en un procesador con arquitectura DLX. Las latencias (en ciclos de reloj) de las unidades funcionales son las siguientes: Sumador/restador entero: 1; Sumador/restador flotante: 2; y Multiplicador/Divisor: 4 (las unidades funcionales para operaciones en coma flotante están **segmentadas**).

```
LF F2, 20(R1)
LF F3, 10(R2)
ADDI R1, R1, #4
SUBI R2, R2, #4
FMULT F6, F7, F8
FDIV F1, F2, F3
FADD F2, F4, F1
SF 30(R0), F2
```

- a) Suponiendo que la **memoria** tiene **dos puertos de acceso** pero **no existe adelantamiento**, indicar el estado de cada instrucción durante los ciclos de ejecución del código; calcular el número de ciclos necesarios para ejecutar este código; indicar si existen bloqueos en la cadena y a qué se deben
- b) Repetir el apartado a) para una versión del DLX que incluya **adelantamiento** (bypass) **generalizado**. Indicar claramente los datos que se adelantan y entre qué etapas actúa el bypass.



Etapas	Instrucción ALU	Carga/Almacenamiento	Salto/Bifurcación
IF	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$	$IR \leftarrow M[PC]$ $PC \leftarrow PC+4$
ID	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$	$A \leftarrow Rs1; B \leftarrow Rs2$ $PC1 \leftarrow PC$ $IR1 \leftarrow IR$
EX	$ALU_{output} \leftarrow A \text{ op } (B \text{ or } (IR1_{16})^{16}###IR1_{16..31})$	$MAR \leftarrow A+(IR1_{16})^{16}###IR1_{16..31}$ $SMDR \leftarrow B$	<div> Salto $ALU_{output} \leftarrow PC1+IR1_{16})^{16}###IR1_{16..31})$ $Cond \leftarrow (Rs1 \text{ op } 0);$ </div> <div> Bifurcación $ALU_{output} \leftarrow PC1+ IR1_{26})^6###IR1_{6..31})$ </div>
MEM	$ALU_{output1} \leftarrow ALU_{output}$	$LMDR \leftarrow M[MAR]$ o $M[MAR] \leftarrow SMDR$	If (cond): $PC \leftarrow ALU_{output}$
WB	$Rd \leftarrow ALU_{output1}$	$Rd \leftarrow LMDR$	

Tabla. Eventos en cada etapa de la segmentación de DLX diferenciados según el tipo de instrucción.

Apellidos: **Nombre:**

[illegible]

1) FORMATOS

3) SEÑALES DE CONTROL

[illegible]

Apellidos:

Nombre:

Apartado a)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LF F2, 20(R1)																														
LF F3, 10(R2)																														
ADDI R1, R1, #4																														
SUBI R2, R2, #4																														
FMULT F6, F7, F8																														
FDIV F1, F2, F3																														
FADD F2, F4, F1																														
SF 30(R0), F2																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						

Apartado b)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
LF F2, 20(R1)																														
LF F3, 10(R2)																														
ADDI R1, R1, #4																														
SUBI R2, R2, #4																														
FMULT F6, F7, F8																														
FDIV F1, F2, F3																														
FADD F2, F4, F1																														
SF 30(R0), F2																														
Detenciones							Detenciones										Adelantamientos							Adelantamientos						