

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 8 de Febrero de 2016

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.10
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1	En la arquitectura Von Neumann, atendiendo a los dos tipos de informaciones que se pueden leer de la Memoria Principal (instrucciones y datos):	
	A) Las instrucciones son manejadas por la Unidad de Control B) Las instrucciones tienen etiquetas que las diferencian de los datos	C) Para los datos hay unas combinaciones binarias reservadas D) La Unidades de E/S decodifican las instrucciones de todos los programas presentes en la Memoria Principal
2	Dadas las instrucciones JMP 0B800h y IRET:	
	A) Ambas son instrucciones de bifurcación incondicionales B) Sólo una de ellas es de bifurcación incondicional	C) Ambas son instrucciones de bifurcación condicionales D) Ninguna de las afirmaciones anteriores es correcta
3	Dada la operación $A \leftarrow R1 - R2$, siendo A una posición de memoria y R1 y R2 dos registros de propósito general:	
	A) Necesita al menos de un acceso a memoria B) Si se puede realizar, siempre es suficiente con una instrucción	C) No necesita de acceso a memoria alguno D) Únicamente puede realizarse en un computador de 3 direcciones
4	En el computador Von Neumann:	
	A) Unas instrucciones se decodifican y otras no B) Deben existir instrucciones de bifurcación condicional	C) No es necesario que se almacene previamente la información en la memoria principal antes de procesarse D) Ninguna de las afirmaciones anteriores es correcta
5	Si un computador tiene registro Contador de Programa:	
	A) Puede ser de 4 direcciones B) Puede ser de 3 direcciones	C) Puede ser de cualquier número de direcciones D) Ninguna de las afirmaciones anteriores es correcta
6	Indica posibles tamaños que puede tener la información almacenada en memoria:	
	A) Sólo puede coincidir con el tamaño de la palabra de memoria B) Sólo puede ser de tamaño byte o palabra	C) Cualquier tamaño D) Nunca puede ser mayor que cuatro palabras
7	Dada la cadena binaria 100....00, indica los sistemas de representación en los que su valor equivalente decimal es negativo:	
	A) Signo magnitud y exceso $Z = 2^{n-1}$ B) Binario puro sin signo y exceso $Z = 2^{n-1}$	C) Binario puro con signo y complemento a 2 D) Complemento a 1 y exceso $Z = 2^{n-1}$
8	Dado el valor equivalente decimal 0,5; indica el sistema en el que es posible obtener su representación exacta equivalente:	
	A) En coma fija sin signo B) Es necesario un sistema en coma flotante obligatoriamente	C) Es necesario un sistema en coma flotante con mantisa fracción obligatoriamente D) Sólo es posible con el binario puro con signo
9	Dado el estándar IEEE 754 de doble precisión, cuando E = 111...11 y M = 000...00:	
	A) Representa la zona desnormalizada B) Representa la zona normalizada	C) Representa indeterminaciones del tipo 0/0 D) Representa el valor + ó - ∞
10	Dado un sistema de representación polinomial cuyo polinomio generador es 1 0 0 0 1 0 0 0 0 0 1 0 0 0 0 1, su expresión de polinomio en la variable "x" y coeficientes "1" ó "0" es:	
	A) $P(x) = x^{17} + x^{13} + x^8 + x$ B) $P(x) = x^{16} + x^{12} + x^5 + 1$	C) $P(x) = x^4 + x^2 + x + 1$ D) Ninguna de las afirmaciones anteriores es correcta
11	Dado un sistema computador con 30 líneas en el bus de direcciones y mapa de memoria común, ocupado al 50%, considerando un sistema con mapa de memoria no común, se puede afirmar que:	
	A) Puede aplicarse tanto decodificación completa como incompleta B) No se puede aplicar decodificación incompleta	C) No se puede aplicar decodificación completa D) Ninguna de las afirmaciones anteriores es correcta
12	De las conexiones de la memoria caché, indica la que no implica acceder a la memoria principal en caso de acierto:	
	A) La conexión paralela B) Ambas conexiones	C) La conexión mixta D) Ninguna de las afirmaciones anteriores es correcta
13	Sea un módulo de memoria que sólo contiene las siguientes líneas: A_i (dirección), D_i (datos), OE (habilitación de lectura) y CS (selección de chip):	
	A) Se trata de un módulo tipo RAM B) Se trata de un módulo tipo DRAM	C) Se trata de un módulo tipo ROM o PROM D) Se trata de un módulo de E/S
14	Los mecanismos de protección de la memoria principal pueden implicar:	
	A) Hardware B) Software únicamente	C) Al Sistema Operativo únicamente D) Ninguna de las afirmaciones anteriores es correcta
15	Dado un espacio de memoria con organización de 64 Kposiciones y 8 bits en cada posición, se puede cubrir:	
	A) Con 1 módulo de 64Kx4 B) Con 8 módulos de 8Kx4	C) Con 16 módulos de 8Kx4 D) Con 2 módulos de 32Kx4

16	De las cuatro formas que se puede realizar una operación (aritmética, lógica, ...), la forma más lenta es mediante:	
	A) Un circuito combinacional B) Un circuito secuencial con la unidad de control de la CPU	C) Un circuito secuencial con unidad de control propia D) Ninguna de las afirmaciones anteriores es correcta
17	Una unidad operativa capaz de realizar operaciones tanto de datos enteros como en coma flotante (FP) suele tener:	
	A) Dos bancos de registros: uno para enteros y otro para FP B) Un único banco de registros de tamaño doble palabra	C) Un único banco de registro para enteros y para FP D) Ninguna de las afirmaciones anteriores es correcta
18	La multiplicación de un número por una potencia de dos, se puede realizar:	
	A) Con un circuito desplazador B) Con un circuito secuencial multiplicador exclusivamente	C) Con un circuito combinacional multiplicador exclusivamente D) Ninguna de las afirmaciones anteriores es correcta
19	La operación de extensión de signo de un valor representado en exceso Z (con el mismo exceso en ambos sistemas):	
	A) No se puede realizar B) Implica rellenar las posiciones sobrantes con "0s"	C) Implica rellenar las posiciones sobrantes con "1s" D) Depende del valor del exceso
20	Un coprocesador:	
	A) No tiene definida instrucciones propias B) No es un procesador	C) No tiene contador de programa propio D) Tiene que ser matemático a la fuerza
21	El campo código de operación de una instrucción:	
	A) Puede indicar o no la operación B) Nunca indica el tipo de operando que interviene en la operación	C) Tiene siempre el mismo nº de bits en todas las instrucciones de un determinado procesador D) Define los modos de direccionamiento de los operandos
22	El modo de direccionamiento directo absoluto a memoria, aparte de los accesos a memoria para buscar la instrucción:	
	A) Implica siempre un acceso a memoria B) Puede no implicar acceso a memoria	C) No implica accesos a memoria D) Ninguna de las afirmaciones anteriores es correcta
23	Del modo de direccionamiento inmediato se puede decir que:	
	A) Puede existir para todo tipo de instrucciones B) El operando hay que buscarlo en memoria	C) No tiene ninguna utilidad D) Ninguna de las afirmaciones anteriores es correcta
24	Comparando los direccionamientos directo relativo a registro base y directo relativo a registro índice:	
	A) El relativo a registro base implica modificación del registro B) El relativo a registro índice implica un formato de instrucción mayor que el relativo a registro base	C) Ambos implican modificación del registro D) El relativo a registro índice implica modificación del registro
25	Una de las exigencias fundamentales que debe cumplir cualquier repertorio de instrucciones es que sea completo, es decir:	
	A) Que utilice tan sólo cuatro instrucciones como la Máquina de Turing B) Que tenga cuantas más instrucciones mejor	C) Que sea capaz de realizar cualquier tarea que se pueda realizar en la máquina de Turing D) Ninguna de las afirmaciones anteriores es correcta
26	Un Canal de E/S:	
	A) Es un Controlador de Acceso Directo a Memoria B) Es un registro perteneciente a un dispositivo de E/S con capacidad de provocar una interrupción	C) Tiene capacidad de acceso directo a memoria D) Es una puerta de acceso de un Controlador de Acceso Directo a Memoria
27	En una interrupción vectorizada:	
	A) El dispositivo que interrumpe suministra información relativa a la dirección de comienzo de la Rutina de Tratamiento de la Interrupción B) El vector de interrupción se encuentra siempre definido en las primeras posiciones del mapa de memoria del sistema	C) El dispositivo que interrumpe ejecuta la Rutina de Tratamiento de la Interrupción D) No se puede prohibir
28	En la Gestión Centralizada de Prioridades:	
	A) El recurso indica siempre quién se queda con la fase de servicio B) Se aplica exclusivamente cuando el recurso a compartir es la memoria	C) Los mismos peticionarios se ponen de acuerdo entre si para determinar quién se queda con el uso del recurso D) Ninguna de las afirmaciones anteriores es correcta
29	Un Controlador de Acceso Directo a Memoria es capaz de realizar, sin intervención alguna de la CPU:	
	A) Varias operaciones de E/S B) Una operación de E/S	C) La transferencia de un bloque de información D) Ninguna de las afirmaciones anteriores es correcta
30	En la técnica de redondeo denominada Redondeo Propiamente Dicho, el error que se comete es:	
	A) \leq Resolución/2 B) \leq Resolución	C) $<$ Resolución D) $<$ Resolución/2

EXAMEN DE ESTRUCTURA DE COMPUTADORES
(Convocatoria Ordinaria de Febrero)

La Rábida, 8 de Febrero de 2016

PROBLEMA 1. (3,0 ptos.). Dado el programa mostrado a continuación (Tabla 1):

1. Componer la tabla que se suministra para que permita seguir su ejecución, indicando la evolución de los registros empleados, del registro contador de programa (PC), el bit Z del registro de estado y de las posiciones de memoria empleadas. Para ello, suponer que:

- a) El programa está cargado a partir de la dirección cero de memoria.
- b) Todos los registros están inicializados a un valor cero.
- c) El contenido inicial de las posiciones de memoria implicadas es el que se muestra en la Tabla 2.
- d) Las instrucciones que afectan al biestable de estado Z son, además de la de comparación, las que implican operaciones aritméticas.
- e) Los modos de direccionamiento empleados funcionan según se muestra en la Tabla 3.

Tabla 1. Programa a ejecutar

Instrucción	Longitud
LOAD # 02h	2
STORE 3[.1++]	2
LOAD [0050h]	3
DEC	1
STORE 3[.1]	2
DEC	1
CMP # 01h	2
JNE \$ -05h	2
NOP	1

Tabla 2. Contenido de posiciones de memoria

M(0003h)	M(0050h)	M(0051h)	M(0404h)	M(¿.....?)
00h	04h	04h	04h	00h

Tabla 3. Modos de Direccionamiento.

Modo de direccionamiento	Prefijo/sufijo	Ejemplo
INMEDIATO	Prefijo #	add #18 ; AC ← AC +18
DIRECTO RELATIVO a PC	Prefijo \$	add \$18 ; AC ← AC +M(PC+18)
DIRECTO RELATIVO a REGISTRO BASE	Corchete [.]	add 18[.3] ; AC ← AC +M(18+R3)
DIR. REL. a REG. ÍND. con autpostincrement.	Sufijo ++	add 18[.3++] ; AC ← AC +M(18+R3) R3 ← R3+1
INDIRECTO ABSOLUTO A MEMORIA	Corcheto []	add [18] ; AC ← AC+M(M(18))

2. Especificar los distintos formatos de instrucción posibles para cada modo de direccionamiento especificado en la Tabla 3 y suponiendo que

- a) El tamaño de la palabra de memoria del computador es de 8 bits
- b) El bus de direcciones tiene 16 líneas

- c) Los modelos de ejecución que admite el computador son REG-MEM y MEM-REG.
- d) El sistema computador tiene un total de 250 instrucciones
- e) El sistema computador tiene 4 registros que pueden utilizarse para los direccionamientos relativos a registros base e índice.

3. Representar los valores 0, 25 y $+\infty$ según el estándar IEEE P754 considerando que se necesitan 4 posiciones de memoria del anterior sistema computador para representar dichos datos.

PROBLEMA 2. (2,0 puntos). Dado un sistema computador con bus de datos de 8 bits y bus de direcciones de 20 bits y con especificaciones de diseño para el sistema de memoria principal y E/S:

- Mapa de memoria no común.
- 512 Kposiciones de memoria para el sistema operativo y para las aplicaciones.
- 256 Kposiciones de memoria para los programas de inicialización, en las primeras posiciones del mapa de memoria.
- Para la E/S se dispone de un espacio de 64 Kposiciones, direccionadas con los bits de menos peso del bus de direcciones, y ocupado en el 50% con módulos de E/S de 16Kx8.
- Se puede disponer de módulos de memoria RAM de 256Kx4, de NOVRAM 256Kx8, y de UVEPROM de 128Kx4.

Se pide:

- a) Dibujar un esquema de cada dispositivo elegido para el diseño, detallando todas las líneas de comunicación.
- b) Diseñar el/los mapa/s de direcciones.
- c) Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

PROBLEMA 3. (2,0 puntos). Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (**se corregirá únicamente lo que aparezca en la hoja del cronograma**), a lo largo del proceso siguiente:
 - i. La CPU ejecuta las instrucciones **LDA 3030h**, **ADD #18**, **SUB 2020h** y **STA [2020h]**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **0F00h**; y la cuarta instrucción se encuentra situada en la posición de memoria obtenida al concatenar el vector de interrupción (parte de menos peso de la dirección) con el valor **B0h** (parte de más peso de la dirección). Los códigos de operación correspondientes a las instrucciones son respectivamente **AAh**, **BBh**, **CCh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - ii. Durante el quinto ciclo de memoria, un controlador con DMA, solicita los buses para leer de memoria los datos **44h**, **55h** y **66h** a partir de la posición **A0AFh**. El controlador opera en modo carácter.
 - iii. Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida.
- b. Definir el contenido final de todos los elementos de almacenamiento implicados. El contenido de dichos elementos de almacenamiento anteriormente a la ejecución de las instrucciones es nulo o el especificado en la relación siguiente:
 - i. Contenido de la dirección 3030h = AAh
 - ii. Contenido de la dirección 3031h = AAh
 - iii. Contenido de la dirección 2020h = 18h
 - iv. Contenido de la dirección 2021h = 18h

Fdo.: Los profesores de la asignatura.

[illegible]

Apellidos: Nombre: