EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 19 de Septiembre de 2018

Apellidos				Nombre		
Valor de cada:	Respuesta correcta Respuesta incorrecta	+ 0.10 - 0.05	TIEMPO REALIZACIÓN EX	AMEN: 30 minutos	TEST →	<u> </u>
	Sin respuesta	- 0.05			P1 →	
					P2 →	

NOTA →

1 A) Contiene solo datos para procesar y resultados B) No se necesaria si hay Memoria Caché D) Ninguna de las afirmaciones anteriores es correcta En cuanto a las instrucciones de bifurcación incondicionales: A) BZ es una instrucción de bifurcación incondicional SI un dato completo está alimacenado en dos posiciones de memoria, X es una posición de memoria y RT es un regi de propósito general de la CPU, ¿cuántos accesos a memoria hay que realizar con la operación X <- R1 * X?: A) Necesita de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez Una arquitectura de computador Von Neumann basada en Acmuniador. 4 A) No puede tener instrucciones sin campo de dirección B) Es un computador de cero direcciones D) Ninguna de las afirmaciones anteriores es correcta Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR no lo es SI nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria B) Al memoria Principal del Computador Von Neumann: A) Puede tener un valor positivo asociado C) No puede representarion un an instrucción B) Solo pueden ser de coma filotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma filotante con mantis	d ⊢	En la arquitectura Von Neumann, la Memoria Principal:
B) No es necesaria si hay Memoria Caché En cuanto a las instruccione de bifurcación incondicionales: 2 A) BZ es una instrucción de bifurcación incondicional B) BS y RET son instrucción de bifurcación incondicional Si un dato completo está almacenado en dos posiciones de memoria, X es una posición de memoria y RT es un regido propósito general de la CPU, ∠cuántos accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez desciona y puede tere instrucciones de computador de memoria no puede hacer de fuente y destino a la vez desciona y puede tere instrucciones in computador de memoria no puede hacer de fuente y destino a la vez desciona y puede tere instrucciones in campo de dirección C) No tiene instrucciones para operacionas didicas B) Es un computador de cero direcciones B) Es un computador de cero direcciones B) Es un computador de cero direcciones C) Ninguno de los dos son imprescindibles B) El IR no es imprescindibles C) Ninguno de los dos son imprescindibles B) El IR no es imprescindible y el SR sí lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Venumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre un tamaño exactamente coincidente el memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra D) Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 100000000: A) Simpre tiene un valor positivo asociado B) Puede terer un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta de memoria A) Tiene que ser de coma flotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta Dado el estándar IEEE 754 de doble precisión, cuando E - 00000000000: A) Tiene que ser de coma flotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta D) Ninguna de		
En cuanto a las instrucciones de bifurcación incondicionales: A) BZ es una instrucción de bifurcación incondicional D) CALL y RET son instrucciones de bifurcación incondicional Si un dato completo está almacenado en dos posiciones de memoria. Y Sa sun a posición de memoria y R1 es un regir de propósito general de la CPU, ∠ cuántos accesos a memoria hay que realizar con la operación X ← R1 + X?: A) Necesila de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria y R1 es un regir de propósito general de la CPU, ∠ cuántos accesos a memoria hay que realizar con la operación X ← R1 + X?: A) Necesila de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez un quitectura de computador von Neumanna basada en Acumulador: 4 A) No puede tener instrucciones sin campo de dirección C) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones D) Ninguna de las afirmaciones anteriores es correcta haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindibles C) Ninguno de los dos son imprescindibles B) El IR no es imprescindibles P SR sí lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre un tamaño exactamente coincidente el de la palabra do de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra D) Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Jo A) Siempre tiene un valor positivo asociado A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación ed datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de com	0	
2 A) BZ es una instrucción de bifurcación incondicional B) BS y PET Son instrucciones de bifurcación incondicional SI un dato completo está almacenado en dos posiciones de memoria, X es una posición de memoria y R1 es un regi de propósito general de la CPU. ¿cuántos accesos a memoria hay que realizar con la operación X ← R1 + X?: A) Necesita de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesos penderá del computador de memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesos penderá del computador de memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesos penderá del computador Una arquitectura de computador Von Neumann basada en Acumulador: A) No puede tener instrucciones sin campo de dirección el D) Unicamente podría realizarse en un computador de B) Es un computador de cere direcciones B) Es un computador de cere direcciones D) Ninguna de las afirmaciones anteriores es correcta B) Es un computador de cere direcciones B) El IR no es imprescindibles B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo puede ne un valor negativo o positivo asociado, según el B) Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 10000000: A) Simpre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el B) Ninguna de las afirmaciones anteriores es correcta batema de representación empleado Un sistema de representación ed datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma filonate con mantisa anentra D) Ninguna de las afirmaciones anteriores es correcta Dado el estándor EEE 754 de doble precisión, cuando E = 00000000000000	+	
B) BS y RET son instrucciones de bifurcación incondicional Si un dato compite o está almacenado en dos posiciones de memoria, x se una posición de memoria y R1 es un regi de propósito general de la CPU, ¿cuántos accesos a memoria hay que realizar con la operación X ← R1 + X?: 3 A) Necesita de cuatro accesos a memoria principal C) Necesita de accesos a memoria principal D) Unicamente podría realizarse en un computador direcciones y el nº de accesos dependerá del computador Van Neumann basada en Acumulador: 4 A) No puede tener instrucciones sin campo de dirección C) No tiene instrucciones para operaciones diádicas D) Ninquan de las afirmaciones anteriores es correcta Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): 5 A) Ambos son siempre imprescindibles D) Ninquan de las afirmaciones anteriores es correcta Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): 6 N) Roso niempre imprescindibles D) Ninquan de las afirmaciones anteriores es correcta D) El IR es imprescindible y el SR no lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre u hamáno exactamente coincidente el de la palabra D) Ninguna de las afirmaciones anteriores es correcta de memoria D) Ninguna de las afirmaciones anteriores es correcta de memoria D) Ninguna de las afirmaciones anteriores es correcta D) Ninguna de las afirmaciones anteriore	D	
Si un dato completo está almacenado en dos posiciones de memoria, X es una posición de memoria y R1 es un regi de propósito general de la CPU, ¿cuántos accesos a memoria hay que realizar con la operación X ← R1 + X?: A) Necesita de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesosos dependerá del computador de memoria no puede tener instrucciones sin campo de dirección (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones (P) No tiene instrucciones para operaciones diádicas (P) No tiene instrucción (R): C) Ninguno de las dafirmaciones anteriores es correcta (P) Ninguna de las afirmaciones anteriores es correcta de memoria (P) Potente en siempre un tamaño exactamente coincidente de de la palabra (P) Ninguna de las afirmaciones anteriores es correcta (P) Ninguna de las afirmaciones	-	
de propósito general de la CPU, ¿cuántos accesos a memoria hay que realizar con la operación x ← R1 + X?: A) Ne puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesos dependerá del computador Von Neumann basada en Acumulador: 4 A) No puede tener instrucciones sin campo de dirección C) No tiene instrucciones para operaciones diádicas B) Es un computador de cero direcciones C) Ninguna de las afirmaciones anteriores es correcta 4 A) No puede tener instrucciones sin campo de dirección C) Ni Ninguna de las afirmaciones anteriores es correcta 5 Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindibles C) Ninguno de los dos son imprescindibles B) El IR no es imprescindibles C) Ninguno de los dos son imprescindibles B) El IR no es imprescindible y el SR sí lo es D) El IR es imprescindible y el SR no lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre u tamaño exactamente coincidente el de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra D) Ninguna de las afirmaciones anteriores es correcta de memoria B) A) Tiene que ser de coma flotante con mantisa entera Dada la cadena binaria 1000000: A) Siempre tiene un valor positivo asociado C) No puede representar nunca una instrucción B) Tiene que ser de coma flotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Un sistema de representación de dedos con valores con parte entera y parte fraccionaria: D) Ninguna de las afirmaciones anteriores es correcta D) Tiene que ser de coma flotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta Dado el estándar ElEET 54 de doble precisión, cuando E = 000000000000: A) Piede representar un valor de la	,	Si un dato completo está almacenado en dos posiciones de memoria, X es una posición de memoria y R1 es un registro
A) Necesita de cuatro accesos a memoria principal B) No puede realizarse puesto que una misma posición de memoria no puede hacer de fuente y destino a la vez Una arquitrectura de computador Von Neumann basada en Acumulador: Una requitrectura de computador Von Neumann basada en Acumulador: B) Es un computador de cero direcciones C) No tiene instrucciones para operaciones diádicas D) Ninguna de las afirmaciones anteriores es correcta Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindibles B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo puede ne valor negativo o positivo asociado B) Puede tener un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa riracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble pracisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona desnormalizada B) Representa un valor en la zona desnormalizada B) Representa un valor en la zona desnormalizada B) C) Di los resuerento varias posiciones del Mapa B) Complicar la función de decodificación D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x²		
memoria no puede hacer de fuente y destino a la vez Una arquitectura de computador Von Neumann basada en Acumulador: A) No puede tener instrucciones sin campo de dirección B) Es un computador de cero direcciones C) No tiene instrucciones para operaciones diádicas D) Ninguna de las afirmaciones anteriores es correcta B) Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindible y el SR s lo es D) El IR es imprescindible y el SR no lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra A) Siempre tiene un valor negativo o positivo asociado B) Puede tener un valor negativo o positivo asociado, según el B) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa rentera Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representar un valor en el azona normalizada Dado el polinomio generador P(x) = x² + x² + x² + x² + 1, tiene como combinación binaria asociada: C) Puede ser de coma flotante con mantisa entera Dado el polinomio generador P(x) = x² + x² + x² + x² + 1, tiene como combinación binaria asociada: C) Ninguna de las afirmaciones anteriores es correcta Diado el polinomio generador P(x) = x² + x² + x² + x² + 1, tiene como combinación binaria asociada: C) Ninguna de las afirmaciones anteriores es correcta Diado el polinomio generador P(x) = x² + x² + x² + x² + 1, tiene como combinación binaria asociada: C) Ninguna de las afirmaciones anteriores es correcta Diado el polinomio generador P(x) = x² + x² + x² + x² + x² + 1, tiene como combinación binaria asociada: C) Ninguna de las afirmaciones anteriores es correcta Diado el polinomio generador P(x) = x² + x²	□ A	
4 A) No puede tener instrucciones sin campo de dirección B) Es un computador de cero direcciones C) No tiene instrucciones para operaciones diádicas D) Ninguna de las afirmaciones anteriores es correcta C) Ninguno de los dos son imprescindibles B) El IR no es imprescindible y el SR si lo es B) El IR no es imprescindible y el SR si lo es C) Di El IR es imprescindible y el SR no lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre un tamaño exactamente coincidente el de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación engetado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000000 A) Puede representar un valor de la zona desnormalizada Di El valor pertenece siempre a la zona desnormalizada Dado el polinomio generador P(x) = x² + x² + x⁴ + x² + 1, tiene como combinación binaria asociada: A) A) 10 1 0 1 0 1 0 1 0 1 0 1 0 0 0 0 0 0 0		B) No puede realizarse puesto que una misma posición de D) Únicamente podría realizarse en un computador de 3
4 No puede tener instrucciones sin campo de dirección Di Not puede tener instrucciones plan operaciones diadicas Di Ninguna de las affirmaciones anteriores es correcta		memoria no puede hacer de fuente y destino a la vez direcciones y el nº de accesos dependerá del computador
B) Es un computador de cero direcciones D) Ninguna de las afirmaciones anteriores es correcta Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles C) Ninguno de los dos son imprescindibles D) El IR no es imprescindible y el SR s lo es D) El IR es imprescindible y el SR s lo lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre un tamaño exactamente coincidente el de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada C) Dinicamente puede representar + ó - ∞ Dado el polinomio generador P(x) = x² + x² + x² + 1, tiene como combinación binaria asociada: C) Unicamente puede representar + ó - ∞ D) Ninguna de las afirmaciones anteriores es correcta Di Ninguna de las afirmaciones anteriores es correcta	_	
Haciendo referencia a los registros denominados: Registro de Estado (SR) y Registro de Instrucción (IR): A) Ambos son siempre imprescindibles B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR sí lo es B) El IR no es imprescindible y el SR no lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Ninguna de las afirmaciones anteriores es correcta de memoria B) Puede tener un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 0000000000000000000000000000000000	D	
 A) Ambos son siempre imprescindibles B) El IR no es imprescindible y el SR sí lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según A) Pueden ocupar una o varias posiciones de memoria, según B) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado Un sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mamitisa entera B) Representa un valor de la zona desnormalizada A) Puede representar un valor de la zona desnormalizada Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada Dado el polinomio generador P(x) = x² + x² + x² + x¹ + x² + 1, tiene como combinación binaria asociada: A) 1 0 1 0 1 0 1 0 1 A) 1 0 1 0 1 0 1 0 1 B) Se rosuelven de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones Sea un módulo tipo NOVRAM C) Se trata de un módulo tipo RAM o SRAM C) La conexión necesarias, las siguientes líneas (dirección), D, (datos), OE (habilitación de salida (para la lect		
B) El IR no es imprescindible y el SR sí lo es Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según S) Solo pueden ser de tamaño múltiplo exacto de la palabra B) Solo pueden ser de tamaño múltiplo exacto de la palabra D) Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa netera Dado el estándar IEEE 754 de doble precisión, cuando E = 0000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada D) El valor pertenece siempre a la zona desnormalizada D) Dininguna de las afirmaciones anteriores es correcta D) Dininguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x² + x² + x² + x² + 1, tiene como combinación binaria asociada: 10 A) 10 1 0 1 0 1 0 1 B) 1 1 1 1 1 D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación in INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Ninguna de las conexiones se libera de lello nunca Sea un módulo de memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: C) La conexión paralela B) Ambas conexiones De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: C) La conexión paralela B) Apas conexiones de la memoria saten de Memoria Caché: C) Uras vec	_	
Si nos referimos a los datos almacenados en la Memoria Principal del Computador Von Neumann: A) Pueden ocupar una o varias posiciones de memoria, según C) Deben tener siempre un tamaño exactamente coincidente el de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra D) Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado C) No puede representar nunca una instrucción B) Puede tener un valor positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: Un sistema de representación de datos con valores con parte entera y parte fraccionaria: Un sistema de representación de datos con valores con parte entera y parte fraccionaria: Un sistema de representación de datos con valores con parte entera y parte fraccionaria: Un sistema de representación de datos con valores con parte entera y parte fraccionaria: Dado el estándar IEEE 754 de doble precisión, cuando E = 0000000000000000000000000000000000	∣ A	
A) Pueden ocupar una o varias posiciones de memoria, según su tamaño exactamente coincidente el de la palabra de memoria bolo pueden ser de tamaño múltiplo exacto de la palabra de memoria de memoria Di Ninguna de las afirmaciones anteriores es correcta de memoria Dada la cadena binaria 1000000: 7 A) Siempre tiene un valor positivo asociado C) No puede representar nunca una instrucción B) Puede tener un valor positivo asociado, según el D) Ninguna de las afirmaciones anteriores es correcta sistema de representación de datos con valores con parte entera y parte fraccionaria: 8 A) Tiene que ser de coma flotante con mantisa fracción C) Puede ser de coma fija o de coma flotante Di Ninguna de las afirmaciones anteriores es correcta Dado el estándar IEEE 754 de doble precisión, cuando E = 000000000000. 9 A) Puede representar un valor de la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) Ninguna de las afirmaciones anteriores es correcta D) Ninguna de las afirmaciones anteriores es correcta D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece si	\bot	
8 su tamaño go de la palabra de memoria B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria D) Ninguna de las afirmaciones anteriores es correcta de memoria 7	4	
B) Solo pueden ser de tamaño múltiplo exacto de la palabra de memoria Dada la cadena binaria 1000000: A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 000000000000: A) Puede representar un valor de la zona desnormalizada Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) Júnicamente puede representar + ó - ∞ B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) Júnicamente puede representar + ó - ∞ D) El valor pertenece siempre a la zona desnormalizada D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) Júnicamente puede representar + ó - ∞ D) El valor pertenece siempre a la zona desnormalizada D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) Júnicamente puede representar + ó - ∞ D) El valor pertenece siempre a la zona desnormalizada D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación ilNCOMPLETA de las direcciones implica: C) Asociar a cada elemento una única posición del Mapa D) Mapa de Memoria Común forzosamente De las conexión paralela D) A) La conexión paralela C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección		
Dada la cadena binaria 10000000: A Siempre tiene un valor positivo asociado D Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado D Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado D Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado D Ninguna de las afirmaciones anteriores es correcta	A	
Dada la cadena binaria 10000000: A) Siempre tiene un valor positivo asociado Di No puede representar nunca una instrucción Di Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Di Ninguna de las afirmaciones anteriores es correcta sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción Di Ninguna de las afirmaciones anteriores es correcta Di Ninguna de las conexiones		
A) Siempre tiene un valor positivo asociado B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa fracción C) Puede ser de coma flotante B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: 10 A) 1 0 1 0 1 0 1 0 1 B) 1 1 1 1 1 D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) 1 1 0 1 0 1 0 1 0 1 D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) 1 1 0 1 0 1 0 1 0 1 D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) 1 1 0 1 0 1 0 1 0 1 D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) 1 0 1 0 1 0 1 0 1 0 1 D) Ninguna de las afirmaciones anteriores es correcta Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: C) 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	+-	
B) Puede tener un valor negativo o positivo asociado, según el sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 000000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x³ + x⁵ + x⁴ + x² + 1, tiene como combinación binaria asociada: D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) A) 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	┨	
Sistema de representación empleado Un sistema de representación de datos con valores con parte entera y parte fraccionaria: A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 0000000000000000000000000000000000	∣B	
8 A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: 9 A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x² + x⁴ + x² + 1, tiene como combinación binaria asociada: 10 A) 1 0 1 0 1 0 1 0 1 B) 1 1 1 1 1 D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente D las conexiónes de la memoria caché, indica la que se libera a Igunas veces de acceder al bus de Memoria Principal: A) La conexión paralela C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarías, las siguientes líneas (dirección), D₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de secritura) y CS (selección de chado Se trata de un módulo tipo NOVRAM C) Se trata de un módulo tipo ROM B) Se trata de un módulo tipo DRAM o SRAM D) Se trata de un módulo tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: C) Unas veces se resuelven por hardware y otras por softw dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo		
A) Tiene que ser de coma flotante con mantisa fracción B) Tiene que ser de coma flotante con mantisa entera Dado el estándar IEEE 754 de doble precisión, cuando E = 0000000000000000000000000000000000	+	
B) Tiene que ser de coma flotante con mantisa entera D) Ninguna de las afirmaciones anteriores es correcta Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada C) Únicamente puede representar + ó - ∞ D) El valor pertenece siempre a la zona desnormalizada Dado el polinomio generador P(x) = x ⁸ + x ⁴ + x ² + 1, tiene como combinación binaria asociada: C) 1 0 1 0 1 0 1 0 1 D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: 11 A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: C) La conexión serie D) Ninguna de las afirmaciones anteriores es correcta C) 10 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0	C	
Dado el estándar IEEE 754 de doble precisión, cuando E = 00000000000: A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada C) Únicamente puede representar + 6 - ∞ D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) El valor pertenece siempre a la zona desnormalizada D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria cada elemento una única posición del Mapa D) Mapa de Memoria Común forzosamente D) Mapa de Memoria Común forzosamente D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che che che che che che che che che ch	`	
A) Puede representar un valor de la zona desnormalizada B) Representa un valor en la zona normalizada B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x ⁸ + x ⁴ + x ² + 1, tiene como combinación binaria asociada: C) 10 1 0 1 0 1 0 1 B) 11 1 1 1 D) Ninguna de las afirmaciones anteriores es correcta Di En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) A sociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexión paralela B) Ambas conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (dirección), D₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che che (control de la goritmo de la goritmo de la goritmo 14 A) Se resuelven siempre por hardware exclusivamente C) Unas veces se resuelven por hardware y otras por softw dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo	1	
B) Representa un valor en la zona normalizada Dado el polinomio generador P(x) = x8 + x6 + x4 + x2 + 1, tiene como combinación binaria asociada: A) 1 0 1 0 1 0 1 0 1 B) 1 1 1 1 1 D) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) A sociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexión paralela B) Ambas conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D ₁ (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che che che che che che che che che ch	│ A	
A) 1 0 1 0 1 0 1 0 1 B) 1 1 1 1 1 B) 1 1 1 1 1 C) Ninguna de las afirmaciones anteriores es correcta En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (dirección), D _i (datos) or contiene, además de las de un módulo tipo ROM B) Se trata de un módulo tipo NOVRAM C) Se trata de un módulo tipo ROM D) Se trata de un módulo de tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: C) Unas veces se resuelven por hardware y otras por softo dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo	⊥ - `	B) Representa un valor en la zona normalizada D) El valor pertenece siempre a la zona desnormalizada
B) 1 1 1 1 1 En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (dirección)) Se trata de un módulo tipo NOVRAM D) Se trata de un módulo de tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: C) Unas veces se resuelven por hardware y otras por softw dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo		
En el diseño del Mapa de Memoria de un computador, la decodificación INCOMPLETA de las direcciones implica: A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la lectura)), WE (habilitación de serritura) y CS (selección de che (habilitación de salida (para la le	│ A	
A) Asociar a cada elemento varias posiciones del Mapa B) Complicar la función de decodificación D) Mapa de Memoria Común forzosamente De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chabilitación de un módulo tipo NOVRAM B) Se trata de un módulo tipo NOVRAM C) Se trata de un módulo tipo ROM D) Se trata de un módulo de tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: C) Unas veces se resuelven por hardware y otras por software exclusivamente C) Unas veces se resuelven por hardware y otras por software en dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo		
B) Complicar la función de decodificación De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chabilitación de c	_	
De las conexiones de la memoria caché, indica la que se libera algunas veces de acceder al bus de Memoria Principal: A) La conexión paralela B) Ambas conexiones C) La conexión serie D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección), D _i (selección), D _i (selección de chección), D _i (selección), D _i	A	
A) La conexión paralela B) Ambas conexiones D) Ninguna de las conexiones se libera de ello nunca Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección), D _i (selección de chección de chección, D _i (selección de chección), D _i (selección de chección), D _i (selección de chección, D _i (selección de chección, D _i (selección de chección), D _i (selección de chección, D _i (selección de chección), D _i (selección de chección, D _i (selección de chección), D _i (selección de chección, D _i (selección de chección, D _i (selección de chección, D _i (selección), D _i (selección de chección, D _i (selección, D _i (selección), D _i (selección de chección, D _i (selección), D _i (selección, D _i (selección, D _i (selección), D _i (selección, D _i (selección), D _i (selección, D _i (selección, D _i (selección), D _i (selección, D _i (selección), D _i (selección, D _i (selección, D _i (selección, D _i (selección), D _i (selección, D _i (selección), D _i (selección, D _i (selección), D _i (selección, D _i (selección, D _i (selección), D _i (selección), D _i (selección, D _i (selección), D _i (selección, D _i (selección), D _i (selecci	4	
B) Ambas conexiones Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección de chección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chección de c		
Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas (dirección), D _i (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chembra de un módulo tipo NOVRAM A) Se trata de un módulo tipo NOVRAM B) Se trata de un módulo tipo DRAM o SRAM C) Se trata de un módulo tipo ROM D) Se trata de un módulo de tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente C) Unas veces se resuelven por hardware y otras por software dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo	C	
13 (dirección), Di (datos), OE (habilitación de salida (para la lectura)), WE (habilitación de escritura) y CS (selección de chabilitación de scritura) y CS (selección de chabilitación	+	
A) Se trata de un módulo tipo NOVRAM B) Se trata de un módulo tipo DRAM o SRAM D) Se trata de un módulo tipo DRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente B) Se resuelven siempre por software exclusivamente D) Los resuelve siempre el Sistema Operativo		
A) Se trata de un modulo tipo NOVRAM B) Se trata de un módulo tipo DRAM o SRAM D) Se trata de un módulo de tipo SRAM o RAM Los algoritmos de reemplazo en un sistema de Memoria Caché: A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente B) Se resuelven siempre por software exclusivamente D) Los resuelve siempre el Sistema Operativo	⊢ D	
Los algoritmos de reemplazo en un sistema de Memoria Caché: A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente D) Los resuelven siempre el Sistema Operativo	_	A) Se trata de un modulo tipo NOVRAM C) Se trata de un modulo tipo ROM
A) Se resuelven siempre por hardware exclusivamente B) Se resuelven siempre por software exclusivamente C) Unas veces se resuelven por hardware y otras por software dependiendo del algoritmo D) Los resuelve siempre el Sistema Operativo	+-	
dependiendo del algoritmo B) Se resuelven siempre por software exclusivamente D) Los resuelve siempre el Sistema Operativo	Ⅎ -	A) So requely an element par hardware evaluaivements. C) Unac veces as requely an par hardware v etras per deftware.
B) Se resuelven siempre por software exclusivamente D) Los resuelve siempre el Sistema Operativo	' A	
		, ·
- Luado un espacio de memoria con organización de 64 Knosiciones V 37 nits en cada nosición. Se hilede ci	.+	Dado un espacio de memoria con organización de 64 Kposiciones y 32 bits en cada posición. Se puede cubrir
completamente:	l _	completamente:
A) Con 4 módulos de 32Kx16 C) Con 8 módulos de 8Kx8	⊣ A	
B) Con 4 módulos de 8Kx32 D) Ninguna de las afirmaciones anteriores es correcta		
De las formas posibles para realizar una operación (aritmética, lógica,) en un computador, la más rápida es:		
A) Mediante un circuite seguencial con unidad de control C) Mediante un circuite seguencial con unidad de contro		
propia misma que la de la CPU		A) Mediante un circuito secuencial con unidad de control. C) Mediante un circuito secuencial con unidad de control la
B) Mediante un programa D) Ninguna de las afirmaciones anteriores es correcta	D	,

	Una Unidad Operativa capaz de realizar operaciones tanto de datos enteros como de coma flotante (FP) suele tener:		
17	A) Operadores independientes para las operaciones de C) Un único operador de propósito general para todas	las	D
.,	enteros y un operador general para las operaciones de FP operaciones posibles		D
	B) Un único banco de registros del tamaño adecuado D) Ninguna de las afirmaciones anteriores es correcta		
	En un computador binario, la división de un número (representado en un sistema posicional con pesos que	son	
18	potencias de dos) por una potencia de dos, se puede realizar:		D
	A) Con un circuito secuencial divisor exclusivamente C) Con un circuito despiazador a la izquierda		
	B) Con un circuito combinacional divisor exclusivamente D) Con un circuito desplazador a la derecha		
	La operación de extensión de signo de un valor representado en complemento a 2:		
19	A) No se puede realizar C) Implica rellenar las posiciones sobrantes con "1s"		D
	B) Implica rellenar las posiciones sobrantes con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar canacidade a constitución de la constitución de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con "0s", tanto si D) Dependiendo de si el valor es positivo o negativo, implicar con con con contra contra contra con contra contra contra contra	olica	
	el valor es positivo como negativo rellenar con "0s" ó "1s" respectivamente		
	El coproceso implica: A) Un único contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y un contador de programa para la CPU y los C) Varios flujos de instrucciones y los C) Var	oro	
20		Jara	٨
20	B) Los mismos repertorios de instrucciones en la CPU y en los D) Ninguna de las afirmaciones anteriores es correcta		Α
	coprocesadores		
-	El campo código de operación de una instrucción:	1	
	A) Si hay varios tipos de operandos, Indica el tipo de C) En la fase de búsqueda de la instrucción, es siempre el úl	timo	_
21	operando que interviene en la operación campo que se obtiene	uiiio	Α
	B) Puede indicar o no la operación, según el computador D) Ninguna de las afirmaciones anteriores es correcta		
	El modo de direccionamiento indirecto absoluto a memoria en una instrucción de bifurcación incondicional, aparte de	los	
	accesos a memoria para buscar la instrucción:		
22	A) Implica siempre un acceso a memoria como mínimo C) No implica accesos a memoria nunca		Α
	B) Puede no implicar acceso a memoria D) Implica siempre dos accesos a memoria como mínimo		
	Del modo de direccionamiento DIRECTO ABSOLUTO se puede decir que:		
23	A) Especifica siempre el registro de propósito general en el C) Es muy normal que exista en un microprocesador, inc	luso	С
23	que está el operando varios tipos		C
	B) Implica siempre un operando en memoria D) No existe en instrucciones de bifurcación		
	Comparando los direccionamientos directo relativo a registro base y el directo relativo a registro índice:		
24	A) En ambos termina el registro base o índice modificado C) En ninguno de los dos termina modificado registro alguno		D
27	B) En el relativo a registro base termina modificado el registro D) Ninguna de las afirmaciones anteriores es correcta		ט
	base y en el relativo a registro índice no		
	Un repertorio de instrucciones de un computador se dice que es completo si puede realizar cualquier tarea computab		
	A) Todos los repertorios de instrucciones completos son igual C) Puede haber repertorios con muy pocas instrucciones		
25	de eficaces (el tiempo que tardan en realizar la misma tarea sean completos y otros que con un número superior no lo sea	n	C
	coincide en todos ellos)		
	B) Cuantas más instrucciones tenga el repertorio de D) Los repertorios de instrucciones de muchos computadores instrucciones más completo será son completos porque tienen repertorios de pocas instrucciones		
	instrucciones más completo será son completos porque tienen repertorios de pocas instruccione La capacidad de Acceso Directo a Memoria la tiene/n:	53	
	A) Un Controlador de Acceso Directo a Memoria (DMAC). C) Cualquier dispositivo de E/S moderno.		_
26	exclusivamente		В
	B) Un Procesador de E/S D) Ninguna de las afirmaciones anteriores es correcta		
	Una interrupción vectorizada:		
	A) Implica que el dispositivo que interrumpe suministre C) Implica que el dispositivo que interrumpe ejecute la Rutina	a de	
07	siempre la dirección dónde comienza la rutina de tratamiento Tratamiento de la Interrupción		D
27			D
	de la interrupción		
	de la interrupción B) Tiene siempre su vector de interrupción definido en las D) Ninguna de las afirmaciones anteriores es correcta		
	B) Tiene siempre su vector de interrupción definido en las D) Ninguna de las afirmaciones anteriores es correcta		
28	B) Tiene siempre su vector de interrupción definido en las D) Ninguna de las afirmaciones anteriores es correcta primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,0111, ¿qué técnica se ha podido aplicar?:		Α
28	B) Tiene siempre su vector de interrupción definido en las D) Ninguna de las afirmaciones anteriores es correcta primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,0111, ¿qué técnica se ha podido aplicar?:		Α
28	B) Tiene siempre su vector de interrupción definido en las D) Ninguna de las afirmaciones anteriores es correcta primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,01111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas C) La de redondeo propiamente dicho exclusivamente B) La de truncamiento exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC):		Α
	B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,01111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha C) Tiene un repertorio de instrucciones bastante amplio pu		
28	B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,01111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha realizado en la fábrica C) Tiene un repertorio de instrucciones bastante amplio pu que tiene que comunicar a muy distintos periféricos con la CP		A B
	B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,0111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente C) La de redondeo propiamente dicho exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha realizado en la fábrica B) Debe ser programado D) Ninguna de las afirmaciones anteriores es correcta C) Tiene un repertorio de instrucciones bastante amplio pur que tiene que comunicar a muy distintos periféricos con la CP D) Ninguna de las afirmaciones anteriores es correcta		
29	B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,0111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha realizado en la fábrica B) Debe ser programado D) Ninguna de las afirmaciones anteriores es correcta C) Tiene un repertorio de instrucciones bastante amplio pu que tiene que comunicar a muy distintos periféricos con la CP D) Ninguna de las afirmaciones anteriores es correcta		В
	B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema Si cuando redondeamos el valor 0,011101 se obtiene el valor 0,01111, ¿qué técnica se ha podido aplicar?: A) Cualquiera de las tres técnicas estudiadas B) La de truncamiento exclusivamente D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria (DMAC): A) No necesita ser programado porque su programación se ha realizado en la fábrica B) Debe ser programado D) Ninguna de las afirmaciones anteriores es correcta C) Tiene un repertorio de instrucciones bastante amplio pur que tiene que comunicar a muy distintos periféricos con la CP D) Ninguna de las afirmaciones anteriores es correcta Un Controlador de Acceso Directo a Memoria:		

EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Septiembre)

La Rábida, 19 de Septiembre de 2018

PROBLEMA 1. (2,25 puntos)

Resolver las siguientes cuestiones:

- 1. Dados los modos de direccionamiento mostrados en la Tabla 1 para un computador de dos direcciones basado en banco de registros, **especificar los distintos formatos de instrucción posibles** para cada uno de ellos, suponiendo que:
 - a) El tamaño de la palabra de memoria del computador es de 8 bits y el número de bits del formato de las instrucciones debe ser un múltiplo de esta palabra.
 - b) El sistema computador es capaz de ejecutar un total de 256 instrucciones diferentes.
 - c) El sistema computador tiene un banco de 16 registros de propósito general (R0-R15). ¿Se debería indicar que pueden actuar como registros base?Para poder calcular el número de bits del campo "Ident. de Registro base"
 - d) El valor más alto que puede tomar el dato inmediato según el sistema de Complemento a 2 es +2¹¹-1.
 - e) El máximo espacio de memoria direccionable es de 1Mposiciones.
 - f) Los modos de direccionamiento inmediato y directo relativo a registro base tienen el mismo número de bits en sus formatos de instrucción.

Tabla 1. Modos de direccionamiento										
Modo de direccionamiento	Prefijo/sufijo	Ejemplo	Operaciones que se realizan							
INMEDIATO	Prefijo #	ADD R1, #18	R1 ← R1 +18							
DIRECTO ABSOLUTO a MEMORIA	-	ADD R2, 20	R2 ← R2+M(20)							
DIRECTO ABSOLUTO A REGISTRO	R	ADD R4, R8	R4 ← R4+R8							
DIRECTO RELATIVO a REGISTRO BASE	Corchete [R]	ADD R3, 22[R5]	R3 ← R3 +M(22+R5)							

2. Si tuviésemos que representar un dato según el sistema estándar IEEE P754 en un registro del tamaño igual al número de bits que tiene el formato de la instrucción con modo de direccionamiento directo absoluto a memoria, ¿cuál sería el valor más pequeño positivo (diferente de cero) posible?. Justificar la respuesta con todas las fórmulas y cálculos realizados.

PROBLEMA 2. (2,5 puntos)

Dado un sistema computador con bus de datos de 8 líneas y bus de direcciones de 20 líneas y con especificaciones de diseño para el sistema de mapa de memoria común:

- 384 Kposiciones de memoria para el sistema operativo, actualizable de forma continuada. Se ubicará siempre en posiciones de memoria consecutivas y justo a continuación de los programas de inicialización.
- 384 Kposiciones para diferentes aplicaciones actuales y futuras.
- 128 Kposiciones de memoria para los programas de inicialización; en las primeras posiciones del mapa de memoria. Estos programas de inicialización deben poder ser modificados esporádicamente a lo largo de la vida del computador.
- Para la E/S se tiene un total de 128 Kposiciones implementadas, en las últimas posiciones del mapa.
- Para la elección de los módulos de memoria y de E/S se debe tener en cuenta:
 - o Se dispone de módulos de memoria de tipo SRAM, NOVRAM y UV-EPROM.
 - La organización de los módulos de solo lectura es de 64Kx4.
 - o La organización de los módulos de lectura y escritura es de 128Kx8.
 - Todos los módulos de E/S tienen una organización de 128Kx8.
 - o Debe primarse el coste en la elección de los módulos.
- El tamaño básico inicial debe ser de 128Kposiciones.

Se pide:

- 1. Dibujar un esquema de **cada dispositivo elegido** para el diseño, justificando la elección, y detallando todas las líneas de comunicación de cada uno de esos tipos de módulos.
- 2. Diseñar el/los mapa/s de direcciones, indicando el espacio ocupado según los distintos tipos de módulos y función, así como la dirección de comienzo y finalización de cada uno de esos espacios con usos diferentes.
- 3. Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior. En este esquema debe aparecer: el Procesador, los módulos de memoria, los módulos de E/S, los circuitos que realizan la función de decodificación y cualquier otro circuito electrónico necesario para que el sistema pueda operar correctamente.

PROBLEMA 3. (2,25 puntos)

Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas con información en hexadecimal (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente lo que aparezca en la hoja del cronograma), a lo largo del proceso siguiente:
 - 1- La CPU ejecuta las instrucciones LDA [1515h], SUB #23, y STA 5050h. Suponer que la primera, y segunda instrucción se encuentran en memoria a partir de la dirección FF00h; y la tercera instrucción se encuentra situada a partir de la posición de memoria obtenida de sumar el vector de interrupción con el valor 0011h. Los códigos de operación correspondientes a las instrucciones son respectivamente 01h, 11h y 33h. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - 2- Durante el séptimo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **AAh**, **BBh** y **CCh** a partir de la posición **AA00h**. El controlador opera en modo continuo.
 - 3- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **AAh** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida.
- b. Definir los contenidos (en hexadecimal) que van teniendo todos los elementos de almacenamiento que se modifican en algún momento del proceso. El contenido de dichos elementos de almacenamiento al comienzo de la ejecución de las instrucciones es el especificado en la relación siguiente:
 - Acumulador = 00h
 - Dirección AA00h = 00h
 - Dirección AA01h = 11h
 - Dirección AA02h = 22h
 - Dirección 1515h = 8Ch
 - Dirección 1516h = 8Ch
 - Dirección 5050h = 04h
 - Dirección 5051h = 03h
 - Dirección 8C8Ch = 4Bh
 - Dirección 8C8Dh = 3Ch

Apellidos:																						
ADDR() DAT() BUSREQ BUSACK INT																						
INTACK MEMREQ RD WR	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo	Ciclo 22°								
Tipo de ciclo	1°		30	40	5°	60	/°	8°	g. 	10°	11°	12°	13°	14°	15°	16°	17°	18°	19°	20°	21°	
Inicial																						
Interm. 1																						
Interm. 2																						
Final																						