# 任意波形发生器通信协议

## 硬件连接

==============================================================================================

FUNCTION LOGIC FPGA PIN NET/ARDUINO reserved

==============================================================================================

SPI\_\_ spi\_clk H13 FPGA\_AR\_SCK <- AR\_SCK

|\_ spi\_in M5 FPGA\_AR\_MOSI <- AR\_MOSI

\\_ spi\_out L5 FPGA\_AR\_MISO <- AR\_MISO

spi\_fss B2 AR\_D10 /SS

rst\_n A2 AR\_D9

int1 B3 AR\_D8

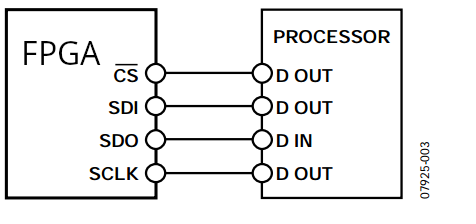
int1 需要可设置，支持电平或边沿中断

FPGA和Arduino 通过SPI进行通信，通信的硬件如上。

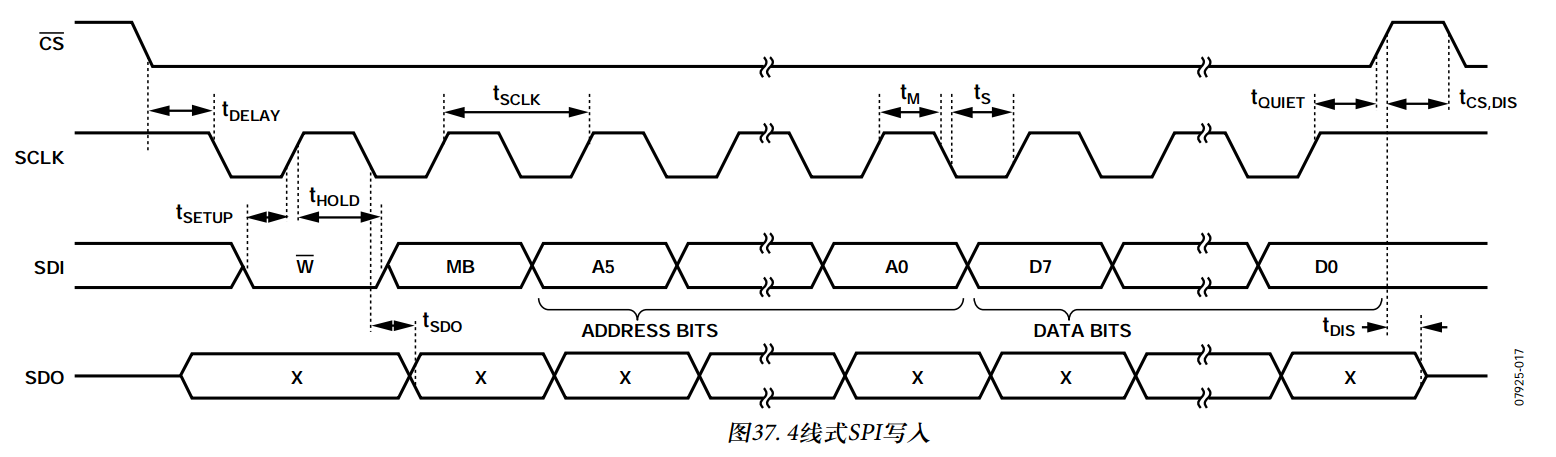
## SPI串行通信

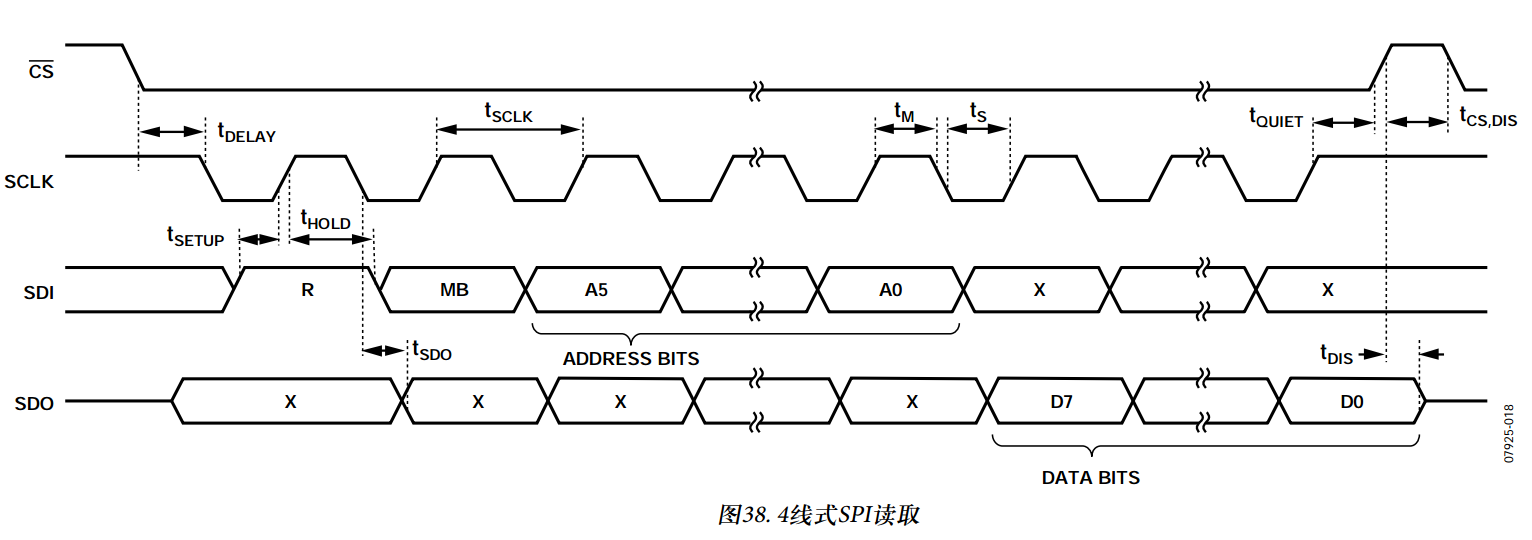
对于SPI，使用4线配置，下图所示。最大负载为100 pF时，最大SPI时钟速度为50 MHz，时序方案按照时钟极性(CPOL)= 1、时钟相位(CPHA)= 1执行。CS为串行端口使能线，由SPI主机控制。如图所示，此线必须在传输起点变为低电平，传输终点变为高电平。 SCLK

为串行端口时钟，由SPI主机提供。无传输期间， SCLK为空闲高电平状态。 SDI和SDO分别为串行数据输入和输出。 SCLK下降沿时数据更新， SCLK上升沿时进行采样。

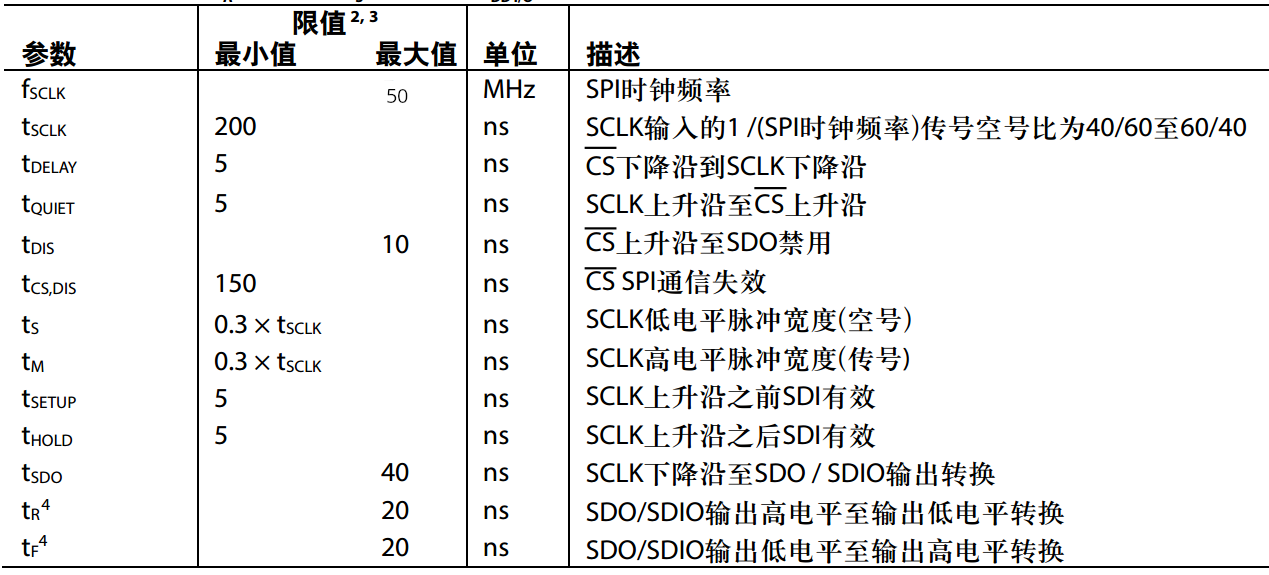


要在单次传输内读取或写入多个字节，必须设置位于第一个字节传输(MB，下图)R /W位后的多字节位。寄存器寻址和数据的第一个字节后，时钟脉冲的随后每次设置(8个时钟脉冲)导致FPGA指向下一个寄存器的读取/写入。时钟脉冲停止后，移位才随之中止， CS失效。要执行不同不连续寄存器的读取或写入，传输之间CS必须失效，新寄存器另行处理





SPI时序：



## 中断

FPGA为驱动中断提供输出引脚： INT1这个中断引脚都是推挽低阻抗引脚。中断引脚默认配置为高电平有效。设置SYS\_CON 寄存器(地址0x00)中的D6位，可以更改为低电平有效。所有功能都可以同时使用，但是，一些功能可能需要共享中断引脚。设置SYS\_CON寄存器(D2)的适当位，中断使能。

## Reset（可选）

FPGA为驱动提供Reset引脚，Reset设置为低电平有效。当MCU 复位FPGA时所有的设置信息恢复到默认值。

## 寄存器

所有的寄存器都为8位

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| 地址 | 名称 | 类型 | 描述 |
| 0x07 | control | 写 | D7D6为控制波形 00：正弦波  01：方波  10：三角波  11：锯齿波  D5D4D3为控制幅度 000：幅度不变  001：原来幅度的1/2倍  010：原来幅度的1/4倍  011：原来幅度的1/8倍  100：幅度不变  101：原来幅度的2倍  110：原来幅度的4倍  111：原来幅度的8倍  D2D1D0为控制频率 000：频率不变  001：原来频率的2倍  010：原来频率的4倍  100：原来频率的16倍  101：原来频率的32倍  110：原来频率的64倍  111：原来频率的128倍 |