

第四次数电实验

郝裕玮

18329015

2019 级教务四班

一、实验目的

- 1, 熟悉译码器的功能与使用方法
- 2, 3-8 译码器使用:最小项法
- 3, 使用 3-8 译码器设计加法器
- 4, 掌握用中规模集成电路 (MSI) 设计的组合逻辑电路的方法

二、实验原理

1. 74LS138 (3-8 线译码器)

译码器可将每个输入的二进制代码译成对应的输出高、低电平信号。如下图 3-8 所示为 3-8 线译码器 74LS138 的逻辑符号。 $\overline{G2A}$ 、 $\overline{G2B}$ 是 74LS138 的使能端, 低电平有效。C、B、A 和 G1 是 74LS138 的输入引脚, 与输出引脚 Y0-Y7 满足真值表所列 3-8 线译码器逻辑关系。

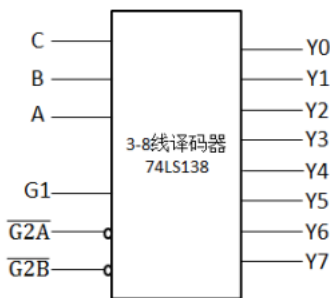


图 3-8 3-8 线译码器 74LS138 逻辑符号

如下表 3-4 所示为 3-8 线译码器 74LS138 的真值表, 此时 $\overline{G2A}$ 、 $\overline{G2B}$ 接低电平, G1 接输入 (数据) 信号 D。

表 3-4 74LS138 的真值表

输入			输出							
C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	\overline{D}	1	1	1	1	1	1	1
0	0	1	1	\overline{D}	1	1	1	1	1	1
0	1	0	1	1	\overline{D}	1	1	1	1	1
0	1	1	1	1	1	\overline{D}	1	1	1	1
1	0	0	1	1	1	1	\overline{D}	1	1	1
1	0	1	1	1	1	1	1	\overline{D}	1	1
1	1	0	1	1	1	1	1	1	\overline{D}	
1	1	1	1	1	1	1	1	1	1	\overline{D}

从上表可以看出, 当 $\overline{G2A}$ 、 $\overline{G2B}$ 接低电平时, 即芯片的使能端接有效选通信号时, 74LS138

将 G1 送来的输入（数据）信号 D 通过 C、B、A 输入（地址）信号所指定的一根输出线反相后送出去。

2. 利用 74LS138 实现组合逻辑电路的设计方法

根据 74LS138 真值表，当 $\overline{G2A}$ 、 $\overline{G2B}$ 接低电平，G1 接高电平时，74LS138 的 Y0-Y7 输出表达式如下：

$$Y0 = \overline{C} \overline{B} \overline{A} = m0$$

$$Y1 = \overline{C} \overline{B} A = m1$$

$$Y2 = \overline{C} B \overline{A} = m2$$

$$Y3 = \overline{C} B A = m3$$

$$Y4 = C \overline{B} \overline{A} = m4$$

$$Y5 = C \overline{B} A = m5$$

$$Y6 = C B \overline{A} = m6$$

$$Y7 = C B A = m7$$

从上式可看出，此时 74LS138 的 Y0-Y7 是 C、B、A 这三个变量的全部最小项的译码输出，因此这种译码器也被称为最小项译码器。如果将 C、B、A 当作逻辑函数的输入变量，再利用附加的门电路将这些最小项适当的组合起来，便可产生任何形式的三变量组合逻辑函数。

以使用 3-8 线译码器 74LS138 实现全加器为例，介绍利用 74LS138 实现组合逻辑电路的设计方法。

(1) 列出如下表 3-5 所示全加器真值表。其中 A、B 是加数与被加数，C_n 是低位向本位的进位，S 为本位和，C_{n+1} 位是本位向高位的进位。

表 3-5 全加器的真值表

输入			输出	
A	B	C _n	S	C _{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(2) 由上述真值表可分别得到全加器输出 S 和 C_{n+1} 关于输入 A、B、C_n 的最小项之和表达式，并进一步将其化简为与非形式的输出表达式。

$$S = \overline{A} \overline{B} C_n + \overline{A} B \overline{C}_n + A \overline{B} \overline{C}_n + A B C_n = \overline{m1} \overline{m2} \overline{m4} \overline{m7}$$

$$C_{n+1} = \overline{A} B C_n + A \overline{B} C_n + A B \overline{C}_n + A B C_n = \overline{m3} \overline{m5} \overline{m6} \overline{m7}$$

(3) 令 74LS138 的输入 C、B、A 作为全加器的输入 A、B、 C_n ，通过对比 74LS138 与全加器的输出表达式，可见只需在 74LS138 的输出端附加两个与非门，并按上述全加器 S 和 C_{n+1} 的输出表达式连接，即可实现全加器功能，如下图 3-9 所示：

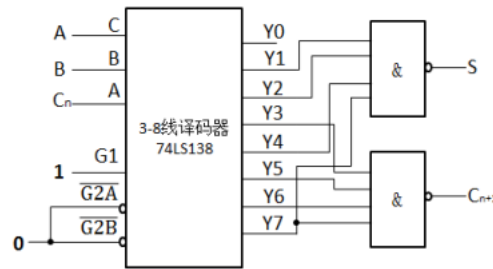


图 3-9 74LS138 实现全加器逻辑图

三、实验内容与电路设计

对于实验内容 1，根据实验要求，将实验 1 中 74LS197 电路的 CP0 接 10KHz 连续脉冲，74LS197 的输出端 Q3、Q2、Q1、Q0 依次与 74LS138 的输入端 G1、C、B、A 相连，74LS138 使能端 G2A 和 G2B 置低。在运行电路时，我们发现波形图中出现了“毛刺”（即竞争冒险），所以在电路图原有的基础上，根据毛刺出现的位置额外并联了三个电容，经前后比较，发现毛刺已消失，即已成功排除了电路中的竞争冒险。所以所得电路如下图 1 所示：

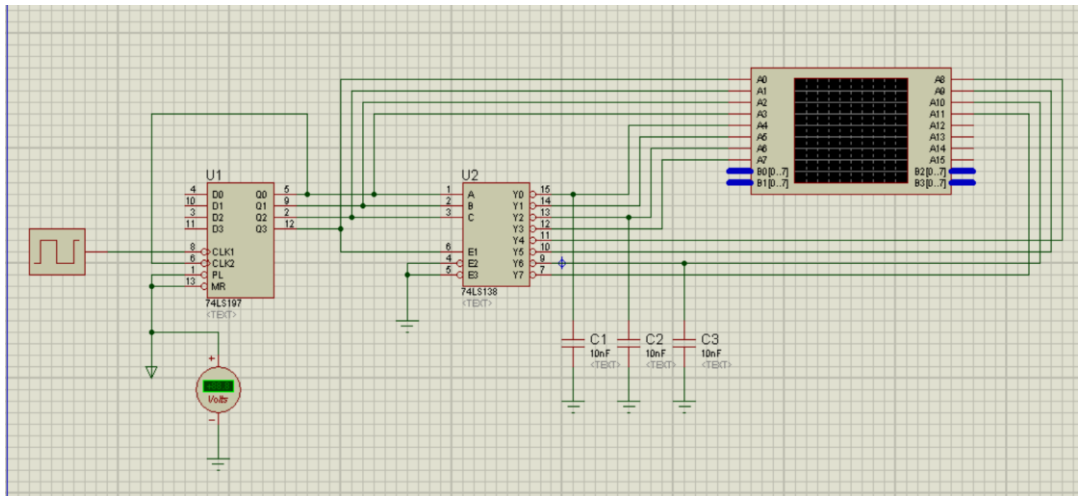


图 1

对于实验内容 2.1，要求我们设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。当 S=0 时，输出 Y 为 A+B 及进位 C_n ；当 S=1 时，输出 Y 为 A-B 及借位 C_n 。并且不使用 74LS138，只使用门电路实现。

表 3-6 带控制端的半加半减器功能表

S	输入 1	输入 2	输出 Y	进/借位 C_n
0	A	B	A+B	进位
1	A	B	A-B	借位

首先我们列出 S 和 AB 关于 Y 的卡诺图：

S \ AB	00	01	11	10
0	0	1	0	1
1	0	1	0	1

所以使用卡诺图化简之后可得 Y 的表达式为下图所示：

$$Y = \overline{A}B + A\overline{B} = A \oplus B$$

然后我们列出 S 和 AB 关于 C_n 的卡诺图：

S \ AB	00	01	11	10
0	0	0	1	0
1	0	1	0	0

所以使用卡诺图化简之后可得 C_n 的表达式为下图所示：

$$C_n = S\overline{A}B + \overline{S}AB = B(S \oplus A)$$

至此，实验 2.1 完成。

对于实验内容 2.2，要求我们设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。当 S=0 时，输出 Y 为 A+B 及进位 C_n；当 S=1 时，输出 Y 为 A-B 及借位 C_n。并要求我们用 74LS138 实现。

所以我们可以由题目要求首先列出 S、A、B、Y、C_n 的真值表如下图 2 所示：

S	A	B	Y	C _n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

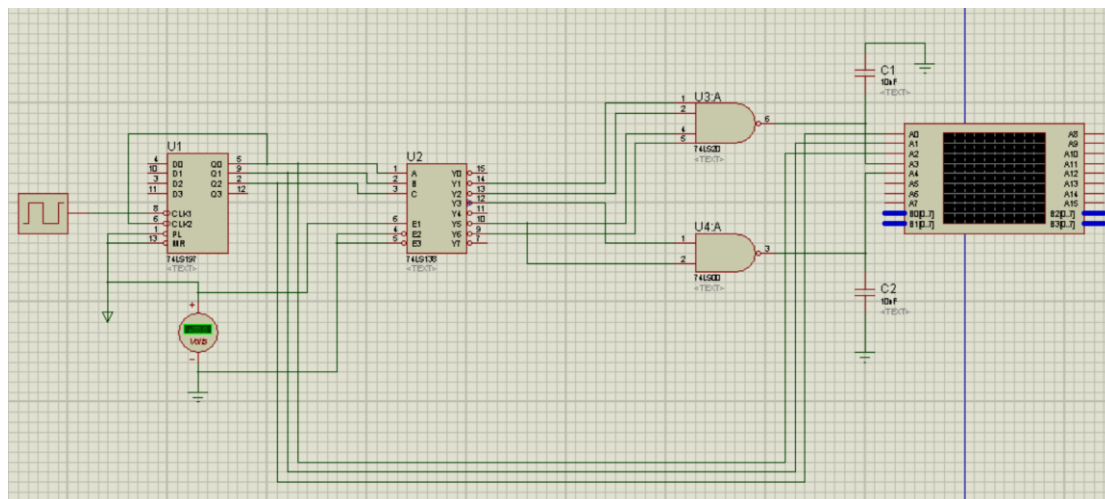
图 2

然后由 74LS138 的性质，我们可得 Y 和 C_n 的化简式如下图所示：

$$Y = Y_1 + Y_2 + Y_5 + Y_6 = \overline{m_1 m_2 m_5 m_6}$$

$$C_n = Y_3 + Y_5 = \overline{m_3 m_5}$$

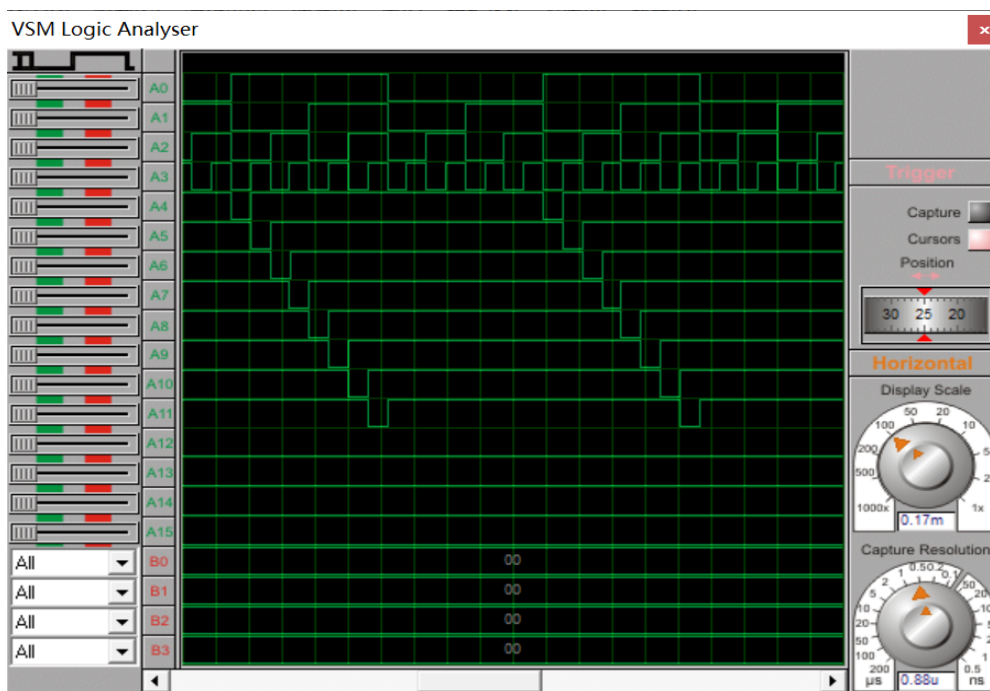
所以我们可由上面的化简式在 Proteus 中建立如下电路：



其中输入 S、A、B 分别对应 74LS197 的 Q2、Q1、Q0，并且为了去除电路中的竞争冒险，我们给 Y 和 Cn 的输出电路上均并联了一个 10nF 的电容。

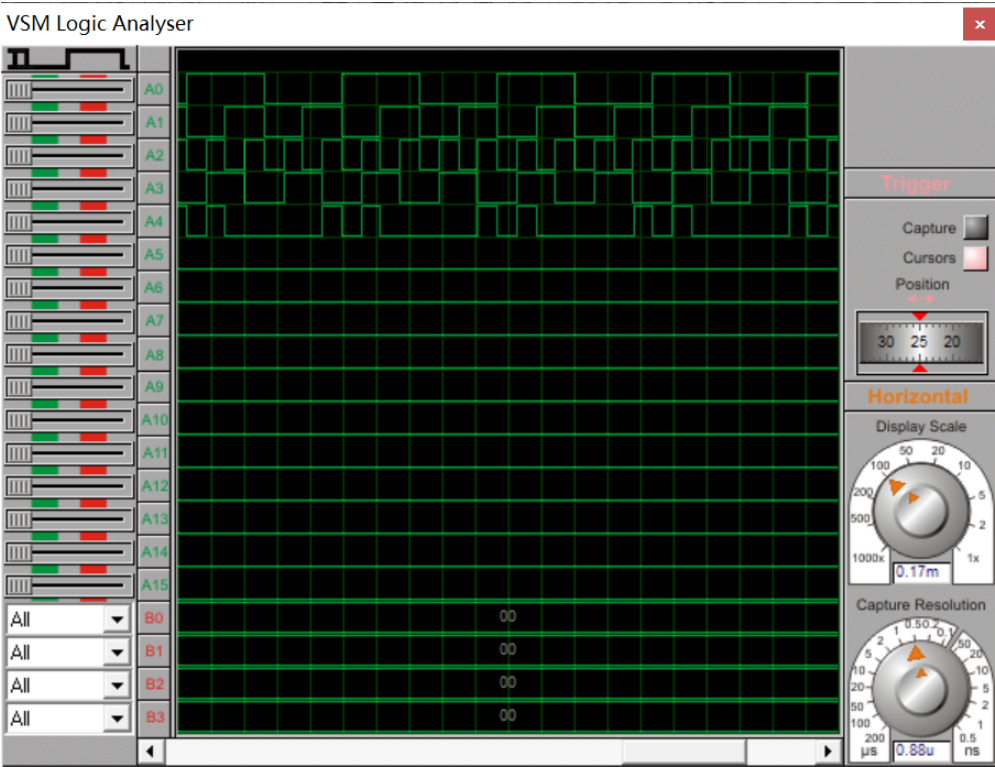
四、实验结果

对于实验 1，波形图如下所示：



经对比验证，波形图符合实验原理中表 3-4 的 74LS138 的真值表。

对于实验 2.2，波形图如下所示：



经对比验证，波形图符合“三、实验内容与电路设计”中实验 2.2 部分的图 2 的真值表（如下图所示）。

所以我们可以由题目要求首先列出 S、A、B、Y、Cn 的真值表如下图 2 所示：

S	A	B	Y	C _n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

图 2

五、实验总结与心得

通过这次实验，我懂得了 74LS138 的性质及其使用方法，并且掌握了构造全加器和半加半减器的方法。

同时，我也初步了解了电路中的竞争与冒险的原理（即出现毛刺的原因），懂得去并联电容来解决这一问题。

在此次实验中，实验二的两部分实验（即使用门电路和使用 74LS138 来构造半加半减器）的两种构造方法也让我对译码器和译码电路有了更深刻的认识。