

第 11 次数电实验

郝裕玮

18329015

2019 级教务四班

一、实验目的

1. 复习中规模集成电路计数器的功能及应用。
2. 复习中规模集成电路译码器的功能及应用。
3. 复习 LED 数码管扫描显示电路的工作原理。
4. 熟练模块化设计和综合测试电路的方法。

二、实验原理

1. 数字钟

简易的数字钟可以看作是一个仅具有时、分、秒计时的计数器。在数字电路实验箱上实现简易数字钟功能，即是在数字电路实验箱上实现具有时、分、秒计时的计数器，并将其显示在七段数码管上，如下图 4-37 所示为一个简易数字钟的原理框图。

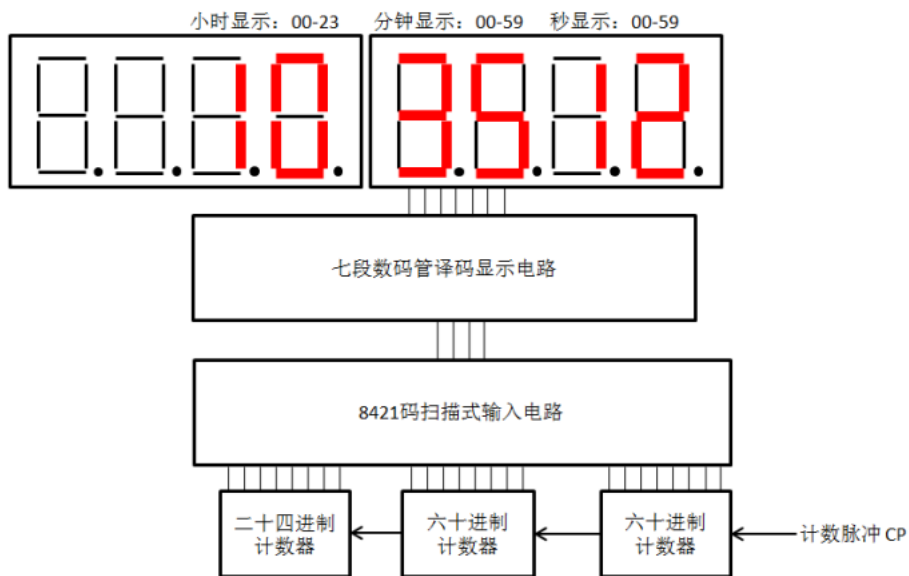


图 4-37 简易数字钟的原理框图

以 1Hz 的连续脉冲作为秒计时器（六十进制计数器）的计数脉冲，则当秒计时器计至 59 时，产生进位信号作为分计时器（六十进制计数器）的计数脉冲。当分计时器计至 59 时，产生进位信号作为小时计时器的（二十四进制计数器）的计数脉冲。小时计时器按照二十四进制进行计时。计时结果利用扫描式显示的方式在数字电路实验箱上的两组四联装共阴极七段数码管上显示出来。

根据电路的逻辑功能，如下图 4-38 所示为其电路设计的一种模块划分方法。

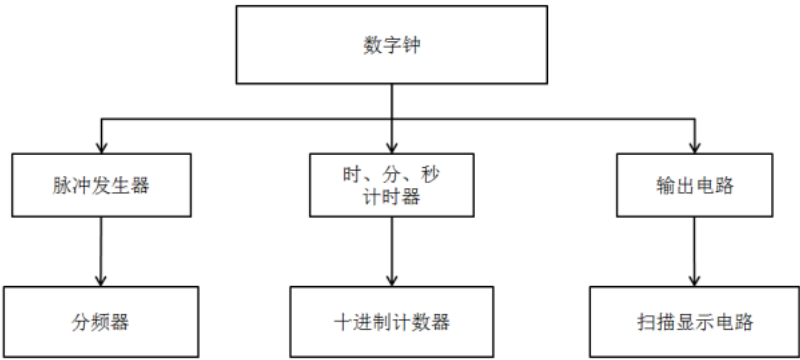


图 4-38 简易数字钟电路的模块划分

其中脉冲发生器模块由分频器电路（IP 核：XUP_clk_div_v1_0）对数字电路实验箱 FPGA 实验模式下 C12 引脚提供的 100MHz 连续脉冲分频实现，脉冲发生器一方面提供每秒一个时钟上升沿，用于秒计时器模块计数，另一方面也提供七段数码管扫描式显示所需的 10KHz 连续脉冲。时、分、秒计时模块由十进制集成计数器 74LS160 实现二十四进制和六十进制计数。输出电路模块采用扫描显示模块实现时、分、秒在七段数码管的动态显示。

三、实验内容与电路设计

实验内容为：搭建具有时、分、秒计时的简易数字钟，要求如下：

- （1）绑定七段数码管显示计时结果。
- （2）绑定模拟开关 S0 进行时钟的计时和暂停的切换控制，即当模拟开关 S0 为高电平时，数字钟计时暂停。当模拟开关 S0 为低电平时，数字钟正常计时。

首先我们先对时钟的“秒”部分进行电路连接。因为秒是 60 进制，所以由 60 所对应的 BCD 码 01100000 可知，我们需要将“秒”部分高位的 74LS160 的 Q2、Q1（对应 6）连接到二输入与非门 74LS00，并将其输出接到“秒”部分的高、低位的 74LS160 的异步置数端 MR，以此实现异步清零。

同时，对于秒和分的级联部分，因为秒是 60 进制，所以由 59 所对应的 BCD 码 01011001 可知，我们需要将“秒”部分高位的 74LS160 的 Q2、Q0（对应 5）和低位的 Q3、Q0（对应 9）连接到四输入与非门 74LS20，并将其输出取反相再接到“分”部分低位的 74LS160 的使能端，使之实现从秒到分的进位。

其次再对时钟的“分”部分进行电路连接，因为分也是 60 进制，所以与“秒”部分的操作类似。我们将“分”部分高位的 74LS160 的 Q2、Q1（对应 6）连接到二输入与非门 74LS00，并将其输出接到“分”部分的高、低位的 74LS160 的异步置数端 MR，以此实现异步清零。

对于分和时的级联部分，因为时在进位时，分和秒都会清零，又因为分也是 60 进制，所以由 59 所对应的 BCD 码 01011001，我们将“分”部分高位的 74LS160 的 Q2、Q0（对应 5）和低位的 Q3、Q0（对应 9）连接到四输入与非门 74LS20，并将其输出取反相，再将其反相与秒和分级联部分的 74LS20 的输出的反相共同连接到二输入与门 7408 上，最后将其输出连接到“时”部分低位的 74LS160 的使能端，使之实现从分到时的进位。

最后对时钟的“时”部分进行电路连接，因为时是 24 进制，所以由 24 所对应的 BCD 码 00100100 可知，我们需要将“时”部分高位的 74LS160 的 Q1（对应 2）和低位的 Q2（对应 4）连接到二输入与非门 74LS00，并将其输出接到“时”部分的高、低位的 74LS160 的异步置数端 MR，以此实现异步清零。

之后我们需要将时、分、秒高低位共 6 个 74LS160 的 CLK 输入均接到时钟 CLK 上（频率为 1Hz）。对于时、分、秒的每个部分，我们都需要将低位 74LS160 的进位信号 RCO 接到高位 74LS160 的使能端上。并将高、低位的同步置数端 LOAD 和低位的使能端均接高电平。

所以秒、时、分的电路及其级联部分如下图 1 所示：

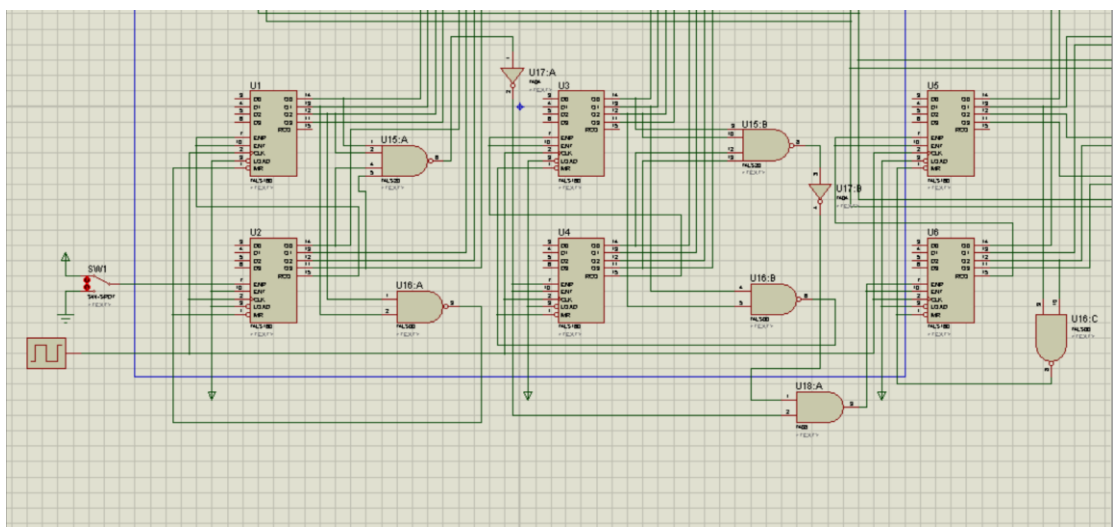


图 1

对于扫描部分，首先我们将另一个频率为 1kHz 的时钟接到 74LS197 的 CLK1 上，再将 CLK2 接到 74LS197 的输出 Q0 上，使能端接高电平。之后将 Q0、Q1 接到 3-8 译码器 74LS138 的输入 A、B 上，并将 74LS138 的 C、E2、E3 接地，E1 接高电平。最后将输出 Y0、Y1、Y2、Y3 根据显示顺序接到两片四联数码管的 1、2、3、4 上。

对于数据选择部分，以“秒”部分为例，我们将高位的 74LS160 的 Q0-Q3 按顺序依次接到第 1 片和第 2 片 74LS153 的 1X0 (1), 2X0 (1), 1X0 (2), 2X0 (2)。再将低位的 74LS160 的 Q0-Q3 按顺序依次接到第 1 片和第 2 片 74LS153 的 1X1 (1), 2X1 (1), 1X1 (2), 2X1 (2)。

对于“分”部分，我们将高位的 74LS160 的 Q0-Q3 按顺序依次接到第 1 片和第 2 片 74LS153 的 1X2 (1)，2X2 (1)，1X2 (2)，2X2 (2)。再将低位的 74LS160 的 Q0-Q3 按顺序依次接到第 1 片和第 2 片 74LS153 的 1X3 (1)，2X3 (1)，1X3 (2)，2X3 (2)。

对于“时”部分，我们将高位的 74LS160 的 Q0-Q3 按顺序依次接到第 3 片和第 4 片 74LS153 的 1X2 (3)，2X2 (3)，1X2 (4)，2X2 (4)。再将低位的 74LS160 的 Q0-Q3 按顺序依次接到第 3 片和 4 片 74LS153 的 1X3 (3)，2X3 (3)，1X3 (4)，2X3 (4)。并将第 3 片和第 4 片的 1X1 (3)、1X2 (3)、1X1 (4)、1X2 (4) 均接地。再将 74LS197 的输出 Q0、Q1 分别接到 4 片 74LS153 的输入 A、B 上，并将 4 片 74LS153 的使能端均接地。

最后将第 1、2 片 74LS153 的输出 1Y (1)、2Y (1)、1Y (2)、2Y (2) 依次接到第一片 74LS48 的输入 A、B、C、D 上。再将第 3、4 片 74LS153 的输出 1Y (3)、2Y (3)、1Y (4)、2Y (4) 依次接到第二片 74LS48 的输入 A、B、C、D 上。并将 2 片 74LS48 的使能端均接高电平。最后将两片 74LS48 的输出 QA-QG 按顺序依次接到对应的四联数码管的 A-G 上即可。

此外，我们还需要在两片四联数码管的输入 A-G 的 14 条电路中均串联一个阻值为 1k 欧姆的电阻来保护电路。并且需要在“秒”部分低位的 74LS160 的使能端接一个开关 SW-SPDT（开关两侧分别接地和高电平），来实现时钟暂停功能

所以最终完整的电路图如下图 2 所示：

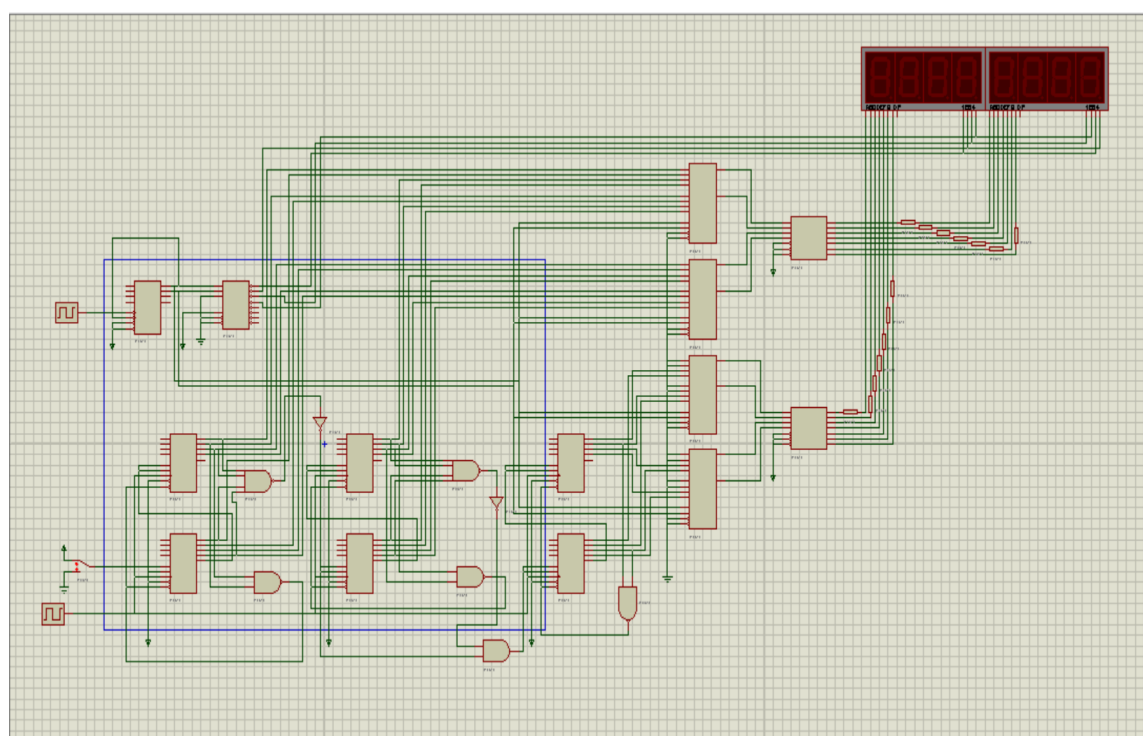


图 2

由于此次电路复杂度的原因，所以该图片在显示细节上不够清晰。但老师可以打开我压缩包中的工程文件（文件名为：实验 11）来检查我电路中的具体细节。

四、实验结果

由于此次实验结果的单次理论运行周期过长（24 小时，即使增大时钟频率也无法改变实验结果总数，即 $24 \times 60 \times 60 = 86400$ ）。显然通过截图来体现实验结果是不现实的，所以烦请老师自行运行我压缩包中的工程文件（文件名为：实验 11）来检查结果，如果给老师带来不便，我表示深深的歉意！老师辛苦了！

经过我个人的检验，发现结果符合预期，所以电路仿真成功！

五、实验总结与心得

此次实验让我收获颇多，首先我重新复习了 74LS48 的使用方法及其如何应用到数字的动态扫描当中。并且我进一步掌握了数据选择器 74LS153 的原理，并懂得将其与其他元件组合使用。

在此次实验过程中，我遇到了一些很棘手的问题，但在经过查阅相关资料和努力思考之后，均将其顺利解决。

比如一开始，我并没有完全掌握同步置数和异步置数的区别，在时、分、秒的内部及其级联部分均采取了同步置数，连接完成后发现每次到达 X 时 58 分 59 秒后会自动跳转到 X+1 时 0 分 0 秒，每次到达 22 小时 58 分 59 秒时会自动跳转到 0 时 0 分 0 秒。出于唯结果论，我将“时”部分的与非门的输入的 BCD 码改为 24（即默认为 25 进制），将“分”部分的输入的 BCD 码改成 60（即默认为 61 进制）。在增加时钟频率时，我发现实验结果似乎显示正常。但稍微减少时钟频率后发现，每次到达 X 时 59 分 59 秒时，会短暂的出现 X 时 60 分 0 秒，之后再变为 X+1 时 0 分 0 秒。

我觉得这并不符合实验要求，所以我在查阅相关资料和认真思考之后，明白了不能全部采用同步置数的方法，而应当在时、分、秒内部采取异步置数清零，级联部分采取同步置数进位，这才是正确的电路连接方法。

同时，在修改过电路之后，我也对这个电路进行了更深层次的思考。经过查阅相关资料和与同学交流心得之后，我得知了 74LS90 这个芯片，该芯片可以作为异步二——五——十进制加法计数器。比 74LS197 更加简便，所以在对电路进行优化之后，我重新运行了一次，发现实验结果仍然符合预期。至此，电路优化成功，此次实验完美结束。

下图为 74LS90 优化后的电路图（具体细节可见压缩包中的工程文件，文件名为：实验 11 改进版（74LS90））：

