

第六次数电实验

郝裕玮

18329015

2019 级教务四班

一、实验目的

1. 掌握中规模集成译码器的逻辑功能和使用方法。
2. 掌握数码管的扫描式显示。

二、实验原理

1. 4 联装共阴极七段数码管

数字电路实验箱采用的 4 联装共阴极七段数码管，如下图 3-20 所示，是一种常用的 4 位数码管。

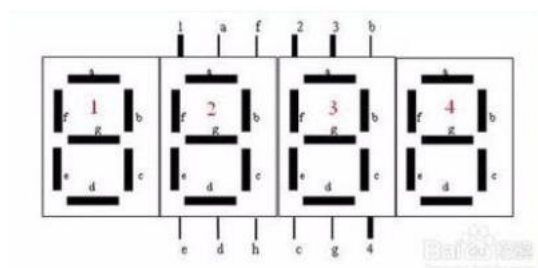


图 3-20 4 联装共阴极七段数码管引脚图

如上图所示，4 联装共阴极七段数码管由 4 位共阴极七段数码管组成，并将每一位七段数码管的发光二极管 a-g 并联起来，采用一组数据线驱动，从而大大简化了电路连线复杂度。每一位共阴极七段数码管的位选信号即发光二极管 a-g 的公共端（COM 口），由 1-4 引脚输入，低电平有效，可按位选通（点亮）对应位的七段数码管。

2. 74LS48（共阴极七段译码驱动器）

七段译码驱动器有众多型号，包括 74LS47（共阳），74LS48（共阴），CC4511（共阴）等，其中 74LS48 具有二进制码锁存、七段译码以及驱动器功能，可用于驱动共阴极 LED 数码管。

数字电路实验箱在器件实验模式下，内部已实现 74LS48 的 8421 码七段译码驱动器功能，并引出 A、B、C、D 四个引脚。因此在器件实验模式下使用七段数码管显示时，无需连接 74LS48 芯片。只需要把显示内容的 8421 码按从低位到高位顺序连接到 A、B、C、D 输入脚即可。而在数字电路实验箱 FPGA 实验模式下使用七段数码管显示时，需要使用 IP 核 XUP_74LS48_v1_0，并将输出 84 绑定七段数码管 a-g 端口，以驱动实验箱上数码管显示。

如下图 3-21 所示为 IP 核 XUP_74LS48_v1_0 引脚排列，与实际芯片 74LS48 具有相同的引脚和功能。

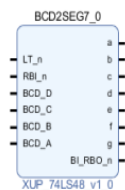


图 3-21 IP 核 XUP_74LS48_v1_0 引脚排列图

其中 BCD_A、BCD_B、BCD_C、BCD_D 为二进制码（由低位到高位）输入端，a、b、c、d、e、f、g 是 74LS48 译码输出端，输出高电平有效，用来驱动共阴极 LED 数码管。LT_n、RBI_n 和 BI_RB0 是控制端口。

(1) LT_n 是灯测试输入端，低电平有效。LT_n=0 时，74LS48 译码输出全为高电平。

(2) RBI_n 是灭零输入端，低电平有效。RBI_n=0 且 BCD_A、BCD_B、BCD_C、BCD_D 输入 0000 时，74LS48 译码输出全为低电平，七段数码管熄灭，即不显示零。

(3) BI_RB0 是输入输出端口。当作为输入控制端口使用时，是灭灯输入端，低电平有效。BI_RB0=0 时，无论 BCD_A、BCD_B、BCD_C、BCD_D 输入是否为 0000，74LS48 译码输出全为低电平，七段数码管熄灭。当 BI_RB0 作为输出端使用时，是灭零输出端。当 74LS48 译码输出 a-g 全为低电平，BI_RB0 输出低电平。

3. 七段数码管的扫描式显示

对多位数字显示采用扫描式显示可以节电，这一点在某些场合很重要。对于某些系统输出的数据，应用扫描式译码显示，可使电路大为简化。利用数码管的余辉效应和人眼的视觉暂留效应，虽然在某一时刻只有一个数码管在显示，但人眼看到的是多个数码管“同时”被点亮的效果。有些系统，例如计算机、某些 A/D 转换器，就是以这样的形式输出数据的。对于如下图 3-22 所示 4 联装七段数码管显示电路，1、2、3、4 端口接数码管的位选通信号（共阴极数码管，则低电平有效），4 位七段数码管 a-g 并联接入 74LS48 的译码输出端口，则 74LS48 的输入端口需接显示数字的 8421 码。要使数码管不同位显示不同数字，则需要由选通信号控制多路开关，先后送出（由高位到低位或由低位到高位）十进制的 8421 码，并同时选通对应位的数码管，即显示内容（8421 码）和位选通信号是一一对应的送出。当扫描速度足够快时，4 位数码管看起来同时显示不同数字。

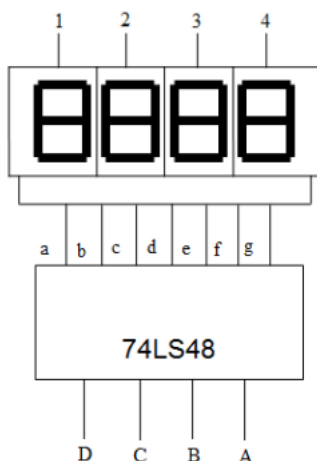


图 3-22 4 联装七段数码管译码显示电路

如下图 3-23 所示 Ds1-Ds4 为上述 4 联装七段数码管显示电路的选通信号，Ds1、Ds2、Ds3、Ds4 依次接入数码管 1、2、3、4 位选通引脚。假定系统按先高位后低位的顺序送出显

示内容（8421 码）至 A、B、C、D 输入引脚，则当 8421 码输入千位数时 Ds1 送出低电平，当 8421 码输入百位数时 Ds2 送出低电平，……一般作为选通信号的低电平相邻之间有一定的间隔。

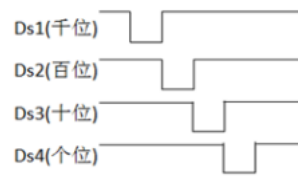


图 3-23 4 联装共阴极数码管的位选通信号

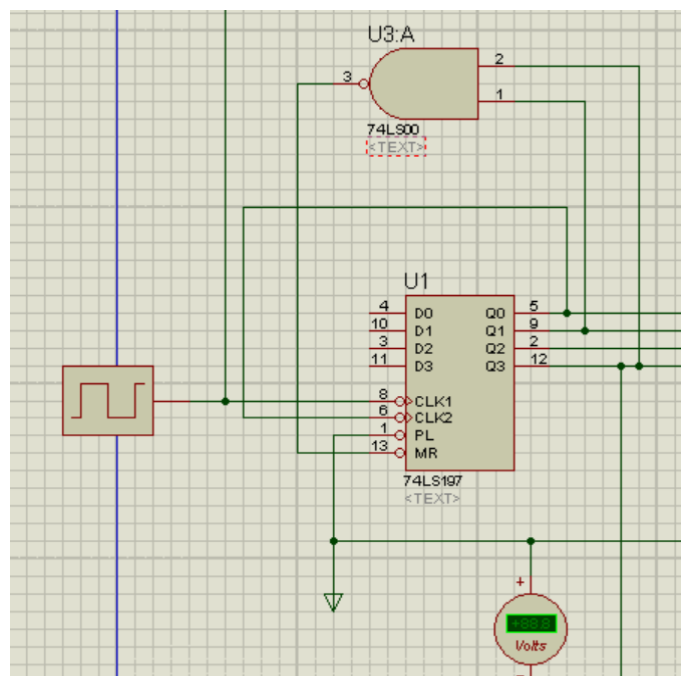
三、实验内容与电路设计

实验内容为：将 74LS197 实现 10 进制计数器，在此基础上，自行设计电路在 LED 数码管依次显示出自己的 8 位学号（要求具有 8 和 9 这两个数字的功能）。要求使用示波器记录时钟信号、8 位数码管位选通信号以及 4 位 8421 码的波形。

所以首先我们需要用 74LS197 实现 10 进制计数器。因为 74LS197 有四位输入 Q0-Q3，所以数据范围为 0-15。

若想实现 10 进制计数器，我们需要在 Q3Q2Q1Q0=1010（即十进制中的 10）时，将其清零重置，重新从 0 开始计数。这样就可以使 74LS197 从 0-9 循环计数，即实现了十进制计数器。

所以我们将 Q3 和 Q1 连接在与非门上，并将与非门的输出与 74LS197 的 MR 相连。这样便可激活 MR 的异步清除功能，使得 74LS197 重新从 0 开始计数，最终我们使得 74LS197 转换成了十进制计数器。十进制计数器的电路部分如下图所示：

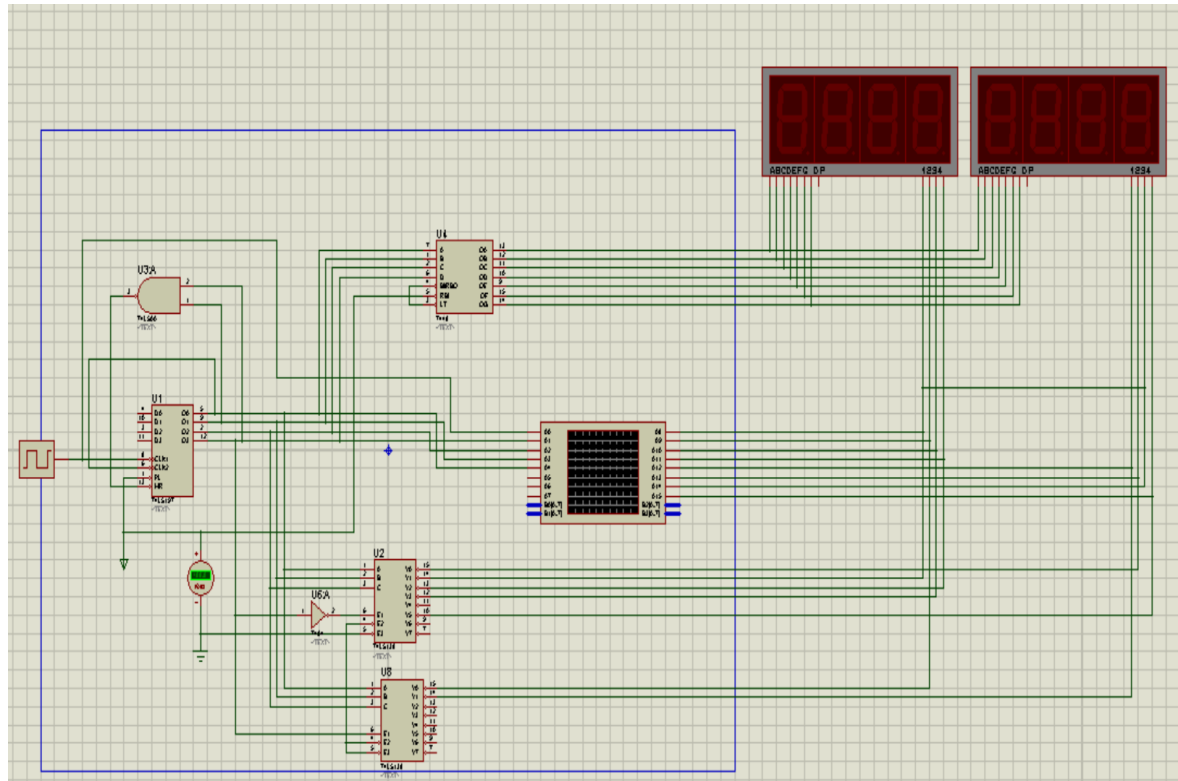


对于 7448：将 74LS197 的 Q0-Q3 依次对应连接到 7448 的 A、B、C、D，BI/RB0、RBI、LT 都接地，QA-QG 分别对应连接到两个数码管的 A-G。

对于 74LS138：因为一个 74LS138 只能显示 0-7，所以若想具有 8 和 9 这两个数字的功能，我们可采用两个 74LS138，使其数据范围扩大为 0-15。

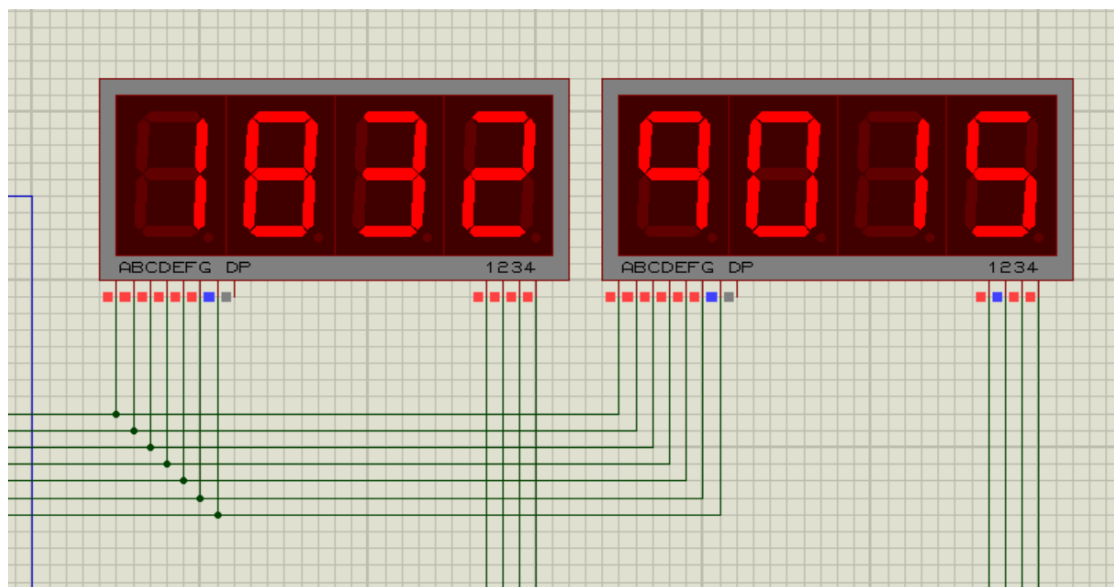
首先将 Q0-Q2 分别依次接到两个 74LS138 的输入 A、B、C 上，然后将 Q3 分别接到两个 74LS138 的使能端输入 E1 上。并在从 Q3 连到第一个 74LS138 的 E1 的线路上加上一个反相器（7404），使得两个 74LS138 的使能端的有效输入不同。所以此时，第一个 74LS138 的 Y0-Y7 分别表示 0-7，第二个 74LS138 的 Y0-Y7 分别表示 8-15。

根据我的学号为 18329015，可按顺序依次对应连接到两个数码管的对应位置（1、2、3、4）上。再根据实验要求将 CLOCK 接逻辑分析仪的 A0，Q3-Q0 依次对应连接到 A1-A4，八位学号的输出依次对应连接到 A8-A15。最终电路图如下图所示：

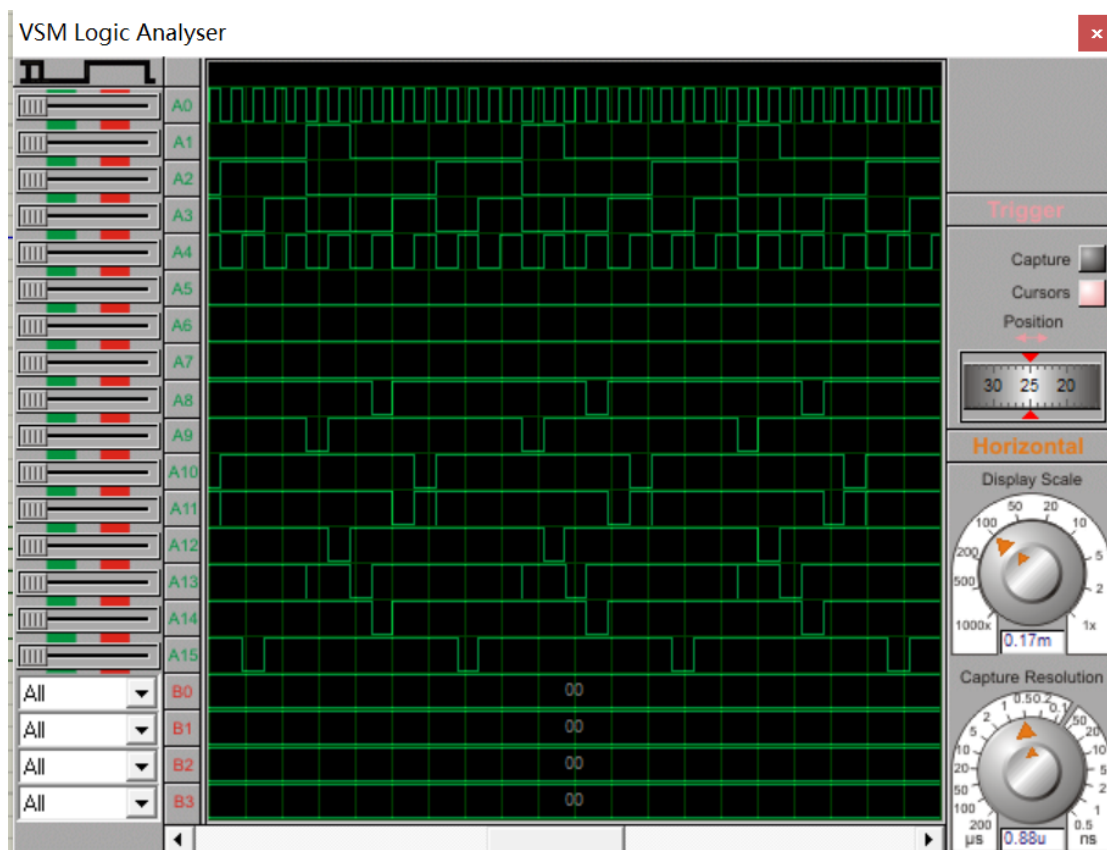


四、实验结果

学号（18329015）显示如图所示：



波形图如下图所示：



A0 表示 CLOCK 的波形，A1-A4 表示的是四位 8421 码的波形（Q3-Q0），A8 到 A15 表示的是 8 位数码管位选通信号。

将 A1-A4 的四位 8421 码转换成十进制后，再与 A8-A15 的波形进行对比，发现只有对应位置上的电平为低，其他均为高。（如 A1-A4 为 1001，即十进制为 9，则只有 A12 的对应位置为低电平，A8-A11、A13-A15 的对应位置均为高电平（因为学号为 18329015））符合电路的逻辑，即电路仿真成功。

对于波形图中的“毛刺”，我们会发现在 Q1 波形（A3）上有一个假信号。产生假信号的原因是 Q1 必须在计数值 10 被译码之前首先变为高电平。直到该计数器计数到 10 之后的几纳秒，译码门的输出才会变为低电平（两个输入都是高电平）。因此，在复位到 0000 之前，计数器在 1010 状态上停留一个较短的时间，因而产生了 Q1 上的假信号，也即波形图中的“毛刺”。

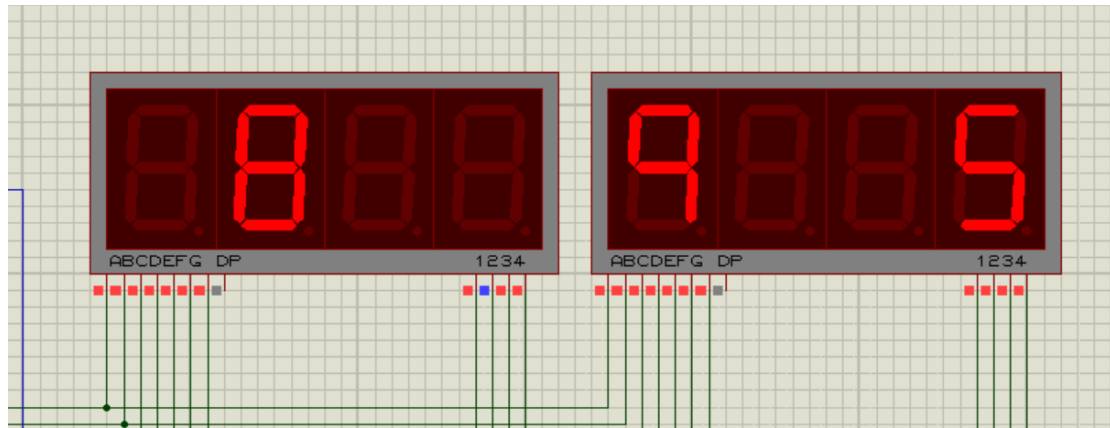
五、实验总结与心得

此次实验我懂得了如何将 7448 和 74LS138 共同使用来使得数码管显示不同的数字。

我通过将 74LS138 和上次实验中的 74LS151 进行类比，通过改变使能端即可使得通过 2 个 74LS138 即可将数据范围从 0-7 扩展到 0-15。

通过课上和课后的学习，我明白了数码管的余辉效应和人眼的视觉暂留效应，选择合适的扫描频率逐位显示数据，就可达到多个数码管“同时”显示不同数据效果。

但是此次实验在实验过程中也有过失败的操作。我在通过观察波形图时发现其中存在一定数量的毛刺，所以一开始我尝试了以往的通常操作，即在各个输入上并联电容以求消除毛刺，但发现效果并不好。电容太小无法消除毛刺，电容太大则会导致数码管的数字显示出现问题。下图为给 Q1 并联一个 10nF 的电容后的数码管显示结果：



这种结果显然是超出意料的，但是我在查阅了相关资料后了解到对于异步译码计数器，在它每次循环结束到进入下一次循环时，总需要停留几纳秒，这就会产生一个假信号，体现在波形图中就是毛刺。所以对于异步译码计数器，毛刺的出现是正常现象，无需去除。