

第五次数电实验

郝裕玮

18329015

2019 级教务四班

一、实验目的

1. 熟悉数据选择器的功能与使用方法。
2. 掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法

二、实验原理

1. 74LS151（八选一数据选择器）

数据选择器的功能是从一组输入数据中选出某一个信号输出，因此也被称为多路开关。如下图 3-10 所示为八选一数据选择器 74LS151 的逻辑符号，其中 Z 和 \bar{Z} 为 74LS151 的输出端， \bar{Z} 是 Z 的反相输出。 \bar{E} 为 74LS151 的使能端，低电平有效，可用于控制电路工作状和扩展功能。10-17、C、B、A 为 74LS151 的输入引脚，与输出引脚 Z 满足真值表所列八选一数据选择逻辑关系。

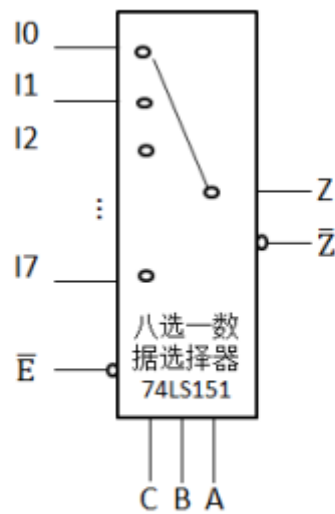


图 3-10 八选一数据选择器 74LS151 逻辑符号

如下表 3-7 所示为八选一数据选择器 74LS151 的真值表，此时 $\overline{E_2}$ 接低电平，I0-I7 接输入（数据）信号。

表 3-7 74LS151 的真值表

输入			输出
C	B	A	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7

从表 3-7 可以看出，当 $\overline{E_2}$ 接低电平时，即芯片的使能端接有效选通信号时，74LS151 根据 C、B、A 输入（地址）信号，从 I0-I7 送来的 8 个输入（数据）信号中选出一个送至输出端 Z。

2. 利用 74LS151 实现组合逻辑电路的设计方法

根据 74LS151 的真值表， 当 $\overline{E_2}$ 接低电平时，74LS151 输出端 Z 的输出表达式如下。

$$Z = \overline{C}\overline{B}\overline{A}I_0 + \overline{C}\overline{B}AI_1 + \overline{C}B\overline{A}I_2 + \overline{C}BAI_3 + C\overline{B}\overline{A}I_4 + C\overline{B}AI_5 + CB\overline{A}I_6 + CBAI_7$$

从上式可知，如果将 C、B、A 作为三个输入变量，同时令 I0-I7 为第四个输入变量的适当状态（包括原变量、反变量、0 和 1），就可以在数据选择器的输出端 Z 产生任何形式的四变量组合逻辑电路。

以使用八选一数据选择器 74LS151 实现全减器为例，介绍利用 74LS151 实现组合逻辑电路的设计方法。

- (1) 列出如下表 3-8 所示全减器真值表。A 和 B 为被减数与减数，B_n 为低位向本位的借位，D 为本位差，B_{n-1} 为向高位的借位。

表 3-8 全加器的真值表

输入			输出	
A	B	B _n	D	B _{n-1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(2) 由上述真值表可分别得到全减器输出 D 和 B_{n-1} 关于输入 A、B、B_n 的最小项之和表达式，并进一步将其化简为四变量与或形式的输出表达式。

$$D = \bar{A}\bar{B}\bar{B}_n \cdot 0 + \bar{A}\bar{B}B_n \cdot 1 + \bar{A}B\bar{B}_n \cdot 1 + \bar{A}BB_n \cdot 0 + A\bar{B}\bar{B}_n \cdot 1 + A\bar{B}B_n \cdot 0 \\ + AB\bar{B}_n \cdot 0 + ABB_n \cdot 1$$

$$B_{n-1} = \bar{A}\bar{B}\bar{B}_n \cdot 0 + \bar{A}\bar{B}B_n \cdot 1 + \bar{A}B\bar{B}_n \cdot 1 + \bar{A}BB_n \cdot 1 + A\bar{B}\bar{B}_n \cdot 0 + A\bar{B}B_n \cdot 0 \\ + AB\bar{B}_n \cdot 0 + ABB_n \cdot 1$$

(3) 令 74LS151 的输入 C、B、A 作为全减器的输入 A、B、B_n，通过对比 74LS151 的 Z 输出表达式与全减器的 D 输出表达式，可见只需将 I₀~I₇ 中 I₀、I₃、I₅、I₆ 接低电平，I₁、I₂、I₄、I₇ 接高电平，即可在 74LS151 的 Z 端实现全减器的输出 D。同理可再使用一片 74LS151 实现全减器的输出 B_{n-1}。使用 74LS151 实现全减器的逻辑图如下图 3-11 所示。

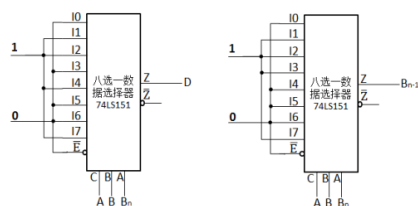


图 3-11 74LS151 实现全减器逻辑图

三、实验内容与电路设计

对于实验 1：使用 74LS151 实现 AU(Arithmetic Unit，算术单元)设计。设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。

- S=0，输出加法计算结果
- S=1，输出减法计算机结果

表 3-9 带控制端的半加半减器功能表

S	输入 1	输入 2	输出 Y	进/借位 C_n
0	A	B	A+B	进位
1	A	B	A-B	借位

所以我们可由题目要求首先列出 S、A、B、Y、 C_n 的真值表如下表 1 所示：

S	A	B	Y	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

表 1

由真值表易得：

$$Y = m_1 \cdot 1 + m_2 \cdot 1 + m_5 \cdot 1 + m_6 \cdot 1$$

$$C_n = m_3 \cdot 1 + m_5 \cdot 1$$

所以将 74LS197 的输出 Q0-Q2 分别对应连接到两片 74151 的输入 A、B、C 上。并将第一片 74151 的输入 X1、X2、X5、X6 接高电平，其余输入均接低电平。同时将第二片 74151 的输入 X3、X5 接高电平，其余输入均接低电平。逻辑分析仪的 A0-A5 分别对应 CP（时钟）、S、A、B、Y、 C_n 。

所以动态测试的电路图如下图 1 所示：

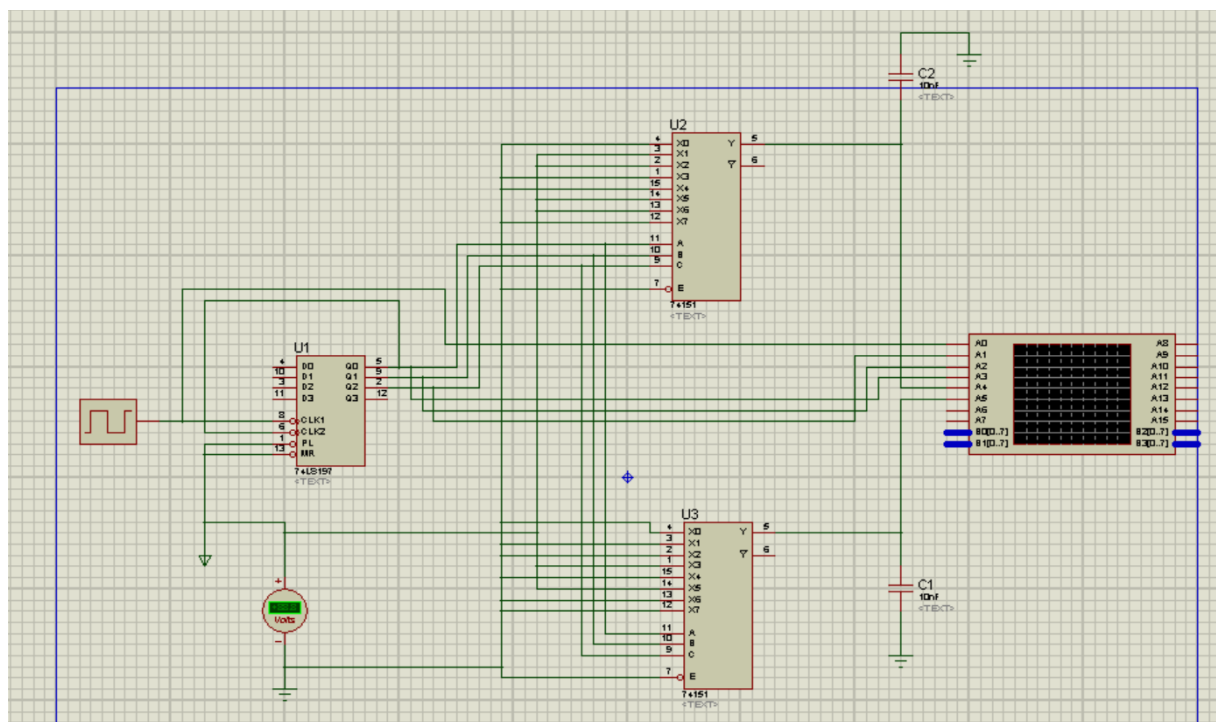


图 1

其中对两片 74151 芯片的输出 Y 分别并联上 10nF 的电容以排除电路中的竞争冒险。

对于实验 1 的静态测试，将 74LS197 去除，换成三个激励源 A、B、C 即可。其中激励源 A、B、C 分别对应连接两片 74151 中输入的 C、B、A。并将两片 74151 的输出接到两个电压表上。

所以实验 1 的静态测试电路图如下图 2 所示：

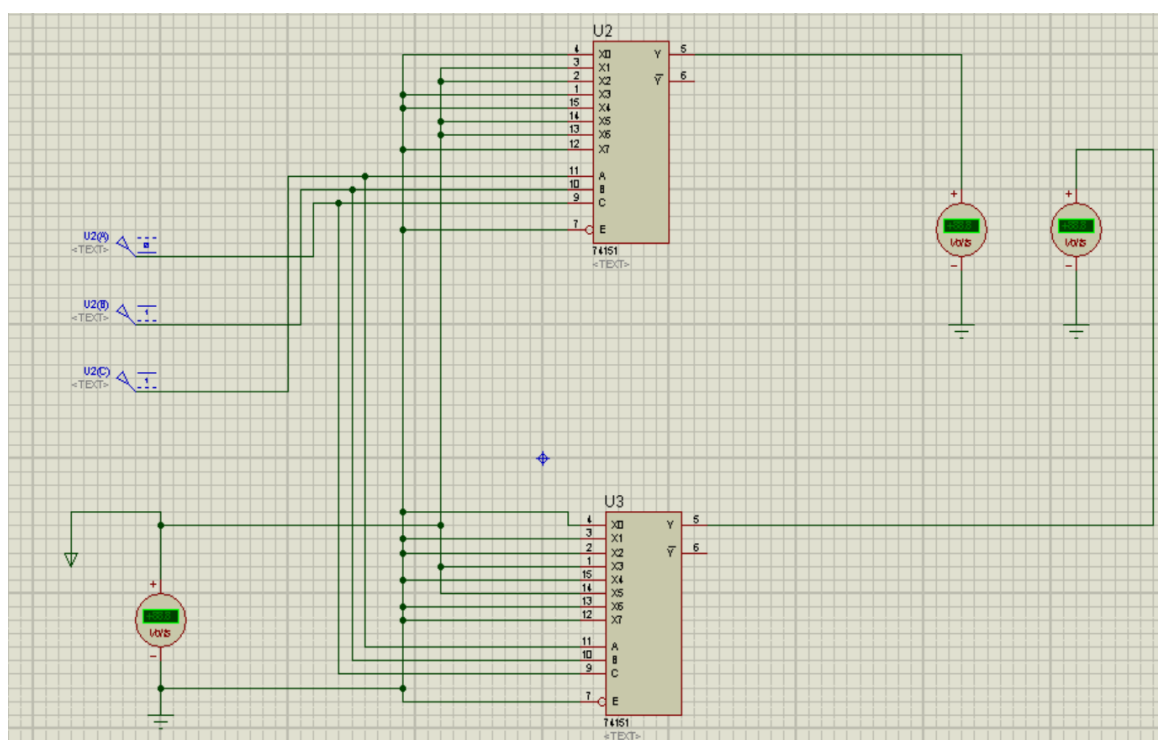


图 2

对于实验 2：使用 74LS151 实现 LU (Logic Unit, 逻辑单元) 设计。设计一个函数发生器电路它的功能如下表 3-10 所示。输入为 S_0 、 S_1 、 A 、 B ，其中 S_0 、 S_1 为功能选择口。当 S_0 、 S_1 取 0、1 不同组合时， A 、 B 进行相应的与、或、非、异或运算，输出运算结果 Y 。

输入		输出
S_1	S_0	Y
0	0	$A \cdot B$
0	1	$A+B$
1	0	$A \oplus B$
1	1	\bar{A}

所以我们可由题目要求首先列出 S_1 、 S_0 、 A 、 B 、 Y 、 C_n 的真值表如下表 2 所示：

输入				输出
S_1	S_0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

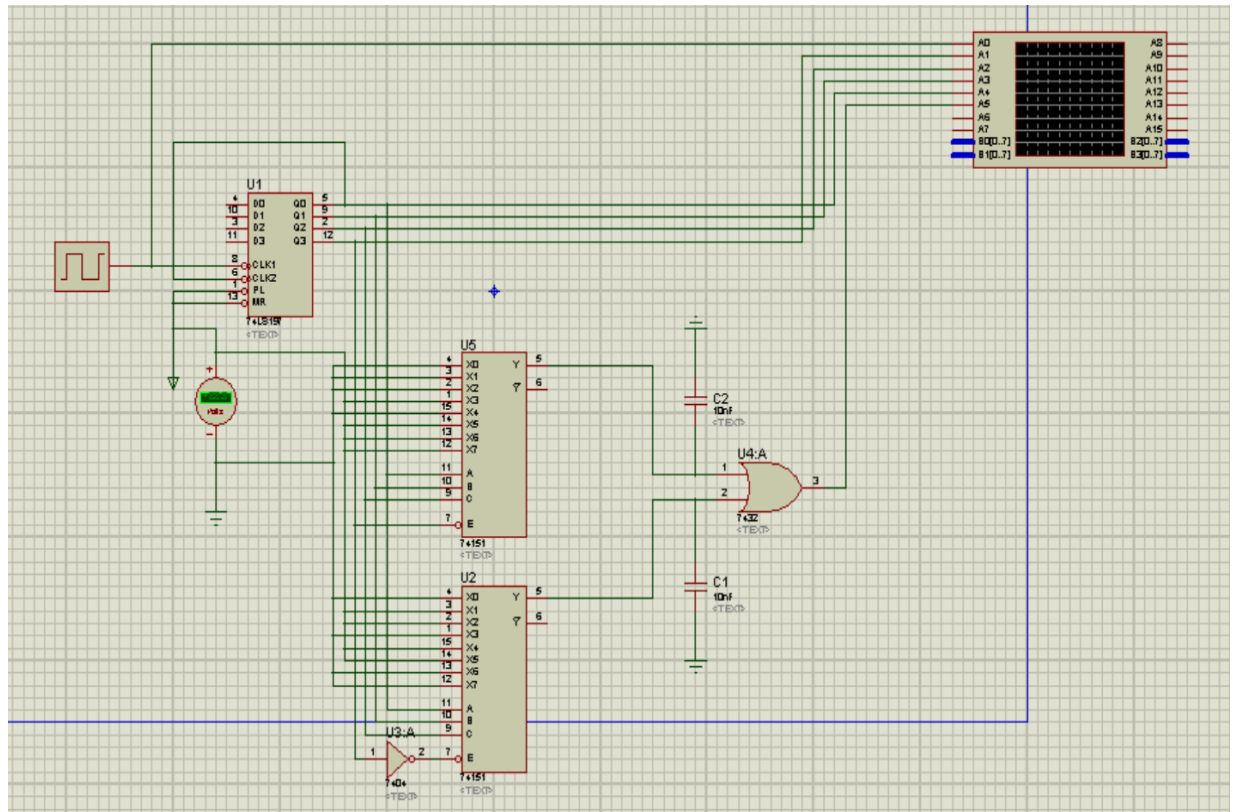
表 2

由真值表易得：

$$Y = m_3 \cdot 1 + m_5 \cdot 1 + m_6 \cdot 1 + m_7 \cdot 1 + m_9 \cdot 1 + m_{10} \cdot 1 + m_{12} \cdot 1 + m_{13} \cdot 1$$

所以将 74LS197 的输出 Q_0 – Q_3 分别对应连接到两片 74151 的输入 A 、 B 、 C 、 E 上。并将第一片 74151 的输入 X_3 、 X_5 、 X_6 、 X_7 接高电平，其余输入均接低电平。同时将第二片 74151 的输入 X_1 、 X_2 、 X_4 、 X_5 接高电平，其余输入均接低电平。同时，在第二片 74151 的输入 E 的电路加上反相器。逻辑分析仪的 A_0 – A_5 分别对应 CP （时钟）、 S_1 、 S_0 、 A 、 B 、 Y 。

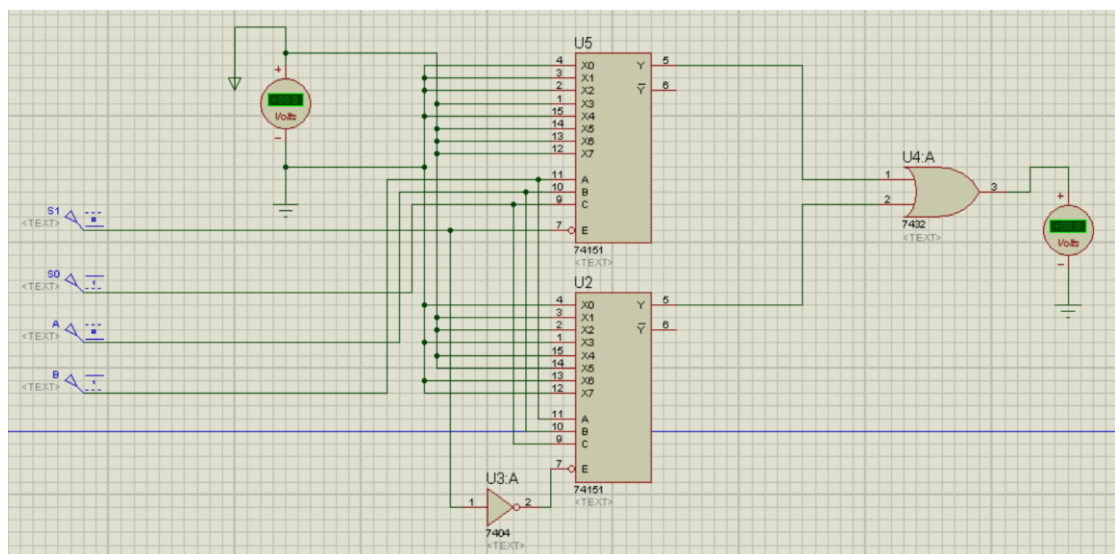
所以动态测试的电路图如下图 3 所示：



其中对两片 74151 芯片的输出 Y 分别并联上 10nF 的电容以排除电路中的竞争冒险。

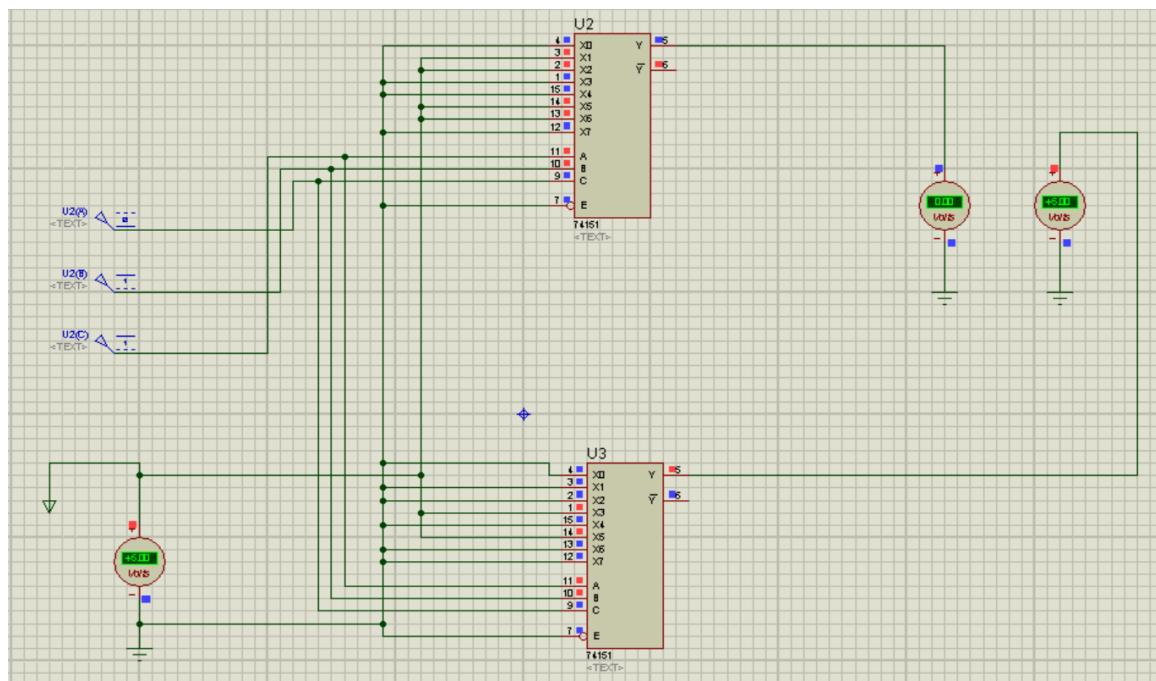
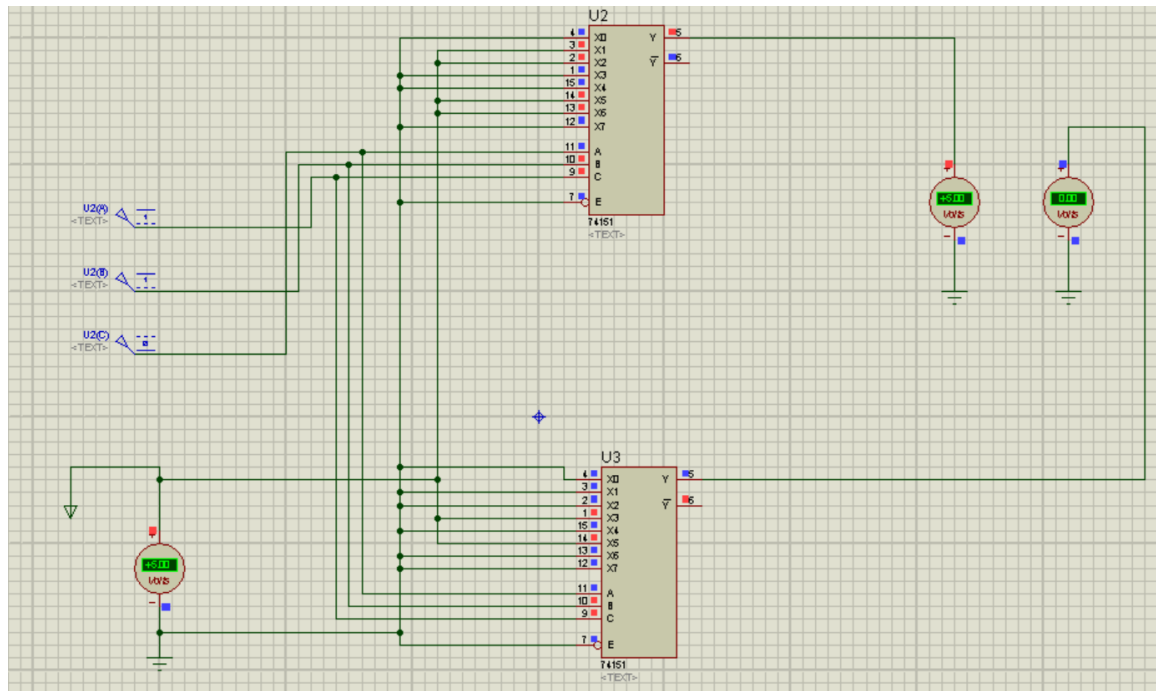
对于实验 2 的静态测试，将 74LS197 去除，换成四个激励源 S1、S0、A、B 即可。其中激励源 S1、S0、A、B 分别对应连接两片 74151 中输入的 E、C、B、A。并将或门的输出接到电压表上。

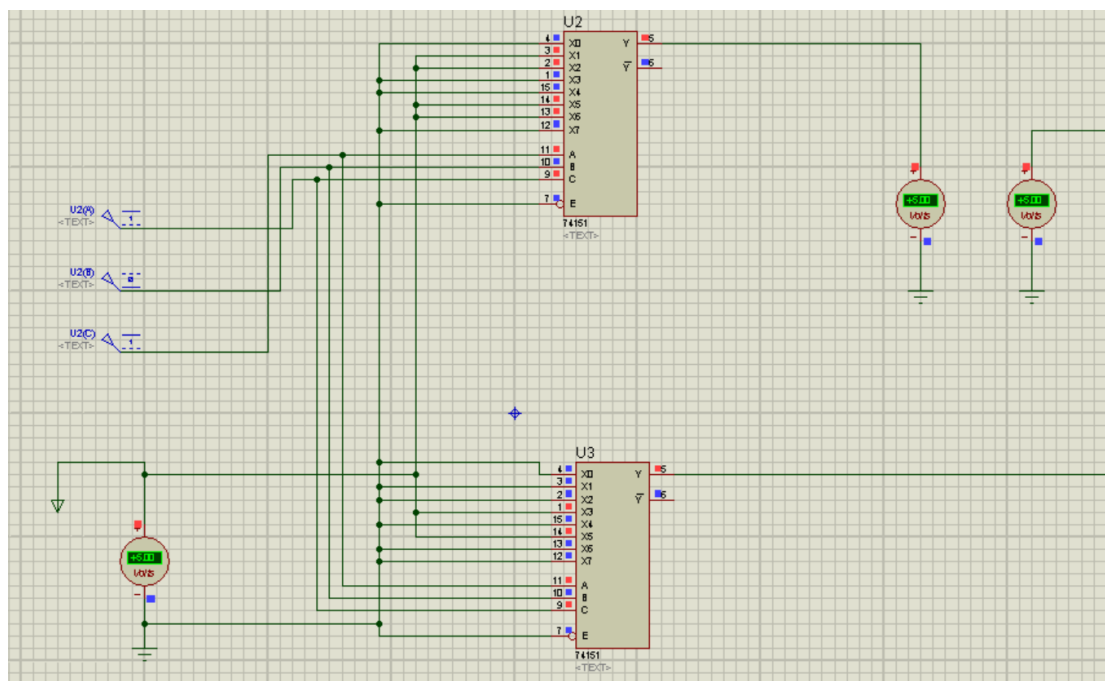
所以实验 2 的静态测试电路图如下图 2 所示:



四、实验结果

对于实验 1 的静态测试，我们随机选取 110, 011, 101 作为测试的三组输入，结果如下图所示



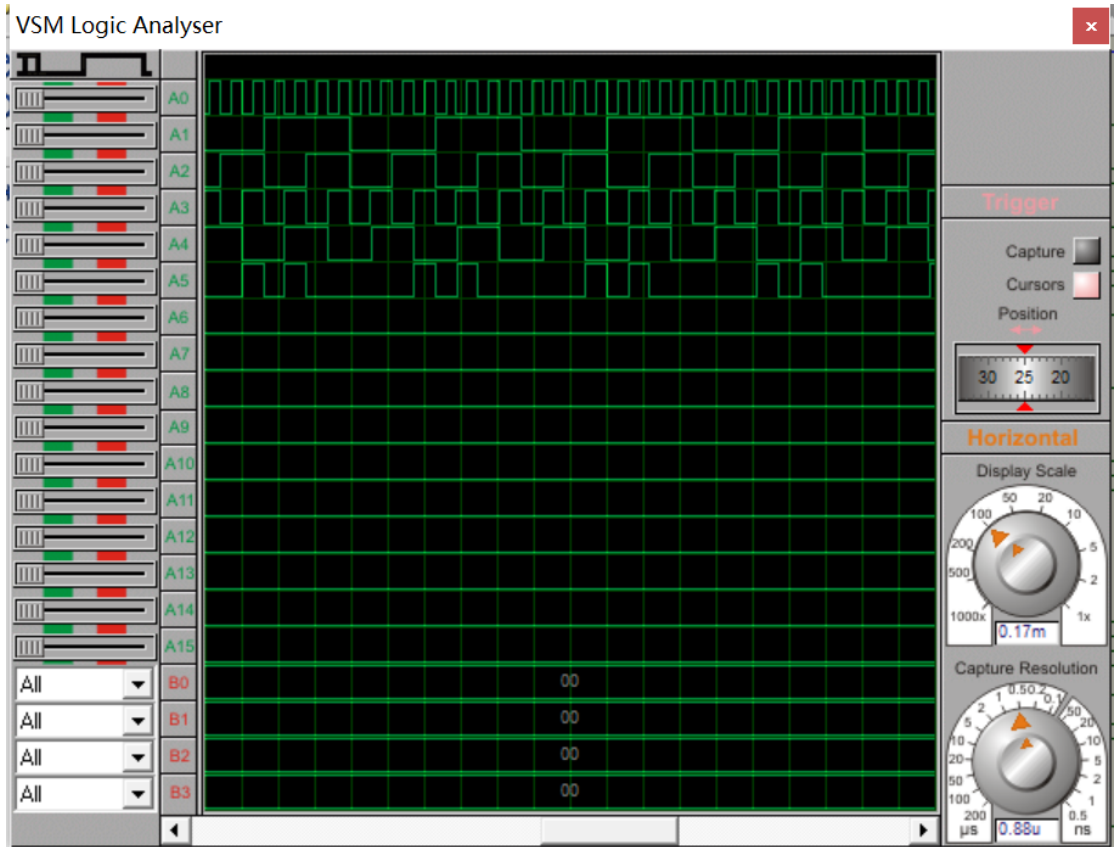


经对比验证，符合表 1（如下图所示）真值表的逻辑关系。

S	A	B	Y	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

表 1

对于实验 1 的动态测试，波形图如下所示：

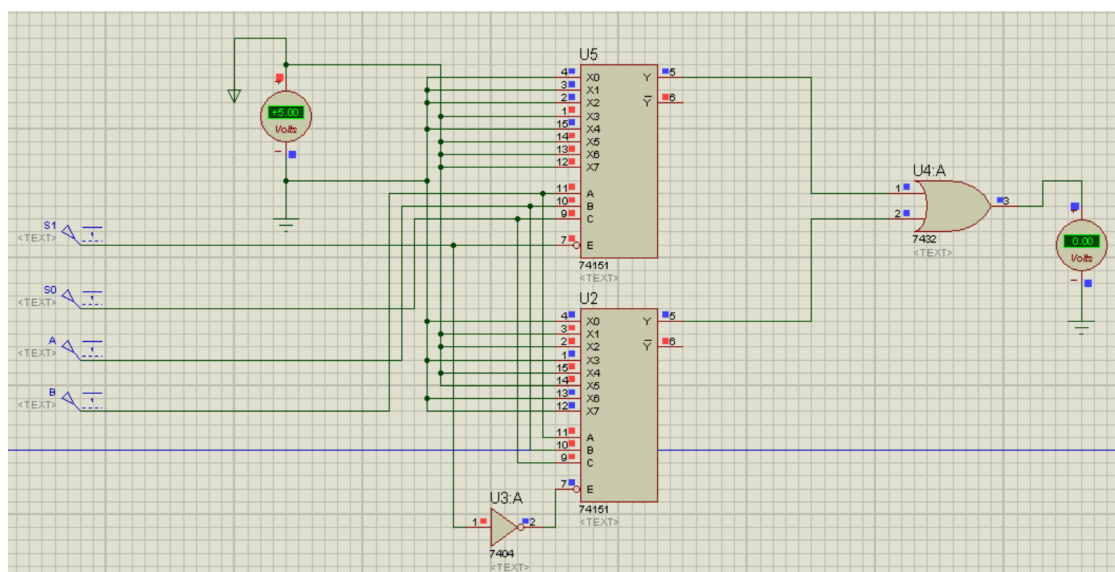
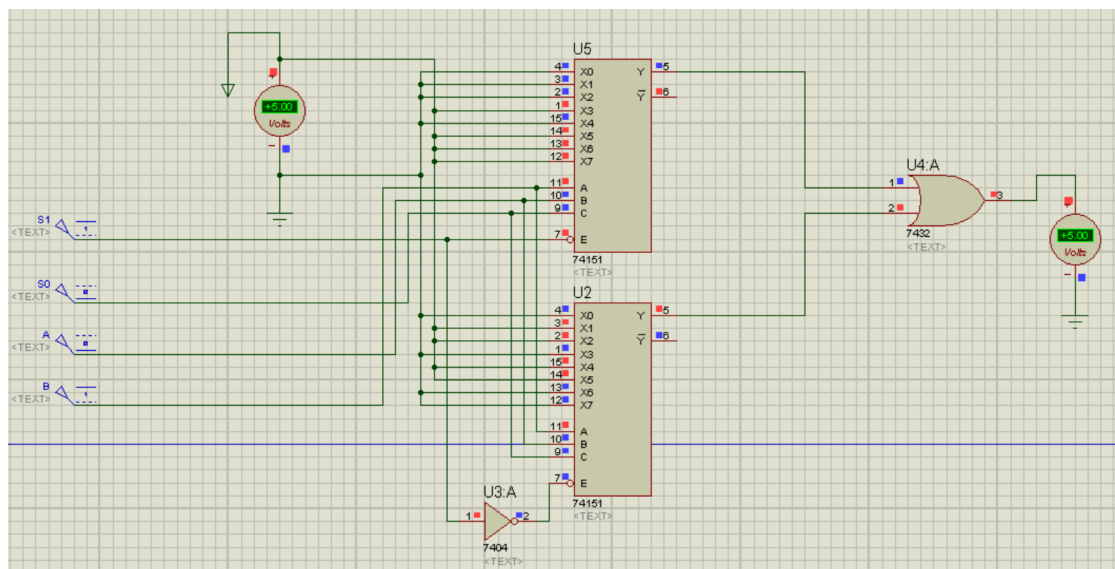
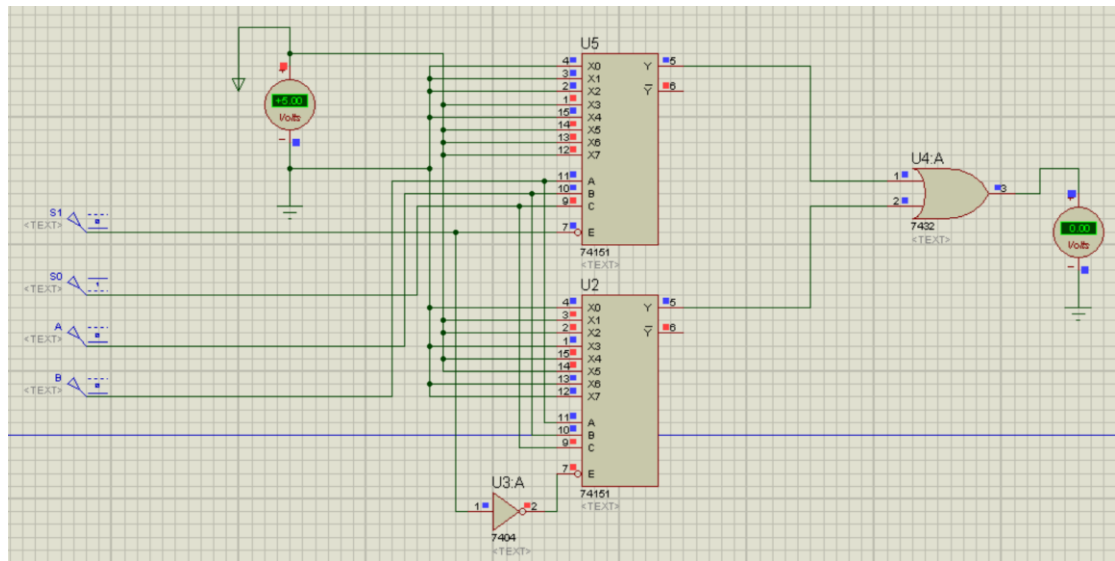


经对比验证， 波形图的逻辑关系符合表 1（如下图所示）真值表的逻辑关系，所以电路构建正确。

S	A	B	Y	C _n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

表 1

对于实验 2 的静态测试，我们随机选取 0100, 1001, 1111 作为测试的三组输入，结果如下图所示：

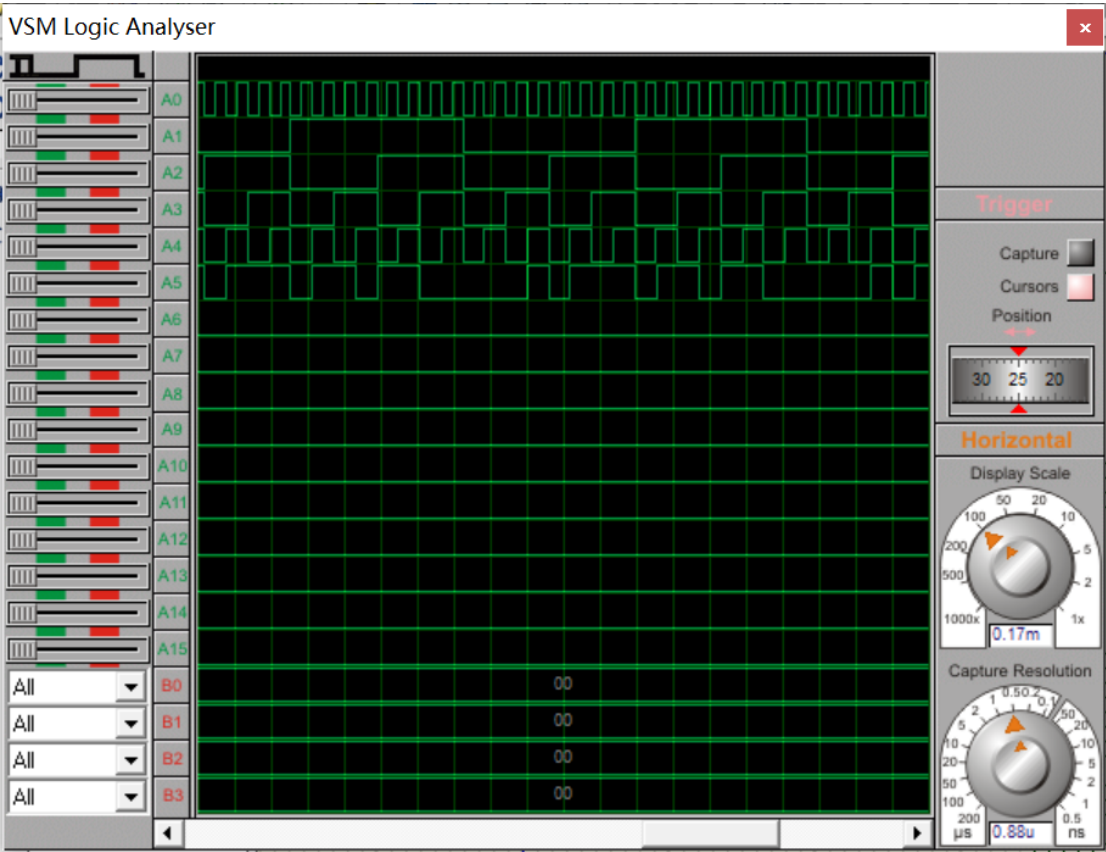


经对比验证，符合表 2（如下图所示）真值表的逻辑关系。

输入				输出
S1	S0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

表 2

对于实验 2 的动态测试，波形图如下所示：



经对比验证，波形图的逻辑关系符合表 2（如下图所示）真值表的逻辑关系，所以电路构建正确。

输入				输出
S1	S0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

表 2

五、实验总结与心得

- 1. 对于处理电路中的竞争冒险更加熟练，懂得采取并联电容来去除“毛刺”。
- 2. 掌握了数据选择器的使用方法，并且能够总结出数据选择器和 3-8 译码器的优缺点对比：数据选择器连线简单，但最小项不能复用；3-8 译码器的最小项可以复用，但连线较为繁琐（如使用 3-8 译码器实现 7 端数码管编码器）。
- 3. 设计组合逻辑电路的关键步骤是根据逻辑功能列出电路的真值表，之后根据真值表来使用多种方法进行化简，从而得出电路的最简表达式。最后使用不同的电子元件即可完成电路的设计。