

# 第三次数电实验

郝裕玮

18329015

2019 级教务四班

## 一、实验目的

- 1, 掌握组合逻辑电路的分析方法, 并验证其逻辑功能。
- 2, 掌握组合逻辑电路的设计方法, 并能用最少的逻辑门实现之。
- 3, 掌握编码器原理和常用 4 位二进制编码特点。

## 二、实验原理

### 1, 组合逻辑电路分析方法与设计过程

组合逻辑电路的分析: 对已给定的组合逻辑电路分析其逻辑功能。

步骤: (1) 由给定的组合逻辑电路写函数式;

(2) 对函数式进行化简或变换;

(3) 根据最简式列真值表;

(4) 确认逻辑功能。

组合逻辑电路的设计: 就是按照具体逻辑命题设计出最简单的组合电路。

步骤: (1) 根据给定事件的因果系列出真值表;

(2) 由真值表写函数式;

(3) 对函数式进行化简或变换;

(4) 画出逻辑图, 并测试逻辑功能。

### 2, 译码器

译码器也是一种组合逻辑电路, 它能将输入的二进制代码译成对应的高低电平信号或者另一种代码。译码是编码的反操作。例如用于驱动七段数码管的 8421 码七段译码驱动器就是一种译码器。

七段发光二极管(LED)数码管是目前最常用的数字显示器, 如下图(a)、(b)为共阴管和共阳管的电路, (c)为两种不同出线形式的引出脚功能图。(注: 数字电路实验箱上数码管为共阴极七段数码管)

一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点。小型数码管(0.5 寸和 0.36 寸)每段发光二极管的正向压降, 随显示光(通常为红、绿、黄、橙色)的颜色不同略有差别, 通常约为 2~2.5V, 每个发光二极管的点亮电流在 5~10mA。LED 数码管要显示 8421 码所表示的十进制数字就需要有一个专门的译码器, 该译码器不但要完成译码功能, 还要有相当的驱动能力。

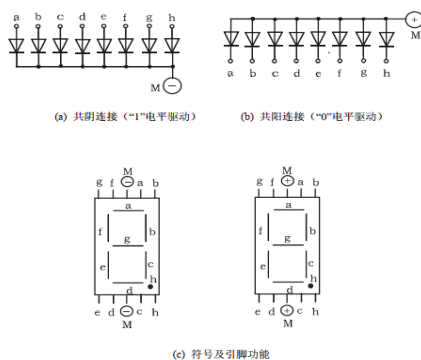


图 3-6 LED 七段数码管结构

如下图 3-7 所示为二进制码七段数码管译码器的逻辑符号，该译码器将输入的 4 位二进制码转换为驱动七段数码管 a~g 发光二极管的二进制码。

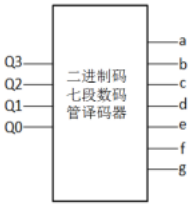


图 3-7 二进制码七段数码管译码器逻辑符号

如下表 3-3 所示为一种 4 位二进制码七段数码管译码器的真值表，可驱动共阴极七段数码管。

表 3-3 二进制码七段数码管译码器的真值表

输入				输出							七段数码管 显示内容
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	“0”
0	0	0	1	0	1	1	0	0	0	0	“1”
0	0	1	0	1	1	0	1	1	0	1	“2”
0	0	1	1	1	1	1	1	0	0	1	“3”
0	1	0	0	0	1	1	0	0	1	1	“4”
0	1	0	1	1	0	1	1	0	1	1	“5”
0	1	1	0	1	0	1	1	1	1	1	“6”
0	1	1	1	1	1	1	0	0	0	0	“7”
1	0	0	0	1	1	1	1	1	1	1	“8”
1	0	0	1	1	1	1	1	0	1	1	“9”
1	0	1	0	1	1	1	0	1	1	1	“A”
1	0	1	1	0	0	1	1	1	1	1	“b”
1	1	0	0	1	0	0	1	1	1	0	“C”
1	1	0	1	0	1	1	1	0	1	1	“d”
1	1	1	0	1	0	0	1	1	1	1	“E”
1	1	1	1	1	0	0	0	1	1	1	“F”

### 三、实验内容与电路设计

对于实验内容 1，首先我们应针对如上表 3-3 的 4 位二进制码七段数码管译码器的真值表，建立 a-f 的卡诺图，并进行合并化简。

对于 a:

Q3Q2 \ Q1Q0	00	01	11	10
00	1		1	1
01		1	1	1
11	1		1	1
10	1	1		1

对于 b:

Q3Q2 \ Q1Q0	00	01	11	10
00	1	1	1	1
01	1		1	
11		1		
10	1	1		1

对于 c:

Q3Q2 \ Q1Q0	00	01	11	10
00	1	1	1	
01	1	1	1	1
11		1		
10	1	1	1	1

对于 d:

Q3Q2 \ Q1Q0	00	01	11	10
00	1		1	1
01		1		1
11	1	1		1
10	1	1	1	

对于 e:

Q3Q2 \ Q1Q0	00	01	11	10
00	1			1
01				1
11	1	1	1	1
10	1		1	1

对于 f:

Q3Q2 \ Q1Q0	00	01	11	10
00	1			
01	1	1		1
11	1		1	1
10	1	1	1	1

对于 g:

Q3Q2 \ Q1Q0	00	01	11	10
00			1	1
01	1	1		1
11		1	1	1
10	1	1	1	1

经过计算后，可得如下图 1 的结果：

$$\begin{aligned}
 a &= \overline{Q_2}\overline{Q_0} + \overline{Q_3}Q_1 + \overline{Q_3}Q_2Q_0 + Q_2Q_1 + Q_3\overline{Q_2}\overline{Q_1} + Q_3\overline{Q_0} \\
 b &= \overline{Q_3}\overline{Q_2} + \overline{Q_3}\overline{Q_1}\overline{Q_0} + \overline{Q_2}\overline{Q_0} + \overline{Q_3}Q_1Q_0 + Q_3\overline{Q_1}Q_0 \\
 c &= \overline{Q_3}\overline{Q_1} + \overline{Q_3}Q_0 + \overline{Q_1}Q_0 + \overline{Q_3}Q_2 + Q_3\overline{Q_2} \\
 d &= \overline{Q_3}\overline{Q_2}\overline{Q_0} + \overline{Q_2}Q_1Q_0 + Q_2\overline{Q_1}Q_0 + Q_2Q_1\overline{Q_0} + Q_3\overline{Q_1} \\
 e &= \overline{Q_2}\overline{Q_0} + Q_1\overline{Q_0} + Q_3Q_1 + Q_3Q_2 \\
 f &= \overline{Q_1}\overline{Q_0} + \overline{Q_3}Q_2\overline{Q_1} + Q_2\overline{Q_0} + Q_3\overline{Q_2} + Q_3Q_1 \\
 g &= \overline{Q_2}Q_1 + Q_1\overline{Q_0} + \overline{Q_3}Q_2\overline{Q_1} + Q_3\overline{Q_2} + Q_3Q_0
 \end{aligned}$$

图 1

所以，我们先把 Q0-Q3 输入到非门，得到 Q0-Q3 的非，然后在源信号 Q0-Q3 和非门输出信号进行组合，求各个与项信号，最后使用或门把所有与项用或门或起来即可得到实验原理中二进制码七段数码管译码器真值表的组合逻辑电路。最终电路如下图 2 所示：

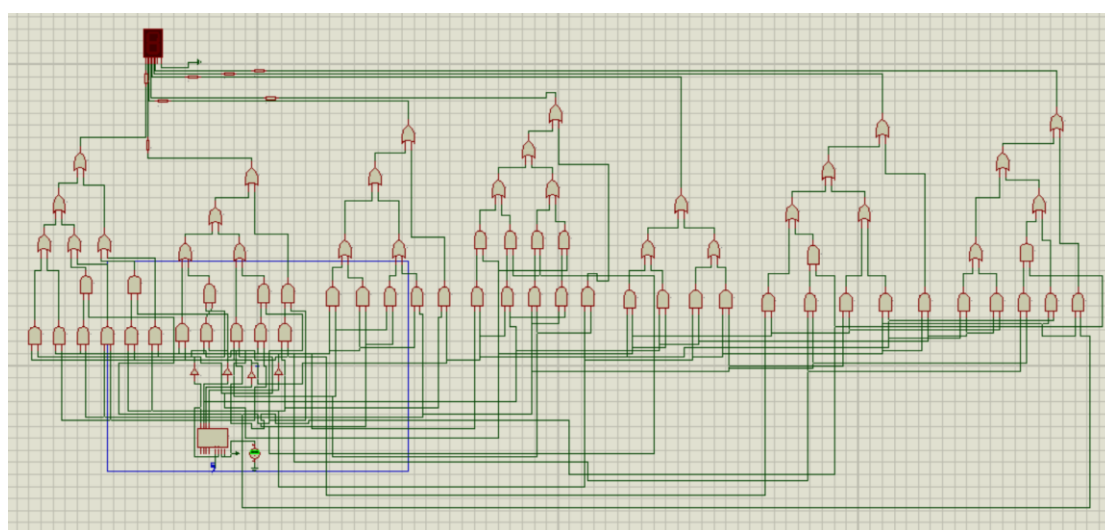


图 2

对于实验内容 2. 1，根据题目要求，电路如下图 3 所示：

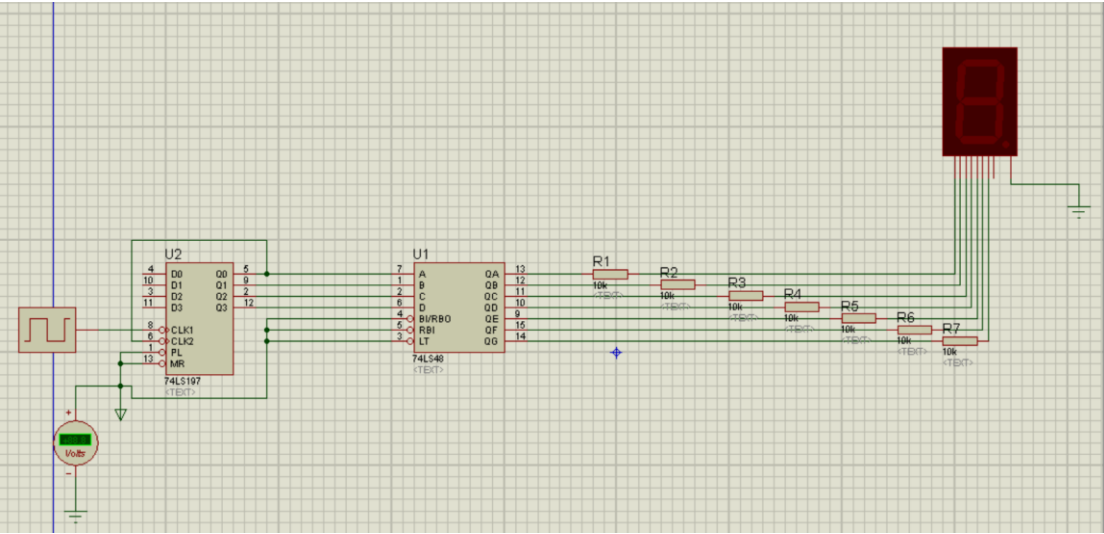


图 3

对于实验内容 2. 2，首先我们设两个 74LS48 芯片的八个输入端分别为 A1，B1, C1, D1, A2, B2, C2, D2。然后因为我们需要将 74LS197 的输出的四位二进制转化为二位十进制，所以只需将十位数字的四位二进制对应到 A1, B1, C1, D1。个位数字的四位二进制对应到 A2, B2, C2, D2。将这样的操作和计算从 1-15 都进行一遍，即可建立如下图 3 的真值表：

Q3	Q2	Q1	Q0	D1	C1	B1	A1	D2	C2	B2	A2
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	1	0
0	0	1	1	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	0	1	1	0
0	1	1	1	0	0	0	0	0	1	1	1
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	1
1	1	0	0	0	0	0	1	0	0	1	0
1	1	0	1	0	0	0	1	0	0	1	1
1	1	1	0	0	0	0	1	0	1	0	0
1	1	1	1	0	0	0	1	0	1	0	1

再对 A1, B1, C1, D1, A2, B2, C2, D2 列出卡诺图并进行化简：

对于 A1：

Q3Q2 \ Q1Q0	00	01	11	10
00				
01				
11	1	1	1	1
10			1	1

对于 B1, C1, D1：

Q3Q2 \ Q1Q0	00	01	11	10
00				
01				
11				
10				

对于 A2：

Q3Q2 \ Q1Q0	00	01	11	10
00		1	1	
01		1	1	
11		1	1	
10		1	1	

对于 B2：

Q3Q2 \ Q1Q0	00	01	11	10
00			1	1
01			1	1
11	1	1		
10				

对于 C2：

Q3Q2 \ Q1Q0	00	01	11	10
00				
01	1	1	1	1
11			1	1
10				

对于 D2：

Q3Q2 \ Q1Q0	00	01	11	10
00				
01				
11				
10	1	1		

经过计算后，可得如下图 4 的结果：

$$\begin{aligned}
 A_1 &= Q_3 Q_1 + Q_3 Q_2 \\
 B_1 &= 0 \\
 C_1 &= 0 \\
 D_1 &= 0 \quad \left. \vphantom{\begin{matrix} B_1 \\ C_1 \\ D_1 \end{matrix}} \right\} \text{接地} \\
 A_2 &= Q_0 \\
 B_2 &= \overline{Q_3} Q_1 + Q_3 Q_2 \overline{Q_1} \\
 C_2 &= \overline{Q_3} Q_2 + Q_2 Q_1 \\
 D_2 &= Q_3 \overline{Q_2} \overline{Q_1}
 \end{aligned}$$

图 4

所以最终电路图如下图 5 所示：

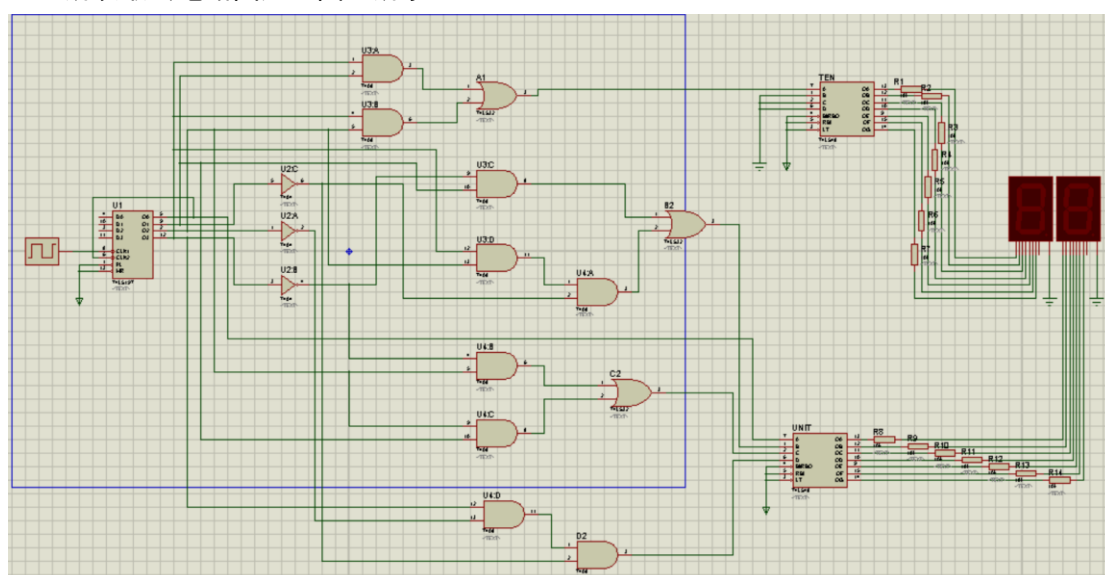
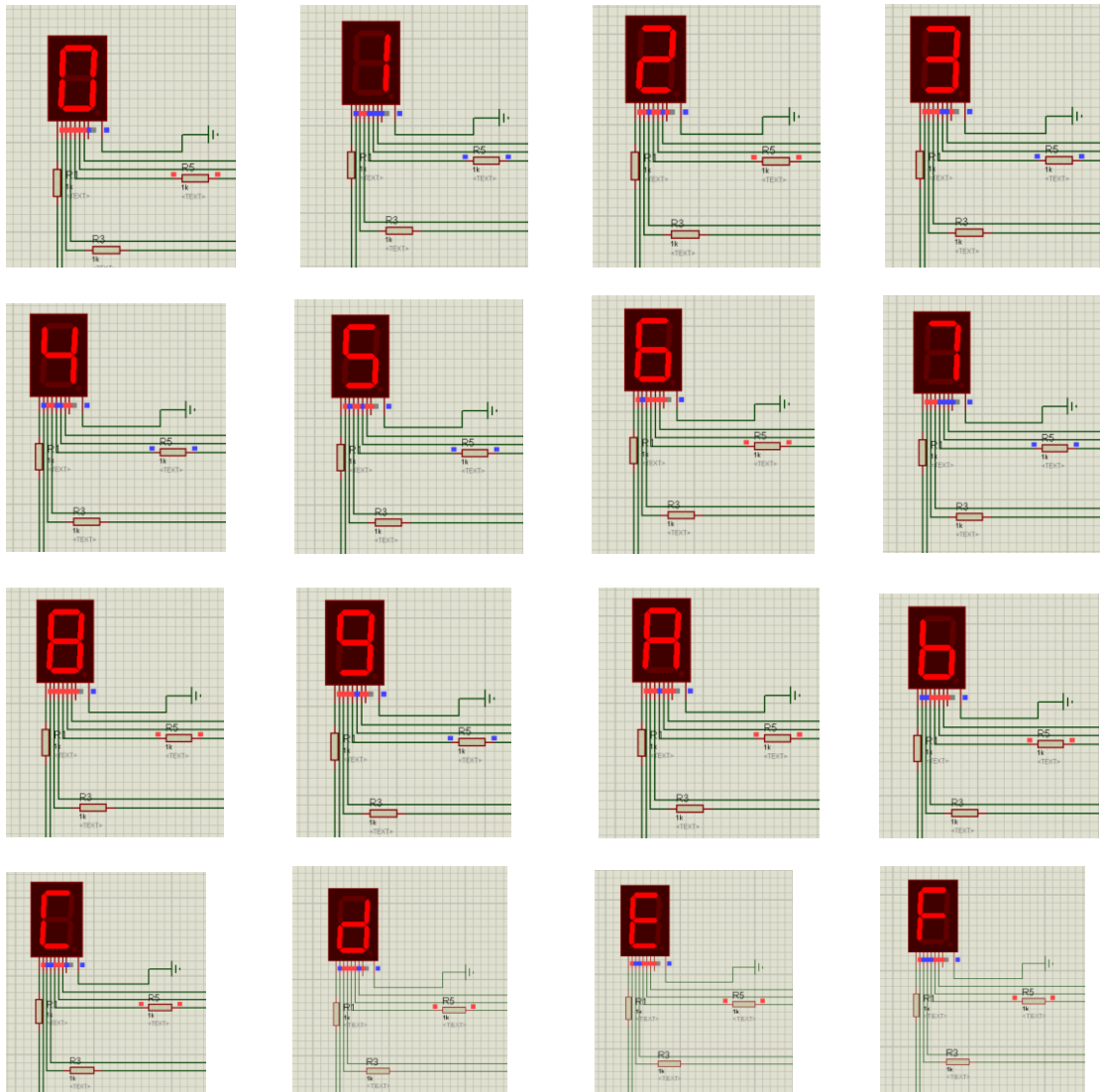


图 5

#### 四、实验结果

对于实验内容 1，电路运行结果如下：

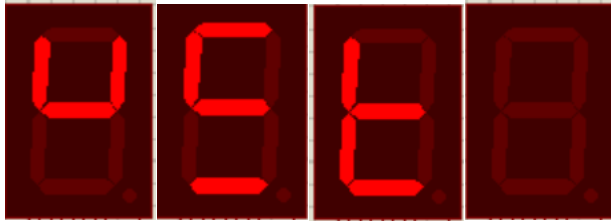


所以可知我们电路构造正确，成功通过组合逻辑电路模拟了译码器的功能。

对于实验内容 2.1，电路运行结果如下：

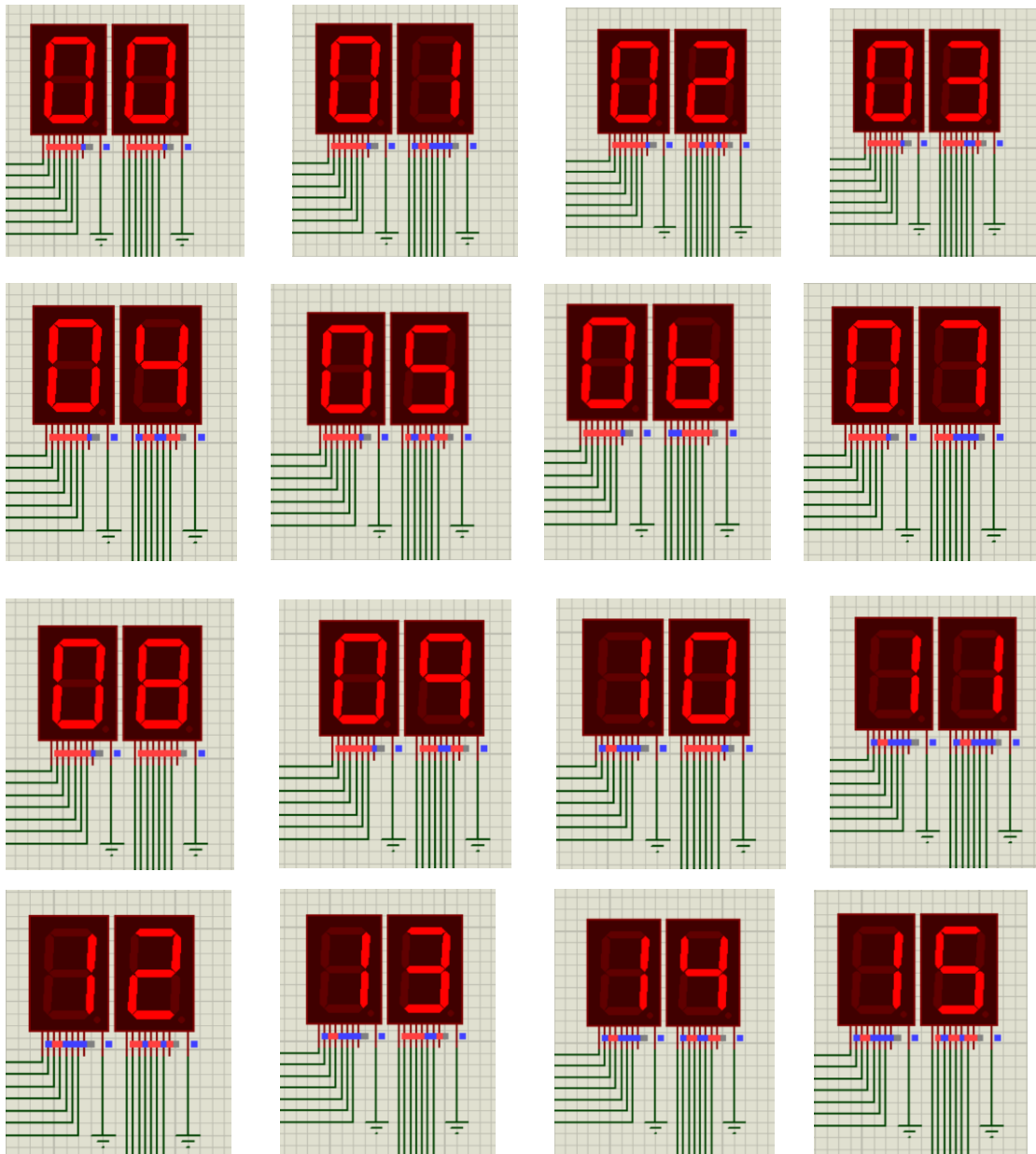






其中 0-9 显示正常，10-15 显示不全。这是由芯片的编码方式所决定的，即该芯片不支持显示 10 及其以上的数字。

对于实验内容 2.2，电路运行结果如下：



所以可知我们电路构造正确，成功模拟了题目所要求的功能。

## 五、实验总结与心得

通过这次实验，我掌握了卡诺图的化简方法，以及如何运用卡诺图的化简结果来设计组合逻辑电路，同时我对于组合逻辑电路的设计有了更深刻的认识。

但是此次实验仍有不足的地方，比如在实验一的译码器部分电路连接完成后，忘记给数码管的输入端 a-f 接电阻。虽然老师在上课时强调了，但是在实际连接电路时，可能是自我不重视，忘了这一步骤。下次应确保自己不会犯这种低级错误，因为这是仿真实验，造成的后果并不明显，如果在现实当中，是很有可能烧坏数码管的。

同时实验二在一开始我并没有思路，总想着继续用实验一一样的方法，即希望建立 a-g 和 Q0-Q3 的真值表来设计电路，但发现毫无进展。最后发现可以通过将 74LS197 的输出的四位二进制转化为二位十进制，然后将十位数字的四位二进制对应到第一个 74LS48 芯片的四个输入端 A1, B1, C1, D1。个位数字的四位二进制对应到第二个 74LS48 芯片的四个输入端 A2, B2, C2, D2。将这样的操作和计算对 1-15 都进行一遍，即可建立相应的真值表，从而可进一步得到卡诺图并化简计算得到最后的电路。