

第十次数电实验

郝裕玮

18329015

2019 级教务四班

一、实验目的

1. 熟悉中规模集成电路计数器的功能及应用。
2. 复习中规模集成电路译码器的功能及应用。
3. 复习七段数码管扫描式显示电路的工作原理。
4. 学会综合测试的方法。

二、实验原理

1. 任意 N 进制计数器的实现

对于计数规模小的计数器我们使用触发器来设计计数器，但是当计数器的模数 N 达到十六个以上（如六十进制）时，如果还使用触发器来设计的话，电路就会比较复杂。在这种情况下，我可以利用 M 进制集成计数器来构成任意 N 进制计数器。

(1) $M > N$ 时

直接利用集成计数器的清零端或置数端实现归零,从而构成按自然态序进行计数的 N 进制计数器。

(2) $M < N$ 时

先通过将集成计数器的级联形成大于 N 进制的集成计数器，即搭建计数状态多于 N 的集成计数器，再利用级联的集成计数器的清零端或置数端实现多级计数器同时归零，从而构成按自然态序进行计数的 N 进制计数器。将 M 进制集成计数器级联成 M' 进制计数器的方法有两种，如下图 4-33、4-34 所示，可以利用低位计数器的进位信号作为高位计数器的时钟信号或高位计数器的计数使能信号，搭建 M' 进制计数器。其中 $M' = M_1 \times M_2$ ， M_1 和 M_2 为现有集成计数器的模数。

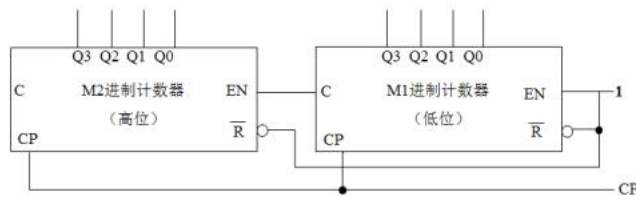


图 4-33 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 1

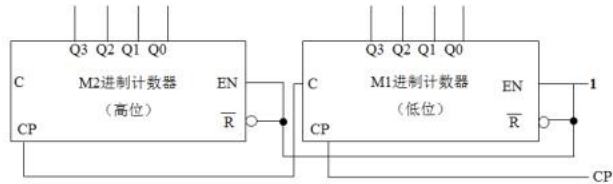


图 4-34 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 2

上述电路中使用的 $M1/M2$ 进制集成计数器中，CP 为计数脉冲。Q3、Q2、Q1、Q0 为从高位到低位的四位二进制计数输出端。C 为进位输出端，当计数器计数至 $M1/M2-1$ 时，C 在下一个 CP 有效沿到来之前输出高电平。EN 为计数允许端，高电平有效。 \bar{R} 为清零端，低电平有效。

2. 同步清零、同步置数、异步清零和异步置数

在使用集成计数器时，要区分所使用的计数器采用的清零和置数方式是同步还是异步。同步方式和异步方式的区别在于清零和置数的操作是否需要等待时钟的有效沿到达。同步清零和同步置数是指当清零或置数端有效时，计数器将在时钟有效沿到达时进行清零或置数。异步清零和异步置数是指当清零或置数端有效时，计数器的输出立即清零或置数。

在集成计数器中，清零和置数均采用同步方式的有 74LS163。清零和置数均采用异步方式的有 74LS193、74LS197、74LS192。清零采用异步方式、置数采用同步方式的有 74LS161、74LS160。有的只具有异步清零功能，如 CC4520、74LS190、74LS191。74LS90 则具有异步清零和异步置 9 功能。

所使用的集成计数器清零或置数的方式不同，实现计数器归零的控制信号不同。

(1) 利用同步清零端或置数端置零或置数构成 N 进制计数器

实现步骤如下：

- (1) 写出状态 S_{N-1} 的二进制代码。
- (2) 求归零逻辑，即求同步清零端或置数控制端信号的逻辑表达式。
- (3) 画电路图。

(2) 利用异步清零端或置数端置零或置数构成 N 进制计数器

实现步骤如下：

- (1) 写出状态 S_N 的二进制代码。
- (2) 求归零逻辑，即求异步清零端或置数控制端信号的逻辑表达式。
- (3) 画电路图。

需要注意的是采用异步清零端实现计数器归零时，如果清零信号持续时间过短，可能会导致部分计数器未能复位，从而造成计数错误。可改进电路适当延长清零信号的持续时间，以提高利用异步清零端实现计数器归零的可靠性。

3. 集成计数器 74LS160

74LS160 是上升沿触发的可预置四位十进制同步计数器，其芯片引脚图见附录 1，P3、P2、P1、P0 是从高位到低位的预置数据输入端。Q3、Q2、Q1、Q0 是从高位到低位的计数输出端。CP 是计数脉冲输入端。 \bar{R} 是异步清零端，低电平有效。 \overline{PE} 是同步置数端，低电平有效。CET 和 CEP 是计数器工作使能端，高电平有效。TC 是进位信号输出端，当 Q3Q2Q1Q0 计数至 1001 时，输出高电平。74LS160 功能如下表 4-6 所示。

表 4-6 74LS160 逻辑功能表（同步置数异步清零）

CP	\bar{R}	\overline{PE}	CET	CEP	功能
X	0	X	X	X	清零
\uparrow	1	0	X	X	置数
\uparrow	1	1	0	X	保持
\uparrow	1	1	X	0	保持（但进位TC=0）
\uparrow	1	1	1	1	计数

以使用 74LS160 采用同步置数法实现二十四进制计数器为例，电路图如下图 4-35 所示。

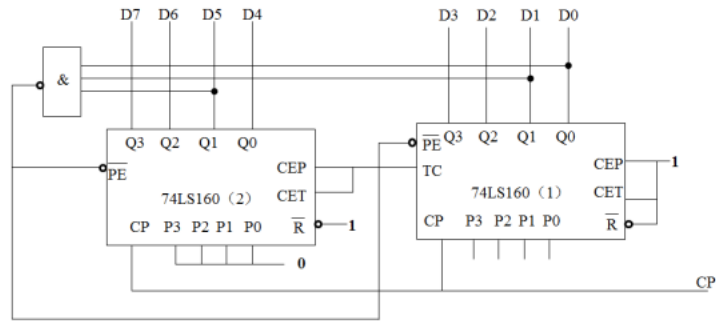


图 4-35 使用 74LS160 搭建二十四进制计数器电路

74LS160 (1) 是个位计数器，74LS160 (2) 是十位计数器，通过将个位计数器的进位信号 TC 接入十位计数器的计数使能端实现一百进制计数功能。D7-D0 为二十四进制计数输出端，其中 D7-D4 为十位计数输出，D3-D0 为个位计数输出。采用 D7D6D5D4D3D2D1D0=00100011（对应十进制数 23）状态作为归零信号接入两级 74LS160 的同步置数端，从而实现二十四进制计数功能。

三、实验内容与电路设计

实验内容为：使用两片集成计数器 74LS160 搭建一个六十进制计数器（六进制为高位、十进制为低位）

- 将 10KHz 的连续脉冲作为六十进制计数器的计数脉冲，使用示波器数字通道观察并记录 CP（计数脉冲）和两片 74LS160 的计数输出 Q3、Q2、Q1、Q0。
- 将 1Hz 的连续脉冲作为六十进制计数器的计数脉冲，使用实验箱上的七段数码管显示计数结果（注意高低位显示顺序）。

若想搭建六十进制计数器，则我们需要在输入每次到达 59 之后进行清零。

我们仍然以下图 4-35 为例：

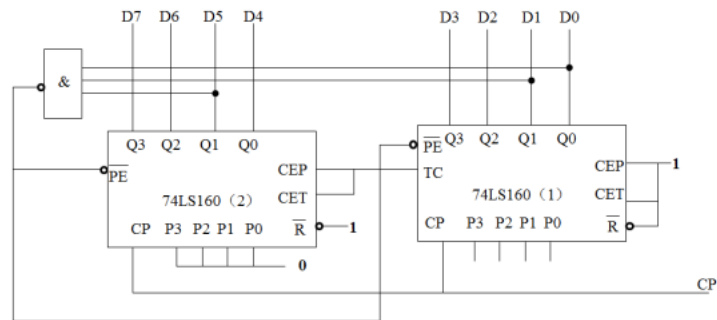


图 4-35 使用 74LS160 搭建二十四进制计数器电路

由实验原理可知 D7-D0 为六十进制计数输出端，其中 D7-D4 为十位计数输出，D3-D0 为个位计数输出。所以我们可采用 D7D6D5D4D3D2D1D0 = 01011001（对应十进制数 59）状态作为归零信号接入两级 74LS160 的同步置数端，从而实现六十进制计数功能。

同时如下图 4-33 所示，我们可以利用低位计数器的进位信号作为高位计数器的计数使能信号，搭建 M' 进制计数器。其中 $M' = M1 \times M2$ ， $M1$ 和 $M2$ 为现有集成计数器的模数。

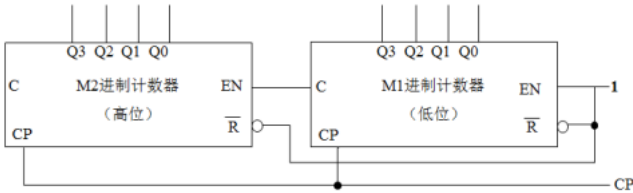
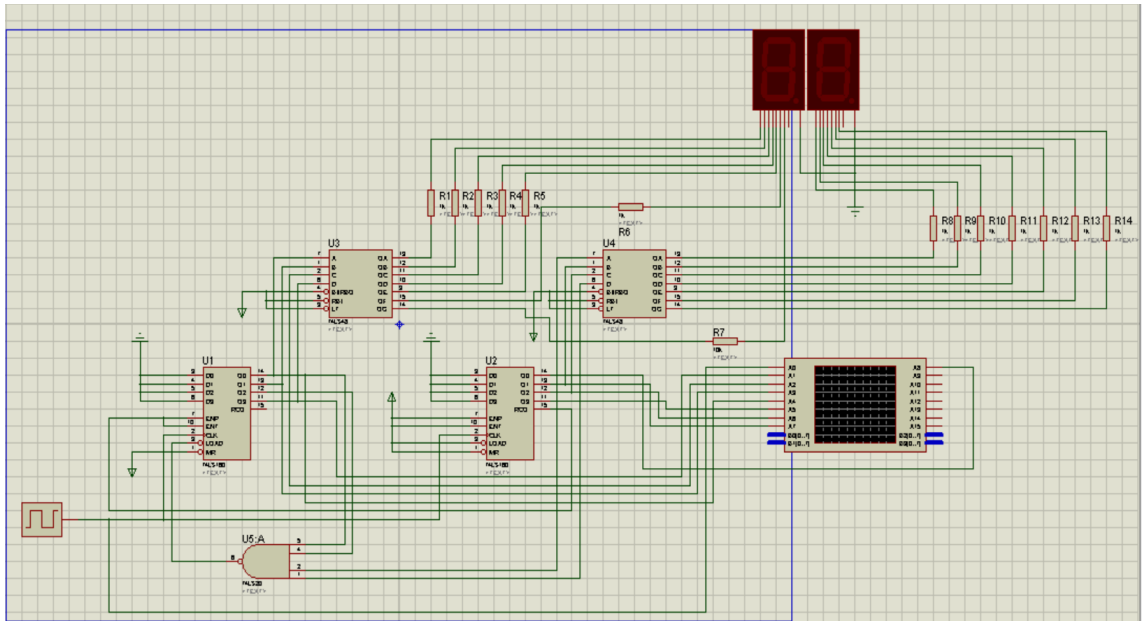


图 4-33 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 1

在连接电路的过程中，因为我们需要将 D7D6D5D4D3D2D1D0 = 01011001（对应十进制数 59）状态作为归零信号接入两级 74LS160 的同步置数端。所以我们将高位 74LS160 的 Q0、Q2 和低位 74LS160 的 Q0、Q3 均接到四输入与非门 74LS20，并将其输出接回到高位 74LS160 的 LOAD 输入端，从而实现同步置数清零。

同时我们需要把两片 74LS160 的输入 D0-D3 均接地。然后我们可将这两片芯片的输出 Q0-Q3 分别接两片 74LS48（七段数码管译码器驱动器）的输入 ABCD。在将两片 74LS48 的使能端均接高电平后，我们需要将这两片 74LS48 的输出 QA-QG 分别接到一片七段数码管上且每条连接电路上均串联一个阻值为 1k 欧姆的电阻来保护电路，并将七段数码管的最右端输入接地。最后根据实验内容要求，我们将时钟信号 CP，两片 74LS160 的输入 Q3Q2Q1Q0 分别接入到逻辑分析仪的 A0-A8 上即可。

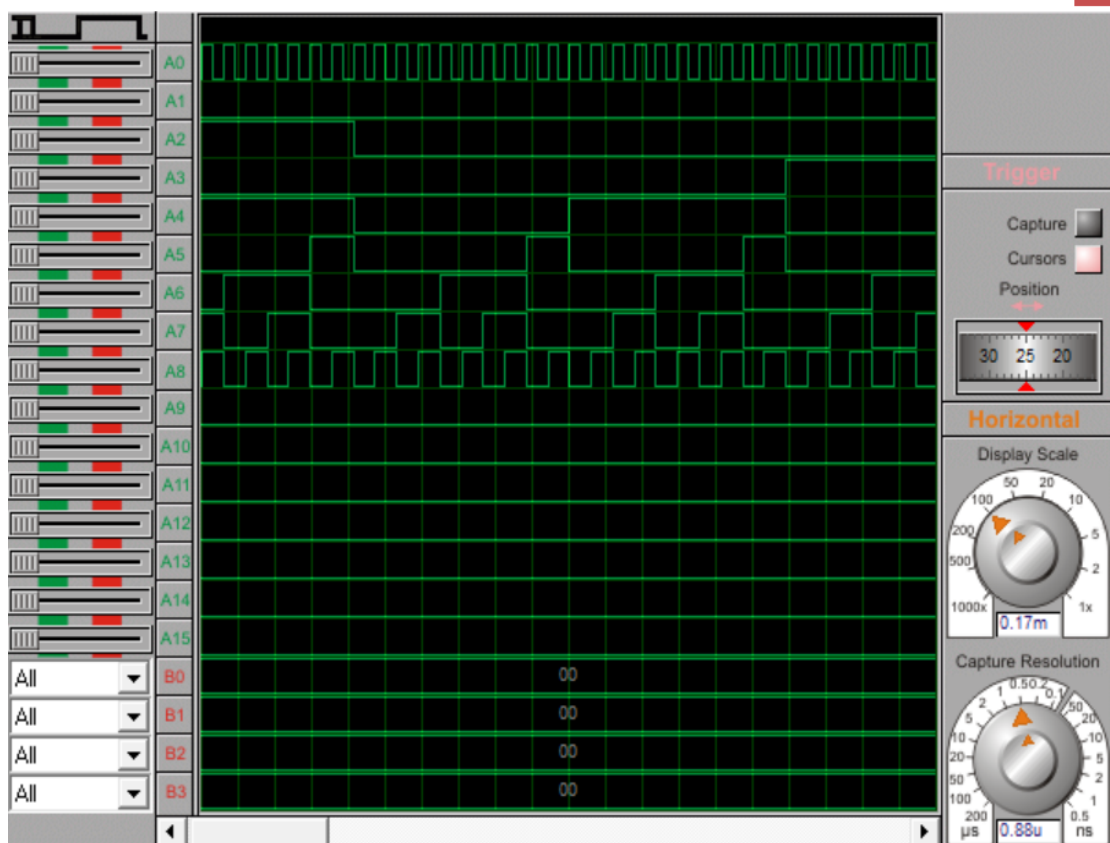
所以最终仿真电路如下图所示：



四、实验结果

当时钟频率为 10KHz 时，六十进制计数循环的部分波形图如下图所示：

VSM Logic Analyser



图中的显示结果从左到右先是从 53 到 59，再从 0 到 26。

经过检验对比之后可发现，未体现在图片中的波形仍符合我们的预期实验结果。

由于波形图的显示局限原因，导致我无法在一张图中体现整个六十进制的计数循环，所以老师可自行运行压缩包中的工程文件来检查我的实验结果。

当时钟频率为 1Hz 时，在我自行检查后，发现七段数码管的显示结果符合预期实验结果。但由于六十进制的显示结果总共有 60 个数，所以不依次截图在实验报告中体现。麻烦老师自行运行压缩包中的工程文件来检查我的实验结果。如果给老师带来不便，我表示深深的歉意！老师辛苦了！

综上所述可知，此次电路仿真成功。

五、实验总结与心得

通过这次实验，我学会了将之前的知识融会贯通。从而使得可以通过利用 MSI 设计时序逻辑电路和七段数码管及其译码器相结合来组建任意进制的计数器。

同时我也对相关芯片如 74LS160 的使用更加熟悉，并重新回顾了 74LS48（七段数码管译码器驱动器）的使用方法，对这些芯片的功能有了更深刻的认识。

最后我对同步清零、同步置数、异步清零和异步置数有了初步的了解，并学会了如何将其应用在电路当中。