第一次数电实验

实验1

郝裕玮

18329015

2019级教务四班

1. **实验目的**

用74LS197构成十六进制计数器的设计，观察并记录CLK1、Q0、Q1、Q2、Q3的波形，分析波形是否符合十六进制计数器逻辑关系。

**二、实验原理**

异步计数器 74LS197 组成与工作原理

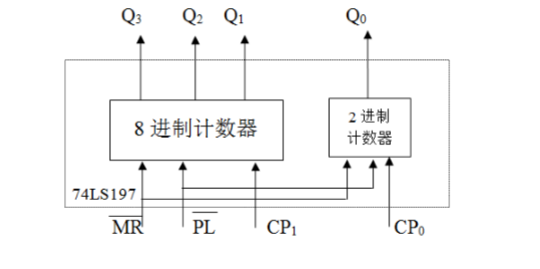
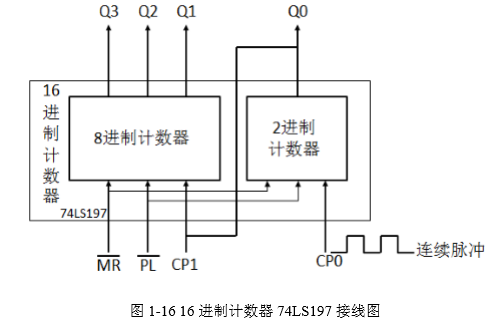


图 1-15 74LS197 内部结构图

74LS197内部由一个八进制计数器和一个二进制计数器组成，它们可以独立工作，分别对接入CP0的时钟信号进行二进制计数或对接入CP1的时钟信号进行八进制计数。MR和PL两个低电平有效的控制信号是两个计数器共用的，当MR为低电平时，输出Q3、Q2、Q1、Q0清零，PL为低电平时，把来自输入端P3、P2、P1、P0电平送入Q3、Q2、Q1、Q0。因MR和PL容易受到外来干扰，从而影响Q3、Q2、Q1、Q0的输出，因此在不需要清零或置数时MR和PL需接高电平。

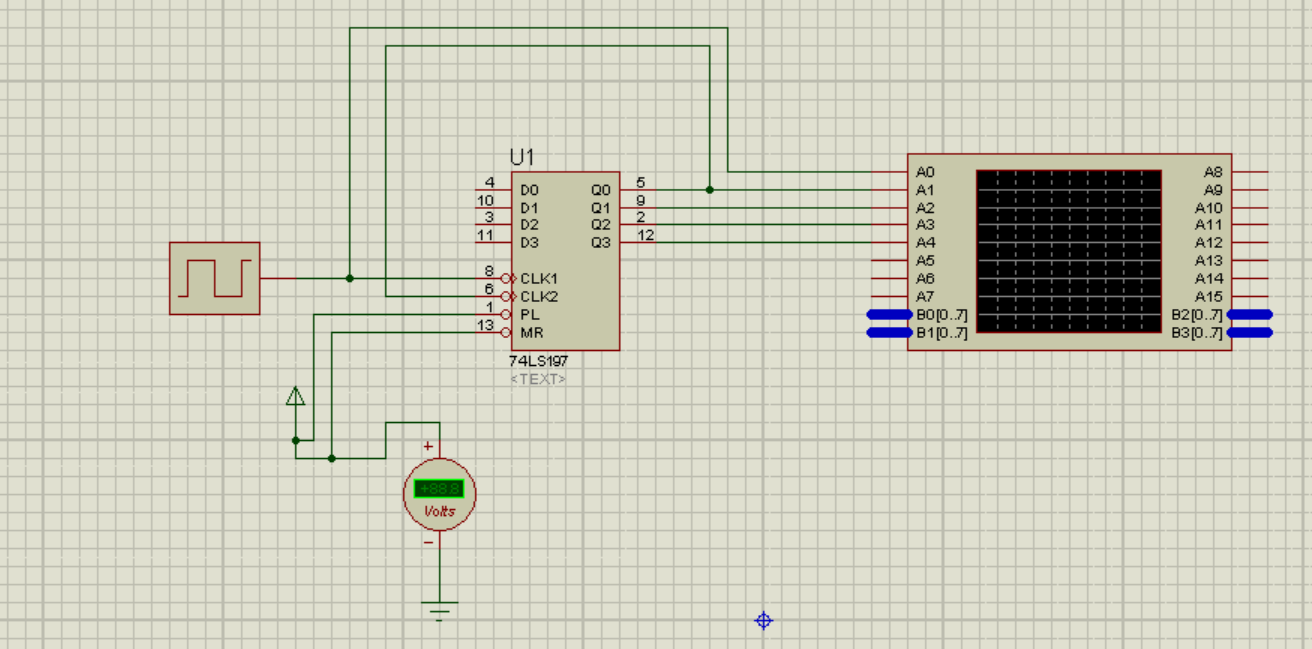


如图1-16所示，74LS197可以通过将时钟信号接CP0，然后将 Q0与CP1相连，组成一个十六进制计数器，对接入CP0的时钟信号进行计数。

**三、实验内容**

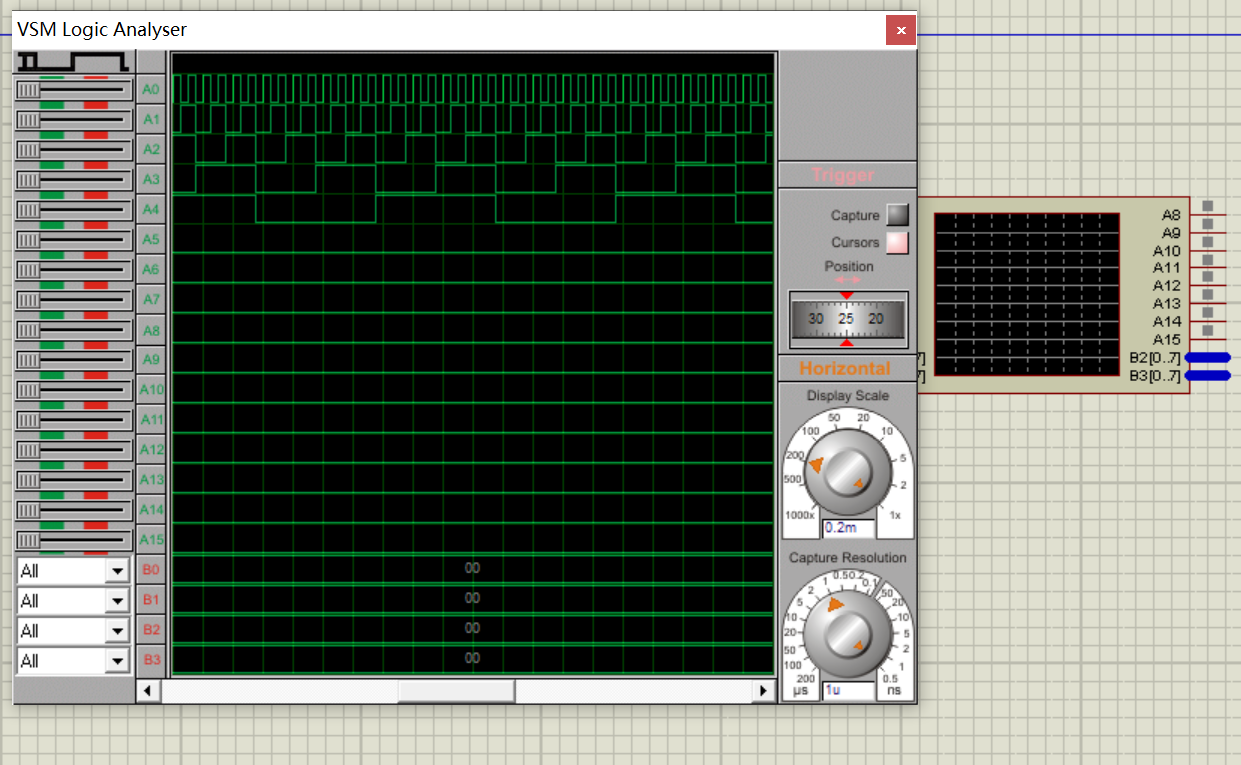
依据示例步骤和实验原理中关于74LS197组成原理简介，使用Proteus完成。用74LS197构成十六进制计数器的设计，即Proteus环境下，74LS197的CLK1与10kHz的CLOCK相连，Q0与CLK2连接，将MR、PL接高电平，则Q3、Q2、Q1和Q0就是十六进制计数器的输出。观察并记录CLK1、Q0、Q1、Q2和Q3的波形，分析波形是否符合十六进制计数器逻辑关系。

最终构建的仿真环境如下图所示



**四、实验结果**

逻辑分析仪如下图所示



**五、结果分析**

异步清除端（CR）为低电平时，不管[时钟](http://www.elecfans.com/tags/%E6%97%B6%E9%92%9F/" \t "_blank)端（CP0、CP1）状态如何，即可完成清除功能。

计数/置入控制（CT/LD）为低电平时，不管时钟端（CP0、CP1）状态如何，即可完成预置功能。

当（CT/LD）为高电平时，在（CP0、CP1）脉冲下降沿作用下进行计数操作：

1. 将CP1与Q0连接，计数脉冲由CP0输入，在Q0、Q1、、Q2、Q3分别得到二、四、八、十六分频。b）计数脉冲由CP1输入，在在Q1、Q2、Q3分别得到二、四、八分频。Q0可独立使用。
2. 计数脉冲由 1 CP 输入，在在 Q1、Q2、Q3 分别得到二、四、八分频。Q0 可独立使用。

实验2

1. **实验目的**

利用Proteus进行门级电路静态测试

**二、实验原理**

（1）真值表是表征逻辑事件输入和输出之间全部可能状态的表格。通常以1（HIGH）表示真，0(LOW)表示假。将输入变量的所有取值下对应的输出值找出来，列成表格，即可得到真值表。

测量芯片真值表的操作步骤如下：

静态测试：

1) 找出芯片中具有逻辑关系的一组输入输出引脚，将n个输入引脚全部可能取值，按照从低到高的顺序填入表格左侧；

2) 将逻辑电平信号（LOGICSTATE）用导线接入待测芯片输入引脚；

3) Proteus 运行仿真时引脚的红\蓝点可表示芯片输出引脚的高\低电平；

4) 按照真值表输入引脚取值顺序依次改变输入引脚电平，同时将门电路输出引脚电平逻辑值记录。检查芯片的输入输出电平逻辑关系是否与待测芯片真值表一致。

（2）与门：输入全为高电平时输出高电平；任意一个输入为低电平时输出低电平。

或门：输入全为低电平时输出低电平；任意一个输入为高电平时输出高电平。

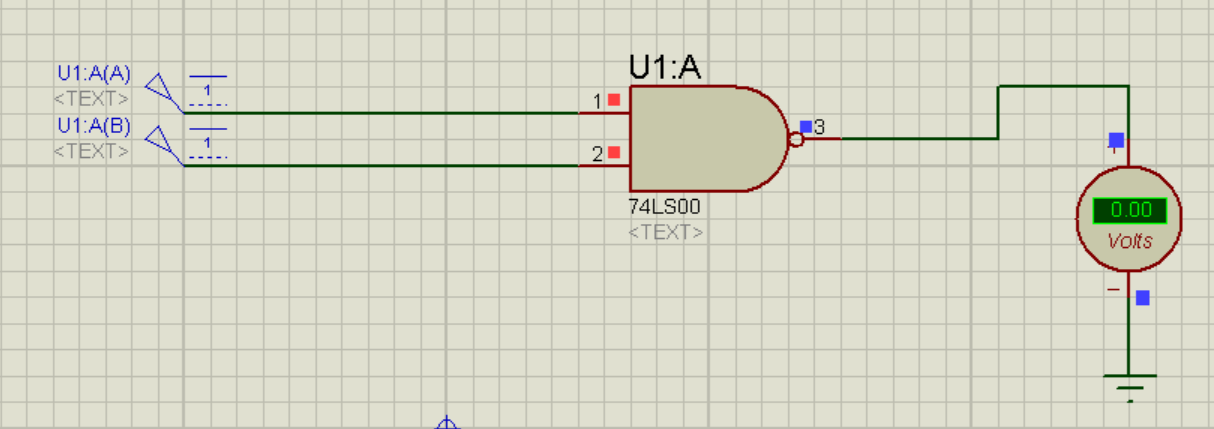
与非门：输入全为高电平时输出低电平；任何一个输入为低电平时输出高电平。

或非门：输入全为低电平时输出高电平；任何一个输入为高电平时输出低电平。

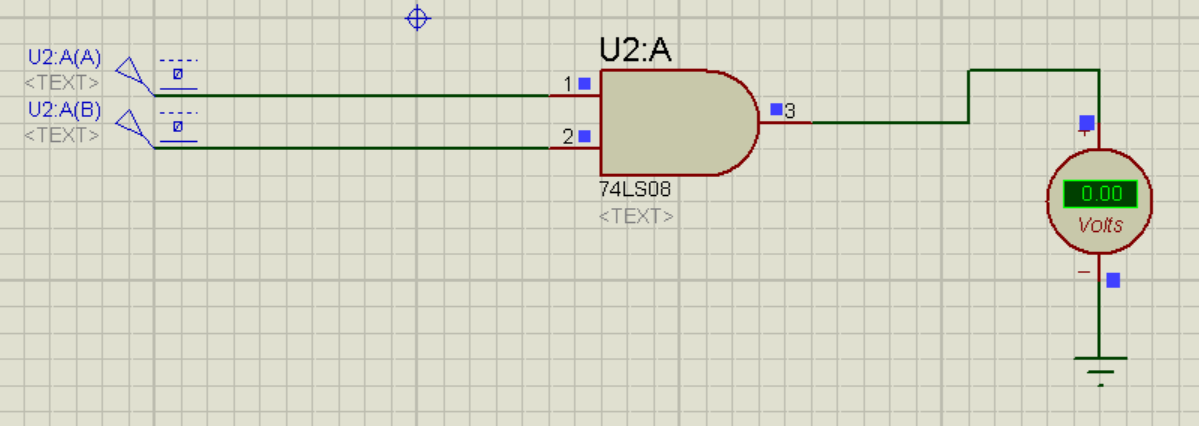
**三、实验内容**

使用 Proteus 仿真软件静态测试门电路芯片（74LS00、74LS08 、74LS20 和74LS86），仿真结果与各芯片真值表对照并记录。

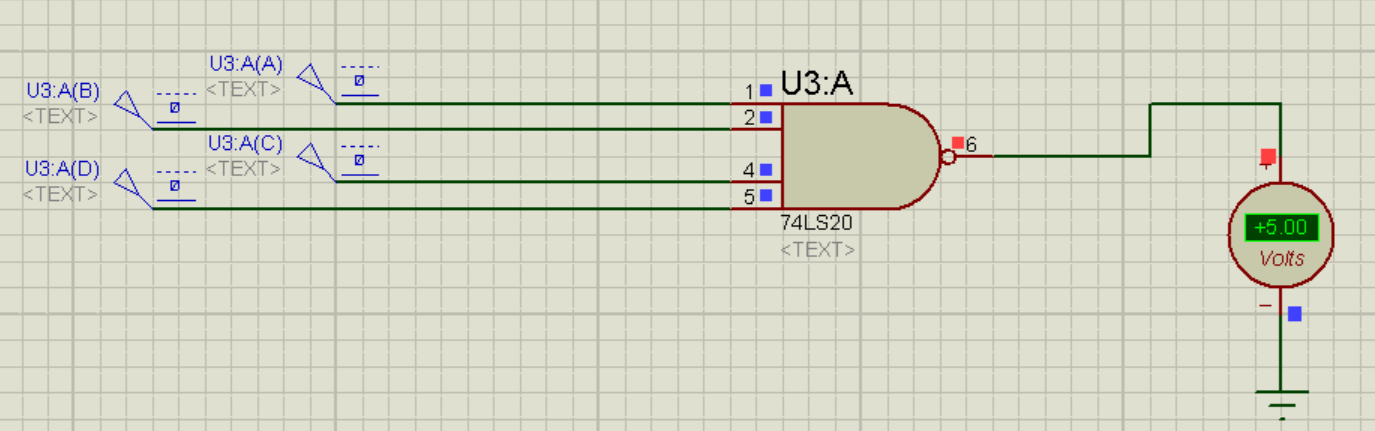
最终构建的四组芯片的仿真环境如下图所示



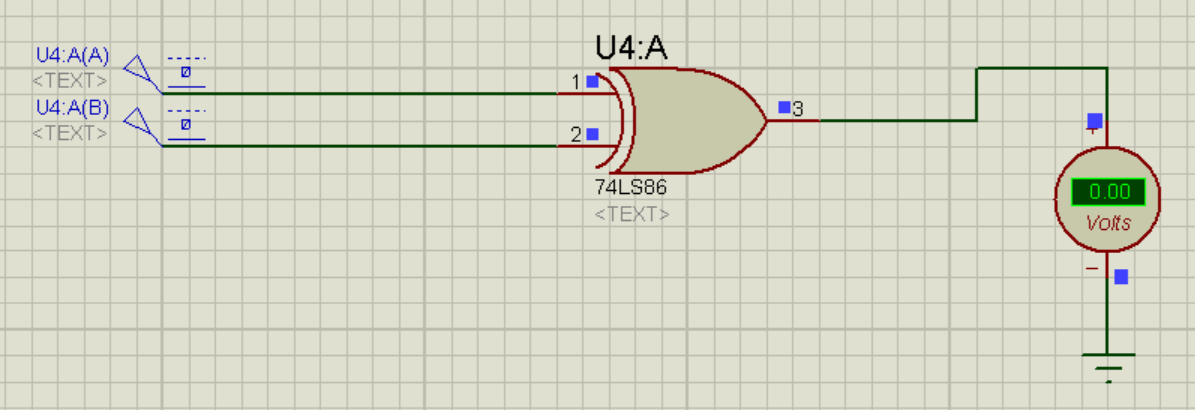
74LS00



74LS08



74LS20



74LS86

**四、实验结果**

对于74LS20：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 激励源1 | 激励源2 | 输入1真值 | 输入2真值 | 输出真值 | 电压 |
| 弱低 | 弱低 | 0 | 0 | 1 | 5V |
| 弱低 | 弱高 | 0 | 1 | 1 | 5V |
| 弱高 | 弱低 | 1 | 0 | 1 | 5V |
| 弱高 | 弱高 | 1 | 1 | 0 | 0V |

对于74LS08：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 激励源1 | 激励源2 | 输入1真值 | 输入2真值 | 输出真值 | 电压 |
| 弱低 | 弱低 | 0 | 0 | 0 | 0V |
| 弱低 | 弱高 | 0 | 1 | 0 | 0V |
| 弱高 | 弱低 | 1 | 0 | 0 | 0V |
| 弱高 | 弱高 | 1 | 1 | 1 | 5V |

对于74LS20：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 激励源1 | 激励源2 | 激励源3 | 激励源4 | 输入真值对应二进制 | 输出真值 | 电压 |
| 弱高 | 弱高 | 弱高 | 弱高 | 0000 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0001 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0010 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0011 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0100 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0101 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0110 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 0111 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1000 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1001 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1010 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1011 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1100 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1101 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1110 | 1 | 5V |
| 弱高 | 弱高 | 弱高 | 弱高 | 1111 | 0 | 0V |

对于74LS86：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 激励源1 | 激励源2 | 输入1真值 | 输入2真值 | 输出真值 | 电压 |
| 弱低 | 弱低 | 0 | 0 | 0 | 0V |
| 弱低 | 弱高 | 0 | 1 | 1 | 5V |
| 弱高 | 弱低 | 1 | 0 | 1 | 5V |
| 弱高 | 弱高 | 1 | 1 | 0 | 0V |

**五、结果分析**

1.74LS00对应与非门：只要有低电平输入，输出电压就为高电平（5V）

2.74LS08对应与门：只要有低电平输入，输出电压就为低电平（0V）

3.74LS20对应与非门：只要有低电平输入，输出电压就为高电平（5V）

4.74LS86对应异或门：只要输入不同高低电平，输出就为高电平(5V)

实验3

1. **实验目的**

利用Proteus进行门级电路动态测试

**二、实验原理**

真值表是表征逻辑事件输入和输出之间全部可能状态的表格。通常以1（HIGH）表示真，0(LOW)表示假。将输入变量的所有取值下对应的输出值找出来，列成表格，即可得到真值表。

测量芯片真值表的操作步骤如下：

动态测试：

1) 找出芯片中具有逻辑关系的一组输入输出引脚，将n个输入引脚接n个连续脉冲，要求脉冲之间频率满足 fn=（fn-1）/2，以使输入引脚取全部可能取值；

2) 将待测芯片输入、输出引脚均接入逻辑分析仪；

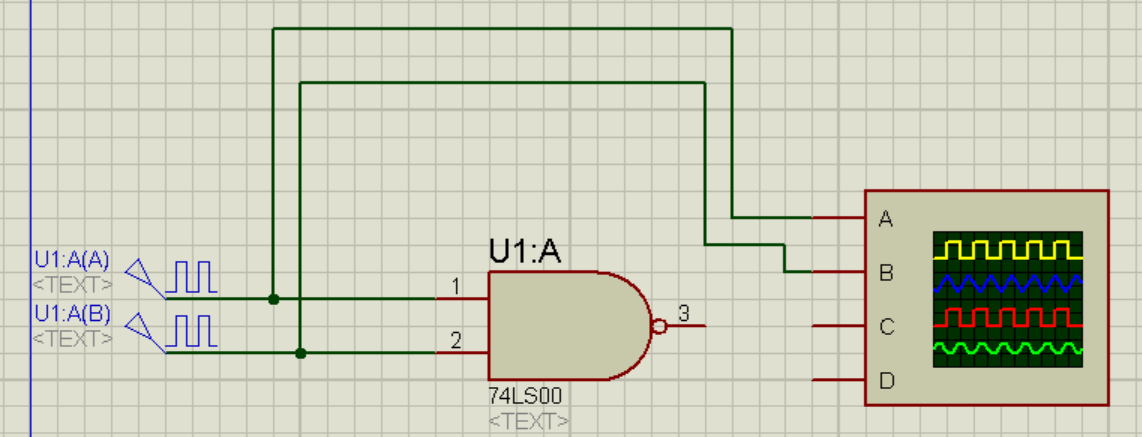
3) 同时观测芯片的输入、输出波形，检查波形之间是否符合芯片逻辑关系。

**三、实验内容**

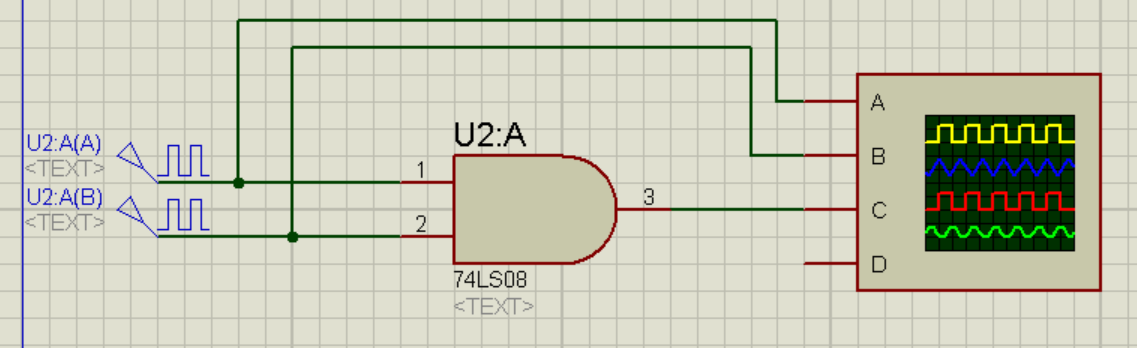
使用 Proteus 仿真软件动态测试门电路芯片（74LS00、74LS08 、74LS20 和74LS86），并用虚拟逻辑分析仪或虚拟示波器观察门电路芯片输入、输出引脚的波形并记录，分析波形之间的逻辑关系是否正确。

最终构建的四组芯片的仿真环境如下图所示

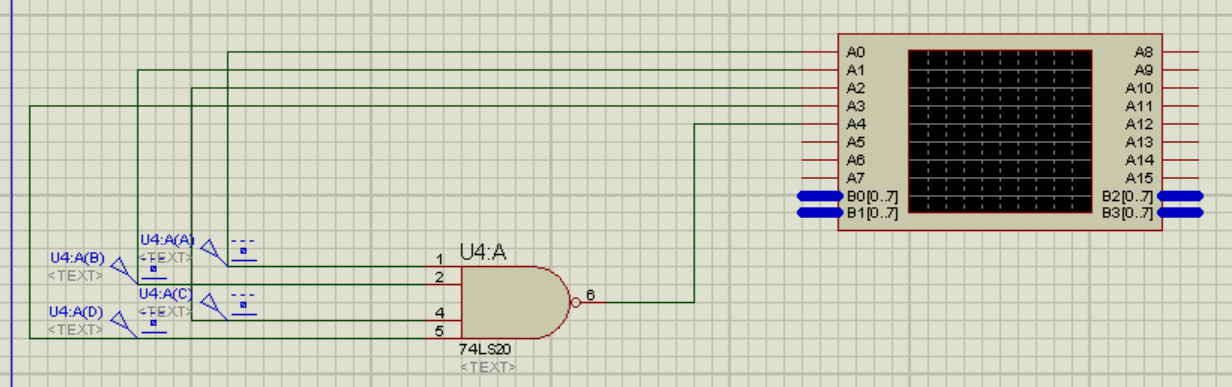
74LS00



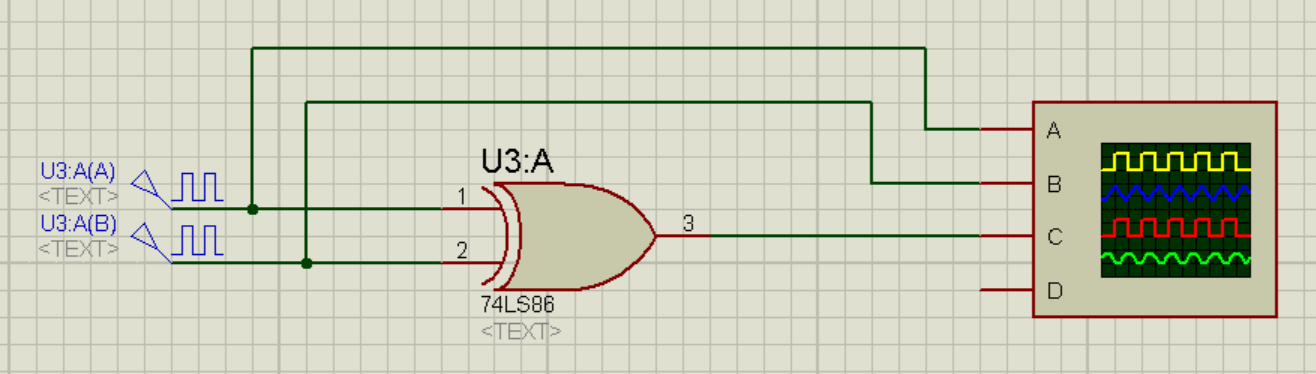
74LS08



74LS20



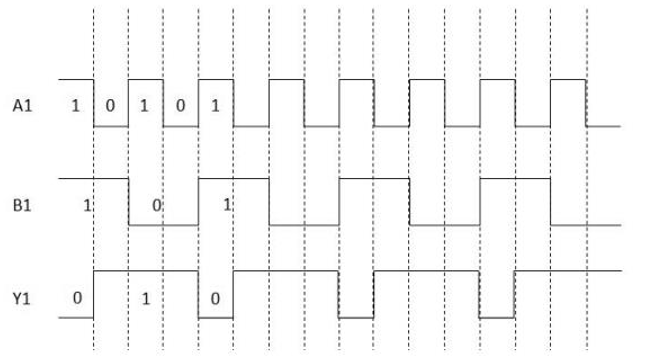
74LS86



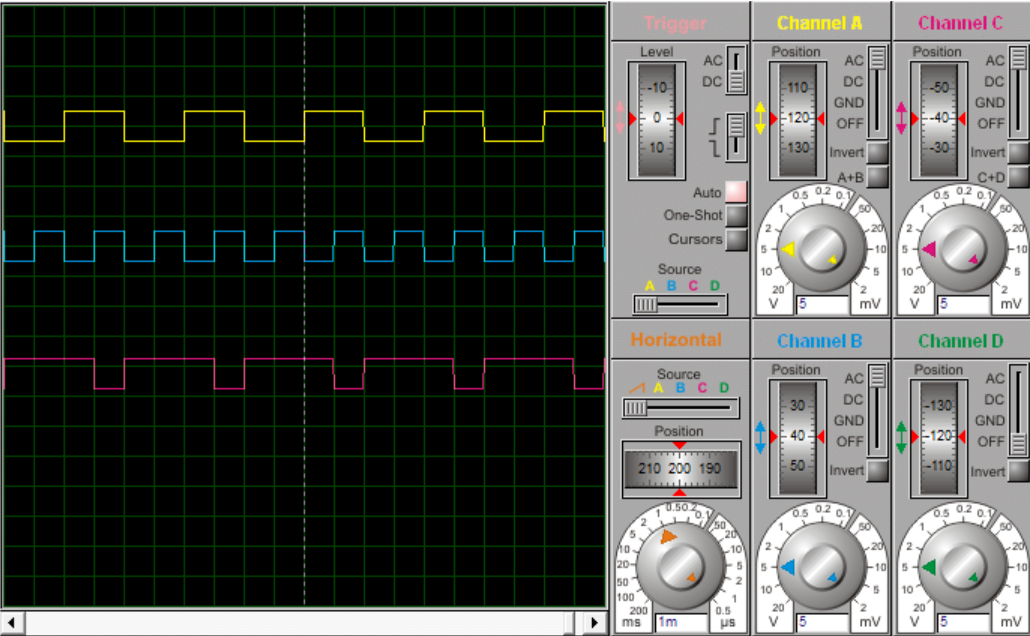
**四、实验结果与结果分析**

1. 对于74LS00：

待检测波形如下图所示：



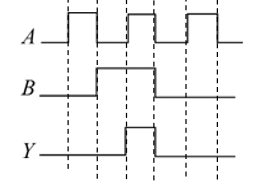
使两脉冲之间频率满足fn=(fn-1)/2.可得仿真结果的波形图如下图所示：



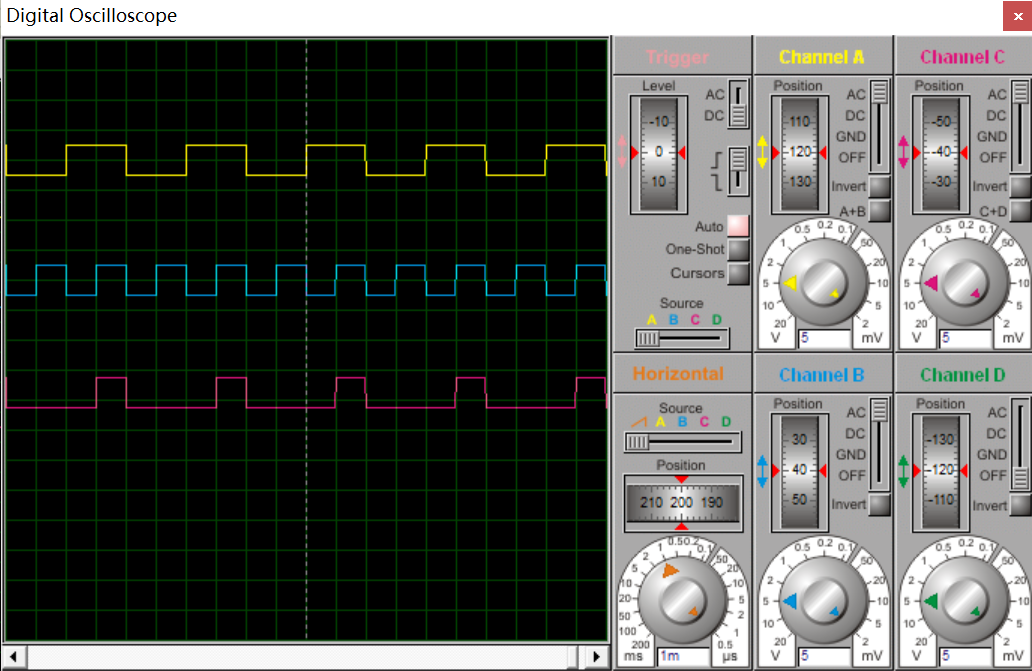
所以分析可得该芯片符合与非逻辑关系。

1. 对于74LS08：

待检测波形如下图所示：



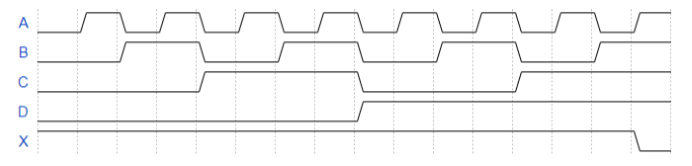
使两脉冲之间频率满足fn=(fn-1)/2.可得仿真结果的波形图如下图所示：



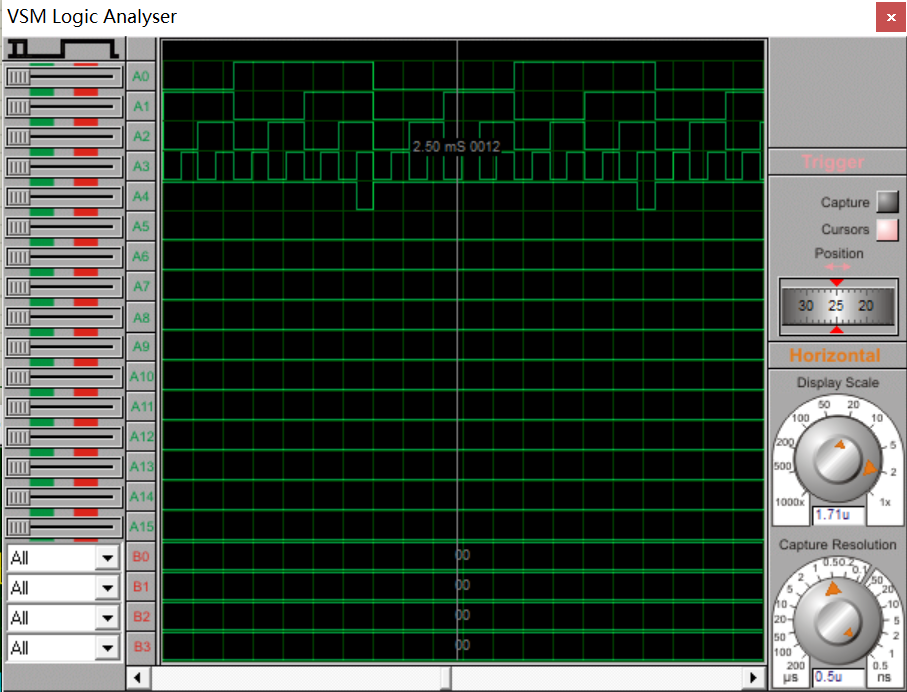
所以分析可得该符合与门逻辑关系。

1. 对于74LS20：

待检测波形如下图所示：



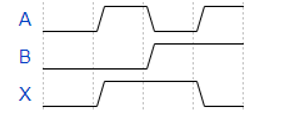
使两脉冲之间频率满足fn=(fn-1)/2.可得仿真结果的波形图如下图所示：



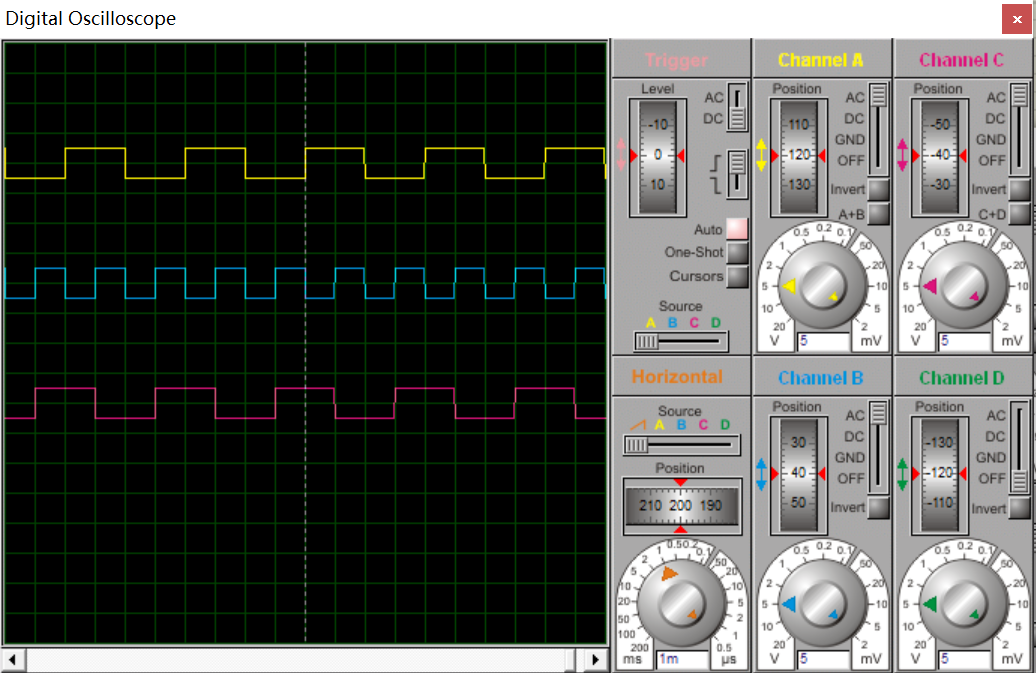
所以分析可得该符合4输入的与非门逻辑关系。

1. 对于74LS86：

待检测波形如下图所示：



使两脉冲之间频率满足fn=(fn-1)/2.可得仿真结果的波形图如下图所示：



所以分析可得该符合异或门逻辑关系。