第四次数电实验

郝裕玮

18329015

2019级教务四班

1. **实验目的**

1，熟悉译码器的功能与使用方法

2，3-8译码器使用:最小项法

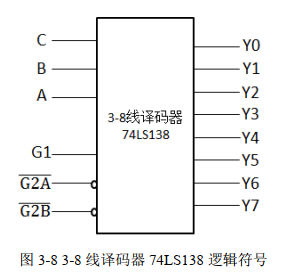
3，使用3-8译码器设计加法器

4，掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法

**二、实验原理**

1. 74LS138（3-8 线译码器）

译码器可将每个输入的二进制代码译成对应的输出高、低电平信号。如下图3-8所示为3-8 线译码器74LS138的逻辑符号。是74LS138的使能端，低电平有效。C、B、A和G1 是74LS138的输入引脚，与输出引脚Y0-Y7满足真值表所列3-8线译码器逻辑关系。



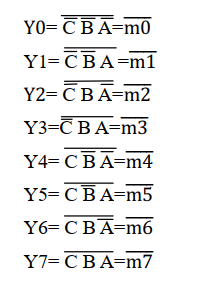
如下表3-4所示为3-8线译码器 74LS138 的真值表，此时接低电平，G1接输入（数据）信号D。



从上表可以看出，当接低电平时，即芯片的使能端接有效选通信号时，74LS138将G1送来的输入（数据）信号D通过C、B、A输入（地址）信号所指定的一根输出线反相后送出去。

2.利用74LS138实现组合逻辑电路的设计方法

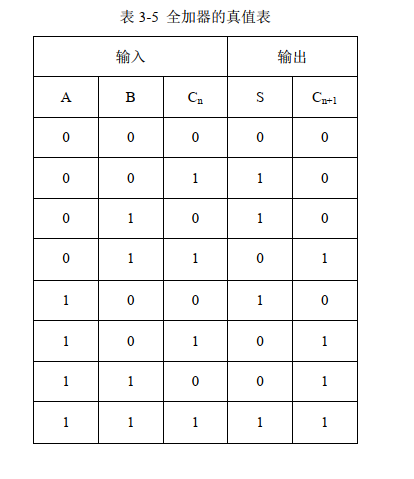
根据74LS138真值表，当接低电平，G1接高电平时，74LS138的Y0-Y7输出表达式如下：



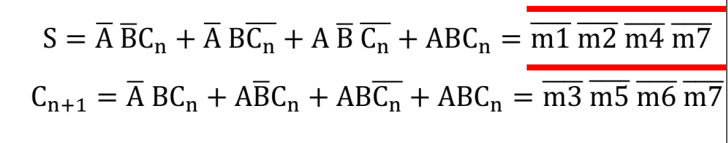
从上式可看出，此时74LS138的Y0-Y7是C、B、A这三个变量的全部最小项的译码输出，因此这种译码器也被称为最小项译码器。如果将C、B、A 当作逻辑函数的输入变量， 再利用附加的门电路将这些最小项适当的组合起来，便可产生任何形式的三变量组合逻辑函数。

以使用3-8线译码器74LS138实现全加器为例，介绍利用74LS138实现组合逻辑电路的设计方法。

1. 列出如下表3-5所示全加器真值表。其中A、B是加数与被加数，Cn是低位向本位的进位，S为本位和，Cn+1位是本位向高位的进位。

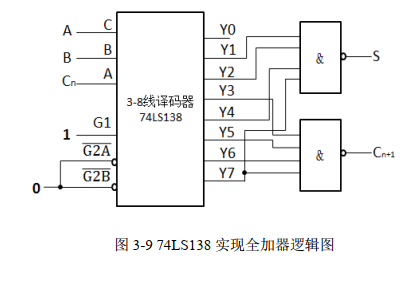


(2) 由上述真值表可分别得到全加器输出S和Cn+1关于输入A、B、Cn的最小项之和表达式，并进一步将其化简为与非形式的输出表达式。



(3) 令74LS138的输入C、B、A作为全加器的输入A、B、Cn，通过对比74LS138

与全加器的输出表达式，可见只需在74LS138的输出端附加两个与非门，并按上述全加器 S和Cn+1的输出表达式连接，即可实现全加器功能，如下图3-9所示：



**三、实验内容与电路设计**

对于实验内容1，根据实验要求，将实验1中74LS197电路的CP0接10KHz连续脉冲，74LS197的输出端Q3、Q2、Q1、Q0依次与74LS138的输入端G1、C、B、A相连， 74LS138使能端G2A和G2B置低。在运行电路时，我们发现波形图中出现了“毛刺”（即竞争冒险），所以在电路图原有的基础上，根据毛刺出现的位置额外并联了三个电容，经前后比较，发现毛刺已消失，即已成功排除了电路中的竞争冒险。所以所得电路如下图1所示：

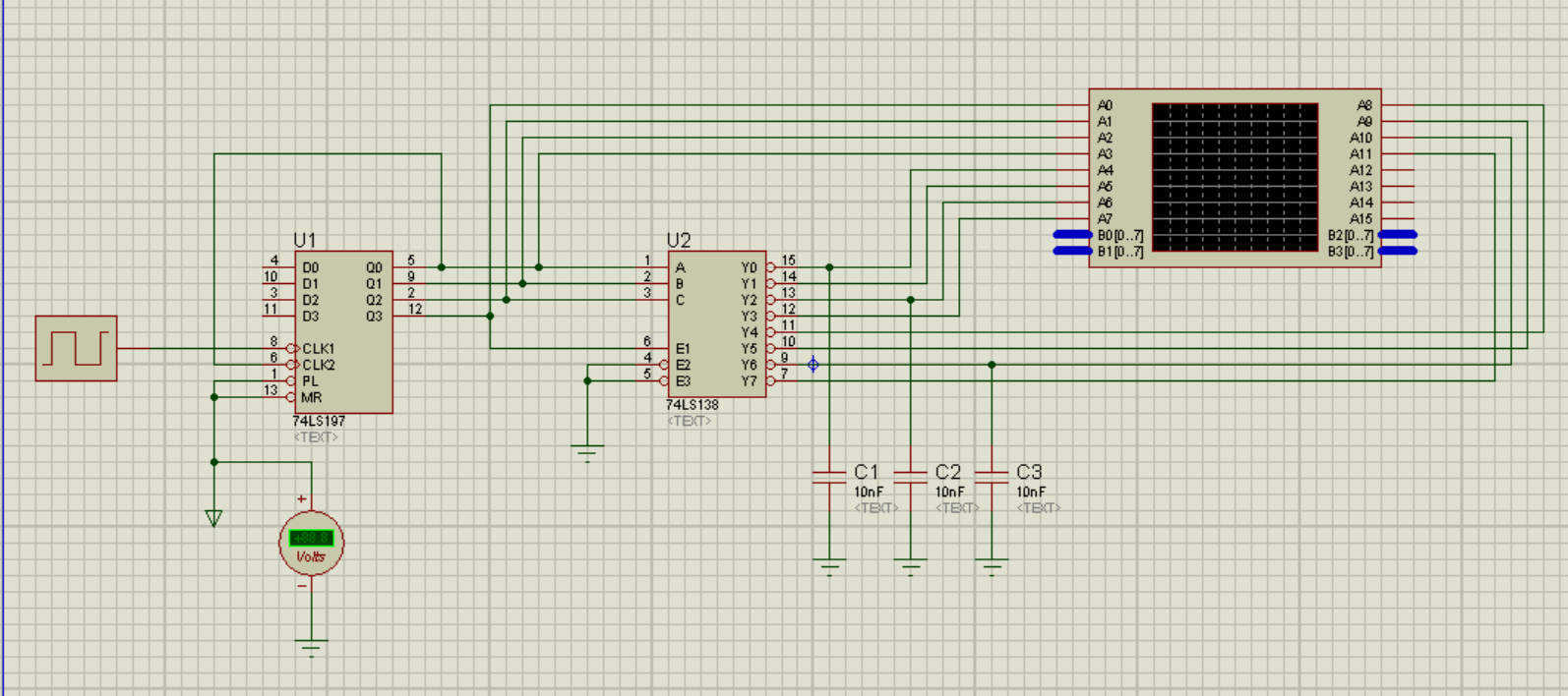


图1

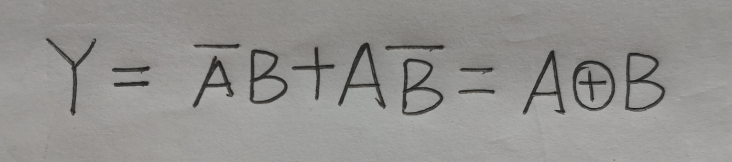
对于实验内容2.1，要求我们设计一个设计一个带控制端的半加半减器，输入为S、A、B，其中S为功能选择口。当S=0时，输出Y为A+B及进位Cn；当S=1时，输出Y为A-B及借位Cn。并且不使用74LS138，只使用门电路实现。



首先我们列出S和AB关于Y的卡诺图：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S AB | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |

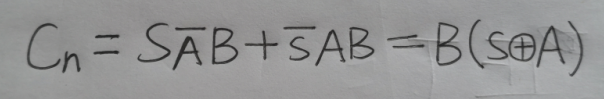
所以使用卡诺图化简之后可得Y的表达式为下图所示：



然后我们列出S和AB关于Cn的卡诺图：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S AB | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |

所以使用卡诺图化简之后可得Cn的表达式为下图所示：



至此，实验2.1完成。

对于实验内容2.2，要求我们设计一个设计一个带控制端的半加半减器，输入为S、A、B，其中S为功能选择口。当S=0时，输出Y为A+B及进位Cn；当S=1时，输出Y为A-B及借位Cn。并要求我们用74LS138实现。

所以我们可由题目要求首先列出S、A、B、Y、Cn的真值表如下图2所示：

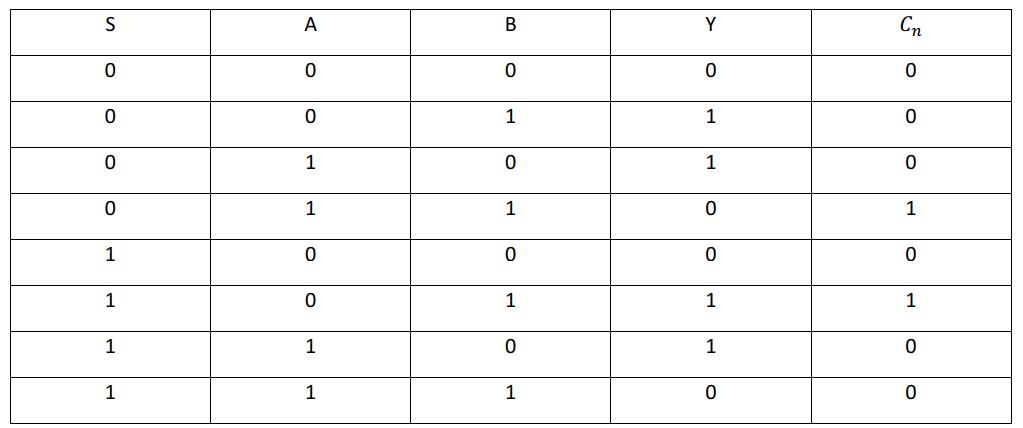
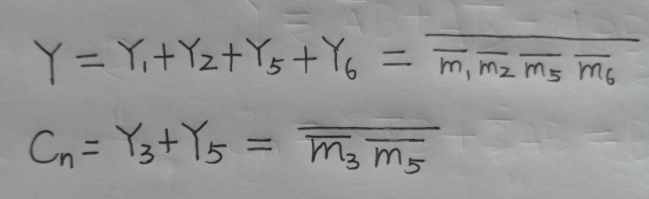
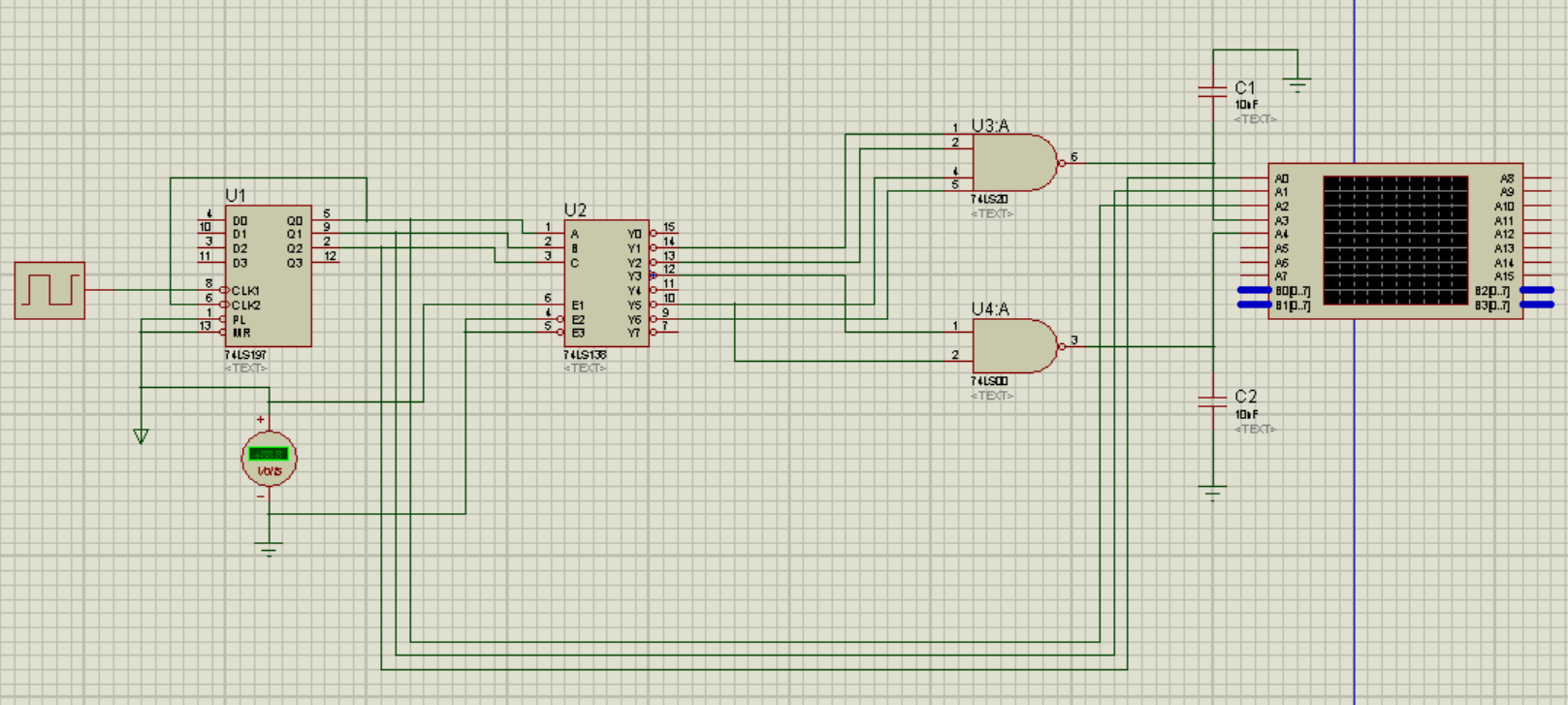


图2

然后由74LS138的性质，我们可得Y和Cn的化简式如下图所示：



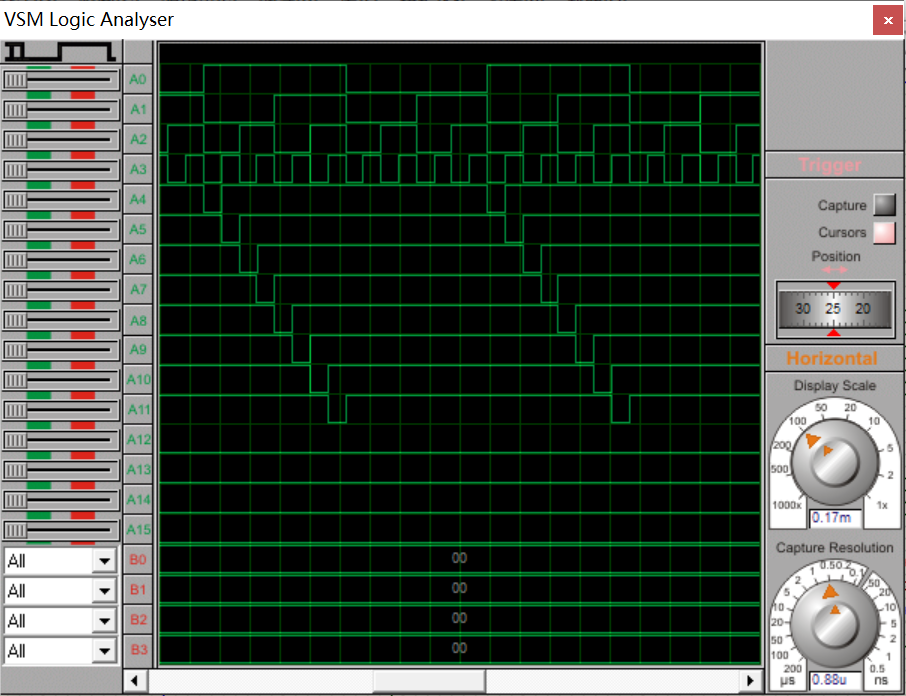
所以我们可由上面的化简式在Proteus中建立如下电路：



其中输入S、A、B分别对应74LS197的Q2、Q1、Q0，并且为了去除电路中的竞争冒险，我们给Y和Cn的输出电路上均并联了一个10nF的电容。

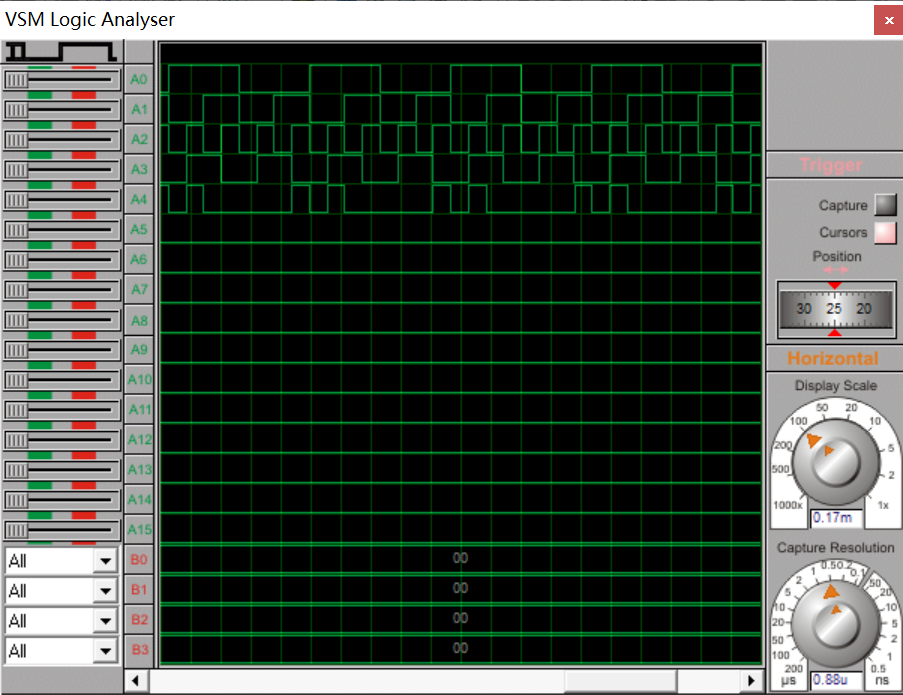
**四、实验结果**

对于实验1，波形图如下所示：



经对比验证，波形图符合实验原理中表3-4的74LS138的真值表。

对于实验2.2，波形图如下所示：



经对比验证，波形图符合“三、实验内容与电路设计”中实验2.2部分的图2的真值表（如下图所示）。



**五、实验总结与心得**

通过这次实验，我懂得了74LS138的性质及其使用方法，并且掌握了构造全加器和半加半减器的方法。

同时，我也初步了解了电路中的竞争与冒险的原理（即出现毛刺的原因），懂得去并联电容来解决这一问题。

在此次实验中，实验二的两部分实验（即使用门电路和使用74LS138来构造半加半减器）的两种构造方法也让我对译码器和译码电路有了更深刻的认识。