第五次数电实验

郝裕玮

18329015

2019级教务四班

1. **实验目的**

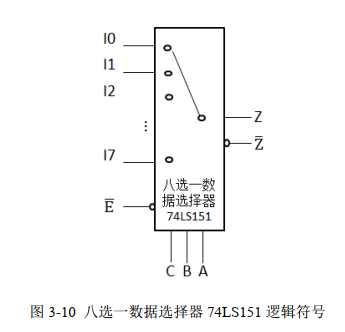
1. 熟悉数据选择器的功能与使用方法。

2. 掌握用中规模集成电路（MSI） 设计的组合逻辑电路的方法

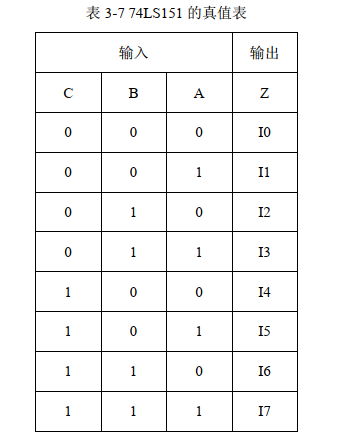
**二、实验原理**

1.74LS151（八选一数据选择器）

数据选择器的功能是从一组输入数据中选出某一个信号输出，因此也被称为多路开关。如下图3-10所示为八选一数据选择器74LS151的逻辑符号，其中Z和为74LS151的输出端， 是Z的反相输出。为74LS151的使能端，低电平有效，可用于控制电路工作状和扩展功能。I0-I7、C、B、A为74LS151的输入引脚，与输出引脚Z满足真值表所列八选一数据选择逻辑关系。



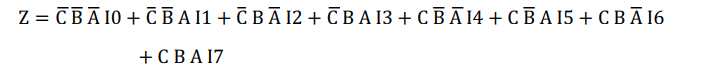
如下表3-7所示为八选一数据选择器74LS151的真值表，此时接低电平，I0-I7接输入（数据）信号。



从表3-7可以看出，当接低电平时，即芯片的使能端接有效选通信号时，74LS151根据 C、B、A输入（地址）信号，从I0-I7送来的8个输入（数据）信号中选出一个送至输出端Z。

2. 利用74LS151实现组合逻辑电路的设计方法

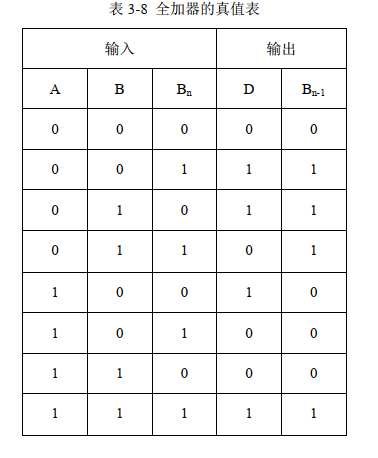
根据74LS151的真值表， 当接低电平时，74LS151输出端Z的输出表达式如下。



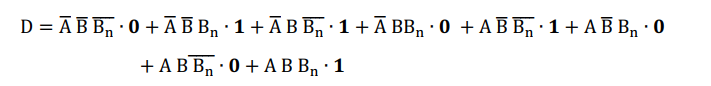
从上式可知，如果将 C、B、A作为三个输入变量，同时令I0-I7为第四个输入变量的适当状态（包括原变量、反变量、0和1），就可以在数据选择器的输出端Z产生任何形式的四变量组合逻辑电路。

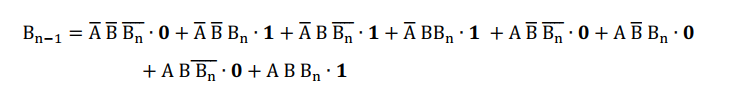
以使用八选一数据选择器74LS151实现全减器为例，介绍利用74LS151实现组合逻辑电路的设计方法。

1. 列出如下表3-8所示全减器真值表。A和B为被减数与减数，Bn为低位向本位的借位， D 为本位差，Bn-1为向高位的借位。

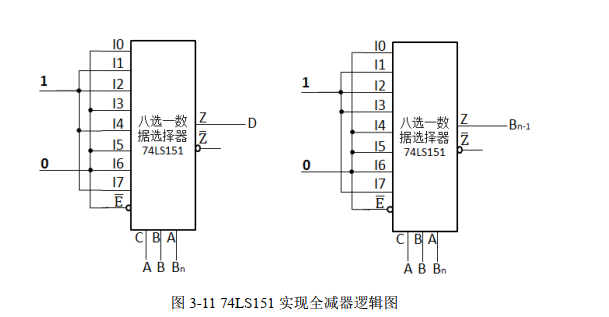


(2) 由上述真值表可分别得到全减器输出 D 和 Bn-1 关于输入 A、 B、 Bn 的最小项之和表达式，并进一步将其化简为四变量与或形式的输出表达式。





(3) 令74LS151的输入C、B、A作为全减器的输入A、B、Bn，通过对比74LS151的Z输出表达式与全减器的D输出表达式，可见只需将I0-I7中I0、I3、I5、I6接低电平，I1、I2、I4、I7接高电平，即可在74LS151的Z端实现全减器的输出D。同理可再使用一片74LS151实现全减器的输出Bn-1。使用74LS151实现全减器的逻辑图如下图3-11所示。

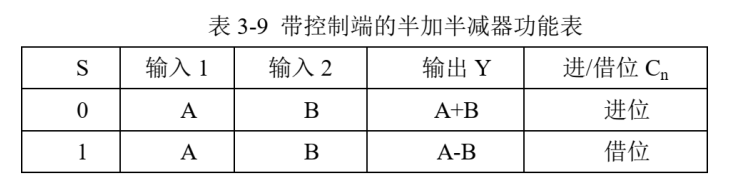


**三、实验内容与电路设计**

对于实验1：使用74LS151实现AU(Arithmetic Unit，算术单元)设计。设计一个带控制端的半加半减器，输入为S、A、B，其中S为功能选择口。

• S=0，输出加法计算结果

• S=1，输出减法计算机结果



所以我们可由题目要求首先列出S、A、B、Y、Cn的真值表如下表1所示：

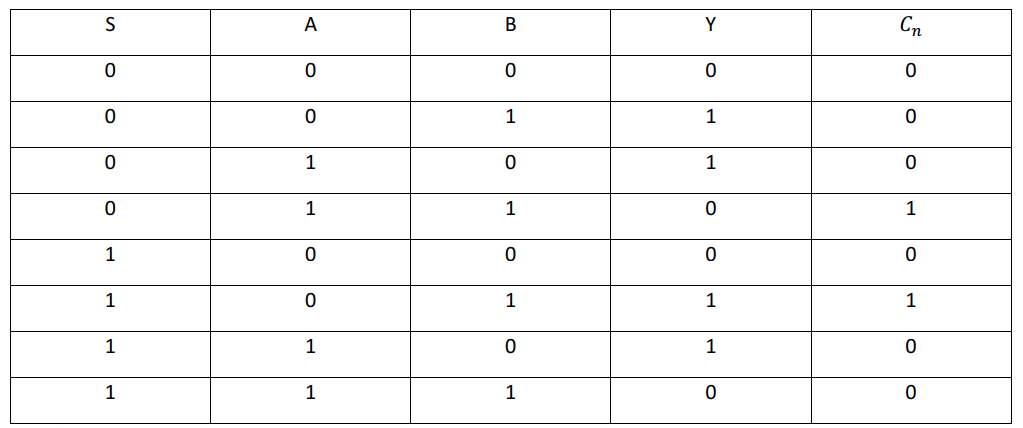


表1

由真值表易得：

Y = m1·1 + m2·1 + m5·1 + m6·1

Cn = m3·1 + m5·1

所以将74LS197的输出Q0-Q2分别对应连接到两片74151的输入A、B、C上。并将第一片74151的输入X1、X2、X5、X6接高电平，其余输入均接低电平。同时将第二片74151的输入X3、X5接高电平，其余输入均接低电平。逻辑分析仪的A0-A5分别对应CP（时钟）、S、A、B、Y、Cn.

所以动态测试的电路图如下图1所示：

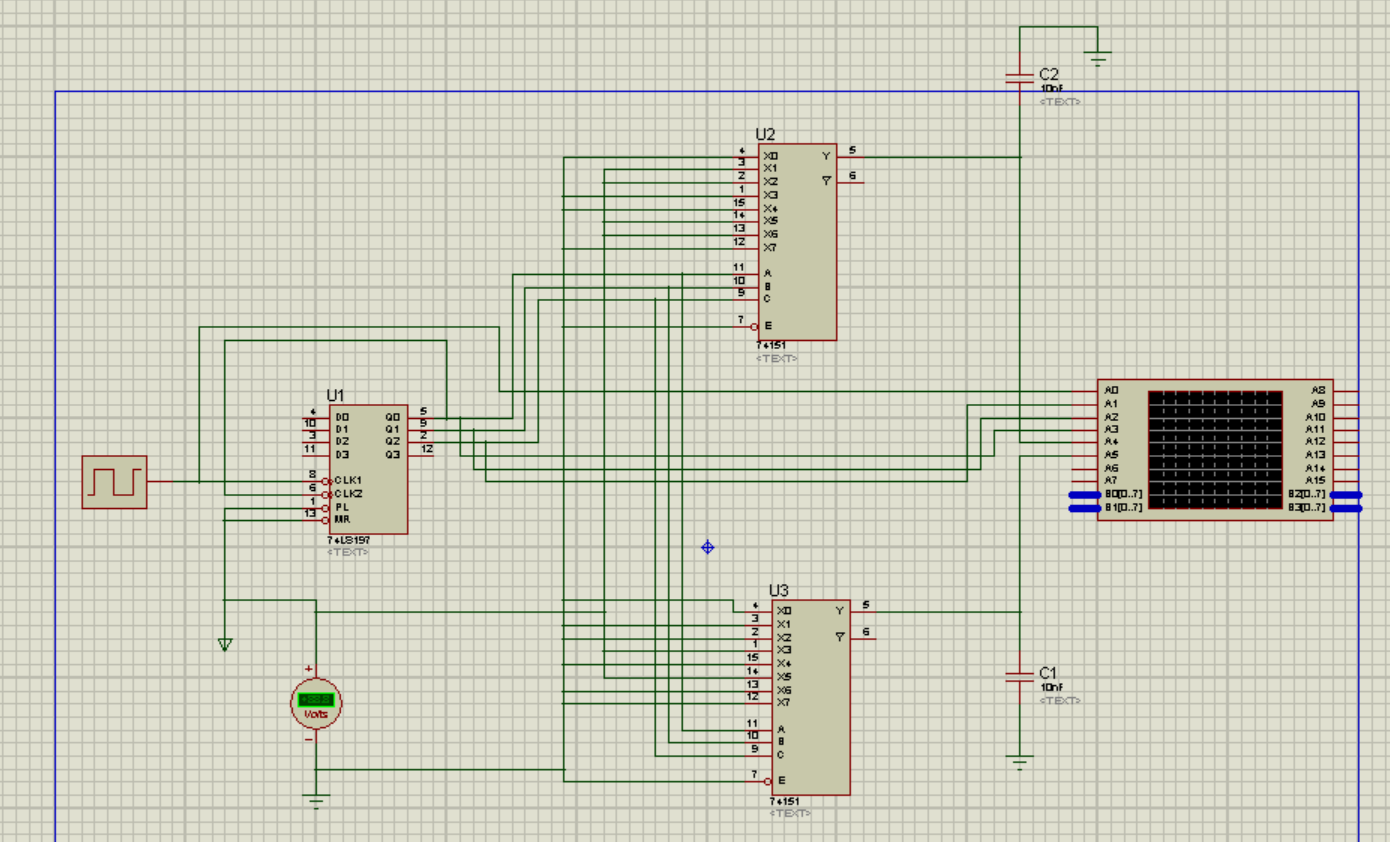


图1

其中对两片74151芯片的输出Y分别并联上10nF的电容以排除电路中的竞争冒险。

对于实验1的静态测试，将74LS197去除，换成三个激励源A、B、C即可。其中激励源A、B、C分别对应连接两片74151中输入的C、B、A。并将两片74151的输出接到两个电压表上。

所以实验1的静态测试电路图如下图2所示：

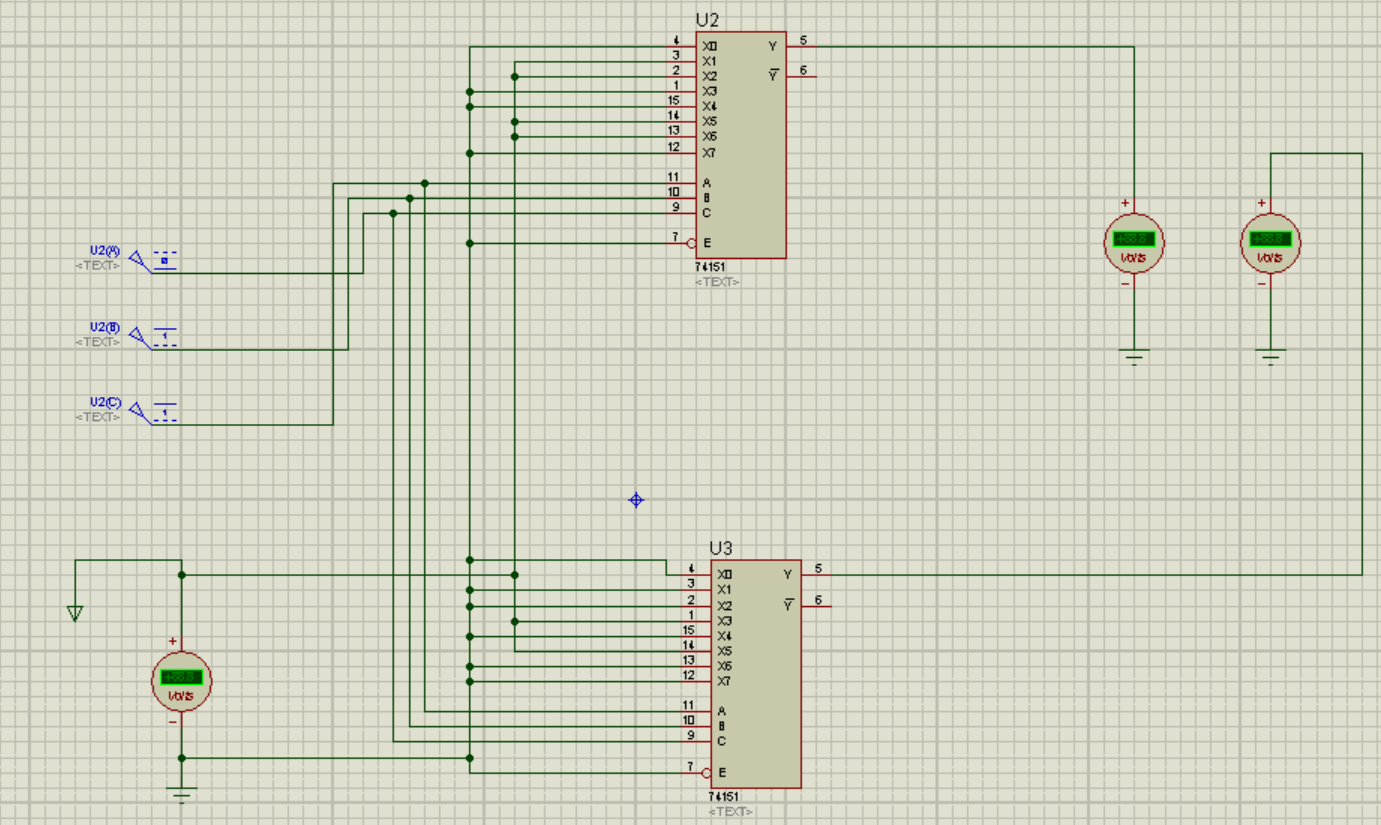
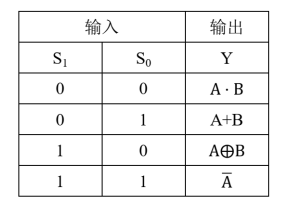


图2

对于实验2：使用74LS151实现LU(Logic Unit，逻辑单元)设计。设计一个函数发生器电路它的功能如下表 3-10 所示。输入为S0、S1、A、B，其中S0、S1为功能选择口。当S0、S1取0、1不同组合时，A、B进行相应的与、或、非、异或运算，输出运算结果Y。



所以我们可由题目要求首先列出S1、S0、A、B、Y、Cn的真值表如下表2所示：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| S1 | S0 | A | B | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

表2

由真值表易得：

Y = m3·1 + m5·1 + m6·1 + m7·1 + m9·1 + m10·1 + m12·1 + m13·1

所以将74LS197的输出Q0-Q3分别对应连接到两片74151的输入A、B、C、E上。并将第一片74151的输入X3、X5、X6、X7接高电平，其余输入均接低电平。同时将第二片74151的输入X1、X2、X4、X5接高电平，其余输入均接低电平。同时，在第二片74151的输入E的电路上加上反相器。逻辑分析仪的A0-A5分别对应CP（时钟）、S1、S0、A、B、Y.

所以动态测试的电路图如下图3所示：

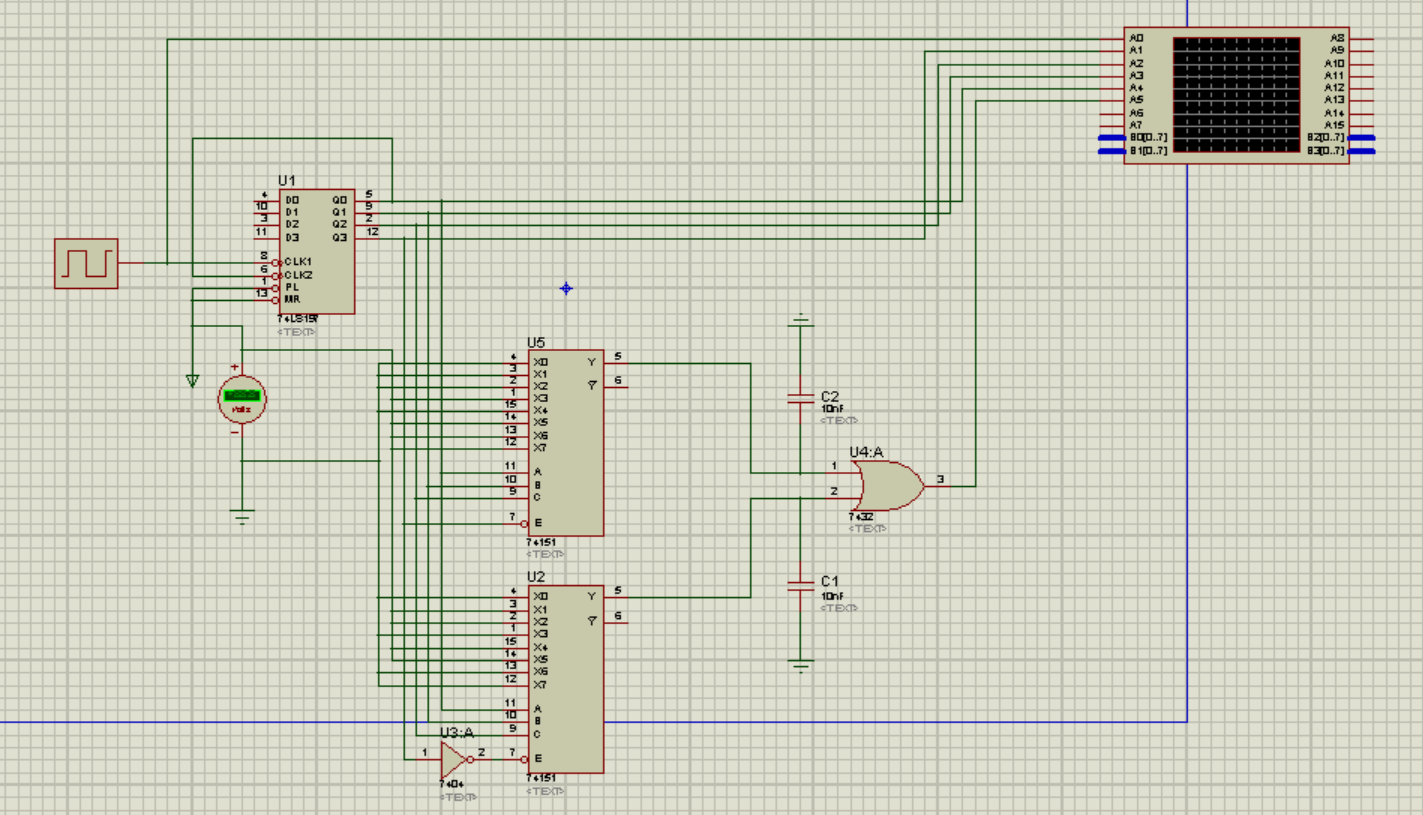
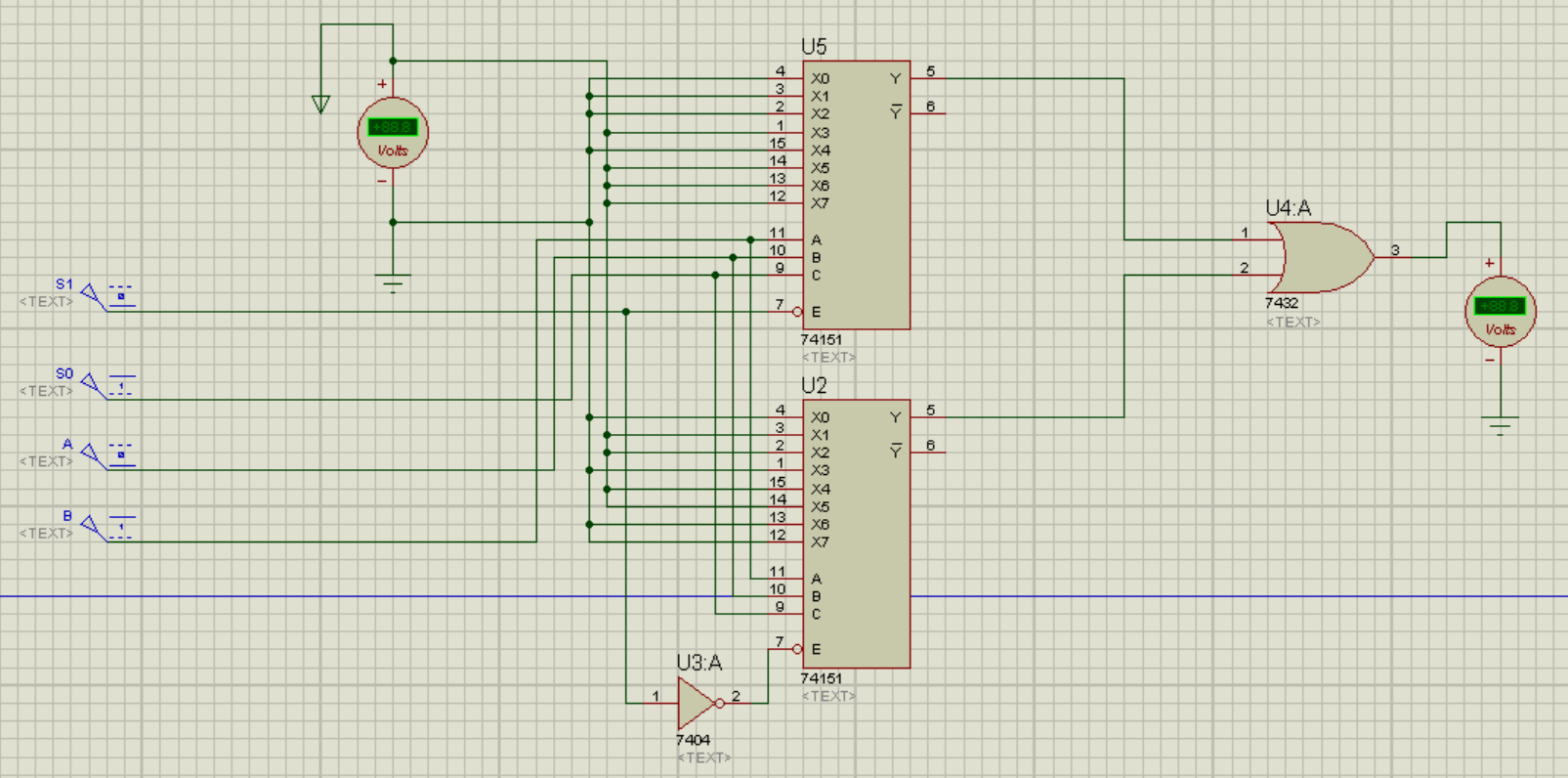


图3

其中对两片74151芯片的输出Y分别并联上10nF的电容以排除电路中的竞争冒险。

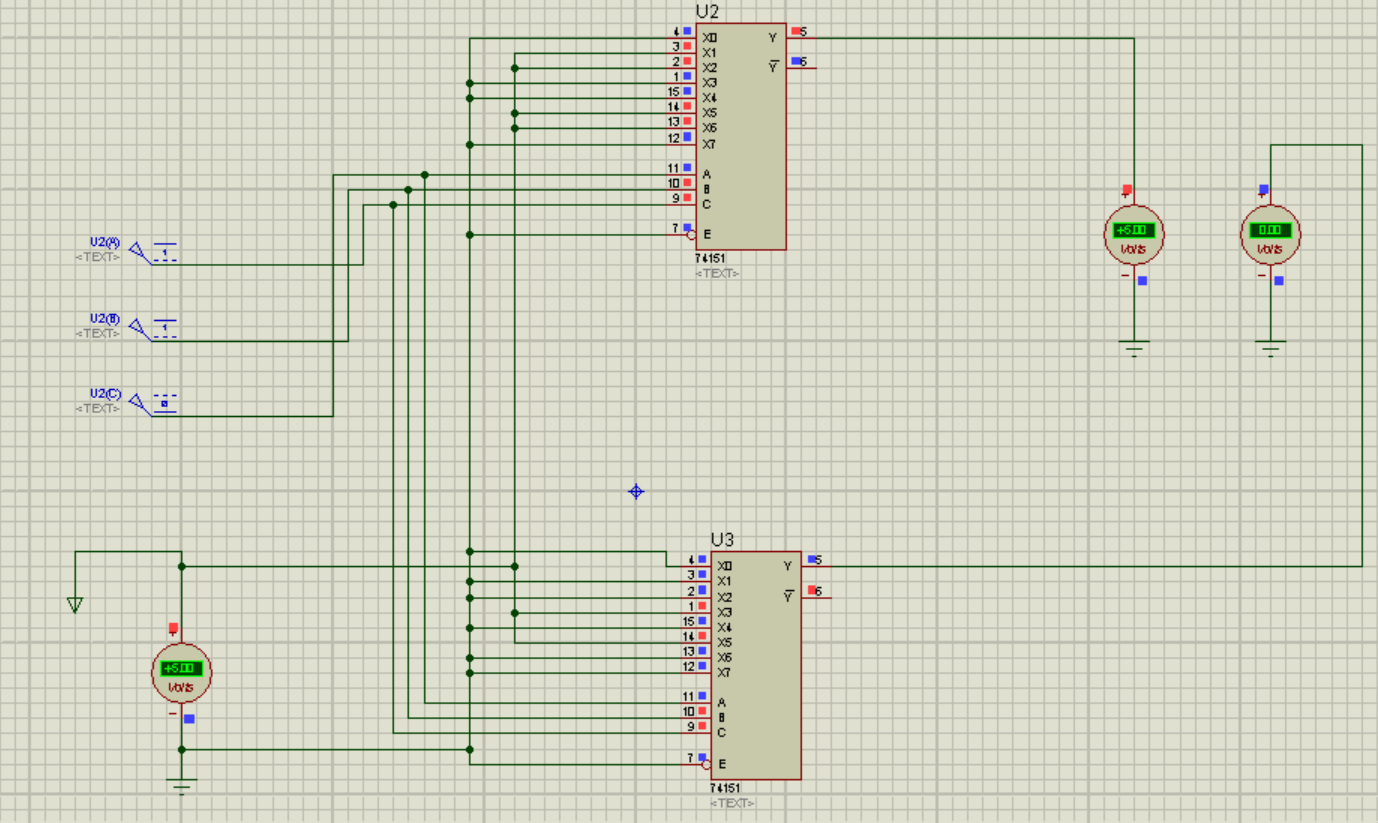
对于实验2的静态测试，将74LS197去除，换成四个激励源S1、S0、A、B即可。其中激励源S1、S0、A、B分别对应连接两片74151中输入的E、C、B、A。并将或门的输出接到电压表上。

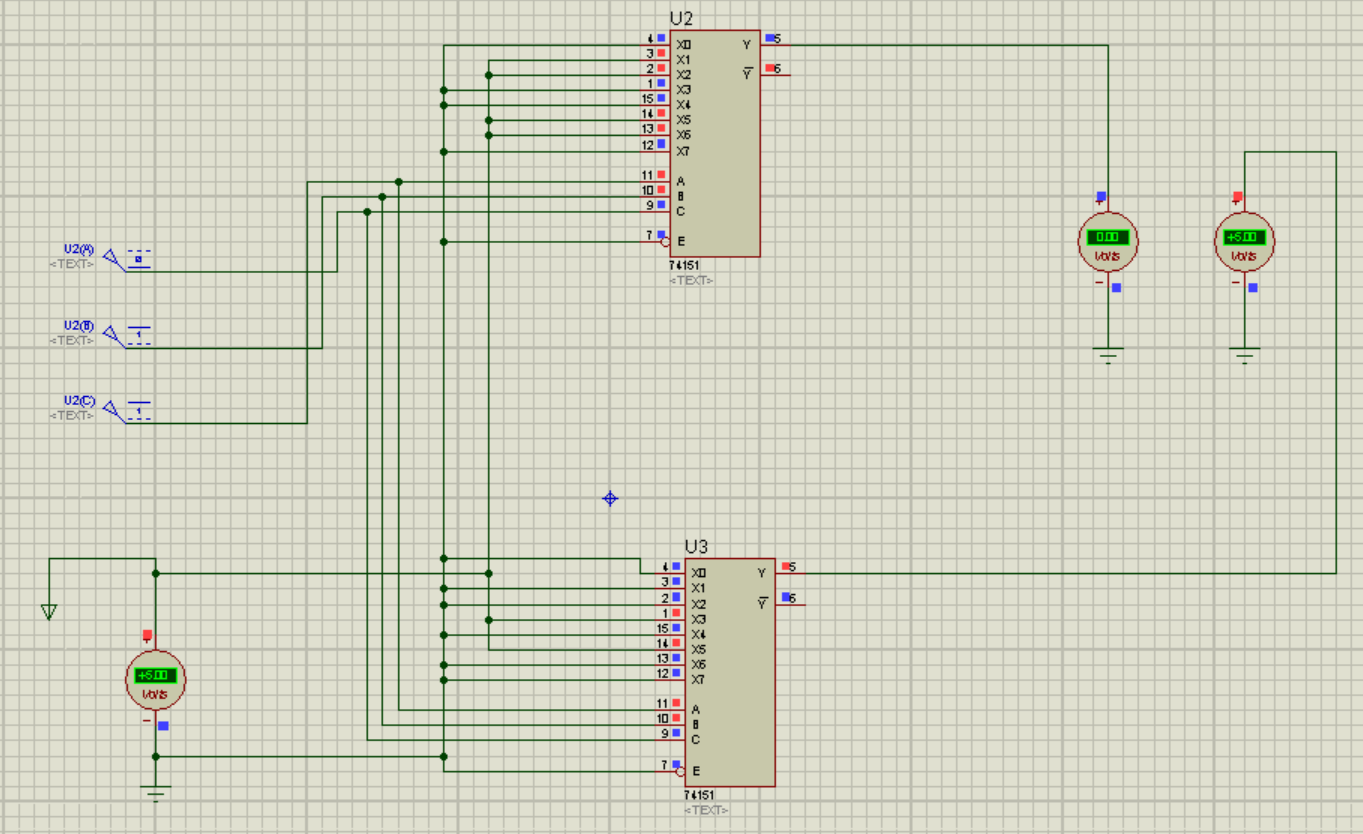
所以实验2的静态测试电路图如下图2所示：

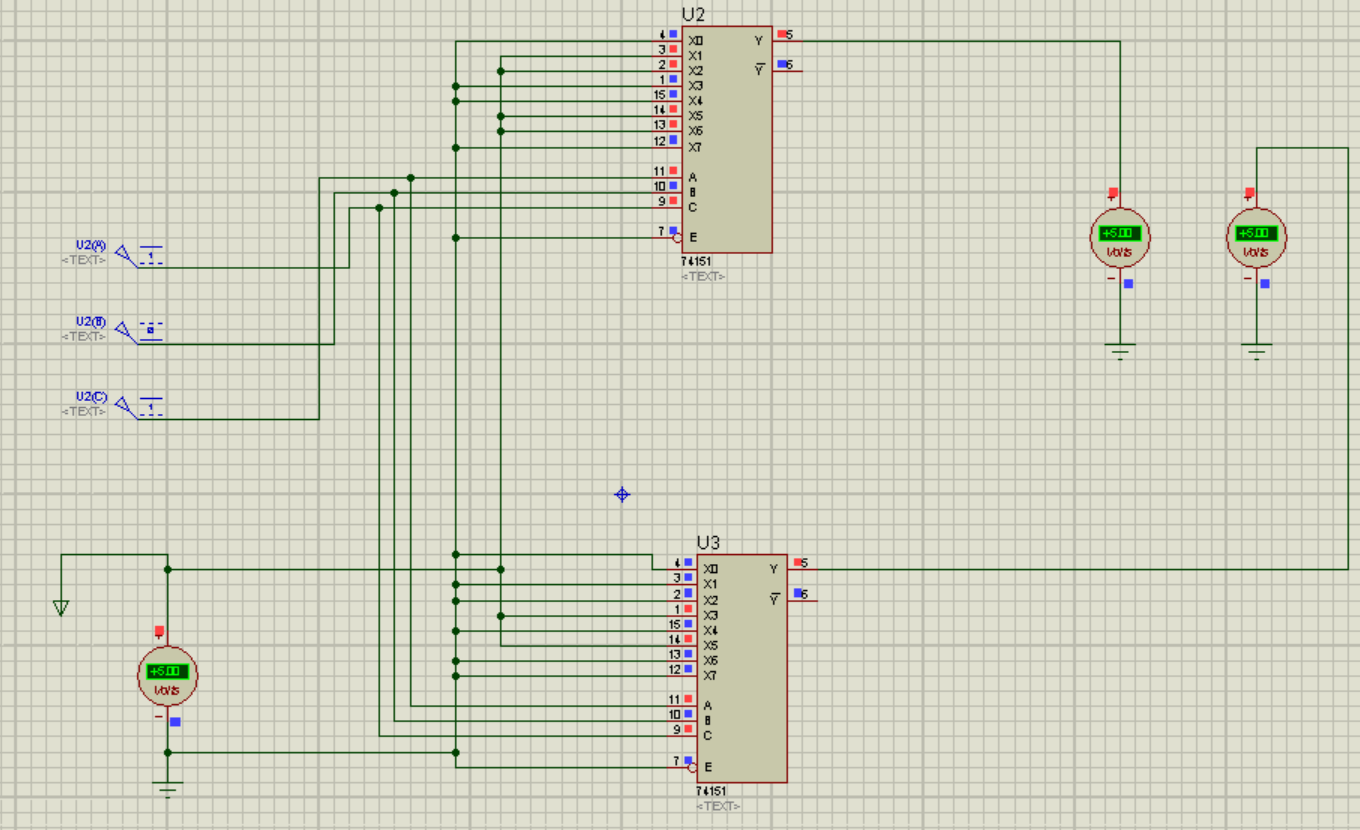


**四、实验结果**

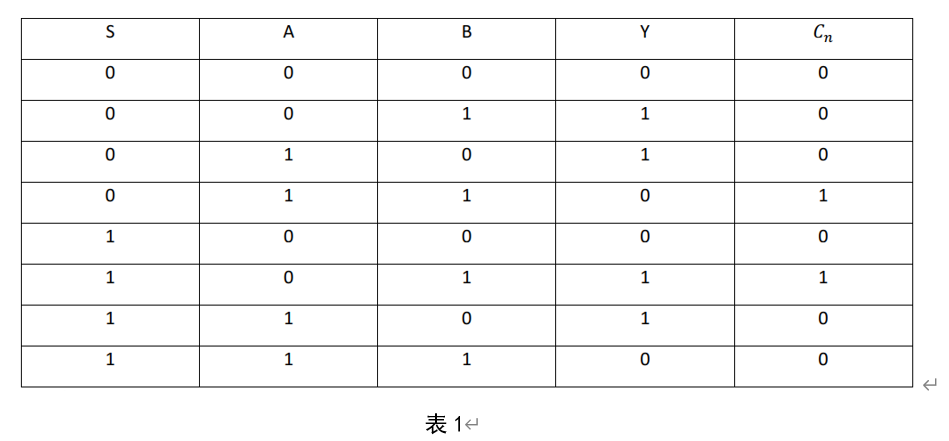
对于实验1的静态测试，我们随机选取110，011，101作为测试的三组输入，结果如下图所示



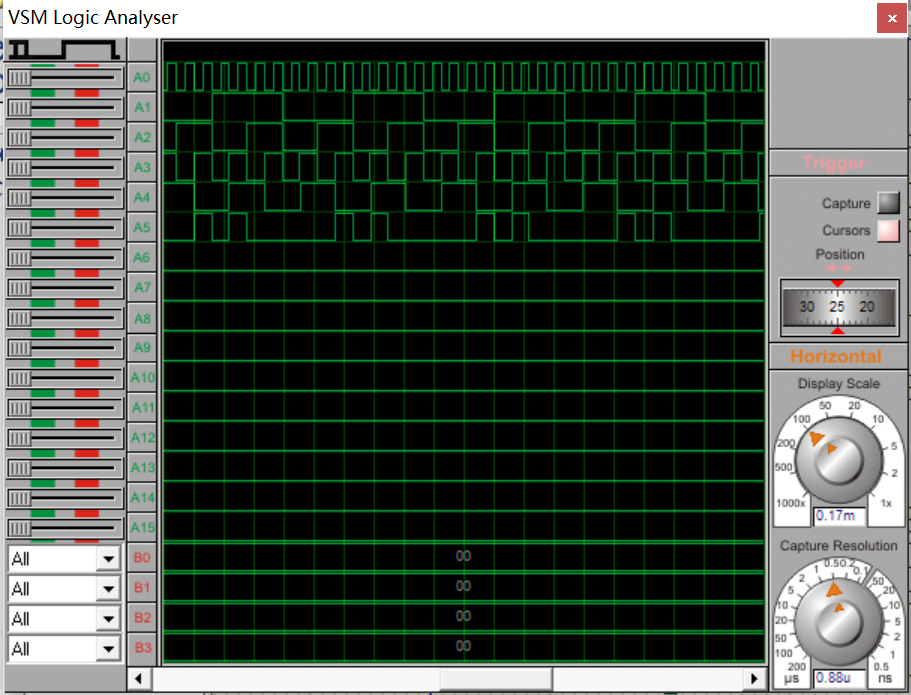




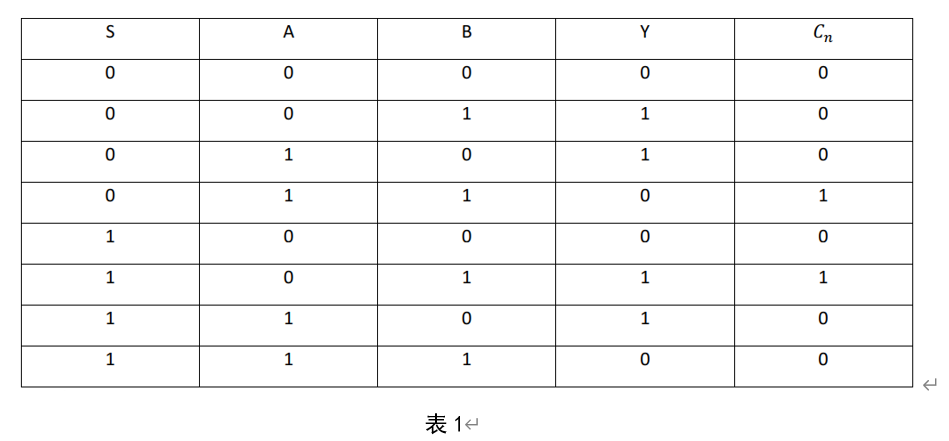
经对比验证，符合表1（如下图所示）真值表的逻辑关系。



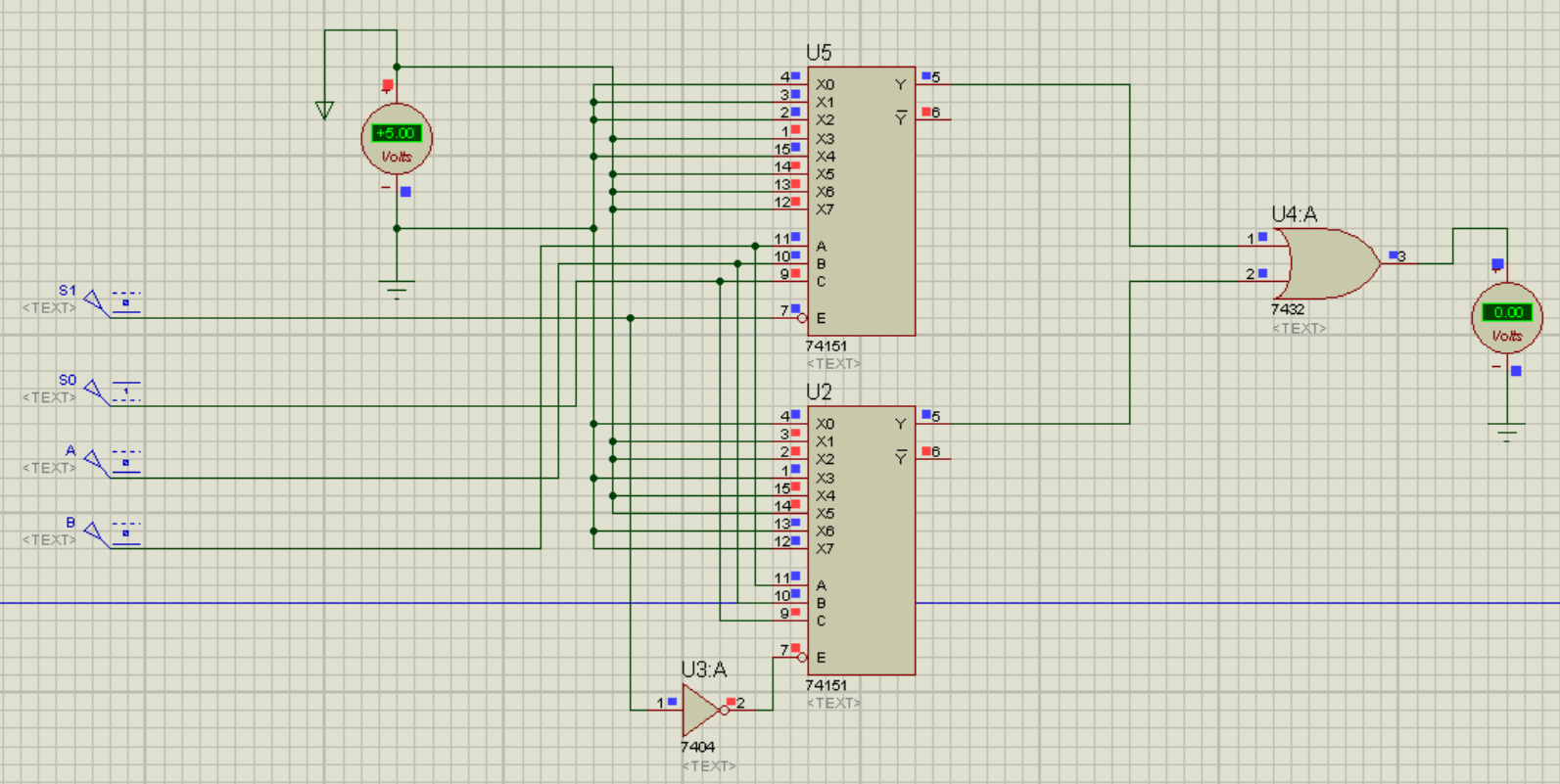
对于实验1的动态测试，波形图如下所示：

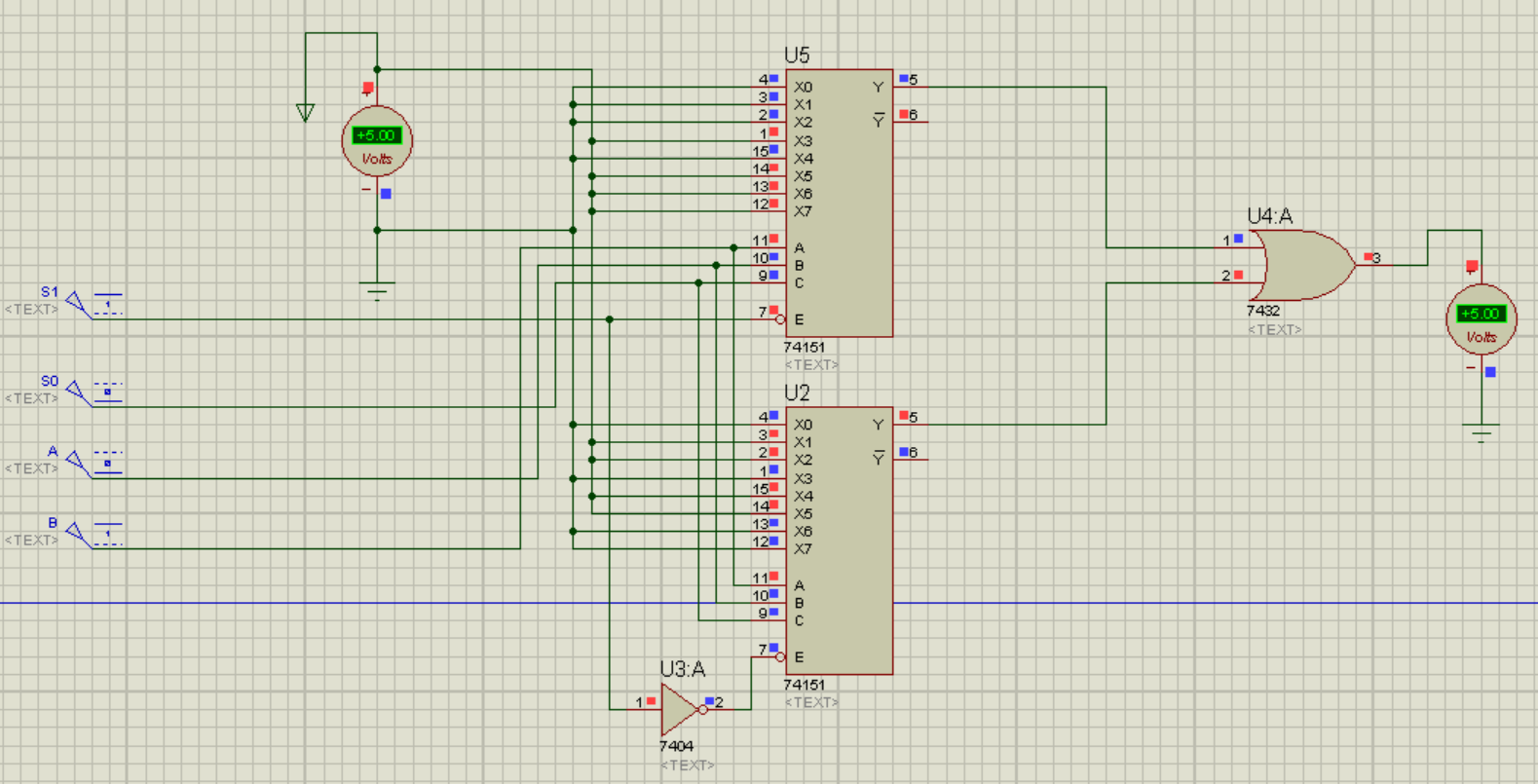


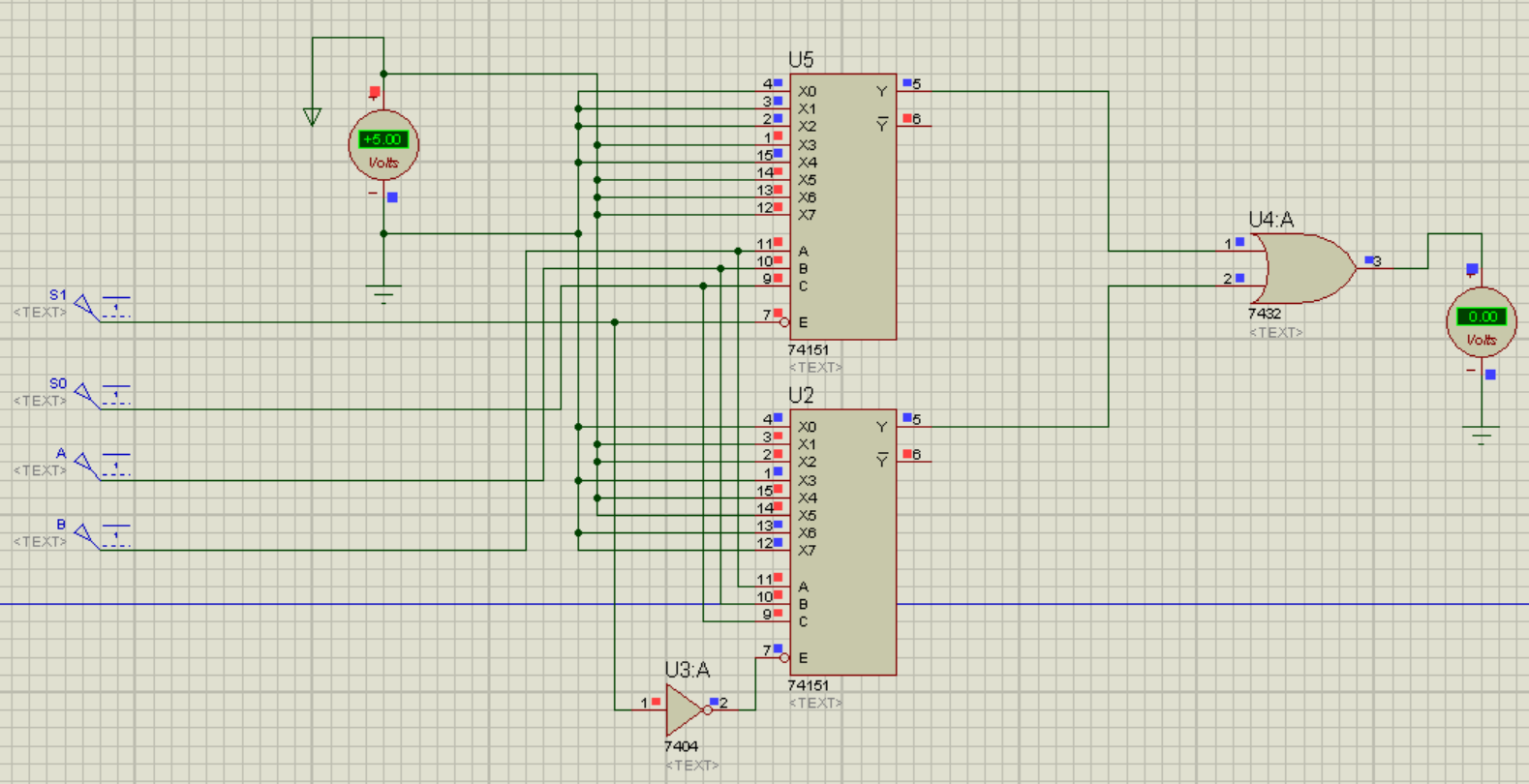
经对比验证， 波形图的逻辑关系符合表1（如下图所示）真值表的逻辑关系，所以电路构建正确。



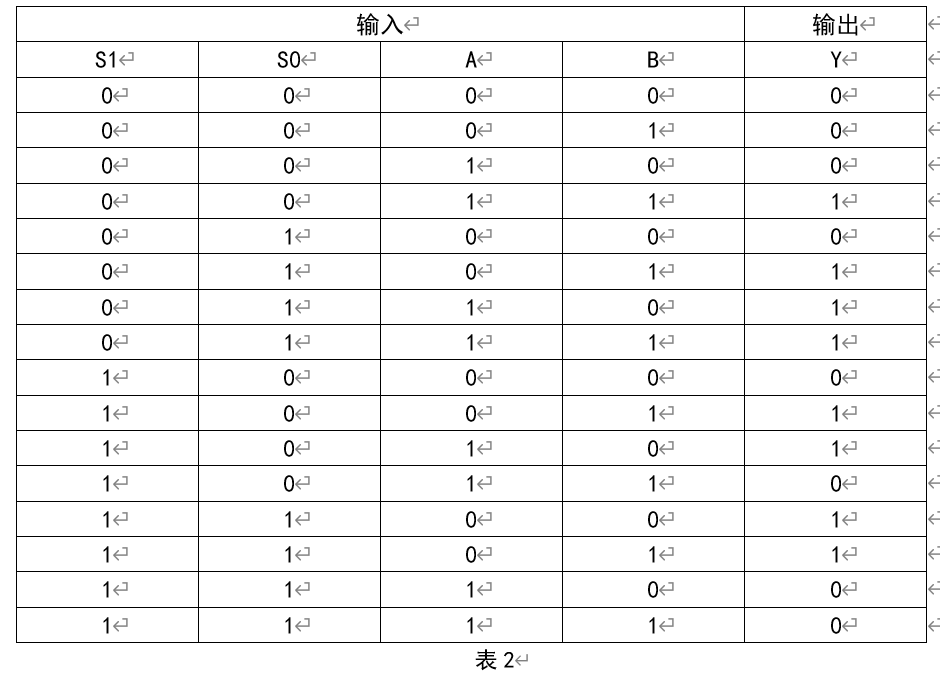
对于实验2的静态测试，我们随机选取0100，1001，1111作为测试的三组输入，结果如下图所示：



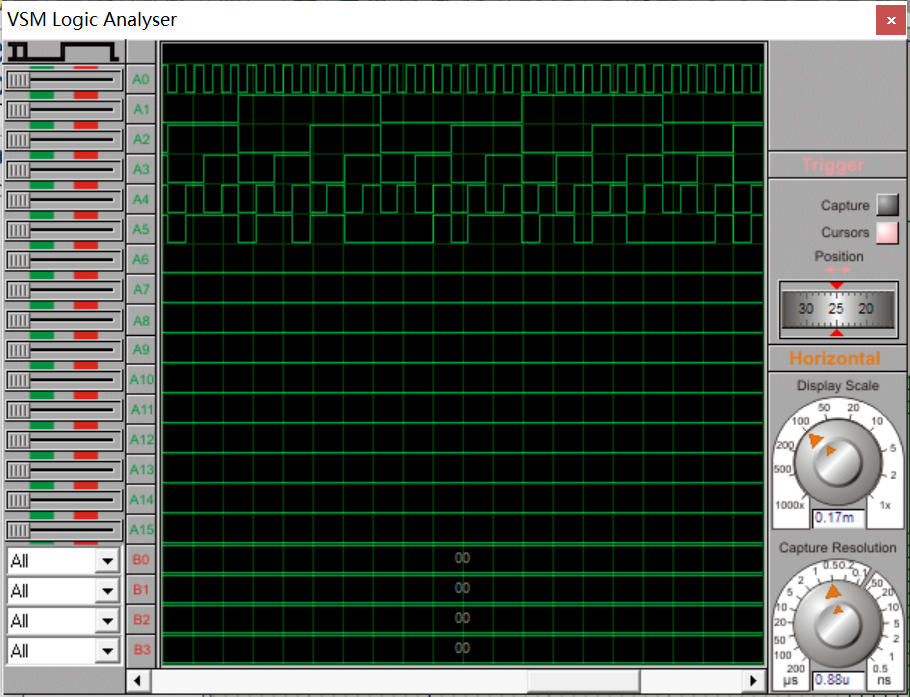




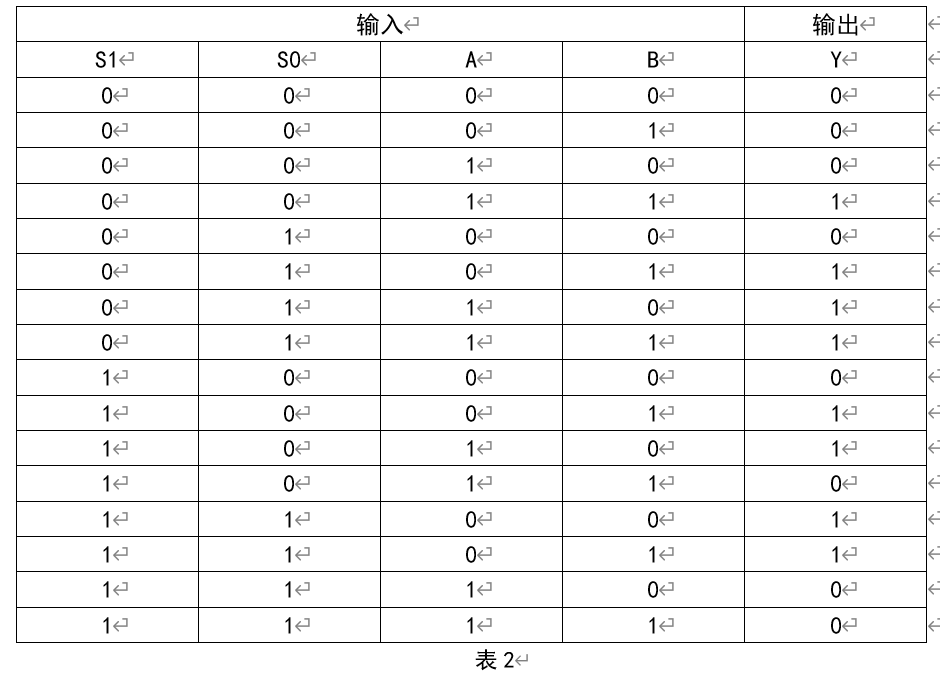
经对比验证，符合表2（如下图所示）真值表的逻辑关系。



对于实验2的动态测试，波形图如下所示：



经对比验证， 波形图的逻辑关系符合表2（如下图所示）真值表的逻辑关系，所以电路构建正确。



**五、实验总结与心得**

1. 对于处理电路中的竞争冒险更加熟练，懂得采取并联电容来去除“毛刺”。

2. 掌握了数据选择器的使用方法，并且能够总结出数据选择器和3-8译码器的优缺点对比：数据选择器连线简单，但最小项不能复用；3-8译码器的最小项可以复用，但连线较为繁琐（如使用3-8译码器实现7端数码管编码器）。

3. 设计组合逻辑电路的关键步骤是根据逻辑功能列出电路的真值表，之后根据真值表来使用多种方法进行化简，从而得出电路的最简表达式。最后使用不同的电子元件即可完成电路的设计。