

数字逻辑电路实验报告

学 院： 自动化学院

班 号： 9171102002

姓 名： 彭一凡

学 号： 9171100X0230

实验编号： 0872

指导老师： 谭雪琴

2019年 4月

目录

[实验一：组合逻辑电路设计 5](#_Toc9181312)

[一.实验目的 5](#_Toc9181313)

[1.熟悉基本门电路的逻辑功能及应用 5](#_Toc9181314)

[2.掌握用逻辑代数或卡诺图化简逻辑表达式的方法 5](#_Toc9181315)

[3．理解组合逻辑电路的设计与搭建原则 5](#_Toc9181316)

[二.实验内容 5](#_Toc9181317)

[1.用与非门和异或门设计全加器电路 5](#_Toc9181318)

[2.用与非门设计组合逻辑电路 5](#_Toc9181319)

[3.用双四选一数据选择器设计全加器电路 5](#_Toc9181320)

[三.实验原理及相关设计 5](#_Toc9181321)

[1.用与非门和异或门设计全加器电路实验原理 5](#_Toc9181322)

[2.用与非门设计组合逻辑电路实验原理 6](#_Toc9181323)

[3.用双四选一数据选择器设计全加器电路实验原理 6](#_Toc9181324)

[四．实验步骤及结果 7](#_Toc9181325)

[4.1用与非门和异或门设计全加器电路实验 7](#_Toc9181326)

[4.2用与非门设计组合逻辑电路实验 9](#_Toc9181327)

[4.3用双四选一数据选择器设计全加器电路 12](#_Toc9181328)

[五．实验思考 15](#_Toc9181329)

[实验二：触发器设计及应用 16](#_Toc9181330)

[一. 实验目的 16](#_Toc9181331)

[1.熟悉触发器的基本逻辑功能 16](#_Toc9181332)

[2.掌握用触发器进行时序电路设计的一般方法 16](#_Toc9181333)

[3.理解和掌握触发器典型应用的工作原理及测试方法 16](#_Toc9181334)

[二.实验内容 16](#_Toc9181335)

[1.测试D触发器的逻辑功能，并完成逻辑功能表 16](#_Toc9181336)

[2.用 D 触发器设计实现四分频电路（异步），观察并记录波形 16](#_Toc9181337)

[3.测试JK触发器的逻辑功能，并完成逻辑功能表 16](#_Toc9181338)

[4.用JK触发器设计实现四分频电路（异步），观察并记录波形 16](#_Toc9181339)

[5.用JK 触发器设计实现模五计数器电路（同步） 16](#_Toc9181340)

[三.实验原理及相关设计 16](#_Toc9181341)

[1.测试D触发器的逻辑功能实验原理 16](#_Toc9181342)

[2.用D触发器设计4分频电路实验原理 17](#_Toc9181343)

[3.测试JK触发器的逻辑功能实验原理 17](#_Toc9181344)

[4.JK触发器设计4分频电路实验原理 18](#_Toc9181345)

[5.JK触发器设计模5计数器实验原理 19](#_Toc9181346)

[四．实验步骤及结果 20](#_Toc9181347)

[4.1测试D触发器逻辑功能实验 20](#_Toc9181348)

[4.2用D触发器设计4分频电路实验 20](#_Toc9181349)

[4.3测试JK触发器的逻辑功能实验 21](#_Toc9181350)

[4.4用JK触发器设计4分频电路实验 21](#_Toc9181351)

[4.5用JK触发器设计模5计数器实验 22](#_Toc9181352)

[五．实验思考 24](#_Toc9181353)

[实验三：任意进制计数器设计 25](#_Toc9181354)

[一.实验目的 25](#_Toc9181355)

[1.掌握任意进制计数器逻辑功能及应用 25](#_Toc9181356)

[二.实验内容 25](#_Toc9181357)

[1.按照74LS161逻辑功能表测试四位二进制计数器逻辑功能 25](#_Toc9181358)

[2.用 74LS161四位二进制计数器设计完成012345→abcd→0的区间计数器 25](#_Toc9181359)

[3.按照CD4518逻辑功能表测试CD4518BCD码计数器逻辑功能 25](#_Toc9181360)

[4.绘制CD4518BCD码计数器的工作波形（EN为时钟脉冲输入端） 25](#_Toc9181361)

[三.实验原理及相关设计 25](#_Toc9181362)

[1.测试74LS161逻辑功能实验原理 25](#_Toc9181363)

[2. 用 74LS161设计完成012345→abcd→0的区间计数器实验原理 26](#_Toc9181364)

[3. 测试CD4518BCD码计数器逻辑功能实验原理 27](#_Toc9181365)

[4.绘制CD4518BCD码计数器的工作波形实验原理 28](#_Toc9181366)

[四.实验步骤及结果 28](#_Toc9181367)

[4.1用 74LS161设计完成012345→abcd→0的区间计数器 28](#_Toc9181368)

[4.2绘制CD4518BCD码计数器的工作波形 29](#_Toc9181369)

[五．实验思考 30](#_Toc9181370)

[实验四：移位寄存器 31](#_Toc9181371)

[一.实验目的 31](#_Toc9181372)

[1.掌握移位寄存器的逻辑功能及应用 31](#_Toc9181373)

[二.实验内容 31](#_Toc9181374)

[1.用74LS194设计实现(无自启动)扭环计数 31](#_Toc9181375)

[2.用 74LS194设计实现五分频电路并用示波器绘制波形 31](#_Toc9181376)

[三.实验原理及相关设计 31](#_Toc9181377)

[1.用74LS194设计实现(无自启动)扭环计数实验原理 31](#_Toc9181378)

[2.用 74LS194设计实现五分频电路 33](#_Toc9181379)

[四.实验步骤及结果 35](#_Toc9181380)

[4.1用74LS194设计实现(无自启动)扭环计数 35](#_Toc9181381)

[4.2用 74LS194设计实现五分频电路 36](#_Toc9181382)

[五．实验思考 36](#_Toc9181383)

# 实验一：组合逻辑电路设计

## 实验目的

### 1.熟悉基本门电路的逻辑功能及应用

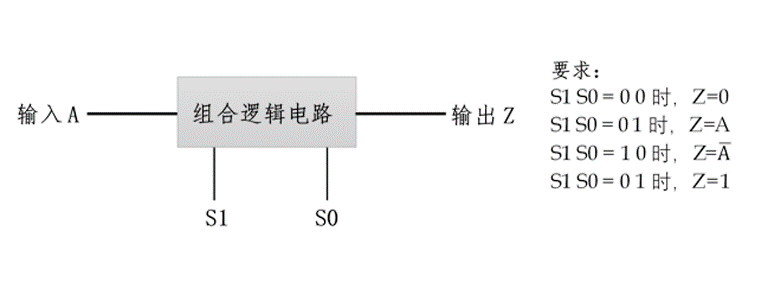
### 2.掌握用逻辑代数或卡诺图化简逻辑表达式的方法

### 3．理解组合逻辑电路的设计与搭建原则

## 二.实验内容

### 1.用与非门和异或门设计全加器电路

### 2.用与非门设计组合逻辑电路

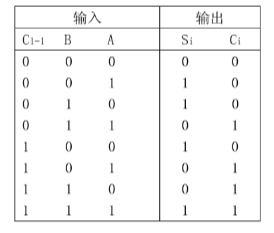


### 3.用双四选一数据选择器设计全加器电路

## 三.实验原理及相关设计

### 1.用与非门和异或门设计全加器电路实验原理

全加器的输入端分别为被加数A，加数B以及低位向高位的进位,因此，所谓全加就是求取3个变量的和，以及本位向高位的进位。全加器的真值表如下：



根据真值表可以得到输出变量的逻辑功能表达式：

### 2.用与非门设计组合逻辑电路实验原理

由功能示意图可以得到真值表如下：

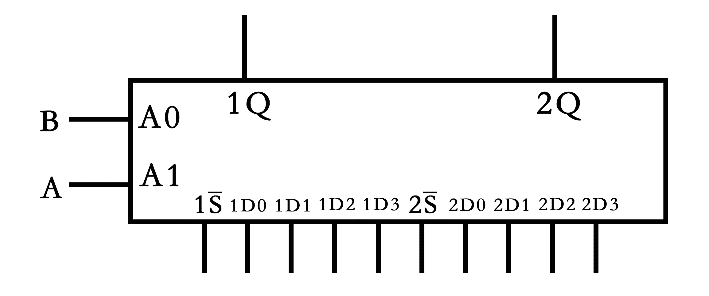
|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| S1 | S0 | A | Z |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

由真值表可以得到卡诺图如下：

|  |  |  |
| --- | --- | --- |
| **A**  **S1S0** | 0 | 1 |
| 00 | 0 | 0 |
| 01 | 0 | 1 |
| 11 | 1 | 1 |
| 10 | 1 | 0 |

根据卡诺图化简得到逻辑功能表达式：

### 3.用双四选一数据选择器设计全加器电路实验原理



双四选一数据选择器示意图

双四选一数据选择器引脚图如上图，只需添加一个输入信号Ci-1，并找出,,,,,,,与之间的逻辑关系（即将8个D引脚当做输出变量，当做输入变量）。

双四选一数据选择器真值表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
|  |  |  | /1Q | /2Q |
| 0 | 0 | 0 | 0/ | 0/ |
| 0 | 0 | 1 | 1/ | 0/ |
| 0 | 1 | 0 | 1/ | 0/ |
| 0 | 1 | 1 | 0/ | 1/ |
| 1 | 0 | 0 | 1/ | 0/ |
| 1 | 0 | 1 | 0/ | 1/ |
| 1 | 1 | 0 | 0/ | 1/ |
| 1 | 1 | 1 | 1/ | 1/ |

由真值表可求出逻辑表达式如下表：

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## 四．实验步骤及结果

### 4.1用与非门和异或门设计全加器电路实验

#### 4.1.1实验步骤

(1).选择8位开关模块，与非门模块，非门模块；

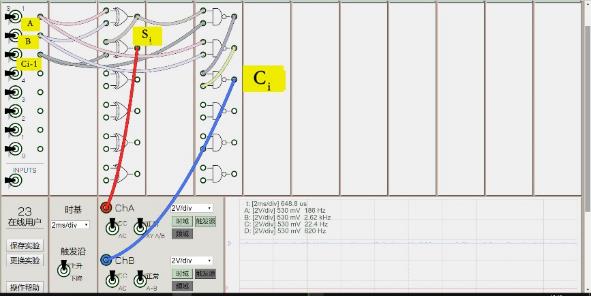
(2).按照逻辑表达式连接电路；

(3).分别改变输入端A,B,Ci-1的值为000至111，观察输出端电平变化

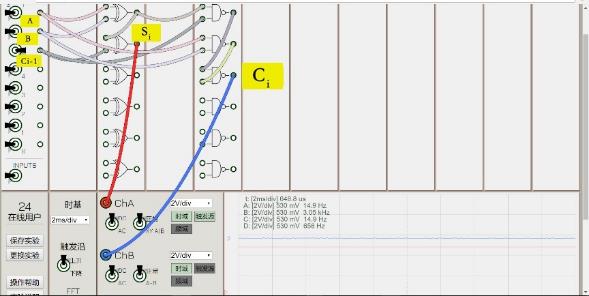
(4).截图

#### 4.1.2实验结果

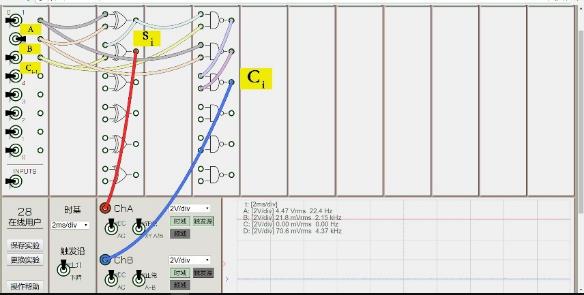
实验结果截图：



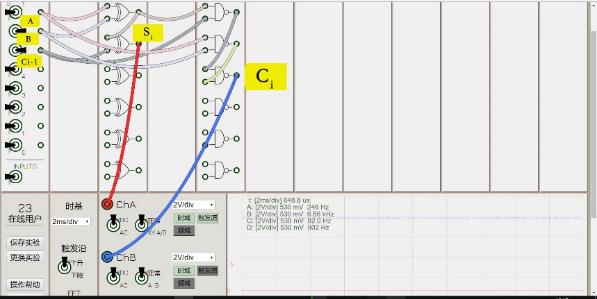
（输入端A,B,Ci-1分别输入000，输出端Si, Ci输出00）



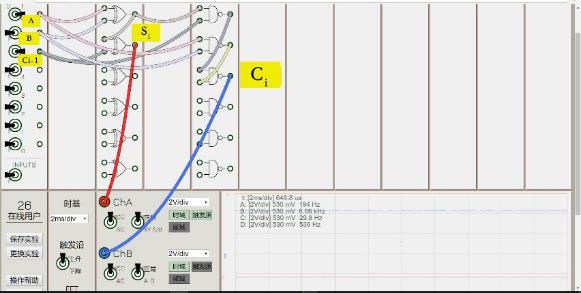
（输入端A,B,Ci-1分别输入001，输出端Si, Ci输出10）



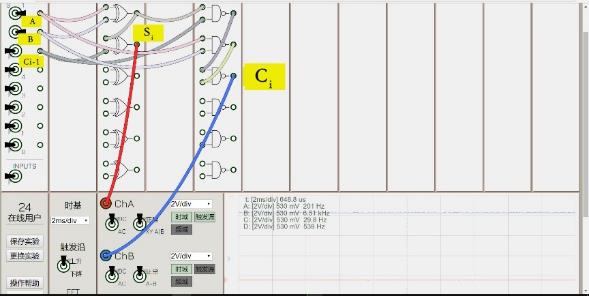
(输入端A,B,Ci-1分别输入010，输出端Si, Ci输出10)



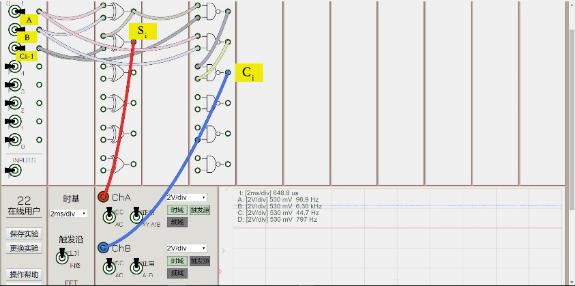
（输入端A,B,Ci-1分别输入011，输出端Si, Ci输出01）



（输入端A,B,Ci-1分别输入101，输出端Si, Ci输出01）



(输入端A,B,Ci-1分别输入110，输出端Si, Ci输出01）



（输入端A,B,Ci-1分别输入111，输出端Si, Ci输出11）

### 4.2用与非门设计组合逻辑电路实验

#### 4.2.1实验步骤

(1).选择8位开关模块，与非门模块，非门模块，与门模块；

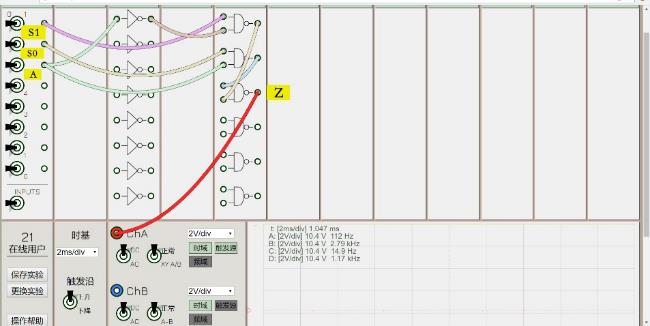
(2).按照逻辑表达式连接电路；

(3).改变输入端S1,S0,A的值为000至111，观察输出端Z电平变化

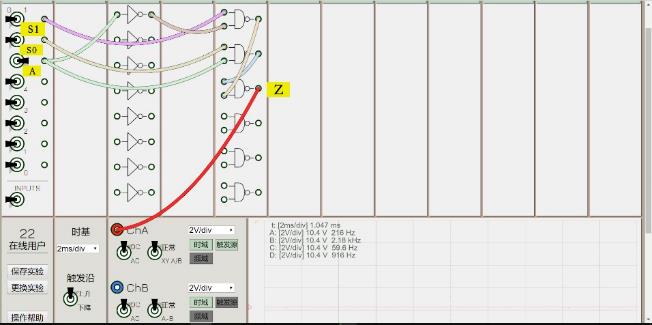
(4).截图

#### 4.2.2实验结果

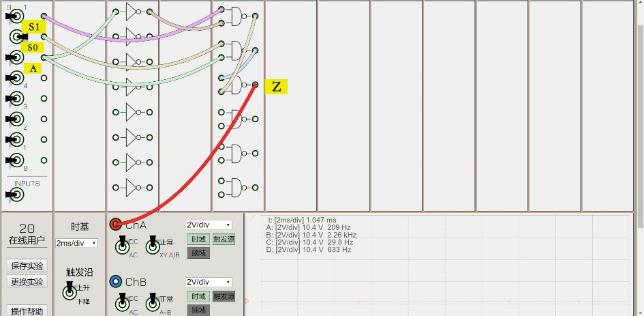
实验结果截图：



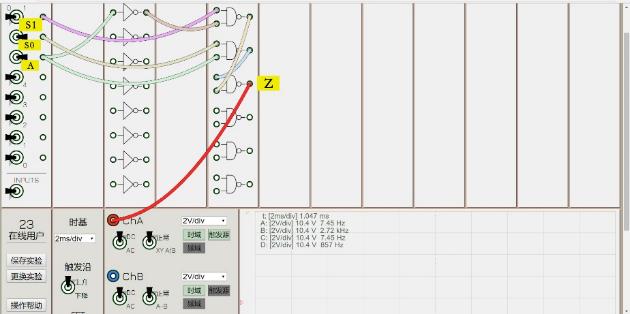
（输入端S1,S0,A分别输入000，输出端Z输出0）



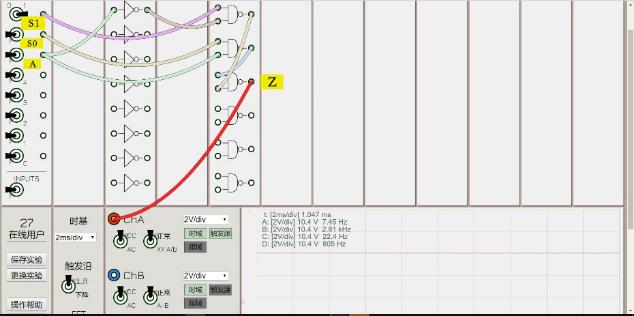
（输入端S1,S0,A分别输入001，输出端Z输出0）



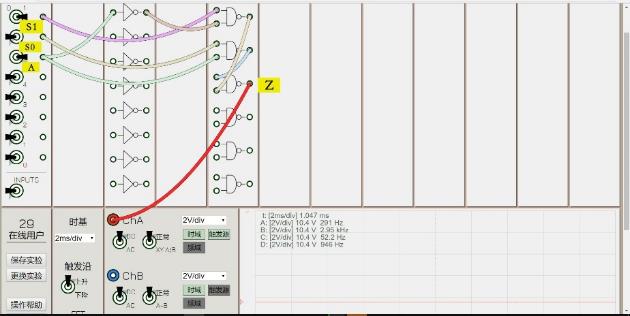
（输入端S1,S0,A分别输入010，输出端Z输出0）



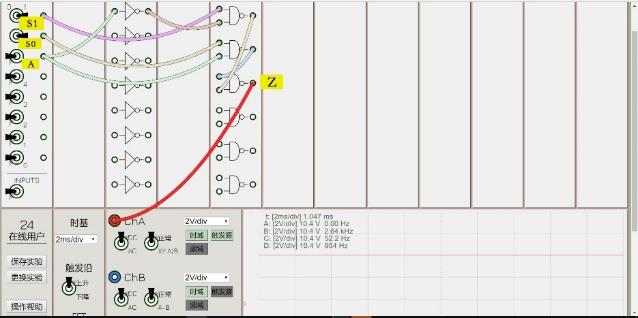
（输入端S1,S0,A分别输入011，输出端Z输出1）



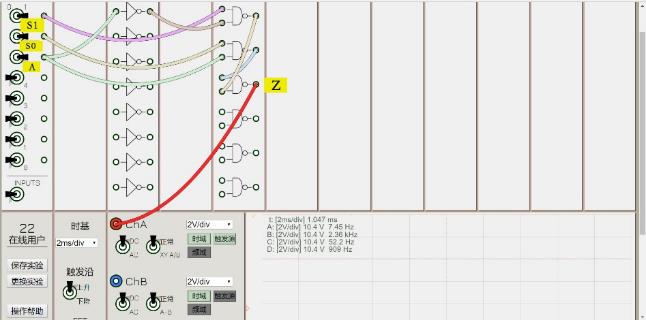
（输入端S1,S0,A分别输入100，输出端Z输出1）



（输入端S1,S0,A分别输入101，输出端Z输出0）



（输入端S1,S0,A分别输入110，输出端Z输出1）



（输入端S1,S0,A分别输入111，输出端Z输出1）

### 4.3用双四选一数据选择器设计全加器电路

#### 4.3.1实验步骤

(1).选择8位开关模块，非门模块,数据选择器模块；

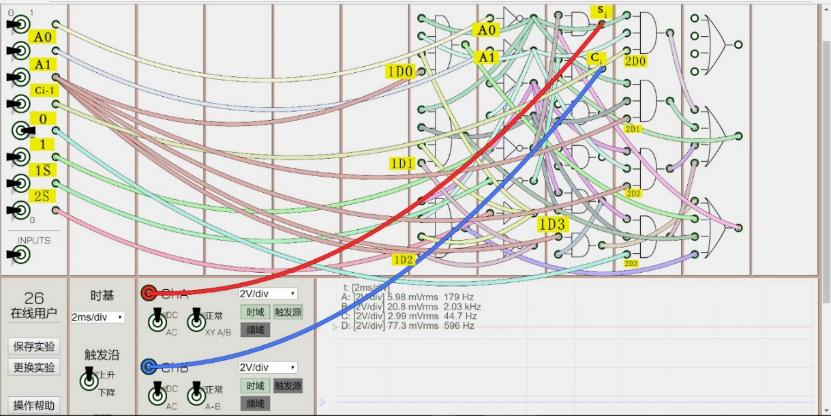
(2).按照逻辑表达式连接电路；

(3).分别改变输入端A0,B,Ci-1的值为000至111，观察输出端电平变化

(4).截图

#### 4.3.2实验结果

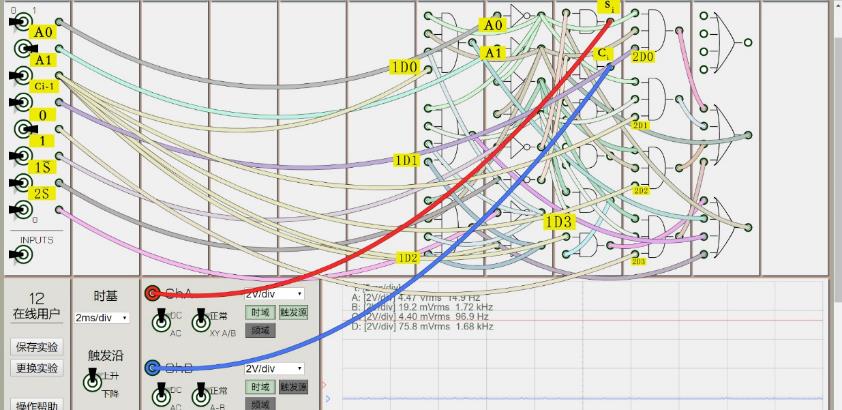
实验结果截图：



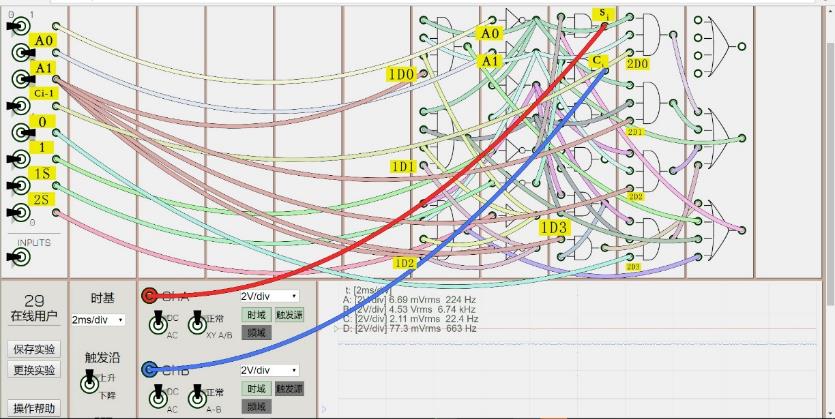
（输入端A0,A1, Ci-1分别输入000，输出端Si,Ci输出00）



（输入端A0,A1, Ci-1分别输入001，输出端Si,Ci输出10）



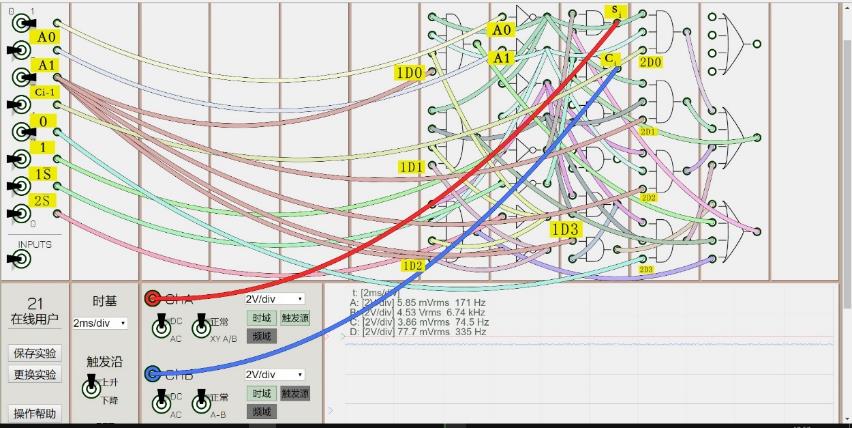
（输入端A0,A1, Ci-1分别输入010，输出端Si,Ci输出10）



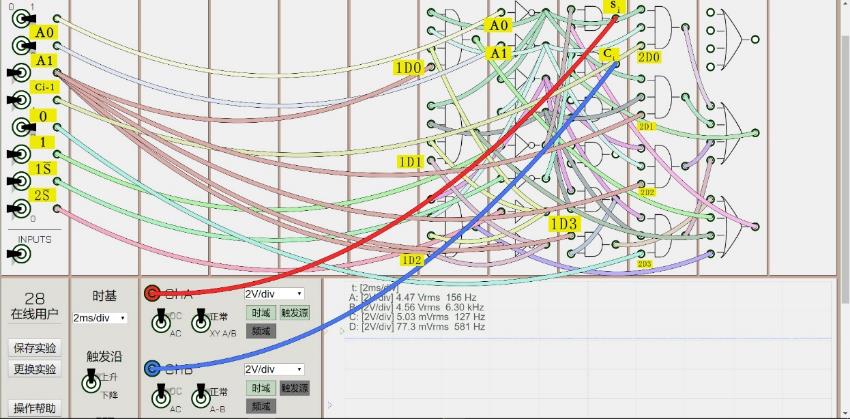
（输入端A0,A1, Ci-1分别输入011，输出端Si,Ci输出01）



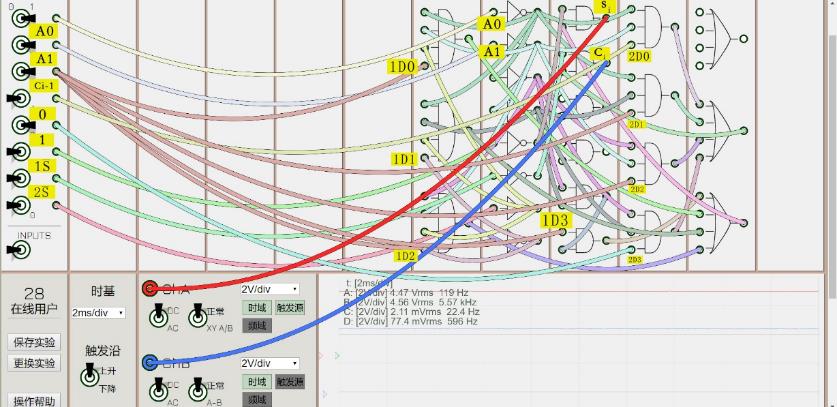
（输入端A0,A1, Ci-1分别输入100，输出端Si,Ci输出01）



（输入端A0,A1, Ci-1分别输入101，输出端Si,Ci输出01）



（输入端A0,A1, Ci-1分别输入110，输出端Si,Ci输出01）



（输入端A0,A1, Ci-1分别输入111，输出端Si,Ci输出11）

## 五．实验思考

在本次实验过程中，亦存在着一些难点和问题。

首先，数据选择器的连线过于密集，容易产生误判，进而导致电路错误连接。对此我的解决方法是随时改变柔性旋钮，调整线的位置，将要连接的点完全露出，保证连线准确无误。

其次，要注意实验要求，实验二要求使用与非门构建逻辑电路，那么在求出或与式以后要对该式取非再取非，才能得到要求的逻辑表达式。

最后，由于网络延迟，改变输入端的输入值后输出端的电平值往往不能立即变化，我们需要耐心等待输出端电平值变化后在截图保存，切不可急于求成。

# 实验二：触发器设计及应用

## 实验目的

### 1.熟悉触发器的基本逻辑功能

### 2.掌握用触发器进行时序电路设计的一般方法

### 3.理解和掌握触发器典型应用的工作原理及测试方法

## 二.实验内容

### 1.测试D触发器的逻辑功能，并完成逻辑功能表

### 2.用 D 触发器设计实现四分频电路（异步），观察并记录波形

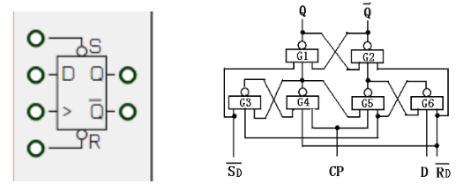
### 3.测试JK触发器的逻辑功能，并完成逻辑功能表

### 4.用JK触发器设计实现四分频电路（异步），观察并记录波形

### 5.用JK 触发器设计实现模五计数器电路（同步）

## 三.实验原理及相关设计

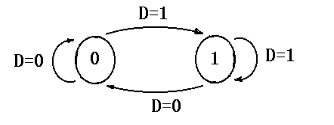
### 1.测试D触发器的逻辑功能实验原理



(D触发器逻辑图和引脚布局图)

D触发器电路采用了维持阻塞结构，使它具有可靠性和抗干扰性高等优点。触发器有异步置“0”，置“1”端，与低电平有效。为D数据输入端，CP时钟输入端为上升沿触发。Q为原态输出端，为反态输出端。

当CP端无效，D端无效时：跟随与变化。当CP端为上升沿时有：。

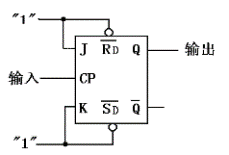


(D触发器状态图)

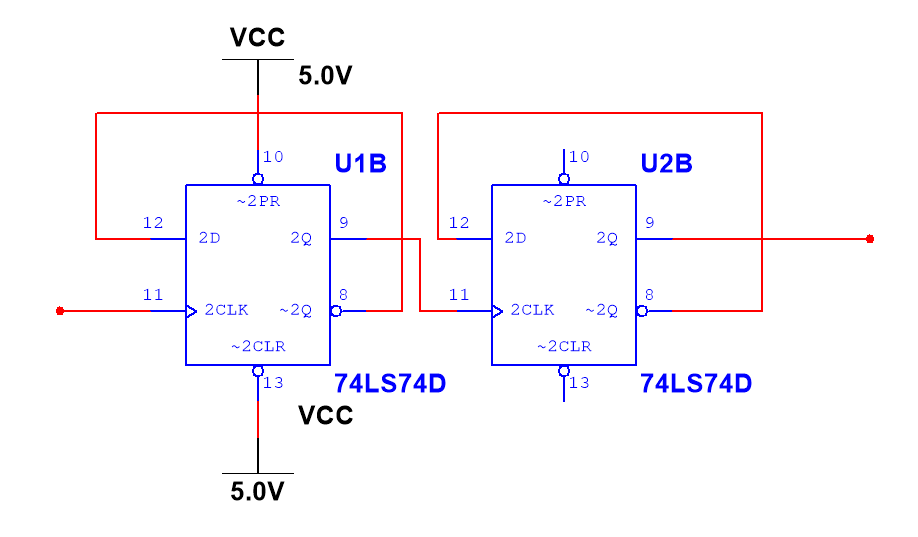
### 2.用D触发器设计4分频电路实验原理

分频器是将时钟高频率信号转变成低频率信号的一种转换器（n个脉冲周期使输出完成一个周期变化即为n次分频）。触发器的逻辑表达式为，工作状态实际为将输入的时钟频率降低一倍，即为二分频方式的分频器。计数器主要是计输入时钟的个数。

将D触发器设计成触发器可以实现2分频功能，那么只需将两个触发器级联便可得到4分频电路。



(2分频电路)

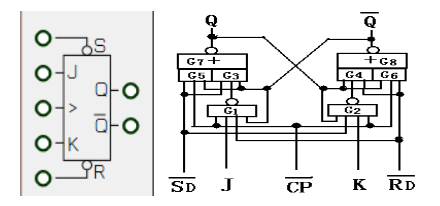


输出

输入

(4分频电路)

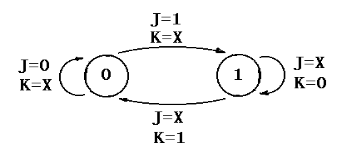
### 3.测试JK触发器的逻辑功能实验原理



(JK触发器逻辑图和引脚布局图)

触发器有异步置“0”，置“1”端，与低电平有效。J，K为数据输入端，CP为时钟输入端，为下降沿触发。Q为原态输出端，为反态输出端。

逻辑表达式：

****

(JK触发器状态图)

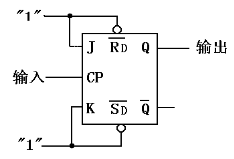
### 4.JK触发器设计4分频电路实验原理

原理同2，先将JK触发器设计成触发器，成为一个2分频电路，再将两个触发器级联组成4分频电路。

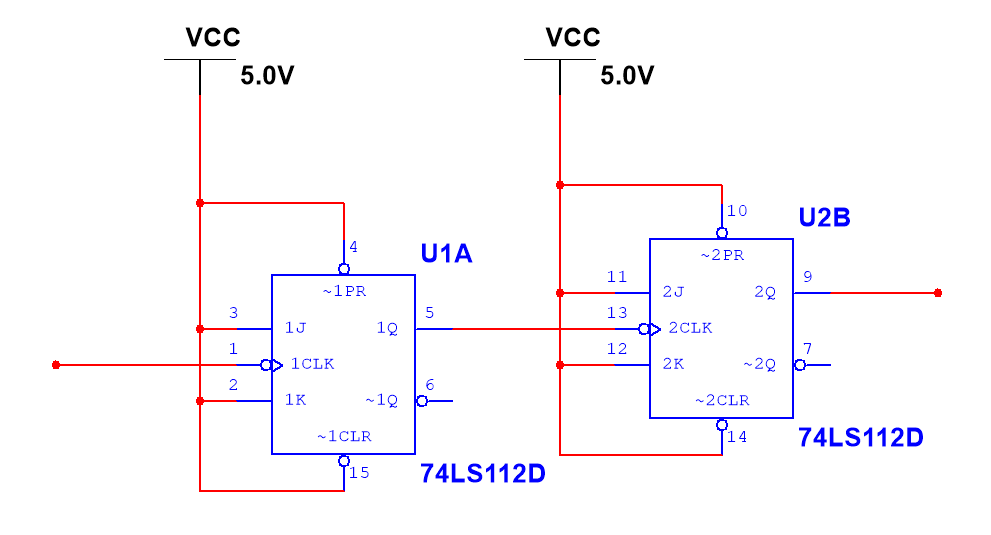
触发器逻辑表达式：

JK触发器逻辑表达式：

则对比得到：J = K = T = 1。



(2分频电路)



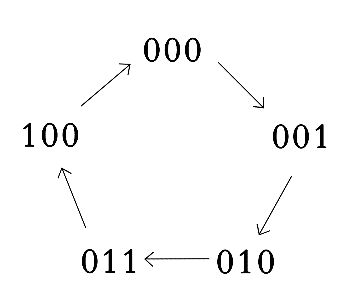
输出

输入

(4分频电路)

### 5.JK触发器设计模5计数器实验原理

模5计数器共有5种有效状态：000，001，,00,011,100和3种无效状态101,110,111。状态转换图如下：



故可以得出真值表：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |

根据真值表得出Qn+1关于Qn的逻辑表达式为：

再联立JK触发器的逻辑表达式：

可以得到驱动方程：

**,**,

可以得到Jn,Qn的真值表：(见实验结果部分)

## 四．实验步骤及结果

### 4.1测试D触发器逻辑功能实验

#### 4.1.1实验步骤

(1).选择D触发器模块，带有CLK输出的有限序列模块；

(2).连接电路；

(3).截图；

#### 4.1.2实验结果

逻辑功能表如下：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 功能 | 输入 | | | | 输出 | |
|  | CP |  |  | D |  |  |
| 置0 | ╳ | 0 | 1 | ╳ | 0 | 1 |
| 置1 | ╳ | 1 | 0 | ╳ | 1 | 0 |
| 置0 | ↑ | 1 | 1 | 0 | 0 | 1 |
| 置1 | ↑ | 1 | 1 | 1 | 1 | 0 |
| 保持 | ╳ | 0 | 0 | ╳ | 保持 | |
| 禁止 | 0 | 1 | 1 | ╳ | ╳ | |

### 4.2用D触发器设计4分频电路实验

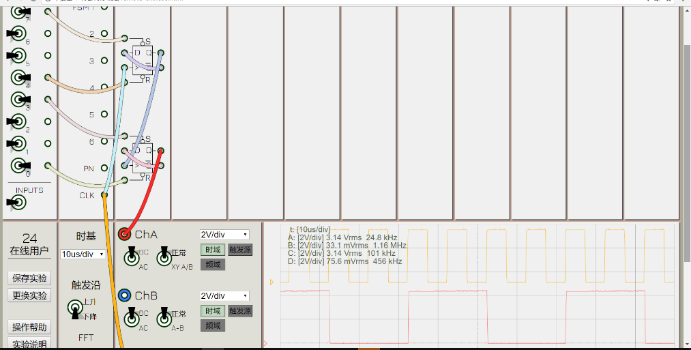
#### 4.2.1实验步骤

(1).选择D触发器模块，有限序列模块；

(2).按照逻辑表达式连线；

(3).截图

#### 4.2.2实验结果



### 4.3测试JK触发器的逻辑功能实验

#### 4.3.1实验步骤

(1).选择JK触发器模块，有限序列模块；

(2).按照逻辑表达式连线；

(3).截图

#### 4.3.2实验结果

JK触发器逻辑功能表如下

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 功能 | 输入 | | | | | 输出 | |
|  |  |  |  | J | K |  |  |
| 置0 | ╳ | 0 | 1 | ╳ | ╳ | 0 | 1 |
| 置1 | 1 | 1 | 0 | ╳ | ╳ | 1 | 0 |
| 保持 | 1 | 1 | 1 | 0 | 0 | 保持 | |
| 置0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 置1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 翻转 | 1 | 1 | 1 | 1 | 1 |  |  |
| 禁止 | ╳ | 0 | 0 | ╳ | ╳ | ╳ | |

### 4.4用JK触发器设计4分频电路实验

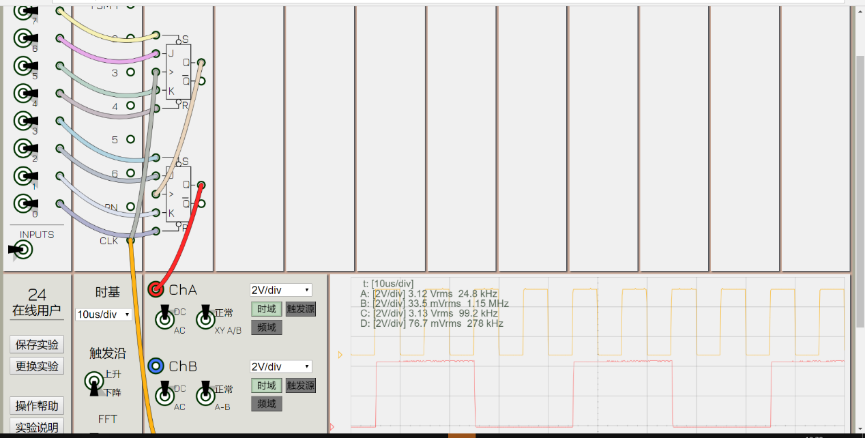
#### 4.4.1实验步骤

(1).选择JK触发器模块，有限序列模块；

(2).按照逻辑表达式连线；

(3).截图

#### 4.4.2实验结果



### 4.5用JK触发器设计模5计数器实验

#### 4.5.1实验步骤

(1).选择JK触发器模块，有限序列模块，与门模块，非门模块；

(2).按照驱动方程连线；

(3).观察时序图并截图；

#### 4.5.2实验结果

状态转换真值表及激励信号

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  | **J0** | **K0** | **J1** | **K1** | **J2** | **K2** |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |

卡诺图如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | ╳ | ╳ | ╳ |

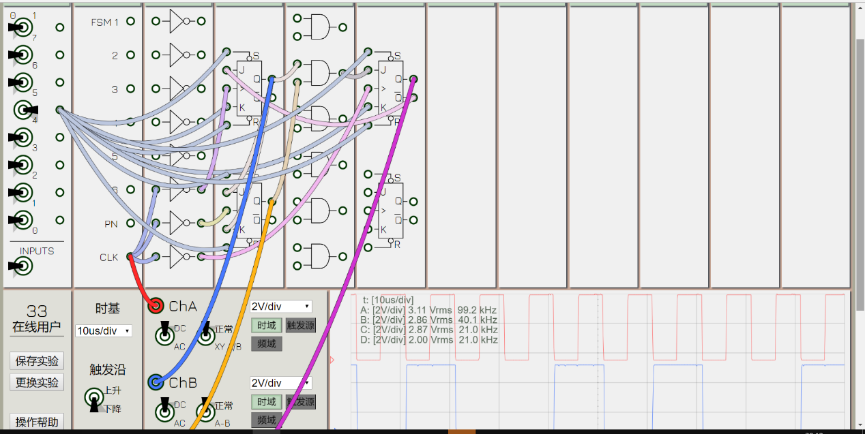
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | ╳ | ╳ | ╳ |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | ╳ | ╳ | ╳ |

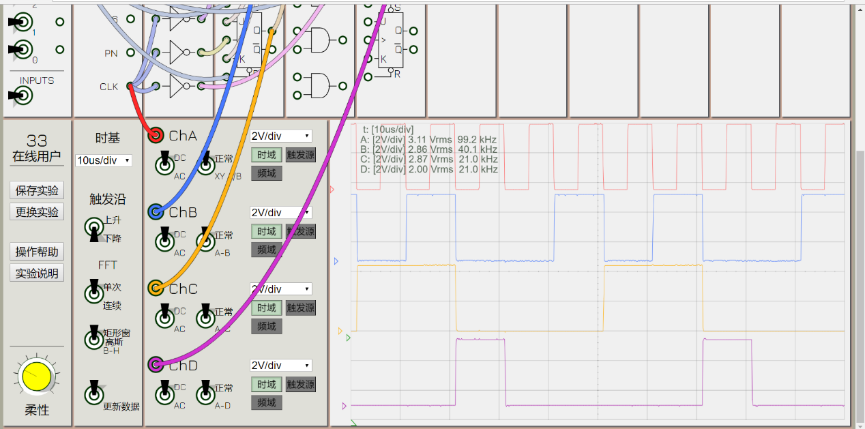
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | ╳ | ╳ | ╳ |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | ╳ | ╳ | ╳ |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | ╳ | ╳ | ╳ |



(模5计数器电路图)



(模5计数器时序图)

## 五．实验思考

在本次实验过程中，亦存在着一些难点和问题。

首先，设计4分频电路时，上升沿或下降沿不是简单的拨动8位开关而是要在有限序列模块里面找到CLK信号，将此信号一端连接在通道显示，一端连接在触发器输入端以实现上升或下降沿触发。

其次，模5计数器设计的过程中要先理解模5的含义，确定有效输入和无效输入利用卡诺图化简Qn+1关于Qn的逻辑表达式，再通过待定系数法结合JK触发器Qn+1的逻辑表达式得出J,K驱动方程。

最后，由于网络延迟，改变输入端的输入值后输出端的电平值往往不能立即变化，我们需要耐心等待输出端电平值变化后在截图保存，切不可急于求成。

# 实验三：任意进制计数器设计

## 一.实验目的

### 1.掌握任意进制计数器逻辑功能及应用

## 二.实验内容

### 1.按照74LS161逻辑功能表测试四位二进制计数器逻辑功能

### 2.用 74LS161四位二进制计数器设计完成012345→abcd→0的区间计数器

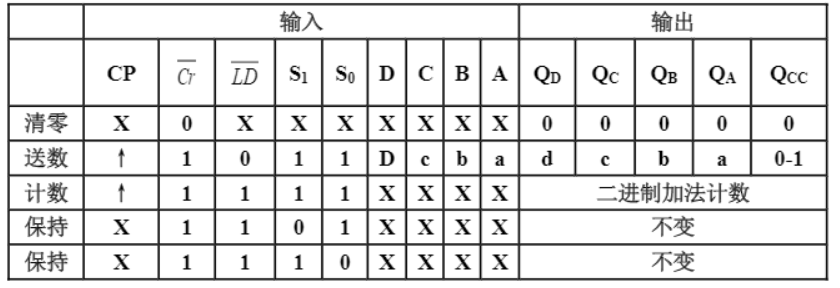
### 3.按照CD4518逻辑功能表测试CD4518BCD码计数器逻辑功能

### 4.绘制CD4518BCD码计数器的工作波形（EN为时钟脉冲输入端）

## 三.实验原理及相关设计

### 1.测试74LS161逻辑功能实验原理

74LS161逻辑功能表



CP:计数器脉冲输入端，上升沿触发。

Cr:计数器清零控制端，输入0有效。

LD:同步预置数据控制端，低电平有效。当控制端有效时，在时钟脉冲作用下，一次性将并入口数据送到输出去。

A,B,C,D:预置数并入输入端。

S1,S0:工作状态使能端，当时，则计数器处于保持状态。时，计数器处于加法计数状态。

:计数器四位输出端。

：进位输出端，当时，端输出高电平。

### 2. 用 74LS161设计完成012345→abcd→0的区间计数器实验原理

置数法状态转换图如下：

0000→0001→0010→0011→0100

1101←1100←1011←1010←0101

则需计数器在输出端分别输出0100和1101时置数

卡诺图如下：

QBQA

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 0 | ╳ | ╳ |
| 11 | 1 | 0 | ╳ | ╳ |
| 10 | ╳ | 1 | 1 | 1 |

(LD与关系)

卡诺图化简后得到关于逻辑表达式为：

Q1Q0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3Q2 | 00 | 01 | 11 | 10 |
| 00 | 0001 | 0010 | 0100 | 0011 |
| 01 | 0101 | 1010 | ╳ | ╳ |
| 11 | 1101 | 0000 | ╳ | ╳ |
| 10 | ╳ | ╳ | 1100 | 1011 |

(与关系)

与关系：

**;**

**;**

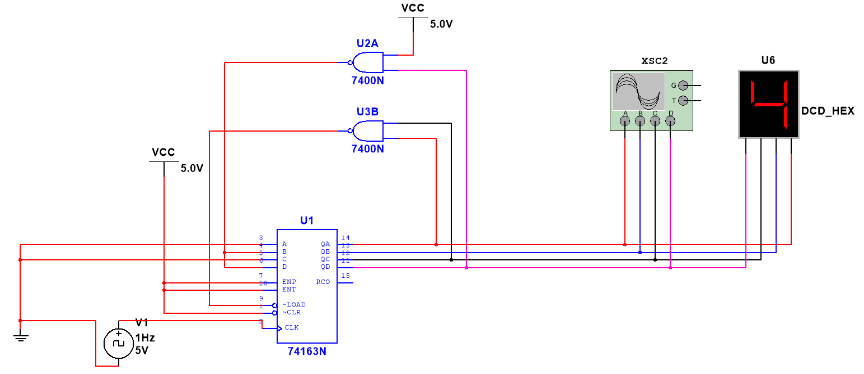
**;**

;

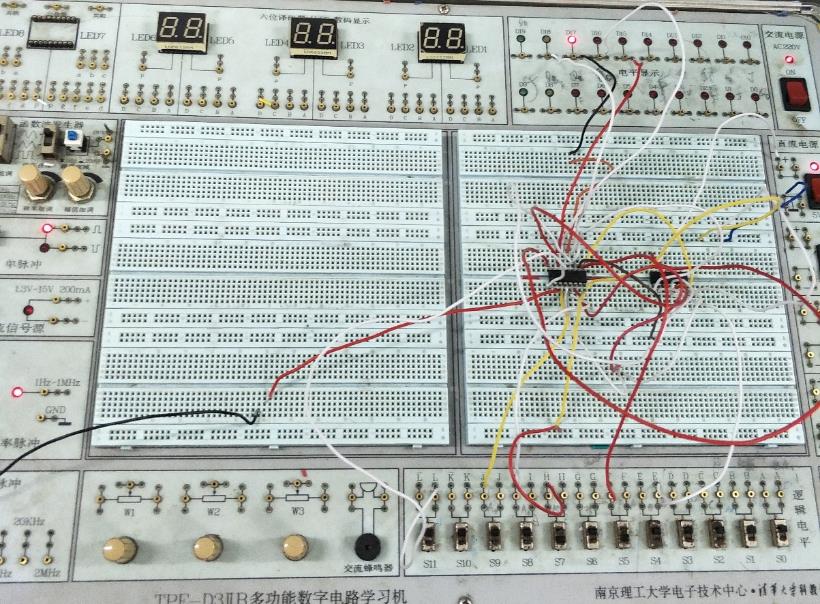
要注意的是，本次试验提供的是2输入4与非门，因此要将逻辑非表达式转化为与1相与非。

其余输入端分别为：；**CLK**接1Hz时钟脉冲信号。

实验电路如下：



（Multisim14.0仿真电路）



（现场实验面包板电路）

### 3. 测试CD4518BCD码计数器逻辑功能实验原理

CD4518引脚图

11

10

1QA

1QB`

1QC

1QD

VDD

2Cr

2QD

2QC

2QB

2QA

2EN

2CP

VSS

1EN

1CP

1Cr

1

2

3

4

5

6

7

8

16

15

14

13

12

9

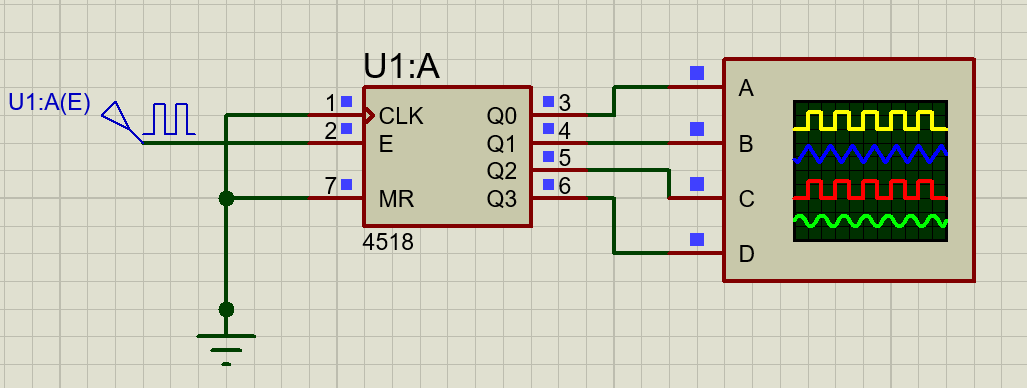
CD4518逻辑功能表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | 输入 | | | 输出 | | | |
|  | **Cr** | **CP** | **EN** |  |  |  |  |
| 清零 | 1 | ╳ | ╳ | 0 | 0 | 0 | 0 |
| 计数 | 0 | ↓ | 1 | BCD码加法计数 | | | |
| 保持 | 0 | ╳ | 0 | 保持 | | | |
| 计数 | 0 | 0 | ↓ | BCD码加法计数 | | | |
| 保持 | 0 | 1 | ╳ | 保持 | | | |

### 4.绘制CD4518BCD码计数器的工作波形实验原理

实验要求为将EN作为时钟信号输入端，则CP端接低电平，CR端接低电平，下降沿触发。由于是测试，因此只需接1部分的输入即可

实验电路：



（proteus8.6仿真电路）

## 四.实验步骤及结果

### 4.1用 74LS161设计完成012345→abcd→0的区间计数器

#### 4.1.1实验步骤

(1).按照实验原理中做出的仿真电路图连线；

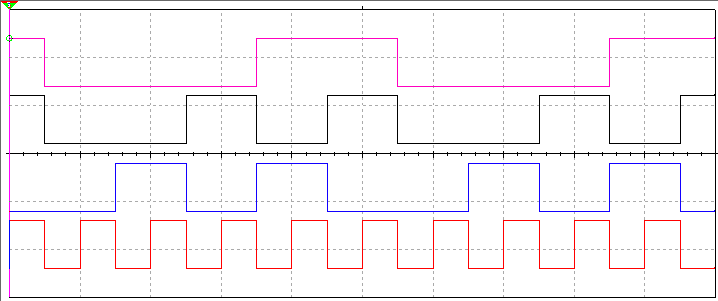
(2).将输出端分别按顺序接在4个led灯上；

(3).上电，利用灯的亮灭确定输出是否正确；

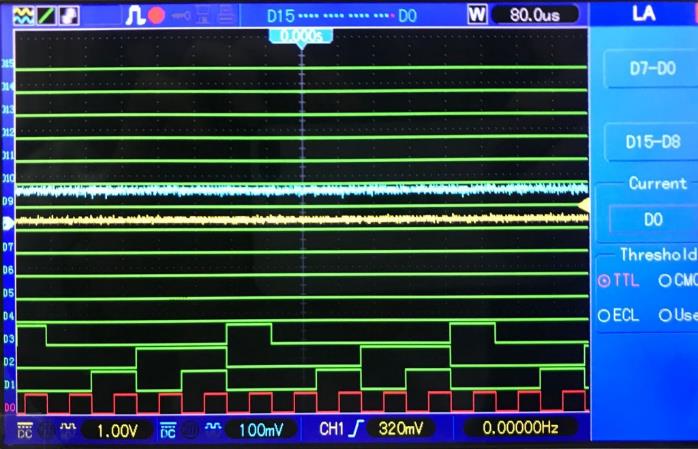
#### 4.1.2实验结果

4个LED小灯会随输出端的电平变化而点亮或熄灭。

将输出端接在逻辑分析仪上波形为：



（Multisim14.0仿真逻辑分析仪输出波形）



（现场实验逻辑分析仪输出波形）

### 4.2绘制CD4518BCD码计数器的工作波形

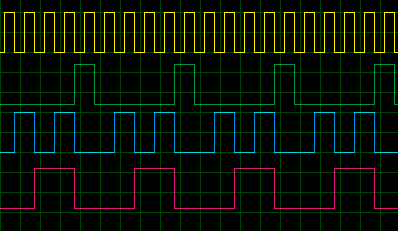
#### 4.2.1实验步骤

(1).按照实验原理中做出的仿真电路图连线；

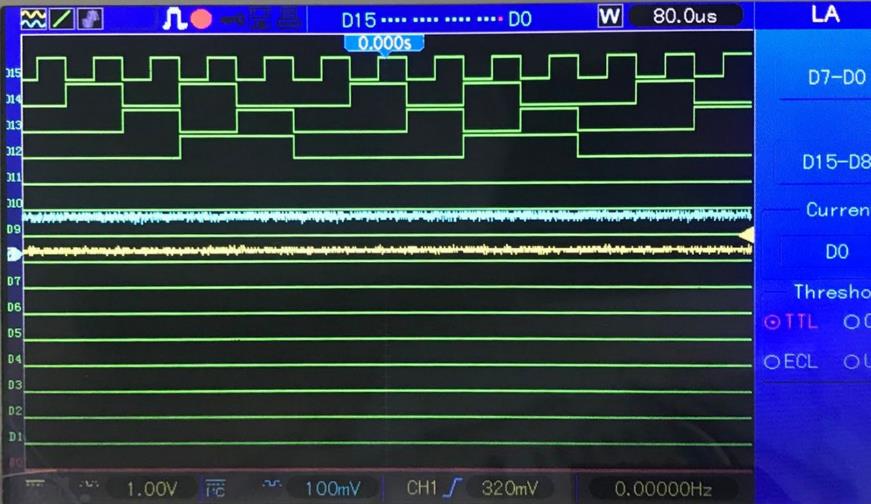
(2).将输出端分别按顺序接在逻辑分析仪上；

(3).上电，观察逻辑分析仪的波形确定输出是否正确；

#### 4.2.2实验结果



（Proteus8.6仿真逻辑分析仪输出波形）



（现场实验逻辑分析仪输出波形）

## 五．实验思考

在本次实验过程中，亦存在着一些难点和问题。

首先，在设计模5计数器时，要用LED小灯观察现象更加直观明显，此时时钟源频率要低。而如果使用示波器来观察现象，则要求时钟源频率高才能观察到完美的现象。

其次，面包板电路存在着连线复杂，错综混乱等难点。在进行连线时要尽量避免线与线的缠绕，防止短路。同时要注意板上横通，竖通的线路，防止短路或者断路现象出现。

最后，实验前做好仿真将对现场实验有极大帮助，可以使我更好的理解实验原理，更快的连接线路。硬件电路的连线要耐心，细心。仔细对照原理图进行连接，不可操之过急。

# 实验四：移位寄存器

## 一.实验目的

### 1.掌握移位寄存器的逻辑功能及应用

## 二.实验内容

### 1.用74LS194设计实现(无自启动)扭环计数

0000 → 0001 → 0011 → 0111 →1111 → 1110 → 1000

状态转换图：

### 2.用 74LS194设计实现五分频电路并用示波器绘制波形

状态转换图：

1100 → 1001 → 0011 → 0111 → 1110

## 三.实验原理及相关设计

### 1.用74LS194设计实现(无自启动)扭环计数实验原理

状态转换图如下：

0000 → 0001 → 0011 → 0111 →1111 → 1110 → 1000

根据状态转换图确定反馈函数f的表达式，列表如下：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  | **f** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

做出反馈函数f的卡诺图如下：

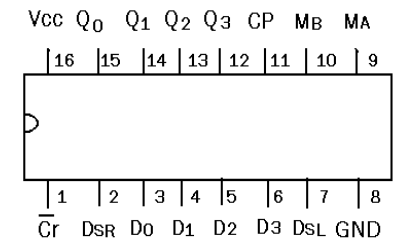
Q0Q1

Q2Q3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | ╳ |
| 01 | ╳ | ╳ | 1 | ╳ |
| 11 | 0 | ╳ | 0 | 0 |
| 10 | 0 | ╳ | ╳ | ╳ |

f的逻辑表达式为：

74194引脚图如下：



由于是左移计数，因此：，。

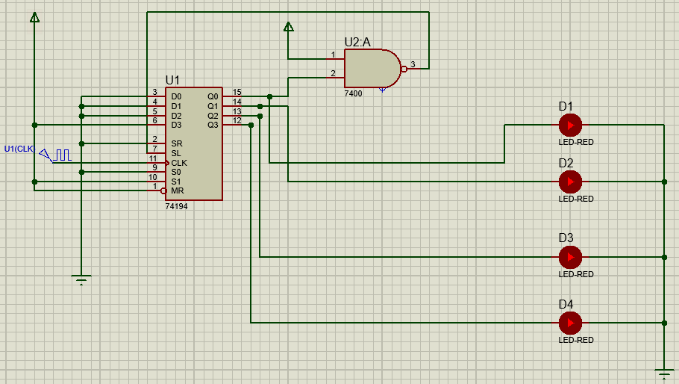
将反馈函数接在端,即：。

失能清零端：。

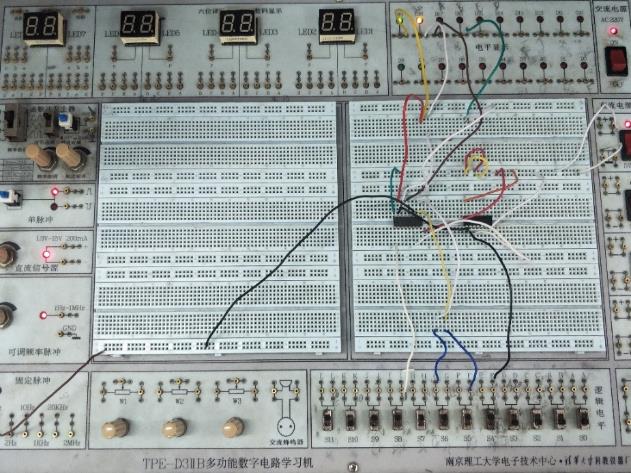
**CP**端接1Hz时钟脉冲信号。

将电路初始状态预置成有效状态循环中的某一状态：**0000**

实验电路如下：



(Proteus8.6仿真电路)



(现场实验面包板电路)

### 2.用 74LS194设计实现五分频电路

状态转换图如下：

1100 → 1001 → 0011 → 0111 → 1110

根据状态转换图确定反馈函数f的表达式，列表如下：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  | **f** |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

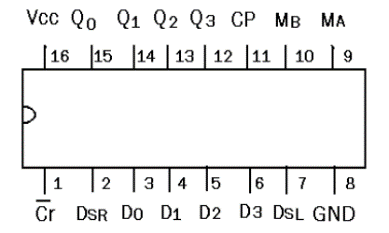
做出反馈函数f的卡诺图如下：

Q2Q3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q0Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 1 | 1 | 1 | 1 |

f的逻辑表达式为：

74194引脚图如下：



由于是左移计数，因此：，。

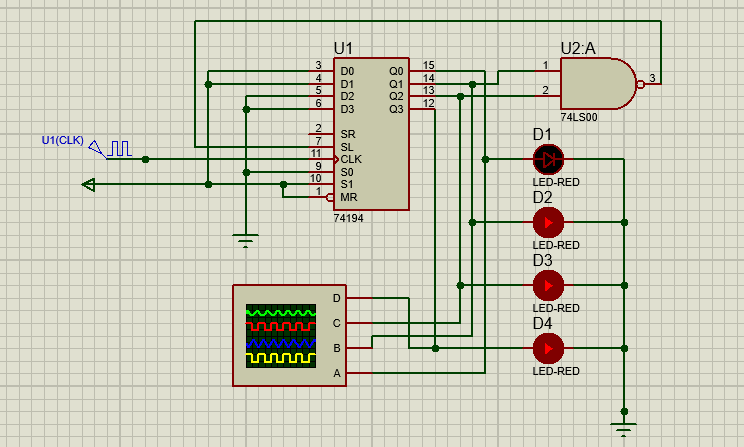
将反馈函数接在端,即：。

失能清零端：。

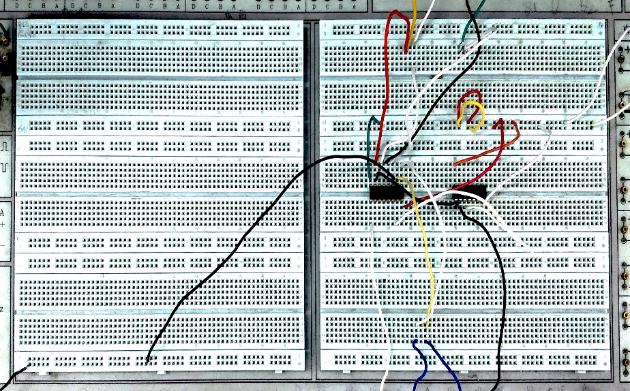
将电路初始状态预置成有效状态循环中的某一状态：**1100**

**CP**端接1kHz时钟脉冲信号。

实验电路如下：

****

(Proteus8.6仿真电路)



(现场实验面包板电路)

注意：5的左移输入端只与2略有不同，因此不必拆卸整个电路，只需将改成，并改变输入端的逻辑电平即可。

## 四.实验步骤及结果

### 4.1用74LS194设计实现(无自启动)扭环计数

#### 4.1.1实验步骤

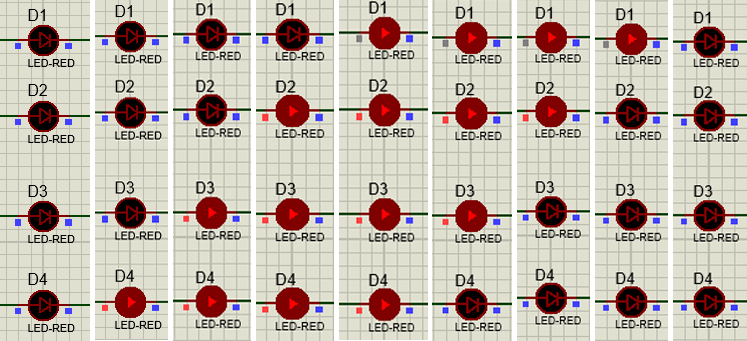
(1).按照实验原理中做出的仿真电路图连线；

(2).将输出端分别按顺序接在4个led灯上；

(3).上电，利用灯的亮灭确定输出是否正确；

#### 4.1.2实验结果

4个LED小灯会随输出端的电平变化而点亮或熄灭，结果如下：



（Proteus8.6仿真结果，实际结果与此一致）

### 4.2用 74LS194设计实现五分频电路

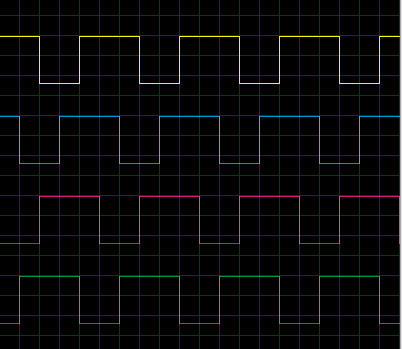
#### 4.2.1实验步骤

(1).按照实验原理中做出的仿真电路图连线；

(2).将输出端分别按顺序接在逻辑分析仪上；

(3).上电，观察逻辑分析仪的波形确定输出是否正确；

#### 4.2.2实验结果



(Proteus8.6仿真逻辑分析仪输出波形)

## 五．实验思考

在本次实验过程中，亦存在着一些难点和问题。

首先，用74LS194设计实现（无自启动）扭环计数器时因为要求是使用led灯观察现象，因此要使用低频时钟源。而设计五分频电路时要求使用逻辑分析仪观察现象，因此要使用高频时钟源。

其次，硬件电路的连线要耐心，细心。仔细对照原理图进行连接，不可操之过急。

最后，实验前利用Multisim14.0和Proteus8.6软件做好仿真将对现场实验有极大帮助，可以使我更好的理解实验原理，更快的连接线路。