

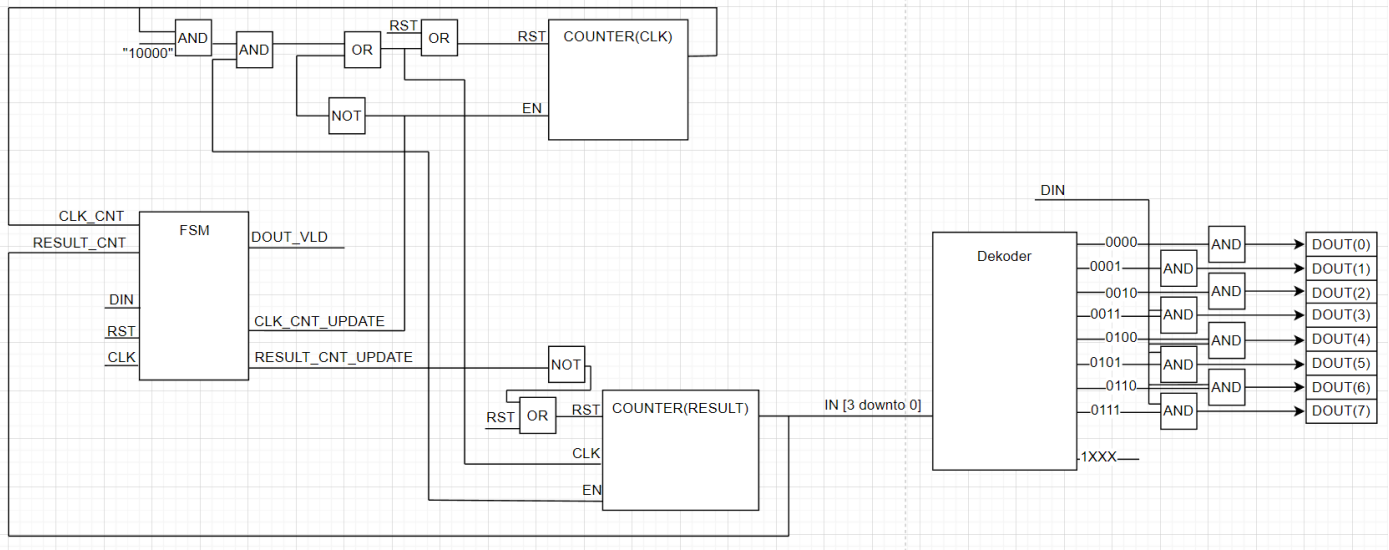
# Příloha: Výstupní zpráva

Jméno: Nikita Smirnov

Login: xsmirn02

## Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu



### Popis funkce:

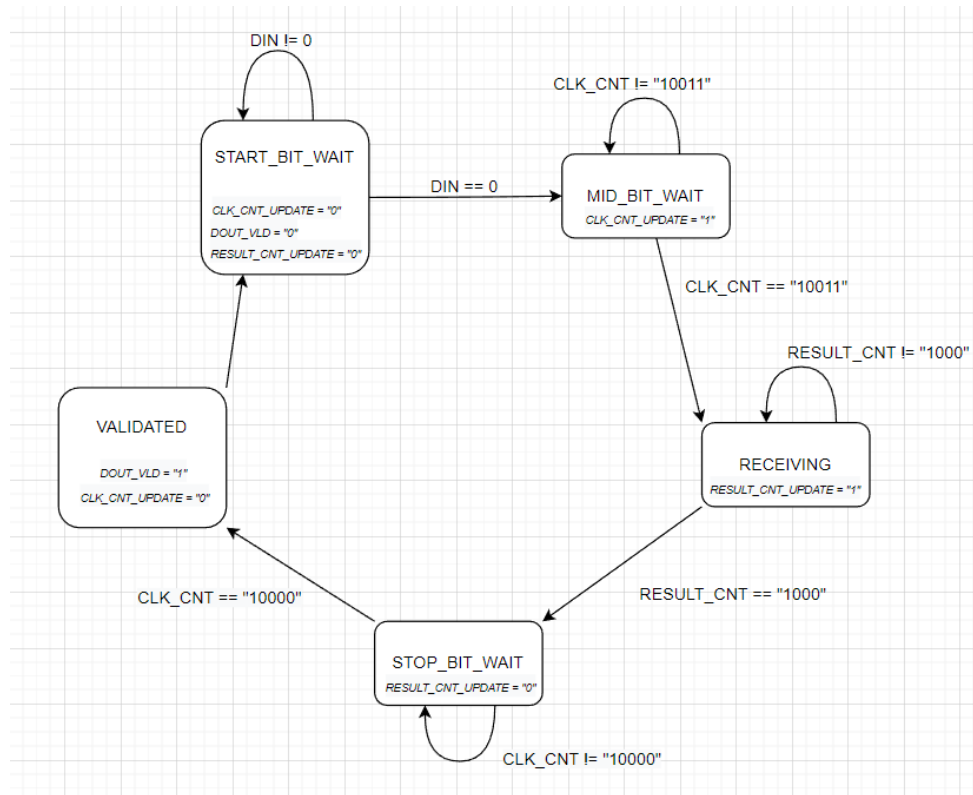
- po zapnutí CLK\_CNT\_UPDATE se spustí COUNTER(CLK).
- Poté, když fsm spustí RESULT\_CNT\_UPDATE, CLK\_CNT se vynuluje pokaždé, když dosáhne hodnoty "10000".
- Také při vynulování CLK\_CNT se aktualizuje RESULT\_CNT, načtež dekodér rozhodne, který bit v DOUT bude aktualizován pomocí DIN a logického hradla AND.
- Jakmile jsou data kompletně načtena, fsm přivede na DOUT\_VLD logickou 1 a všechny čítače se aktualizují.
- Čítače se také aktualizují, když se objeví signál RST nebo když jsou vypnuty pomocí fsm.

## Návrh automatu (Finite State Machine)

### Legenda:

- Stav automatu: START\_BIT\_WAIT, MID\_BIT\_WAIT, RECEIVING, STOP\_BIT\_WAIT, VALIDATED
- Vstupní signály: DIN, CLK\_CNT, RESULT\_CNT
- Moorovy výstupy: DOUT\_VLD, CLK\_CNT\_UPDATE, RESULT\_CNT\_UPDATE

## Schéma automatu



## Popis funkce:

1. Čekáme na start bit (DIN = 1)
2. Přejít do stavu MID\_BIT\_WAIT, kde čekáme do midbitu d0.
3. Přejít do stavu RECEIVING a čtení 8 bitů
4. Přejít na STOP\_BIT\_WAIT a čekání na další cyklus (16 CLK)
5. Přejít do stavu VALIDATED, kde potvrdíme, že jsme načetli všechna data, a poté se vrátíme do počátečního stavu.

## Snímek obrazovky ze simulací

