

CA-IS371x/2x 高速单/双通道数字隔离器

1. 产品特性

- 信号传输速率: DC to 150Mbps
- 宽电源电压范围: 2.5V to 5.5V
- 宽温度范围: -40°C to 125°C
- 无需启动初始化
- 默认输出高电平和低电平选项
- 优异的电磁抗扰度
- 高 CMTI: $\pm 100\text{kV}/\mu\text{s}$ (典型值)
- 低功耗, (典型值):
 - 电流为 1.5mA/通道 (5V 电源供电 1Mbps 时)
 - 电流为 6.6mA/通道 (5V 电源供电 100Mbps 时)
- 精确时序 (典型值)
 - 8ns 传播延迟
 - 1ns 脉冲宽度失真
 - 2ns 传播延迟偏差
 - 5ns 最小脉冲宽度
- 高达 5kV_{RMS} 的隔离电压
- 隔离栅寿命: >40 年
- 施密特触发器输入
- 窄体 SOIC8(S)、宽体 SOIC8 (G) 和宽体 SOIC16-WB(W) 封装, 符合 RoHS 标准

2. 应用

- 工业自动化
- 电机控制
- 医疗电子
- 隔离开关电源
- 太阳能逆变器
- 隔离 ADC, DAC

3. 概述

The CA-IS371x/2x 是一款高性能 1/2 通道数字隔离器具有精确的时序特性和低电源损耗。在隔离 CMOS 数字 I/O 时, CA-IS371x/2x 器件可提供高电磁抗扰度和低辐射。所有器件版本均具有施密特触发器输入, 可实现高

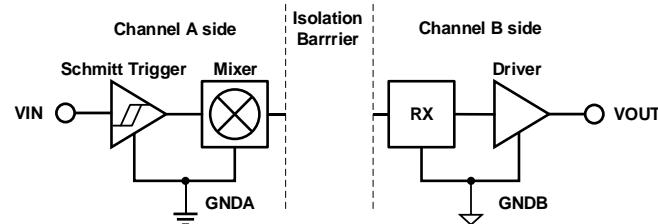
抗噪性能。每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅 (SiO₂) 绝缘栅隔离。CA-IS3710 器件是单通道, CA-IS3720 器件具有两个前向双通道, CA-IS3721 一个前向一个反向两个通道, CA-IS3722 和 CA-IS3721 通道相反, 具有一个反向一个前向两个通道。所有设备都具有故障安全模式选项。如果输入功率或信号丢失, 对于后缀为 L 的设备, 默认输出为低, 对于带有后缀 H 的设备, 默认输出为高。

CA-IS371x/2x 器件具有高绝缘能力, 有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端, 从而干扰或损坏敏感电路。高 CMTI 能力有望保证数字信号的正确传输。CA-IS371x/2x 器件采用 8 脚 SOIC 和 16 引脚宽体 SOIC 封装。所有产品均具有 3.75kVrms 的隔离额定值, 宽体封装的产品支持绝缘耐压高达 5kVrms。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IS3710,	SOIC8 (S)	4.90 mm × 3.90 mm
CA-IS3720,	SOIC8-WB(G)	5.85 mm × 7.50 mm
CA-IS3721,		
CA-IS3722	SOIC16-WB(W)	10.30mm × 7.50 mm

简化通道结构图



通道 A 和 B 被隔离电容隔开。

GNDA 和 GNDB 分别连接 A 侧信号和 B 侧电源隔离接地。

4. 订购指南

表 4-1 有效订购零件编号

型号	输入通道数 A 侧	输入通道数 B 侧	故障安全输出 状态	额定耐压 (kV)	输出使能	封装
CA-IS3710LS	1	0	Low	3.75	No	SOIC-8
CA-IS3710LW	1	0	Low	5.0	No	WB SOIC-16
CA-IS3710HS	1	0	High	3.75	No	SOIC-8
CA-IS3710HW	1	0	High	5.0	No	WB SOIC-16
CA-IS3720LS	2	0	Low	3.75	No	SOIC-8
CA-IS3720LG	2	0	Low	5.0	No	WB SOIC-8
CA-IS3720LW	2	0	Low	5.0	No	WB SOIC-16
CA-IS3720HS	2	0	High	3.75	No	SOIC-8
CA-IS3720HG	2	0	High	5.0	No	WB SOIC-8
CA-IS3720HW	2	0	High	5.0	No	WB SOIC-16
CA-IS3721LS	1	1	Low	3.75	No	SOIC-8
CA-IS3721LG	1	1	Low	5.0	No	WB SOIC-8
CA-IS3721LW	1	1	Low	5.0	No	WB SOIC-16
CA-IS3721HS	1	1	High	3.75	No	SOIC-8
CA-IS3721HG	1	1	High	5.0	No	WB SOIC-8
CA-IS3721HW	1	1	High	5.0	No	WB SOIC-16
CA-IS3722LS	1	1	Low	3.75	No	SOIC-8
CA-IS3722LG	1	1	Low	5.0	No	WB SOIC-8
CA-IS3722LW	1	1	Low	5.0	No	WB SOIC-16
CA-IS3722HS	1	1	High	3.75	No	SOIC-8
CA-IS3722HG	1	1	High	5.0	No	WB SOIC-8
CA-IS3722HW	1	1	High	5.0	No	WB SOIC-16

目录

1. 产品特性.....	1	7.8.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	10
2. 应用	1	7.9. 电源电流特性	11
3. 概述	1	7.9.1. $V_{DDA} = V_{DDB} = 5 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	11
4. 订购指南.....	2	7.9.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	12
5. 修订历史.....	3	7.9.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	13
6. 引脚功能描述.....	4	7.10. 时序特性	14
7. 产品规格.....	6	7.10.1. $V_{DDA} = V_{DDB} = 5 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	14
7.1. 绝对最大额定值 ¹	6	7.10.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	14
7.2. ESD 额定值	6	7.10.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	14
7.3. 建议工作条件.....	6	8. 参数测量信息.....	15
7.4. 热量信息.....	7	9. 详细说明.....	17
7.5. 额定功率.....	7	9.1. 工作原理	17
7.6. 隔离特性.....	8	9.2. 功能框图	17
7.7. 安全相关认证.....	9	9.3. 真值表	18
7.8. 电气特性.....	10	10. 应用电路	19
7.8.1. $V_{DDA} = V_{DDB} = 5 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	10	11. 封装信息	20
7.8.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$	10	11.1. SOIC-16WB 宽体外形尺寸	20
		11.2. SOIC8 外形尺寸	21
		TAPE AND REEL INFORMATION	23

5. 修订历史

修订版 0: 初始版本.

修订版 0 到 修订版 A

- 更新 3 概述
- 更新表 4-1
 - 修改额定耐压
- 更新图 6-1
 - 修改引脚名称
- 更新表 6-1
 - 修改引脚名称
- 更新图 6-2
 - 修改引脚名称
- 更新表 6-2
 - 修改引脚名称
- 更新 7.6 绝缘规格
- 更新 11.1 SOIC 16 宽体封装尺

修订版 A 到 修订版 B

- 更新产品特性

修订版 B 到 修订版 C

- 增加 8 脚宽体封装选项

6. 引脚功能描述

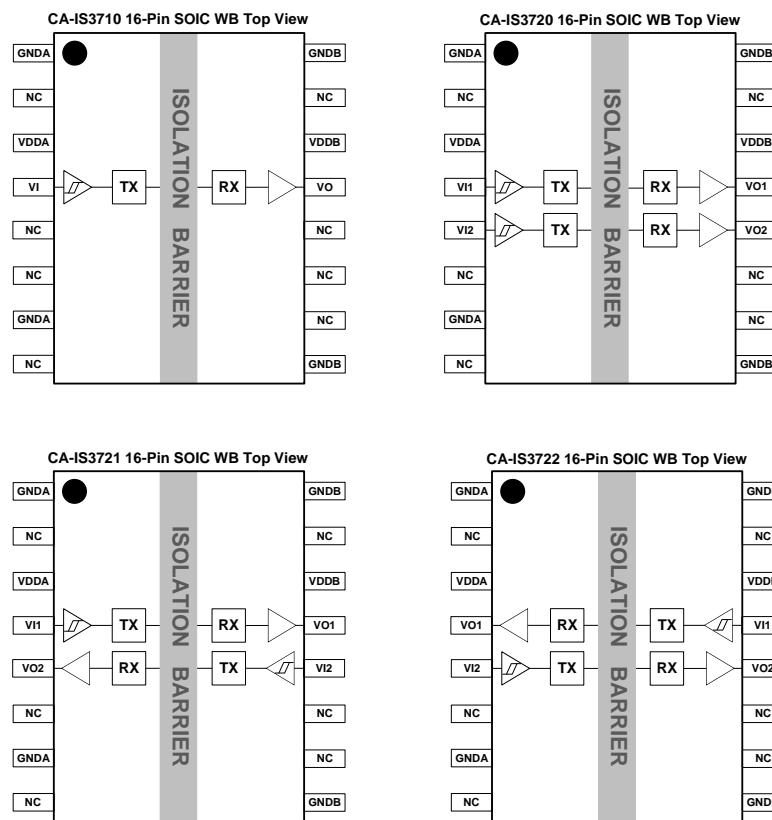


图 6-1 CA-IS371x/2x SOIC16-WB 宽体顶部试图

表 6-1 CA-IS371x/2x SOIC16-WB 宽体引脚功能描述

引脚名称	SOIC16 引脚编号	类型	描述
GNDA	1	地	A 侧接地基准点
NC	2	NC	无内部连接
VDDA	3	电源	A 侧电源电压
VI1/VO1	4	逻辑输入/输出	CA-IS3710/20/21 A 侧逻辑输入 / CA-IS3722 A 侧逻辑输出
VI2/VO2/NC ¹	5	逻辑输入/输出	CA-IS3720/22 A 侧逻辑输入 / CA-IS3721 A 侧逻辑输出 / CA-IS3710 无内部连接
NC	6	NC	无内部连接
GNDA	7	地	A 侧接地基准点
NC	8	NC	无内部连接
GNDB	9	地	B 侧接地基准点
NC	10	NC	无内部连接
NC	11	NC	无内部连接
VI2/VO2	12	逻辑输入/输出	CA-IS3721 B 侧逻辑输入 / CA-IS3720/22/ B 侧逻辑输出 / CA-IS3710 无内部连接
VI1/VO1	13	逻辑输入/输出	CA-IS3722 B 侧逻辑输入 / CA-IS3710/20/21 B 侧逻辑输出
VDDB	14	电源	B 侧电源电压
NC	15	NC	无内部连接
GNDB	16	地	B 侧接地基准点

备注:

1, 无连接。这些引脚没有内部连接。它们可以悬空, 连接到 VDD 或连接到 GND。

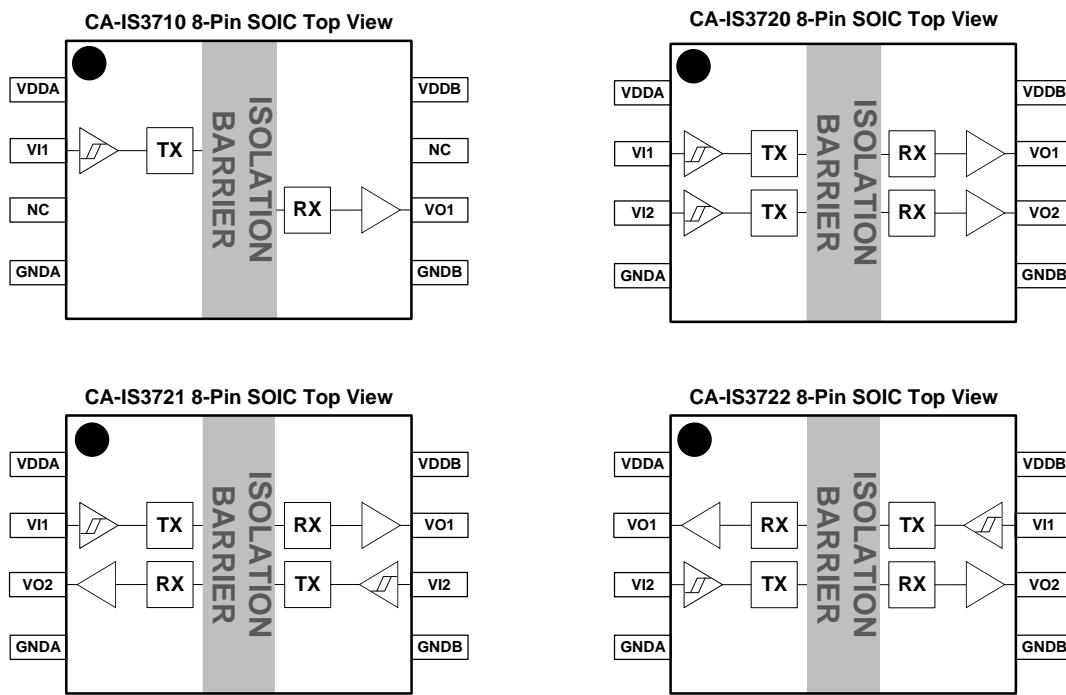


图 6-2 CA-IS371x/2x SOIC8 脚窄体及 SOIC8 脚宽体封装顶部视图

表 6-2 CA-IS371x/2x SOIC8 引脚功能描述

引脚名称	SOIC8 引脚编号	类型	描述
VDDA	1	电源	A 侧电源电压
VI1/VO1	2	逻辑输入/输出	CA-IS3710/20/21 A 侧逻辑输入 / CA-IS3722 A 侧逻辑输出
VI2/VO2/NC ¹	3	逻辑输入/输出	CA-IS3720/22 A 侧逻辑输入 / CA-IS3721 A 侧逻辑输出 / CA-IS3710 无内部连接
GNDA	4	地	A 侧接地基准点
GNDB	5	地	B 侧接地基准点
VI2/VO1/VO2	6	逻辑输入/输出	CA-IS3721 B 侧逻辑输入 / CA-IS3710/20/22. B 侧逻辑输出
VI1/VO1/NC	7	逻辑输入/输出	CA-IS3722 A 侧逻辑输入 / CA-IS3720/21 A 侧逻辑输入 / CA-IS3710 无内部连接
VDDB	8	电源	B 侧电源电压

备注:
1. 无连接。这些引脚没有内部连接。它们可以悬空，连接到 VDD 或连接到 GND。

7. 产品规格

7.1. 绝对最大额定值¹

参数	最小值	最大值	单位
V_{DDA}, V_{DDB} 电源电压 ²	-0.5	6.0	V
V_{in} 输入电压 t Ax, Bx, ENx	-0.5	$V_{DDA}+0.5^3$	V
I_o 输出电流	-20	20	mA
T_J 结温		150	°C
T_{STG} 存储温度范围	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

2. 除差分 I/O 总线电压以外的所有电压值，均相对于本地接地端子 (GNDA 或 GNDB)，并且是峰值电压值。

3. 最大电压不得超过 6V。

7.2. ESD 额定值

		数值	单位
V_{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 ¹	±4000	V
	组件充电模式(CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 ²	±1000	

备注:

1. JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。

2. JEDEC 文件 JEP157 规定 250V CDM 允许使用标准 ESD 控制过程进行安全制造。

7.3. 建议工作条件

参数	最小值	典型值	最大值	单位
V_{DDA}, V_{DDB} 电源电压	2.375	3.3	5.5	V
$V_{DD} \text{ (UVLO+)}$ VDD 电源电压上升时的欠压阈值	1.95	2.24	2.375	V
$V_{DD} \text{ (UVLO-)}$ VDD 电源电压下降时的欠压阈值	1.88	2.10	2.325	V
$V_{HYS \text{ (UVLO)}}$ VDD 迟滞欠压阈值	70	140	250	mV
I_{OH} 高电平输出电流	$V_{DDO}^1 = 5V$	-4		mA
	$V_{DDO} = 3.3V$	-2		
	$V_{DDO} = 2.5V$	-1		
I_{OL} 低电平输出电流	$V_{DDO} = 5V$		4	mA
	$V_{DDO} = 3.3V$		2	
	$V_{DDO} = 2.5V$		1	
V_{IH} 输入阈值逻辑高电平	2.0			V
V_{IL} 输入阈值逻辑低电平			0.8	V
DR 信号传输速率	0		150	Mbps
T_A 环境温度	-40	27	125	°C

备注:

1. $V_{DDO} =$ 输出侧 V_{DD}

7.4. 热量信息

热量表		CA-IS371x2x			单位
		S (SOIC)	G(SOIC)	W (SOIC)	
		8 Pins	8 Pins	16 Pins	
R _{θJA}	IC 结至环境的热阻	137.7	110.1	86.5	°C/W
R _{θJC(top)}	IC 结到壳（顶部）热阻	54.9	51.7	49.6	°C/W
R _{θJB}	IC 结对板热阻	71.7	66.4	49.7	°C/W
Ψ _T	IC 结到顶部表征参数	7.1	16.0	32.3	°C/W
Ψ _B	IC 结至板表征参数	70.7	64.5	49.2	°C/W
R _{θJC(bottom)}	IC 结到壳（底部）热阻	n/a	n/a	n/a	°C/W

7.5. 额定功率

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3710					
P _D	最大功耗	V _{DDA} = V _{DDB} = 5.5 V, C _L = 15 pF,	90	mW	
P _{DA}	A 侧的最大功耗	T _j = 150°C, 输入 75MHz 50% 占空比方波	12	mW	
P _{DB}	B 侧的最大功耗		78	mW	
CA-IS3720					
P _D	最大功耗	V _{DDA} = V _{DDB} = 5.5 V, C _L = 15 pF,	120	mW	
P _{DA}	A 侧的最大功耗	T _j = 150°C, 输入 75MHz 50% 占空比方波	20	mW	
P _{DB}	B 侧的最大功耗		100	mW	
CA-IS3721					
P _D	最大功耗	V _{DDA} = V _{DDB} = 5.5 V, C _L = 15 pF,	120	mW	
P _{DA}	A 侧的最大功耗	T _j = 150°C, 输入 75MHz 50% 占空比方波	60	mW	
P _{DB}	B 侧的最大功耗		60	mW	
CA-IS3722					
P _D	最大功耗	V _{DDA} = V _{DDB} = 5.5 V, C _L = 15 pF,	120	mW	
P _{DA}	A 侧的最大功耗	T _j = 150°C, 输入 75MHz 50% 占空比方波	60	mW	
P _{DB}	B 侧的最大功耗		60	mW	

7.6. 隔离特性

参数	测试条件	数值		单位
		W/G	S	
CLR 外部气隙（间隙） ¹	测量输入端至输出端，隔空最短距离	8	4	mm
CPG 外部爬电距离 ¹	测量输入端至输出端，沿壳体最短距离	8	4	mm
DTI 隔离距离	最小内部间隙（内部距离）	14	14	μm
CTI 相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	V
材料组	依据 IEC 60664-1	I	I	
IEC 60664-1 过压类别	额定市电电压≤ 300 V _{RMS}	I-IV	I-III	
	额定市电电压≤ 400 V _{RMS}	I-IV	I-III	
	额定市电电压 ≤ 600 V _{RMS}	I-III	n/a	
DIN V VDE V 0884-11:2017-01²				
V _{IORM} 最大重复峰值隔离电压	交流电压(双极)	1414	637	V _{PK}
V _{IOWM} 最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDB) 测试	1000	450	V _{RMS}
	直流电压	1414	637	V _{DC}
V _{IOTM} 最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t= 1 s (100% 产品测试)	7070	5300	V _{PK}
V _{IOSM} 最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	6250	5000	V _{PK}
q _{pd} 表征电荷 ⁴	方法 a, 输入至输出测试子类 2/3, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	≤5	pC
	方法 a, 输入至输出测试子类 1, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	≤5	
	Method b1, 常规测试 (100% 生产测试) 和前期 预处理 (抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	≤5	
C _{IO} 棚电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin (2πft), f = 1 MHz	~0.5	~0.5	pF
R _{IO} 绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	>10 ¹²	Ω
	V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	>10 ¹¹	
	V _{IO} = 500 V at T _S = 150°C	>10 ⁹	>10 ⁹	
污染度		2	2	
UL 1577				
V _{ISO} 最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	5000	3750	V _{RMS}

备注:

- 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙变得相等。诸如在印刷电路板上插入凹槽的技术用于帮助增加这些规格。
- 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。
- 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。
- 表征电荷是由局部放电引起的放电电荷(pd)。
- 栅两侧的所有引脚连接在一起, 形成双端子器件

7.7. 安全相关认证

VDE(申请中)	CSA(申请中)	UL(申请中)	CQC(申请中)	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC60950-1, IEC 62368-1 和 IEC 60601-1 认证	UL1577 器件认可程序认可	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

7.8. 电气特性

7.8.1. $V_{DDA} = V_{DDB} = 5 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{mA}$; 图 8-1	$V_{DDO}^{1-0.4}$	4.8		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{mA}$; 图 8-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx		4		μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-4			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1 \text{ or } 0\text{ V}$, $V_{CM} = 1200\text{ V}$; 图 8-3	75	100		$\text{kV}/\mu\text{s}$
C_I	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 5\text{ V}$		2		pF

备注:

- $V_{DDI} = \text{输入侧 } V_{DD}$, $V_{DDO} = \text{输出侧 } V_{DD}$
- 正常隔离器通道的输出阻抗约为 $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

7.8.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{mA}$; 图 8-1	$V_{DDO}^{1-0.4}$	3.1		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{mA}$; 图 8-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx		4		μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-4			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1 \text{ or } 0\text{ V}$, $V_{CM} = 1200\text{ V}$; 图 8-3	75	100		$\text{kV}/\mu\text{s}$
C_I	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$		2		pF

备注:

- $V_{DDI} = \text{输入侧 } V_{DD}$, $V_{DDO} = \text{输出侧 } V_{DD}$
- 正常隔离器通道的输出阻抗约为 $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

7.8.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{mA}$; 图 8-1	$V_{DDO}^{1-0.4}$	2.3		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{mA}$; 图 8-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx or ENx		4		μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-4			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1 \text{ or } 0\text{ V}$, $V_{CM} = 1200\text{ V}$; 图 8-3	75	100		$\text{kV}/\mu\text{s}$
C_I	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 2.5\text{ V}$		2		pF

备注:

- V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD}
- 正常隔离器通道的输出阻抗约为 $50\Omega \pm 40\%$ 。
- 从引脚到地测量。

7.9. 电源电流特性

7.9.1. $V_{DDA} = V_{DDB} = 5V \pm 10\%$, $T_A = -40$ to $125^\circ C$

参数	测试条件	电源电流	最小值	典型值	最大值	单位			
CA-IS3710									
电源电流 – 直流信号	$V_{IN} = 0V$ (CA-IS3710L); $V_{IN} = V_{DDA}$ (CA-IS3710H)	I_{DDA}	0.7	1.0		mA			
		I_{DDB}	0.9	1.4					
	$V_{IN} = V_{DDA}$ (CA-IS3710L); $V_{IN} = 0V$ (CA-IS3710H)	I_{DDA}	1.4	2.1					
		I_{DDB}	0.9	1.4					
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 pF$	1Mbps (500kHz)	I_{DDA}	1.0	1.5	mA			
			I_{DDB}	1.0	1.5				
		10Mbps (5MHz)	I_{DDA}	1.0	1.5				
			I_{DDB}	1.5	2.2				
		100Mbps (50MHz)	I_{DDA}	1.0	1.5				
			I_{DDB}	6.2	9.3				
CA-IS3720									
电源电流 – 直流信号	$V_{IN} = 0V$ (CA-IS3720L); $V_{IN} = V_{DDI}^1$ (CA-IS3720H)	I_{DDA}	0.8	1.2		mA			
		I_{DDB}	1.6	2.3					
	$V_{IN} = V_{DDI}$ (CA-IS3720L); $V_{IN} = 0V$ (CA-IS3720H)	I_{DDA}	2.3	3.5					
		I_{DDB}	1.6	2.4					
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 pF$	1Mbps (500kHz)	I_{DDA}	1.6	2.3	mA			
			I_{DDB}	1.7	2.6				
		10Mbps (5MHz)	I_{DDA}	1.6	2.3				
			I_{DDB}	2.7	4.0				
		100Mbps (50MHz)	I_{DDA}	1.6	2.3				
			I_{DDB}	12.2	18.2				
CA-IS3721									
电源电流 – 直流信号	$V_{IN} = 0V$ (CA-IS3721L); $V_{IN} = V_{DDI}$ (CA-IS3721H)	I_{DDA}	1.3	2.0		mA			
		I_{DDB}	1.3	2.0					
	$V_{IN} = V_{DDI}$ (CA-IS3721L); $V_{IN} = 0V$ (CA-IS3721H)	I_{DDA}	2.1	3.1					
		I_{DDB}	2.1	3.1					
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 pF$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA			
			I_{DDB}	1.8	2.6				
		10Mbps (5MHz)	I_{DDA}	2.2	3.3				
			I_{DDB}	2.2	3.3				
		100Mbps (50MHz)	I_{DDA}	7.0	10.5				
			I_{DDB}	7.0	10.5				
CA-IS3722									
电源电流 – 直流信号	$V_{IN} = 0V$ (CA-IS3722L); $V_{IN} = V_{DDI}$ (CA-IS3722H)	I_{DDA}	1.3	2.0		mA			
		I_{DDB}	1.3	2.0					
	$V_{IN} = V_{DDI}$ (CA-IS3722L); $V_{IN} = 0V$ (CA-IS3722H)	I_{DDA}	2.1	3.1					
		I_{DDB}	2.1	3.1					
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 pF$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA			
			I_{DDB}	1.8	2.6				
		10Mbps (5MHz)	I_{DDA}	2.2	3.3				
			I_{DDB}	2.2	3.3				
		100Mbps (50MHz)	I_{DDA}	7.0	10.5				
			I_{DDB}	7.0	10.5				
备注:									
1. V_{DDI} = 输入侧 V_{DD}									

7.9.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试条件	电源电流	最小值	典型值	最大值	单位		
CA-IS3710								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3710L); $V_{IN} = V_{DDA}$ (CA-IS3710H)	I_{DDA}	0.7	1.0		mA		
		I_{DDB}	0.9	1.4				
	$V_{IN} = V_{DDA}$ (CA-IS3710L); $V_{IN} = 0V$ (CA-IS3710H)	I_{DDA}	1.4	2.1				
		I_{DDB}	0.9	1.4				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.0	1.5	mA		
			I_{DDB}	1.0	1.5			
		10Mbps (5MHz)	I_{DDA}	1.0	1.5			
			I_{DDB}	1.3	2.0			
		100Mbps (50MHz)	I_{DDA}	1.0	1.5			
			I_{DDB}	4.7	7.1			
CA-IS3720								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3720L); $V_{IN} = V_{DDI}^1$ (CA-IS3720H)	I_{DDA}	0.8	1.2		mA		
		I_{DDB}	1.6	2.3				
	$V_{IN} = V_{DDI}$ (CA-IS3720L); $V_{IN} = 0V$ (CA-IS3720H)	I_{DDA}	2.3	3.5				
		I_{DDB}	1.6	2.4				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.6	2.3	mA		
			I_{DDB}	1.7	2.6			
		10Mbps (5MHz)	I_{DDA}	1.6	2.3			
			I_{DDB}	2.4	3.6			
		100Mbps (50MHz)	I_{DDA}	1.6	2.3			
			I_{DDB}	9.2	13.7			
CA-IS3721								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3721L); $V_{IN} = V_{DDI}$ (CA-IS3721H)	I_{DDA}	1.3	2.0		mA		
		I_{DDB}	1.3	2.0				
	$V_{IN} = V_{DDI}$ (CA-IS3721L); $V_{IN} = 0V$ (CA-IS3721H)	I_{DDA}	2.1	3.1				
		I_{DDB}	2.1	3.1				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA		
			I_{DDB}	1.8	2.6			
		10Mbps (5MHz)	I_{DDA}	2.1	3.2			
			I_{DDB}	2.1	3.2			
		100Mbps (50MHz)	I_{DDA}	5.5	8.2			
			I_{DDB}	5.5	8.2			
CA-IS3722								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3722L); $V_{IN} = V_{DDI}$ (CA-IS3722H)	I_{DDA}	1.3	2.0		mA		
		I_{DDB}	1.3	2.0				
	$V_{IN} = V_{DDI}$ (CA-IS3722L); $V_{IN} = 0V$ (CA-IS3722H)	I_{DDA}	2.1	3.1				
		I_{DDB}	2.1	3.1				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA		
			I_{DDB}	1.8	2.6			
		10Mbps (5MHz)	I_{DDA}	2.1	3.2			
			I_{DDB}	2.1	3.2			
		100Mbps (50MHz)	I_{DDA}	5.5	8.2			
			I_{DDB}	5.5	8.2			
备注:								
1. V_{DDI} = 输入侧 V_{DD}								

7.9.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试条件	电源电流	最小值	典型值	最大值	单位		
CA-IS3710								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3710L); $V_{IN} = V_{DDA}$ (CA-IS3710H)	I_{DDA}	0.7	1.0		mA		
		I_{DDB}	0.9	1.4				
	$V_{IN} = V_{DDA}$ (CA-IS3710L); $V_{IN} = 0V$ (CA-IS3710H)	I_{DDA}	1.4	2.1				
		I_{DDB}	0.9	1.4				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.0	1.5	mA		
			I_{DDB}	1.0	1.5			
		10Mbps (5MHz)	I_{DDA}	1.0	1.5			
			I_{DDB}	1.2	1.8			
		100Mbps (50MHz)	I_{DDA}	1.0	1.5			
			I_{DDB}	3.7	5.6			
CA-IS3720								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3720L); $V_{IN} = V_{DDI}^1$ (CA-IS3720H)	I_{DDA}	0.8	1.2		mA		
		I_{DDB}	1.6	2.3				
	$V_{IN} = V_{DDI}$ (CA-IS3720L); $V_{IN} = 0V$ (CA-IS3720H)	I_{DDA}	2.3	3.5				
		I_{DDB}	1.6	2.4				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.6	2.3	mA		
			I_{DDB}	1.7	2.6			
		10Mbps (5MHz)	I_{DDA}	1.6	2.3			
			I_{DDB}	2.2	3.3			
		100Mbps (50MHz)	I_{DDA}	1.6	2.3			
			I_{DDB}	7.2	10.7			
CA-IS3721								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3721L); $V_{IN} = V_{DDI}$ (CA-IS3721H)	I_{DDA}	1.3	2.0		mA		
		I_{DDB}	1.3	2.0				
	$V_{IN} = V_{DDI}$ (CA-IS3721L); $V_{IN} = 0V$ (CA-IS3721H)	I_{DDA}	2.1	3.1				
		I_{DDB}	2.1	3.1				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA		
			I_{DDB}	1.8	2.6			
		10Mbps (5MHz)	I_{DDA}	2.0	3.0			
			I_{DDB}	2.0	3.0			
		100Mbps (50MHz)	I_{DDA}	4.5	6.7			
			I_{DDB}	4.5	6.7			
CA-IS3722								
电源电流 - 直流信号	$V_{IN} = 0V$ (CA-IS3722L); $V_{IN} = V_{DDI}$ (CA-IS3722H)	I_{DDA}	1.3	2.0		mA		
		I_{DDB}	1.3	2.0				
	$V_{IN} = V_{DDI}$ (CA-IS3722L); $V_{IN} = 0V$ (CA-IS3722H)	I_{DDA}	2.1	3.1				
		I_{DDB}	2.1	3.1				
电源电流 - 交流信号	所有通道输入 50% 占空比, 幅值为 5V 的方波; 每个通道 $C_L = 15 \text{ pF}$	1Mbps (500kHz)	I_{DDA}	1.8	2.6	mA		
			I_{DDB}	1.8	2.6			
		10Mbps (5MHz)	I_{DDA}	2.0	3.0			
			I_{DDB}	2.0	3.0			
		100Mbps (50MHz)	I_{DDA}	4.5	6.7			
			I_{DDB}	4.5	6.7			
备注:								
1. $V_{DDI} = $ 输入侧 V_{DD}								

7.10. 时序特性

7.10.1. $V_{DDA} = V_{DDB} = 5 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0	150		Mbps
PW _{min} 最小脉宽			5.0		ns
t _{PLH} , t _{PHL} 传播延迟	图 8-1	5.0	8.0	13.0	ns
PWD 脉冲宽度失真 t _{PLH} - t _{PHL}		0.2	4.5		ns
t _{sk(o)} 通道到通道输出偏移时间 ¹	同方向通道	0.4	2.5		ns
t _{sk(pp)} Part-to-part Skew Time ²		2.0	4.5		ns
t _r 输出上升时间	图 8-1	2.5	4.0		ns
t _f 输出下降时间	图 8-1	2.5	4.0		ns
t _{DO} 默认输出延迟时间从输入电源损耗	图 8-2	8	12		ns
t _{SU} 启动时间		15	40		μs

备注:

- tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
- tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

7.10.2. $V_{DDA} = V_{DDB} = 3.3 \text{ V} \pm 10\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0	150		Mbps
PW _{min} 最小脉宽			5.0		ns
t _{PLH} , t _{PHL} 传播延迟	图 8-1	1.0	8.0	13.0	ns
PWD 脉冲宽度失真 t _{PLH} - t _{PHL}		0.2	4.5		ns
t _{sk(o)} 通道到通道输出偏移时间 ¹	同方向通道	0.4	2.5		ns
t _{sk(pp)} Part-to-part Skew Time ²		2.0	4.5		ns
t _r 输出上升时间	图 8-1	2.5	4.0		ns
t _f 输出下降时间	图 8-1	2.5	4.0		ns
t _{DO} 默认输出延迟时间从输入电源损耗	图 8-2	8	12		ns
t _{SU} 启动时间		15	40		μs

备注:

- tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
- tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

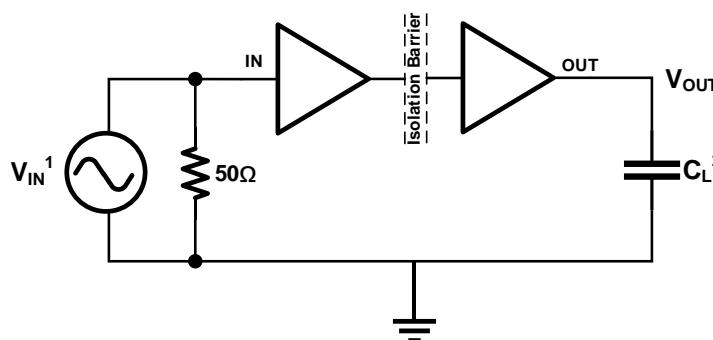
7.10.3. $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -40 \text{ to } 125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0	150		Mbps
PW _{min} 最小脉宽			5.0		ns
t _{PLH} , t _{PHL} 传播延迟	图 8-1	5.0	8.0	13.0	ns
PWD 脉冲宽度失真 t _{PLH} - t _{PHL}		0.2	5.0		ns
t _{sk(o)} 通道到通道输出偏移时间 ¹	同方向通道	0.4	2.5		ns
t _{sk(pp)} Part-to-part Skew Time ²		2.0	5.0		ns
t _r 输出上升时间	图 8-1	2.5	4.0		ns
t _f 输出下降时间	图 8-1	2.5	4.0		ns
t _{DO} 默认输出延迟时间从输入电源损耗	图 8-2	8	12		ns
t _{SU} 启动时间		15	40		μs

备注:

- tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
- tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

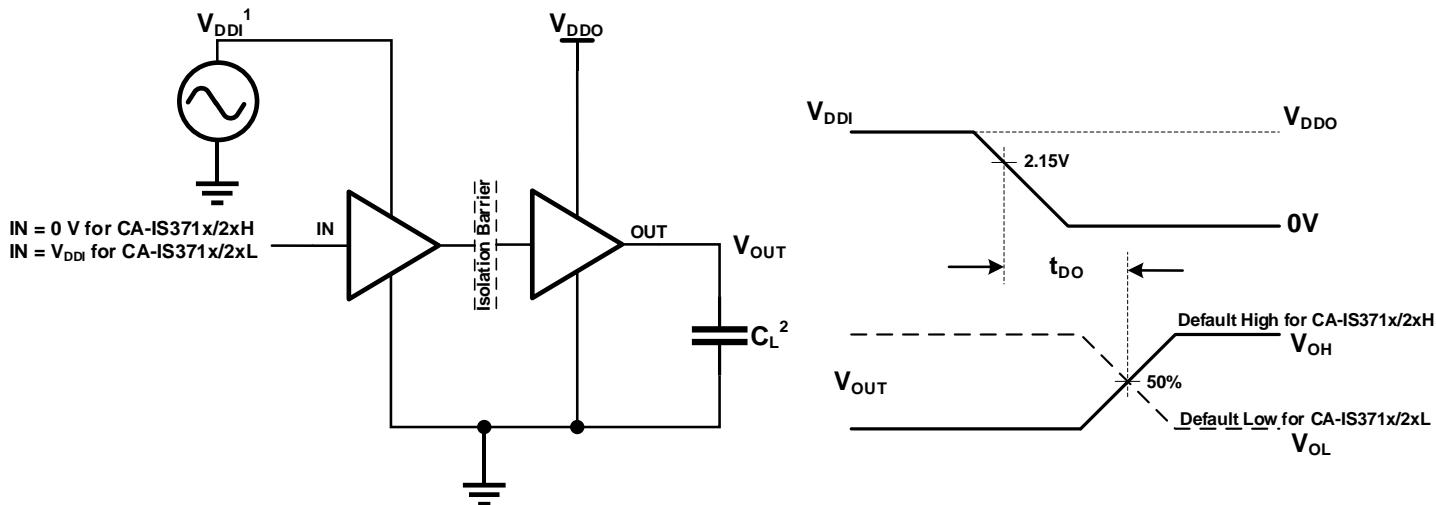
8. 参数测量信息



备注：

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件: 波形频率 $\leq 100\text{kHz}$, 占空比 50%, $t_r \leq 3\text{ns}$, $t_f \leq 3\text{ns}$ 。由于波形发生器的输出阻抗 $Z_{out} = 50\Omega$, 图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间, 因此它是时序特性测量的关键因素。

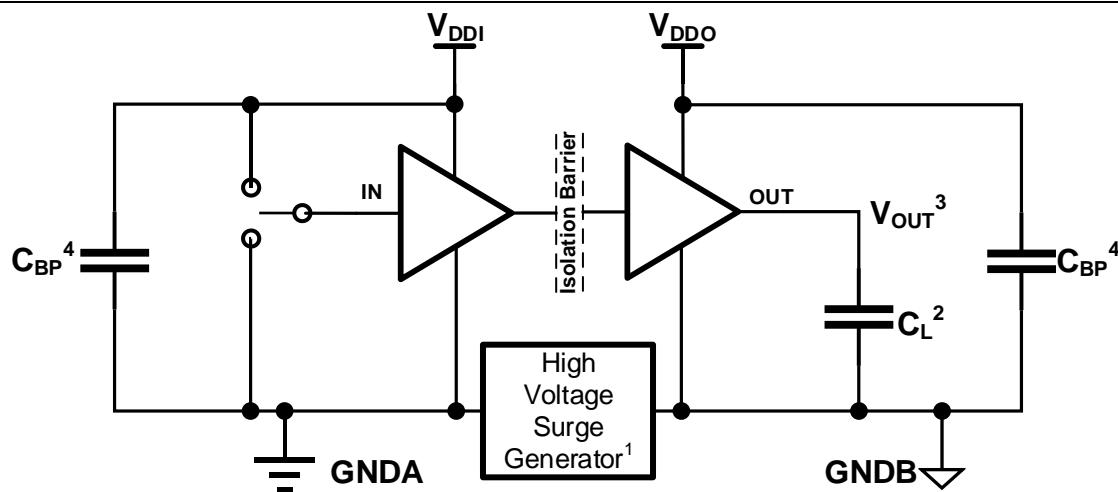
图 8-1 时序特性测试电路和电压波形



备注：

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件: 波形频率 $\leq 100\text{kHz}$, 占空比 50%, $t_r \leq 3\text{ns}$, $t_f \leq 3\text{ns}$ 。由于波形发生器的输出阻抗 $Z_{out} = 50\Omega$, 图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间, 因此它是时序特性测量的关键因素。

图 8-2 默认输出延迟时间测试电路和电压波形



备注:

1. 高压浪涌脉冲发生器产生振幅>1kV, 上升/下降时间<10ns, 达到共模瞬态噪声压摆率>100kV / μ s 的重复高压脉冲。
2. CL 是大约 15pF 的负载电容以及仪表电容。
3. 通过 - 失败标准: 每当高压浪涌到来时, 输出必须保持稳定。
4. CBP 是 0.1~1uF 的旁路电容。

图 8-3 共模瞬变抗扰度测试电路

9. 详细说明

9.1. 工作原理

CA-IS371x/2x 系列器件使用一个简单的开关键控(OOK)调制方案在 SiO₂ 隔离电容之间传输信号，该隔离电容在两个不同的电压域之间提供一个可靠的绝缘，并充当输入和输出之间的高频信号路径。发射机(TX)将输入信号调制到载流子频率上，即 TX 在一个输入状态下跨隔离势垒传递高频信号，而在另一个输入状态下跨隔离势垒不传递任何信号。然后接收机根据检测到的带内能量重建输入信号。这个简单的体系结构提供了一个可靠的隔离数据路径，在启动时不需要特别考虑初始化。基于电容的信号通路是完全差分的，以最大限度地提高噪声抗干扰能力，也称为共模瞬态抗干扰能力。采用先进的电路技术可以抑制载波信号和 IO 开关引入的 EMI。与电感耦合结构相比，电容耦合结构具有更高的电磁抗干扰能力。OOK 调制方案消除了脉冲调制方法中出现的漏脉冲误差。图 9-1 和图 9-2 为单通道简化功能框图和概念操作波形。

9.2. 功能框图

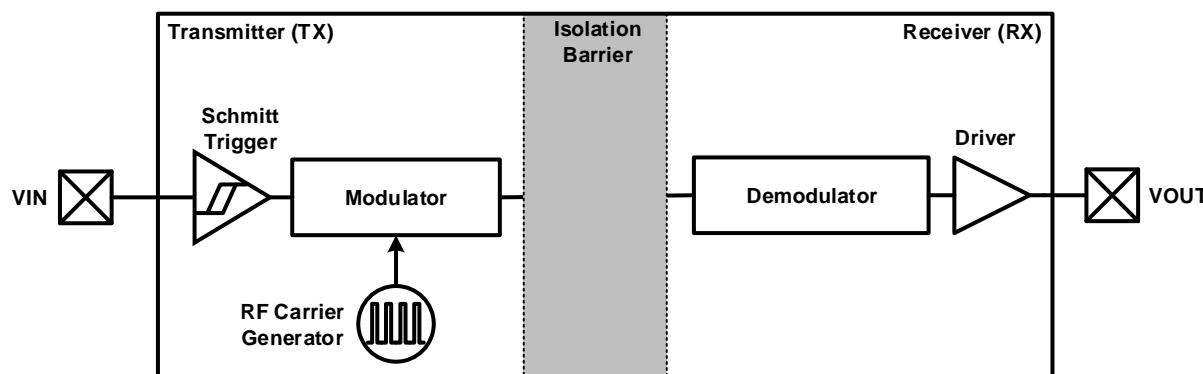


图 9-1 单通道功能框图

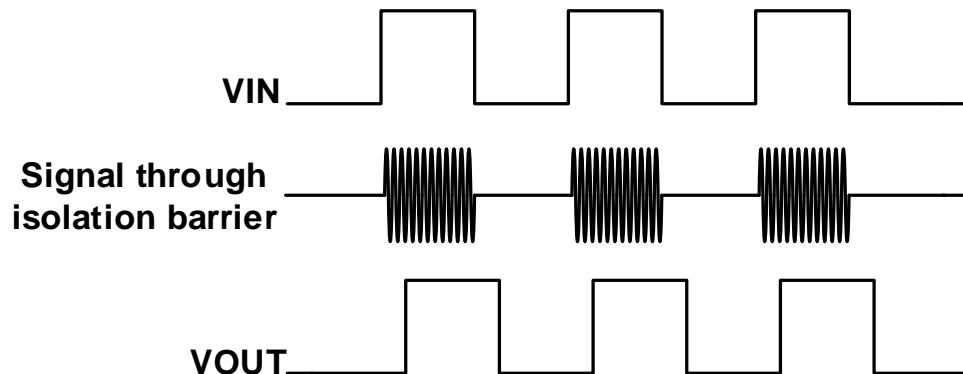


图 9-2 单通道概念波形

9.3. 真值表

表 9-1 CA-IS371x/2x 器件真值表.

表 9-1 真值表¹

V_{DDI}	V_{DDO}	输入(Ax/Bx) ²	输出使能 (ENx) ^{3,4}	输出 (Ax/Bx)
PU	PU	H	H	正常运行模式: 通道的输出跟随通道输入状态
		L	L	
		Open	Default	默认输出故障安全模式: 如果通道的输入保持断开状态，则其输出将变为默认值(CA-IS371x/2xL 为低， CA-IS371x/2xH 输出为高)。
PD	PU	X	Default	默认输出故障安全模式: 如果输入侧 VDD 未通电，则输出进入默认输出故障安全模式 (CA-IS371x/2xL 为低电平， CA-IS371x/2xH 为高电平)。
X	PD	X	Undetermined	如果输出侧 VDD 未供电，则输出的状态不确定. ³

备注:

1. V_{DDI} = 输入侧 V_{DD} ; V_{DDO} = 输出侧 V_{DD} ; PU = 上电 ($VCC \geq 2.375$ V); PD = 断电($VCC \leq 2.25$ V); X = 无关; H = 高电平; L = 低电平.
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮动的 VDD，从而导致输出不确定.
3. 当 $2.25V < VDDI, VDDO < 2.375$ V 时，输出处于不确定状态.

10. 应用电路

不像光耦需要外部元件来提供偏置或限制电流性能, the CA-IS371x/2x 系列器件 CMOS 数字隔离器只需要两个外部 VDD 旁路电容 (0.1 μ F 至 1 μ F) 即可工作。其 TTL 电平兼容输入端仅吸收微安的漏电流, 无需外部缓冲电路即可驱动。输出端的特性阻抗为 50 Ω (轨到轨摆幅), 可提供正向和反向通道配置。图 10-1 显示了 CA-IS3721 设备的典型应用。图 10-2 的电路是 CA-IS37xx 系列产品的典型应用电路, 与标准逻辑门一样易于使用。

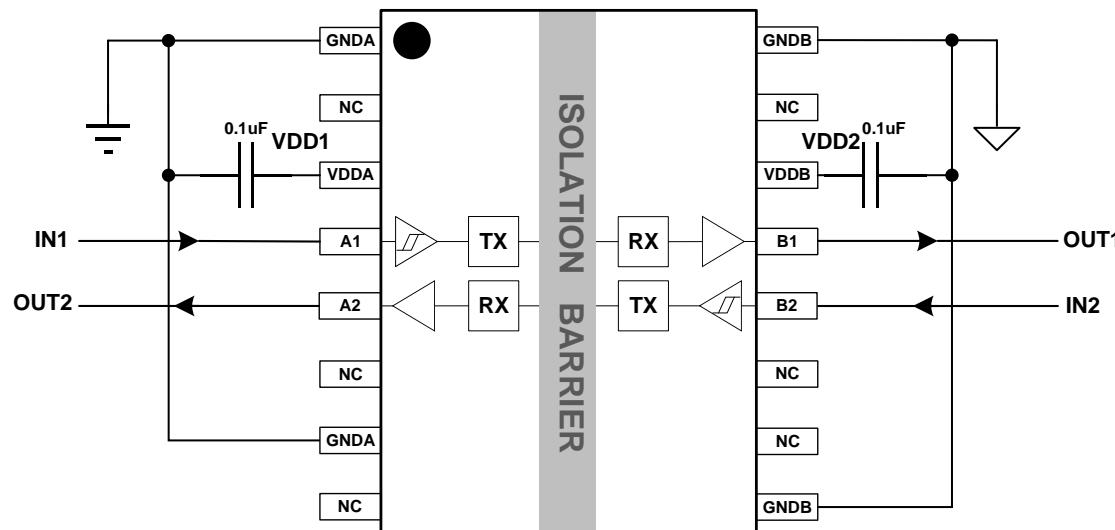


图 10-1 SOIC-16 CA-IS3721 典型应用电路

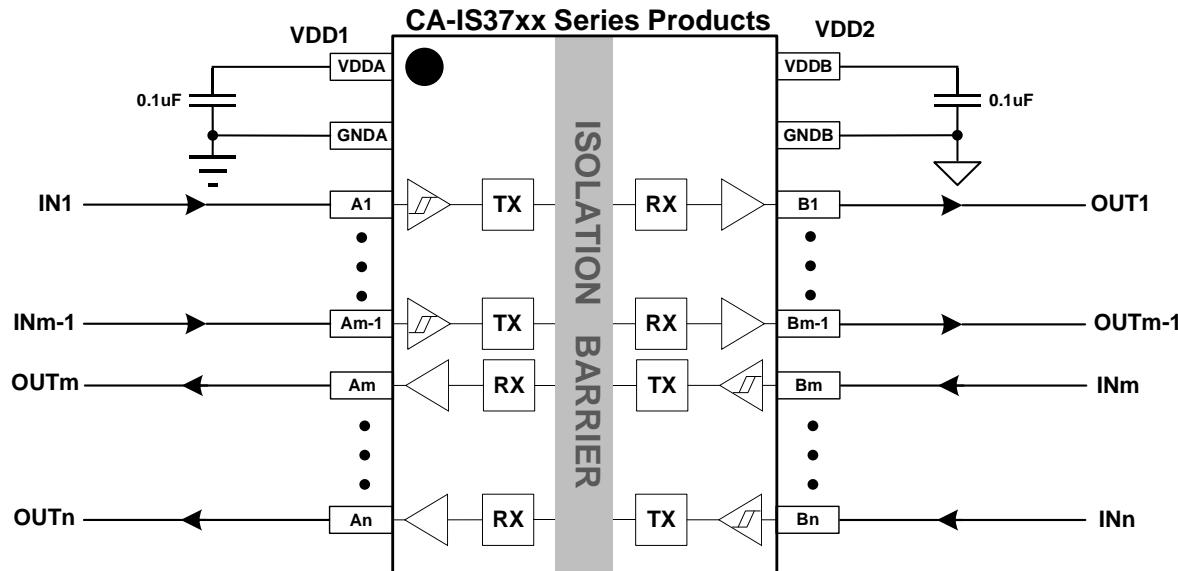
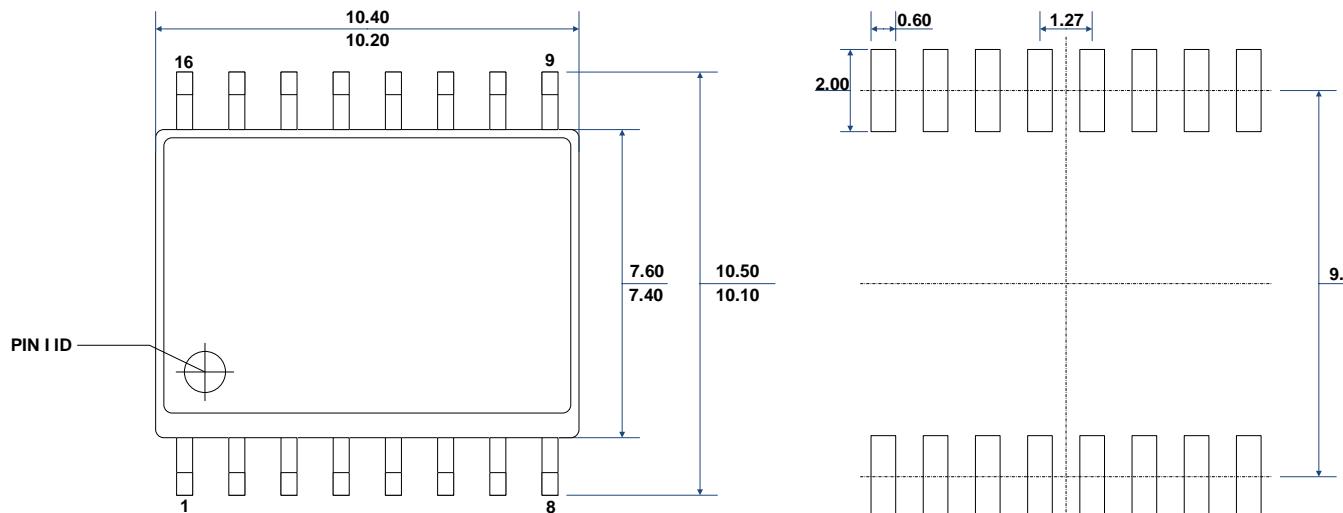
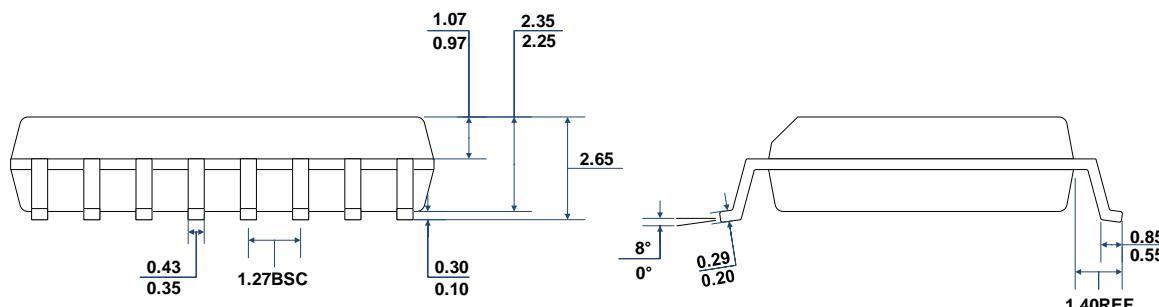


图 10-2 CA-IS37xx 系列数字隔离器应用原理图

11. 封装信息

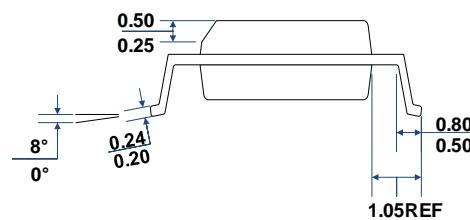
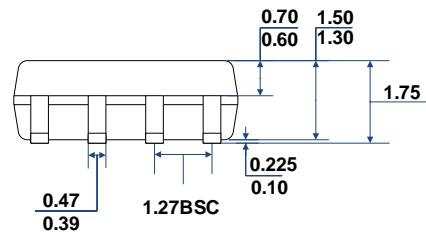
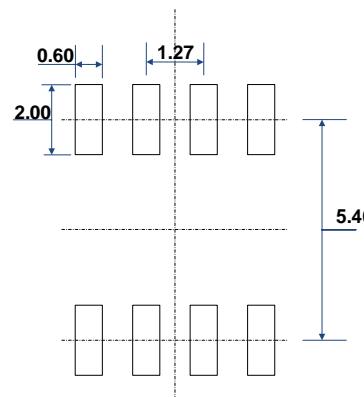
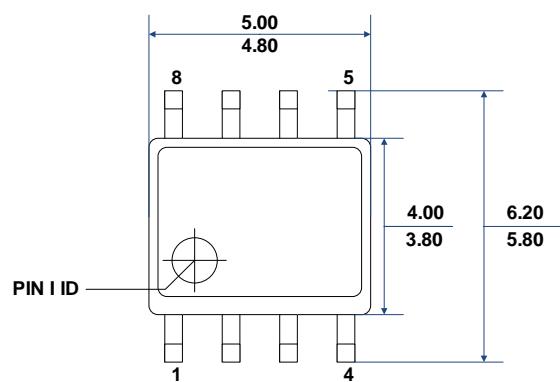
11.1. SOIC-16WB 宽体外形尺寸

下图说明了 CA-IS371x/2x 系列数字隔离器采用 SOIC-16WB 宽体封装大小尺寸图和建议焊盘尺寸图. 尺寸以毫米为单位

**TOP VIEW****RECOMMENDED LAND PATTERN****FRONT VIEW****LEFT-SIDE VIEW**

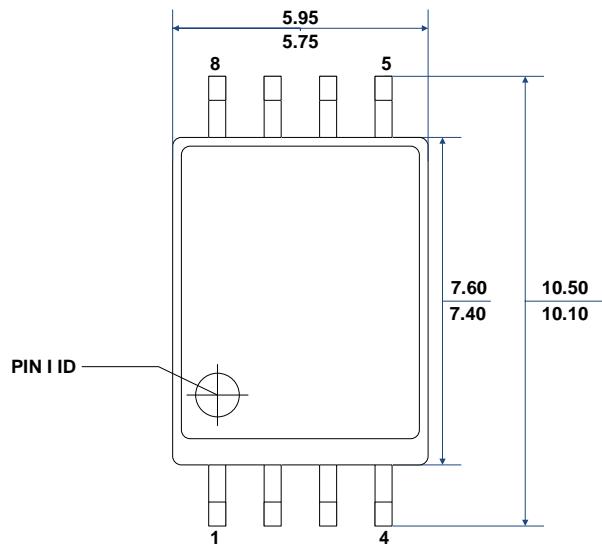
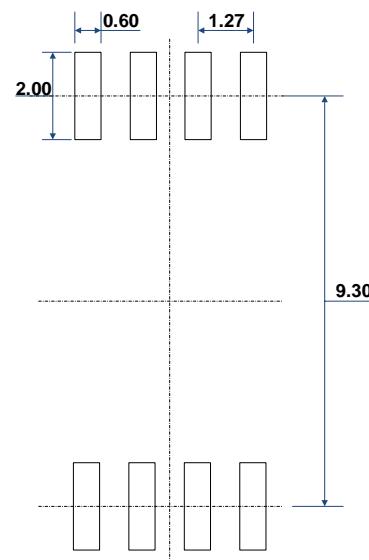
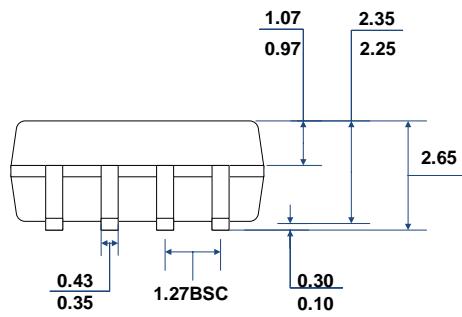
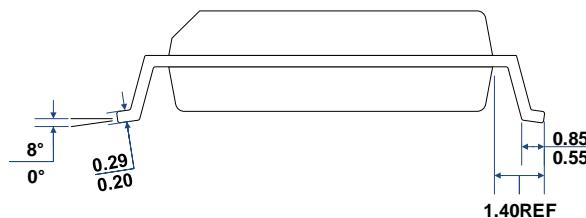
11.2. SOIC8 窄体外形尺寸

下图说明了 CA-IS371x/2x 系列数字隔离器采用 SOIC-8 窄体封装大小尺寸图和建议焊盘尺寸图. 尺寸以毫米为单位



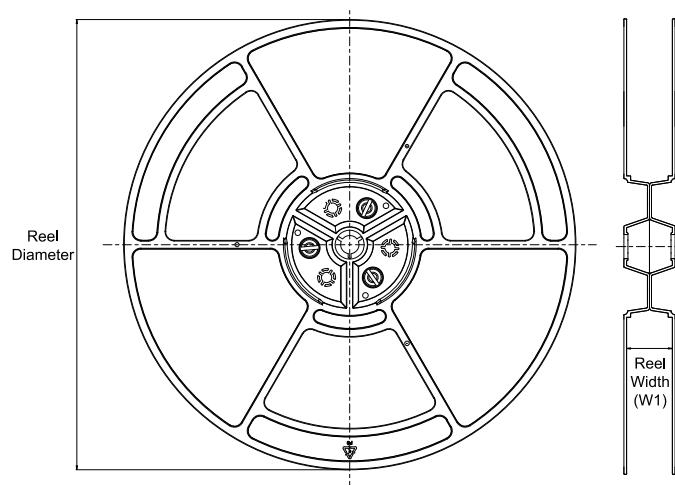
11.3. SOIC8 宽体 外形尺寸

下图说明了 CA-IS371x/2x 系列数字隔离器采用 SOIC-8 宽体封装大小尺寸图和建议焊盘尺寸图. 尺寸以毫米为单位

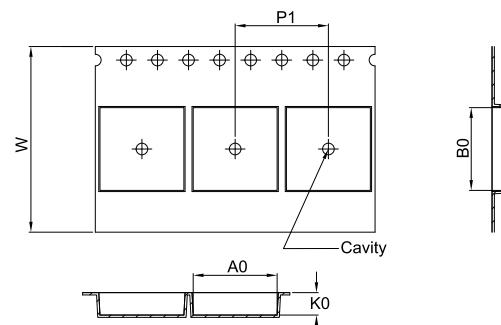
**TOP VIEW****RECOMMENDED LAND PATTERN****FRONT VIEW****LEFT-SIDE VIEW**

TAPE AND REEL INFORMATION

REEL DIMENSIONS

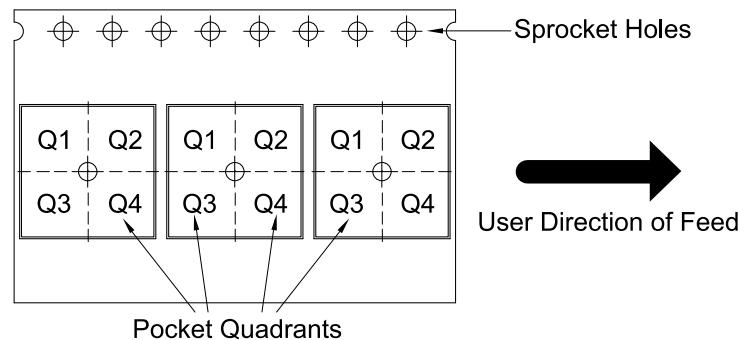


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3710LSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3710LWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3710HSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3710HWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3720LSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3720LGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1
CA-IS3720LWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3720HSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3720HGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1
CA-IS3720HWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3721LSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3721LGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1
CA-IS3721LWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3721HSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3721HGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1
CA-IS3721HWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3722LSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3722LGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1

CA-IS3722LWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3722HSR	SOIC	S	8	5000	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3722HGR	SOIC	G	8	5000	330	16.4	6.5	10.7	2.9	12.0	24.0	Q1
CA-IS3722HWR	SOIC	W	16	1200	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1

重要通知和免责声明

Chipanalog 保留因技术革新而改变上述资料的权利

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>