

EA772 – Circuitos Lógicos
Prova 3 – B
21/06/2007

RA: 071251

Nome: João Antonio G. L. Silva

Ass.: João Antonio G. L. Silva

Questão	Valor	Nota
1	1,5	1,50
2	2,5	0,50
3	1,25	1,25
4	1,0	0,60
5	1,25	0,00
6	2,5	0,00
Soma	10,0	3,85

Questão 1: Utilize um flip-flop D para projetar uma rede que corresponde a um flip-flop JK.

Questão 2: Usando um flip-flop JK (bit mais significativo) e um flip-flop T, projete um detector de padrão 0000 com repetição (Por exemplo, para uma sequência de entrada $x = 001000000101$ deve-se gerar a sequência $z = 0000001111000$ como saída). Mostre

1. o diagrama de estados reduzido.
2. a tabela de transição e a codificação binária das variáveis do sistema.
3. as funções de excitação do flip-flop JK em função da entrada x e do estado corrente do sistema.
4. a função de excitação do flip-flop T em função da entrada x e do estado corrente do sistema.
5. a função de saída.
6. o diagrama lógico do sistema.

Questão 3: Utilize um decodificador de 3 entradas e portas OR para implementar a seguinte função lógica

$$z = ABC + \overline{A}C$$

Questão 4: Dadas as duas operações aritméticas em decimais: $(13-8)$ e $(8-13)$ realize operações equivalentes na base 2 (com 5 algarismos) em C_{2-1} (complemento de 1) e em C_2 (complemento de 2). Mostre explicitamente os passos do algoritmo.

Questão 5: Um técnico testa o circuito de soma/subtração da página em anexo. Há três modos de operação do circuito: a) no modo ADD=0, SUB=0, $[\Sigma] = [A]$; b) no modo ADD=1, SUB=0, $[\Sigma] = [A] + [B]$; c) no modo ADD=0, SUB=1, $[\Sigma] = [A] - [B]$.

1. Um primeiro teste mostra que a saída $[\Sigma]$ sempre excede os resultados esperados de um para os dois primeiros modos de operação. Qual será o erro mais provável de conexão no circuito?
2. Um segundo teste mostra que quando o modo é a adição, o resultado é um mais o esperado, e, quando o modo é a subtração, o resultado é um menos o esperado. Qual será agora o erro mais provável de conexão?

Questão 6: Considere um sistema de comunicação que deseja transmitir para um certo destino uma seqüência específica de "1"s e "0"s gerada por uma fonte de informação. O comprimento da seqüência é de 40 dígitos e ela é gerada a uma taxa de um dígito a cada T_b segundos. O transmissor, antes de enviar a seqüência, introduz a cada quatro dígitos gerados pela fonte, um dígito de paridade (par). O receptor (em sincronismo com o transmissor) verifica a paridade de cada bloco de cinco dígitos. Se for par, os dígitos de informação são recuperados. Caso contrário, *um* é adicionado a um contador. Projete circuitos digitais para o transmissor e para o receptor. Sempre que possível, utilize módulos-padrão combinacionais e seqüenciais vistos em sala de aula. Procure minimizar o número de módulos utilizados.