

EA772 Circuitos Lógicos
Prof. José Mario De Martino – Prova 03 – 2º. Semestre 2009

1.

- a) $a = 10; b = 20$
- b) resultado impossível
- c) $a = F2; b = 10$
- d) $a = 81; b = 80$
- e) $a = F0; b = 01$
- f) $a = 71; b = 10$
- g) $a = 90; b = FF$
- h) resultado impossível
- i) $a = 00; b = 00$
- j) $a = FF; b = 01$

2.

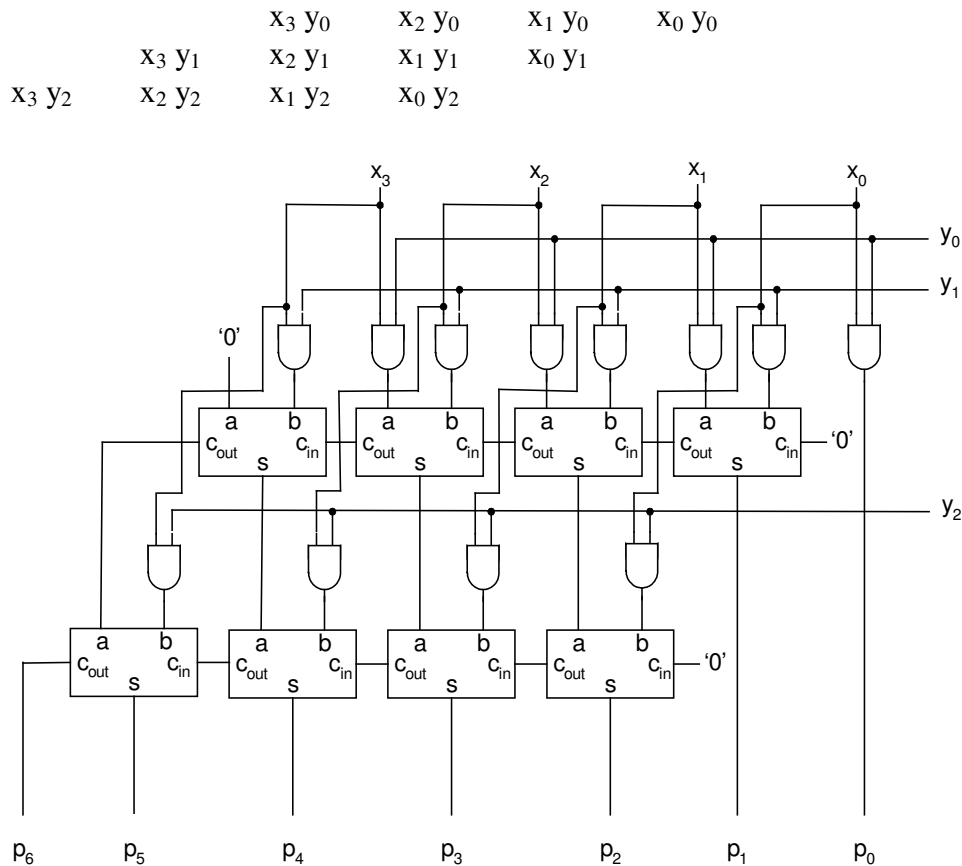


Figura 1: Diagrama esquemático do circuito do exercício 2.

3.

f

	$x'_1 x'_0$	$x'_1 x_0$	$x_1 x_0$	$x_1 x'_0$
$x'_3 x'_2$	0	0	0	1
$x'_3 x_2$	1	1	0	0
$x_3 x_2$	0	1	0	1
$x_3 x'_2$	0	1	0	1

f

	$x'_1 x'_0$	$x'_1 x_0$	$x_1 x_0$	$x_1 x'_0$
$x'_3 x'_2$	0		x'_0	
$x'_3 x_2$	1		0	
$x_3 x_2$	x_0		x'_0	
$x_3 x'_2$	x_0		x'_0	

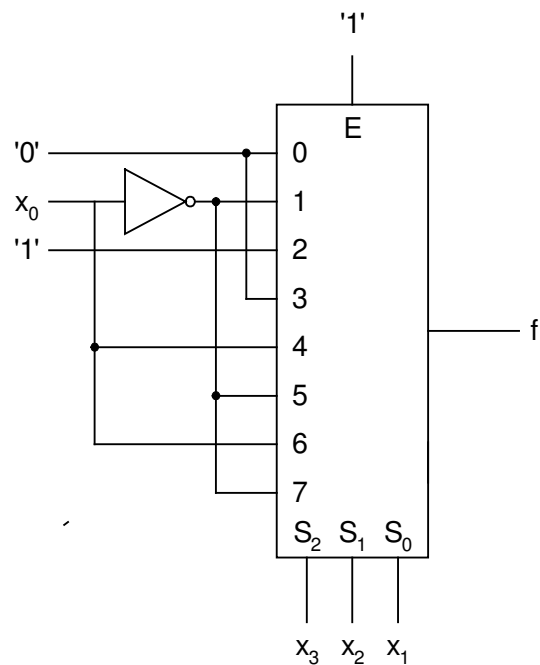


Figura 1: Diagrama esquemático do circuito do exercício 3.

4.

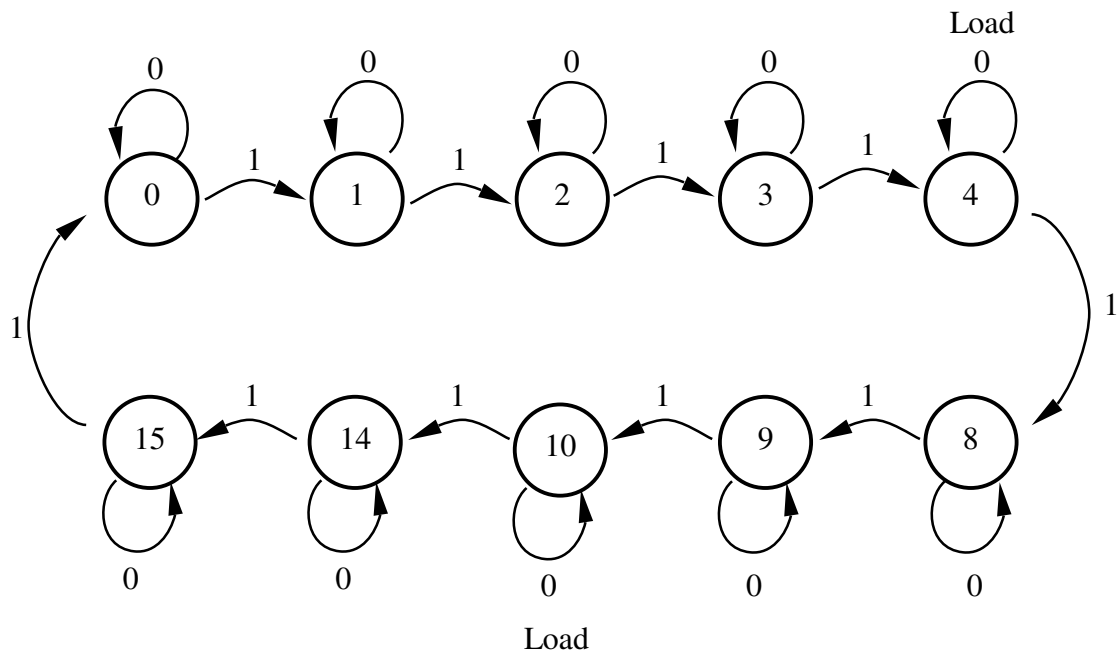


Figura 3: Diagrama de estados do contador do exercício 4.

Considerando diagrama de estados da Figura 3, observamos que o contador opera na maioria das transições como um contador crescente com uma entrada de contagem, menos nas transição dos estados 4 e 10.

No estado 4 (0100) devemos carregar o valor 8 (1000).

No estado 10 (1010) devemos carregar o valor 14 (1110).

Considerando x a entrada de contagem, $Q_3 Q_2 Q_1 Q_0$ as saídas do contador módulo-16 com entrada paralela e $I_3 I_2 I_1 I_0$ as entradas de carga do contador módulo-16 com entrada paralela.

.

Sinal de carga LD

LD

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$
$Q'_3 Q'_2$	0	0	0	0
$Q'_3 Q_2$	1	X	X	X
$Q_3 Q_2$	X	X	0	0
$Q_3 Q'_2$	0	0	X	1

$$LD = (Q'_3 Q_2 + Q_3 Q'_2 Q_1) x$$

I₃

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$	
$Q'_3 Q'_2$	X	X	X	X	
$Q'_3 Q_2$	1	X	X	X	
$Q_3 Q_2$	X	X	X	X	
$Q_3 Q'_2$	X	X	X	1	$I_3 = 1$

I₂

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$	
$Q'_3 Q'_2$	X	X	X	X	
$Q'_3 Q_2$	0	X	X	X	
$Q_3 Q_2$	X	X	X	X	
$Q_3 Q'_2$	X	X	X	1	$I_2 = Q_3$

I₁

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$	
$Q'_3 Q'_2$	X	X	X	X	
$Q'_3 Q_2$	0	X	X	X	
$Q_3 Q_2$	X	X	X	X	
$Q_3 Q'_2$	X	X	X	1	$I_1 = Q_3$

I₀

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$	
$Q'_3 Q'_2$	X	X	X	X	
$Q'_3 Q_2$	0	X	X	X	
$Q_3 Q_2$	X	X	X	X	
$Q_3 Q'_2$	X	X	X	0	$I_0 = 0$

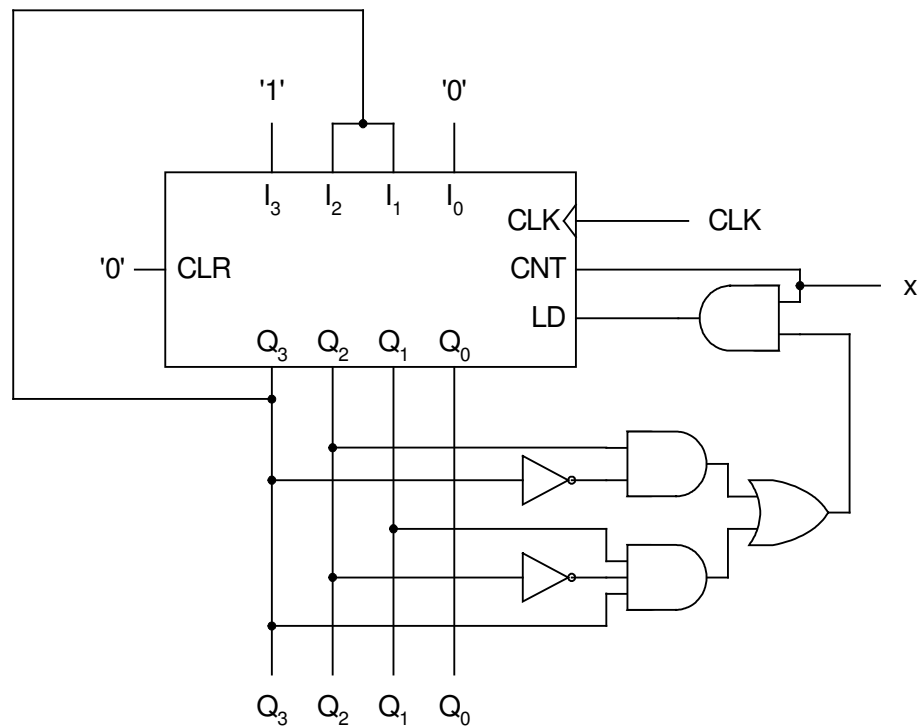


Figura 4: Diagrama esquemático do circuito do exercício 4.

5.

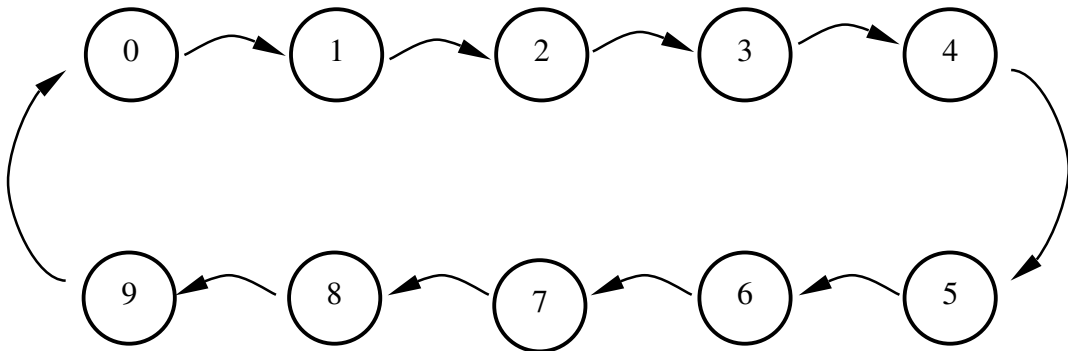


Figura 5: Diagrama de estados do contador do exercício 5.

Até o estado 9 devo incrementar a saída o registrador de 1. Na transição do estado 9 para 0 devo somar de 7 (6+1).

Considerando um somador que efetua $s = a + b + C_{in}$. Vou injetar na entrada a do módulo somador o valor de saída do registrador. Vou sempre fazer o incremento de 1, utilizando a entrada $C_{in} = 1$ do módulo somador. Para a transição de 9 para 10 devo adicionalmente somar 6 (0110).

Considerando $b_3 b_2 b_1 b_0$ a entrada b do módulo somador de 4 bits e $Q_3 Q_2 Q_1 Q_0$ os 4 bits de saída registrador, tenho

b_3

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$
$Q'_3 Q'_2$	0	0	0	0
$Q'_3 Q_2$	0	0	0	0
$Q_3 Q_2$	X	X	X	X
$Q_3 Q'_2$	0	0	X	X

$b_3 = 0$

b_2

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$
$Q'_3 Q'_2$	0	0	0	0
$Q'_3 Q_2$	0	0	0	0
$Q_3 Q_2$	X	X	X	X
$Q_3 Q'_2$	0	1	X	X

$b_2 = Q_3 Q_0$

b_1

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$
$Q'_3 Q'_2$	0	0	0	0
$Q'_3 Q_2$	0	0	0	0
$Q_3 Q_2$	X	X	X	X
$Q_3 Q'_2$	0	1	X	X

$b_1 = Q_3 Q_0$

b_0

	$Q'_1 Q'_0$	$Q'_1 Q_0$	$Q_1 Q_0$	$Q_1 Q'_0$
$Q'_3 Q'_2$	0	0	0	0
$Q'_3 Q_2$	0	0	0	0
$Q_3 Q_2$	X	X	X	X
$Q_3 Q'_2$	0	0	X	X

$b_0 = 0$

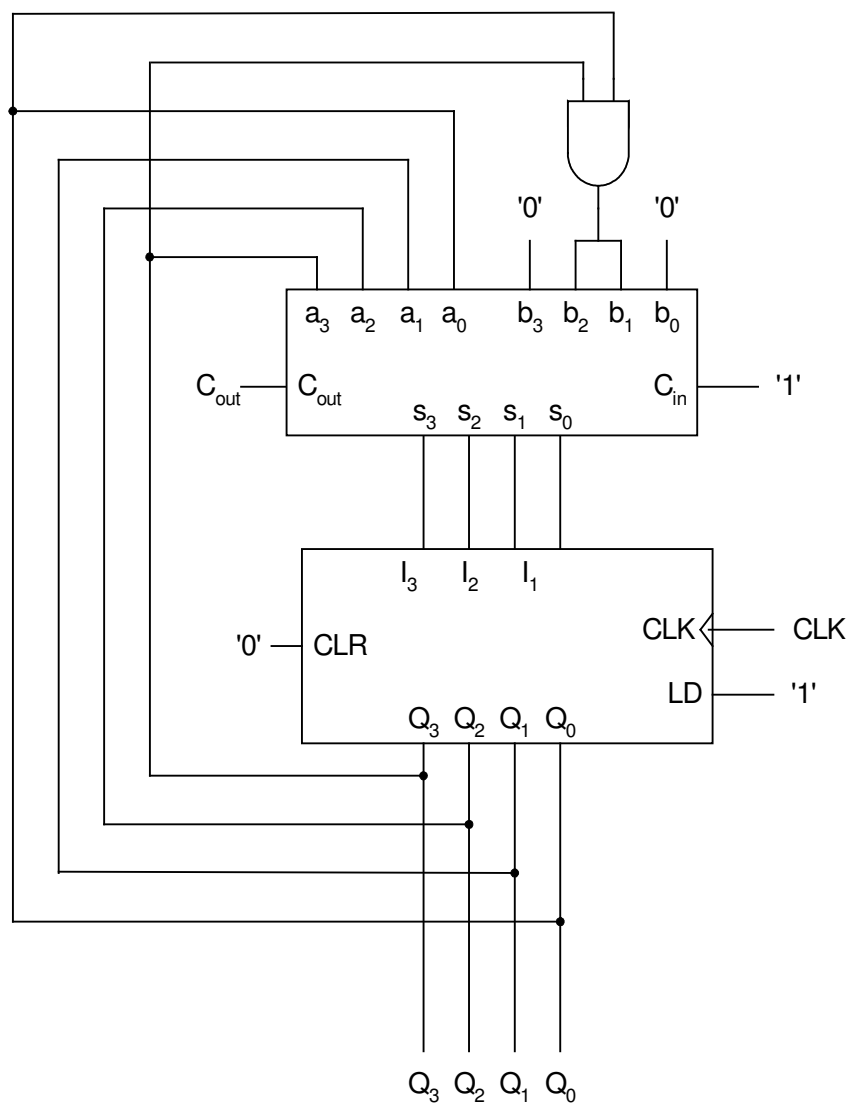


Figura 5: Diagrama esquemático do circuito do exercício 5.