## EA772 Circuitos Lógicos Prof. José Mario De Martino – Prova 02 – 2°. Semestre 2009

1. (2,0 pts) Determine a tabela de estados mínima equivalente à tabela de estados abaixo:

	Entrada		
EA	x = 0	x = 1	
A	F, 0	C, 0	
В	H, 1	G, 1	
C	H, 0	D, 1	
D	B, 0	H, 0	
Е	B, 0	C, 0	
F	C, 1	G, 1	
G	H, 1	B, 1	
Н	C, 0	A, 1	
	PE, z		

- 2. Utilizando um flip-flop D, projete circuito sequencial que corresponda a (desenhe o circuito) :
  - a) (1,0 pt) um flip-flop SR

- b) (1,0 pt) um flip-flop JK
- 3. (3,0 pts) Projete um circuito sequencial com uma entrada binária x(t) e uma saída binária z(t). A saída no instante t será igual a 1 sempre que x(t-3, t) = 1010 ou 1001. Utilizar flip-flops JK. (NÃO utilizar a abordagem "um flip-flop por estado". NÃO utilizar a abordagem baseada em registrador de deslocamento. NÃO transformar o flip-flop JK em outro tipo de flip-flop para fazer o projeto). Faça a minimização de estados e a minização da parte combinacional do circuito utilizando mapas de Karnaugh. Desenhe o circuito projetado.
- 4. (3,0 pts) Calcule a frequência máxima de operação em MHz do circuito da Figura 1. As Tabelas 1 e 2 apresentam as características dos componentes utilizados. Considere 10 cargas-padrão conectadas à saída z. Considere  $t_{in} = 2,0$  ns e  $t_{out} = 1,0$  ns; onde  $t_{in}$  é o atraso de propagação, em relação borda de acionamento do relógio, do circuito seqüencial conectado à entrada x e  $t_{out}$  é o tempo de *setup* do circuito sequencial ao qual a saída z está conectada.

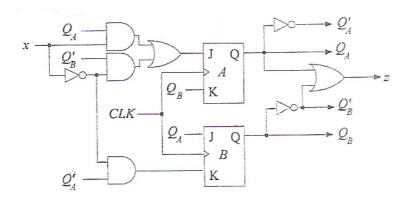


Figura 1: Circuito da Questão 4

Characteristics of a family of CMOS gates

Gate	Fan-	Propagation delays		Load factor	Size
type	in	$t_{pLH}$	$t_{pHL}$		
		[ns]	[ns]	[standard	[equiv.
				loads]	gates]
AND	2	0.15 + 0.037L	0.16 + 0.017L	1.0	2
AND	3	0.20 + 0.038L	0.18 + 0.018L	1.0	2
AND	4	0.28 + 0.039L	0.21 + 0.019L	1.0	3
OR	2	0.12 + 0.037L	0.20 + 0.019L	1.0	2
OR	3	0.12 + 0.038L	0.34 + 0.022L	1.0	2
OR	4	0.13 + 0.038L	0.45 + 0.025L	1.0	3
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1.0	1
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1.0	1
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1.0	2
NAND	4	0.10 + 0.037L	0.12 + 0.051L	1.0	2
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1.0	4
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1.0	5
NAND	8	0.24 + 0.038L	0.42 + 0.019L	1.0	6
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1.0	1
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1.0	2
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1.0	4
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1.0	4
NOR	6	0.46 + 0.037L	0.24 + 0.018L	1.0	5
NOR	8	0.54 + 0.038L	0.23 + 0.018L	1.0	6
XOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3
		0.16 + 0.036L	0.15 + 0.020L	2.0	

Tabela 1: Características de portas lógicas CMOS.

Delays					Input	Size
					factor	
$t_{pLH}$	$t_{pHL}$	$t_{su}$	$t_h$	$t_w$	[std.	[equiv.
[ns]	[ns]	[ns]	[ns]	[ns]	loads]	gates]
0.49 + 0.038L	0.54 + 0.019L	0.30	0.14	0.2	1	6

L: output load of the flip-flop

Tabela 2: Características do flip-flop JK CMOS.