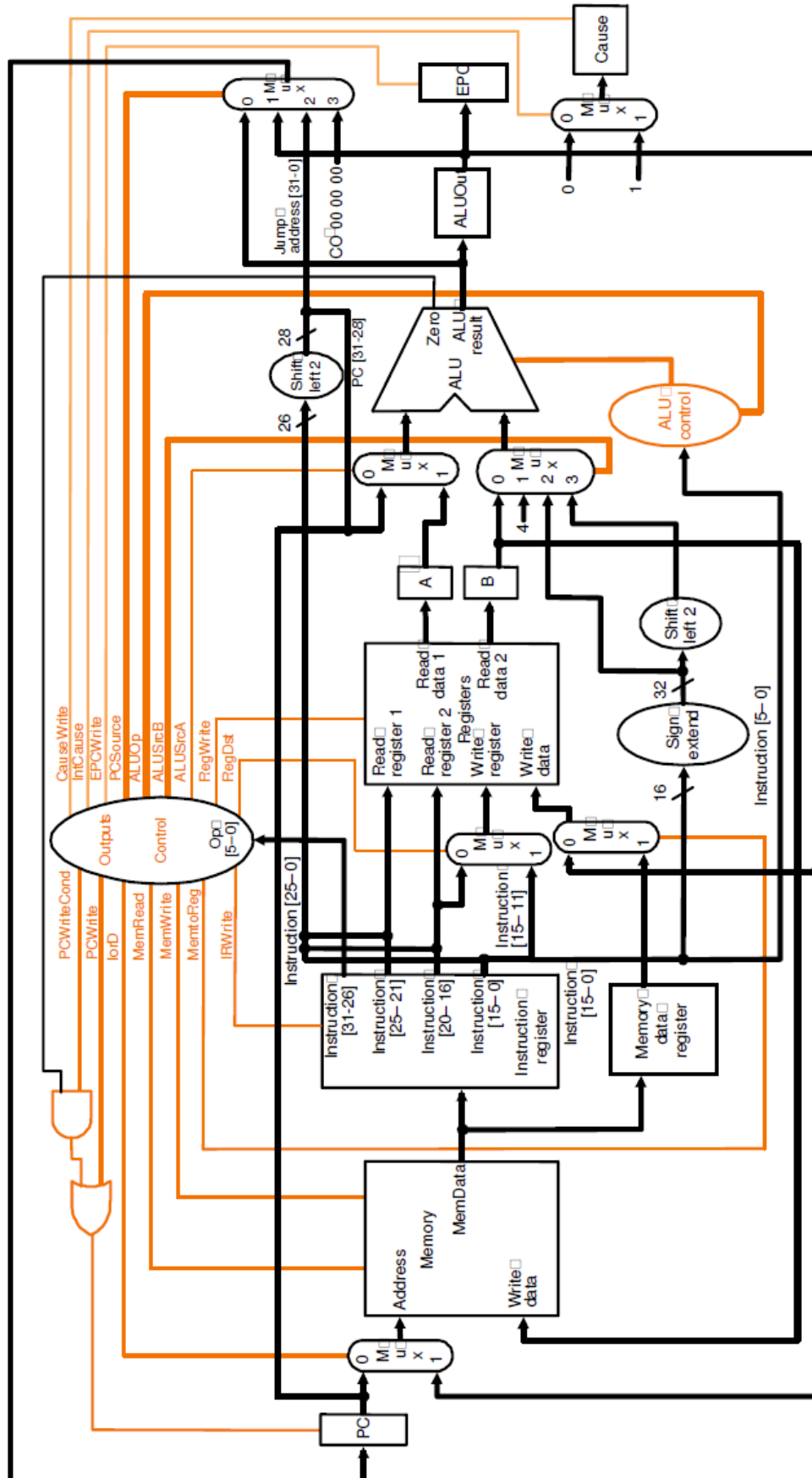


Nome \_\_\_\_\_

RA \_\_\_\_\_

1. Dado a CPU abaixo, faça as alterações necessárias para que ela execute a instrução: **call endereço** ( $SP \leftarrow SP - 4$ ;  $[SP] \leftarrow PC$ ;  $PC \leftarrow \text{endereço}$ ). Mostre também o formato que esta instrução teria e execute-a com a nova CPU, mostrando o conjunto de sinais de controle por ciclos. (3,0)



Nome

2. Altere o micropograma abaixo de forma a atender as alterações do exercício 2. (2,0)

Label	ALU control	SRC1	SRC2	Register control	Memory	PCWrite control	Sequencing
Fetch	Add	PC	4		Read PC	ALU	Seq
	Add	PC	Extshft	Read			Dispatch 1
Mem1	Add	A	Extend				Dispatch 2
LW2					Read ALU		Seq
				Write MDR			Fetch
SW2					Write ALU		Fetch
Rformat1	Func code	A	B				Seq
				Write ALU			Fetch
BEQ1	Subt	A	B			ALUOut-cond	Fetch
JUMP1						Jump address	Fetch

3. Dado a CPU abaixo, implemente o(s) circuito(s) que resolve(m) o(s) problema(s) de data hazard. Mostre um exemplo onde aconteçam todos os tipos de data hazard possíveis e como a alteração melhora o desempenho. Explique. (2,5)

4. Dado a CPU abaixo, implemente o(s) circuito(s) que resolve(m) o(s) problema(s) de control hazard. Mostre um exemplo onde aconteça este tipo de hazard e como a alteração melhora o desempenho. Explique. (2,5)

