

EA078 Mini e Microcomputadores: Hardware

Prof. Alice M. Tokarnia

Campinas, 25 de maio de 2010.

Nome/RA:

Prova 4

Questão 1 (2,2 pt)

- 1.1 Vários tipos de memória podem ser utilizados no projeto de sistemas embarcados. Compare a escrita de informações nas memórias EEPROM, SRAM e DRAM. Indique uma função para cada uma num sistema embarcado (armazenamento de dados ou instruções, posição na hierarquia de memória). (0,6 pt)
- 1.2 Apresente um programa cujo acesso a dados resulte em baixa localidade espacial. Justifique. (0,6 pt)
- 1.3 Calcule o número de bits de informação que podem ser armazenados por *word* se for usado o código de Hamming modificado para words de 32, 64 e 128 bits. (0,4 pt)
- 1.4 Por que o uso de código de correção de erros fica mais interessante a medida que o tamanho da *word* aumenta? Forneça duas razões. (0,6 pt)

Questão 2 (2 pt)

Além de proporcionar redução no tempo de acesso a informação, caches reduzem o consumo de energia. Calcule o tempo e a energia consumidos por acesso para as duas hierarquias de memória a seguir. Considere que estas hierarquias são utilizadas com um processador de 1 GHz e forneça o tempo em número de ciclos.

(a) Cache L1: (0,8 pt)

tempo de acesso = *hit time* = 4 ns

energia de acesso = 12 nJ

taxa de ausências = *miss rate* = 5,3%

Memória principal:

tempo de acesso a um bloco do cache = 40 ns

energia de acesso a um bloco do cache = 80 nJ

(b) Cache L1: (1,2 pt)

tempo de acesso = 2,25 ns

energia de acesso = 8 nJ

taxa de ausência = 10 %

Cache L2:

tempo de acesso = 10 ns

energia de acesso = 20 nJ

taxa de ausência = 2,4%

Memória principal:

tempo de acesso a um bloco do cache = 40,34 ns

energia de acesso a um bloco do cache = 80 nJ

Questão 3 (2,2 pt)

Apresente o conteúdo do cache, após a execução do trecho de programa abaixo. O cache em questão tem mapeamento associativo, com **16 blocos** distribuídos em **duas vias**, sendo cada bloco constituído por **2 words**. Inclua em cada bloco a etiqueta, um bit de validade e um bit de escrita por bloco. Considere que somente os elementos das matrizes são escritos no cache. (1,4 pt)

Apresente também: número de acessos de escrita, número de ausências de escrita, número de acesso de leitura, número de ausências de leitura. Utilize estes valores para calcular as taxas de ausência de escrita e de leitura. (0,8 pt)

A: 0x 4B00

B: 0x 4B14

C: 0x 4B28

For (i=0, i< 20, i ++)

C(i) = 0;

For (k= 0, k< 20, k++)

For (i =0, i =< k, i++)

C(i) =C(i) + A(i) * B(k-i);

Questão 4 (0,8 pt)

O código de Hamming com distância 3 possibilita a correção de **um** erro. Qual a distância mínima de um código para que possa ser feita a correção de **dois** erros? Justifique. Escreva uma fórmula para a distância de um código que possibilite a correção de **x** erros.

Questão 5 (1,4 pt)

Considere o código de Hamming modificado (16, 11) sendo os bits de informação e verificação posicionados de acordo com $P_0 P_1 P_2 I_3 P_4 I_5 I_6 I_7 P_8 I_9 I_{10} I_{11} I_{12} I_{13} I_{14} I_{15}$

6.1 Apresente as equações usadas no cálculo dos bits de verificação. (1 pt)

6.2 Que afirmativa você pode fazer a respeito da palavra codificada 0x1C36? (0,4 pt)

Questão 6 (1, 4 pt)

Mostre a composição de 4 módulos de memória 2K x 8bits para formar uma memória de 8K x 8 bits. Mostre as conexões dos bits de endereço, R/W', CS1, CS2', OE' e I/O. Leve em conta que estas memórias:

1. Para leitura, R/W'=1, é preciso manter OE' ativo e CS1 e CS2' ativos
2. Se o sinal OE' estiver ativo, mas CS1 e CS2' estiverem inativos, a saída fica em "alta impedância"
3. Para escrita, R/W' = 0, é preciso manter OE' inativo e CS1 e CS2' ativos
4. A escrita só é efetuada com CS1 e CS2' ativos