

Prova1 04/04/11 EE 610 – Eletrônica Digital

1) Considere um inversor implementado como mostra a figura 1. Seja $V_{DD} = 5V$, $R = 5K\Omega$, $(W/L)_n = 1,2 \mu m/0,8 \mu m$, $k_n' = 200 \mu A/V^2$ e $V_t = 1V$. (3,0)

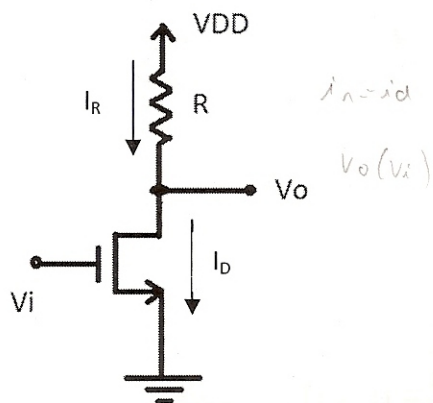


Figura 1

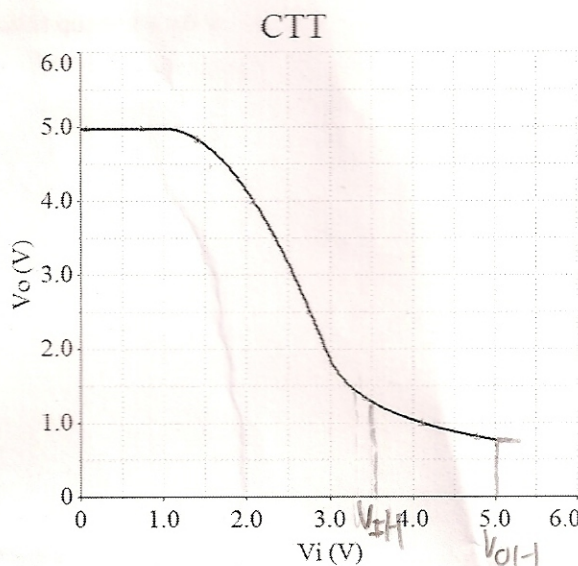


Figura 2

a) Calcule V_{OL} e V_{IL} . (1,0)

b) Utilizando a figura 2 (CTT simulada do circuito) estime o valor de V_{IH} e V_{OH} . (0,5)

c) Calcule o valor de MR_H e MR_L . (0,5)

d) Qual o número máximo de inversores de carga (fan-out) que podem ser acoplados à saída de um inversor semelhante ao da figura 1 que garanta MR_H ao menos igual a MR_L . Cada inversor de carga drena uma corrente de $25 \mu A$ por meio do resistor R quando sua entrada é alta. (0,5)

e) Calcule a potência estática quando a saída é baixa (a corrente dos inversores de carga é nula). (0,5)

2) O objetivo desse exercício é projetar uma porta lógica CMOS complementar onde a saída é dada por: (2,0)

a) $Y = \overline{A(B + C)}$ (1,0)

b) $Y = \overline{A + BC}$ (1,0)

Desenhe as redes PUN e PDN e obtenha as razões W/L assumindo que para o inversor básico temos $n = 2$ e $p = 5$.

3) Projete um inversor pseudo-NMOS que tenha $V_{OL} = 0,2V$. Sejam $V_{DD} = 5V$, $|V_t| = 0,8$, $k_n' = 4k_p' = 120 \mu A/V^2$ e $(W/L)_n = 1,2 \mu m/0,8 \mu m$. Qual é o valor de $(W/L)_p$? Calcule os valores de MR_L e a dissipação de potência estática. (2,0)

4) Considere o transistor NMOS como chave nos circuitos das figuras 3 e 4 a serem fabricados em uma tecnologia com $k_n' = 50 \mu A/V^2$, $|V_{t0}| = 1V$, $\gamma = 0,5V^{1/2}$, $2\phi_f = 0,6V$ e $V_{DD} = 5V$. Considere que o transistor tenha área mínima para essa tecnologia, ou seja, $4 \mu m/2 \mu m$, e assuma que a capacitância total entre o nó de saída e o terra seja $C = 50 fF$. (3,0)

a) Obtenha t_{pLH} (1,0)

b) Para o caso em que v_i subitamente chaveia de V_{DD} para 0 (Figura 4), obtenha t_{pHL} (1,0)

c) Obtenha t_p (1,0)

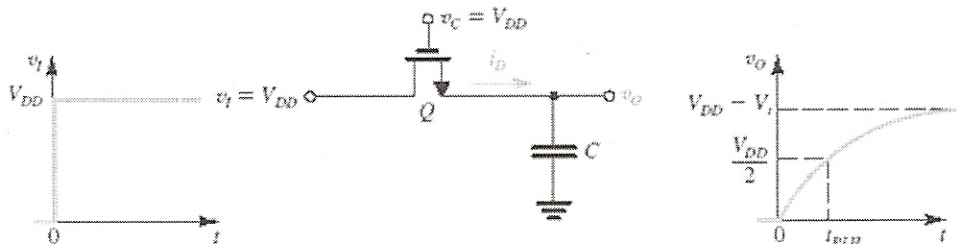


Figura 3

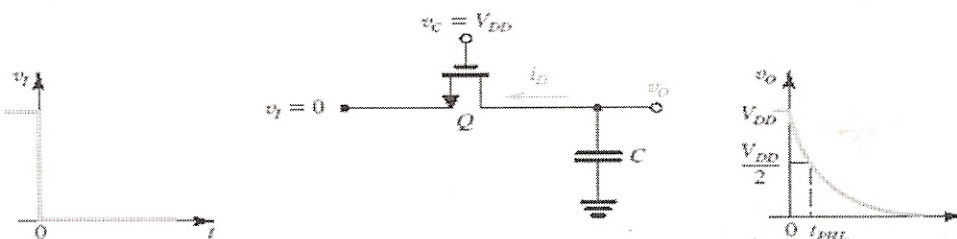


Figura 4