

EA772U CIRCUITOS LÓGICOS 29/06/2007
Prova 3A Duração: 2 horas

Nome:

RA:

Questão 1 (3,5): Para os três itens abaixo **não desenhar** os circuitos obtidos, obter apenas as expressões lógicas para as entradas dos flip-flops. Usar uma atribuição de estados igual à codificação da saída, isto é, $z(t) = s(t)$.

- a) Projetar um contador síncrono auto-inibidor para a seqüência **0, 2, 4, 6, 7, 7** usando flip-flops do **tipo JK**.
- b) Projetar um contador síncrono cíclico tal que, se **M = 0** a seqüência de contagem é **0, 4, 3, 6, 1** e, se **M = 1**, a seqüência de contagem é **7, 1, 4, 5, 2**; usar flip-flops do **tipo D**.
- c) Projetar um contador síncrono cíclico "**up-down**" (crescente-decrescente) para a seqüência **1, 2, 4, 5, 6** tal que a contagem é **crescente** para **S = 1** e **decrescente** para **S = 0**; usar flip-flops do **tipo T**.

Questão 2 (1,0): Sejam três registradores de deslocamento **A**: A0, A1, A2, A3, **B**: B0, B1, B2, B3, e **C**: C0, C1, C2, C3, todos eles do tipo **esquerda-direita com rotação e entrada/saída série ou paralela**. Eles estão conectados da seguinte maneira:

A em paralelo com B ($A0 > B0, A1 > B1, A2 > B2, A3 > B3$);
B em série com C ($B3 > C0$); e
C em paralelo com A ($C0 > A0, C1 > A1, C2 > A2, C3 > A3$).

Se **A** contém inicialmente **1001** determinar o seu conteúdo final após as seguintes transferências e deslocamentos (mostrar a seqüência dos conteúdos de **A**, **B** e **C**):

- 1) 2 deslocamentos à direita em **A**,
- 2) transferência de **A** para **B**,
- 3) 1 deslocamento à esquerda em **B**,
- 4) transferência de **B** para **C** através de 4 deslocamentos,
- 5) 2 deslocamentos à esquerda em **C** e
- 6) transferência de **C** para **A**.

Questão 3 (1,5) Mostre a realização das seguintes operações aritméticas usando **6 bits** para a representação binária em Complemento de 2 (C2) e em Complemento de 1 (C1). Indique os valores dos sinais **sign**, **zero** e **ovf**. Converter os resultados obtidos de volta para a representação decimal.

- a) $10 - 24$ (operação em C2)
- b) $24 - 10$ (operação em C1)
- c) $24 + 10$

Questão 4 (2,0) Mostre como chegou à resposta de cada um dos itens (a,b,c,d,e,f).

- I) Seja um **somador binário de 8 bits** (8 estágios) em que as portas lógicas usadas para implementá-lo possuem atraso de propagação de **15 nanosegundos** e cada estágio é um somador completo **simplificado**.
 - a) Qual é o número total de portas lógicas do somador binário?
 - b) Qual é o tempo total de atraso do somador (incluindo o último transporte)?
- II) Se cada estágio do somador binário acima fosse substituído pela composição de dois meio-somadores:
 - c) Qual seria o número total de portas lógicas do somador binário modificado?
 - d) Qual seria o tempo total de atraso do somador (incluindo o último transporte)?
- III) No caso de um somador de transporte antecipado ("look-ahead") de **5 bits**:
 - e) Qual é o número total de portas lógicas (considere disponíveis portas lógicas de até 8 entradas) para **atraso mínimo**?
 - f) Qual é o tempo mínimo de atraso do somador (incluindo o último transporte)?

Questão 5 (2,0)

I) As saídas ($A > B$, $A = B$, $A < B$) de um circuito COMPARADOR de **5 bits** estão conectadas às entradas de controle (S_2 , S_1 , S_0) de um circuito MULTIPLEX da seguinte maneira: $S_2 = A > B$, $S_1 = A = B$, $S_0 = A < B$. As entradas do circuito MULTIPLEX são D_7 , D_6 , D_5 , D_4 , D_3 , D_2 , D_1 , D_0 e a saída é Z . Qual é a **saída Z** para $A = 10111$ e $B = 11001$? **Mostre** como chegou à sua resposta.

II) As saídas (A_2 , A_1 , A_0) de um circuito CODIFICADOR DE PRIORIDADE de **5 entradas** (E_4 , E_3 , E_2 , E_1 , E_0) estão conectadas às entradas de controle (S_2 , S_1 , S_0) de um circuito MULTIPLEX da seguinte maneira: $S_2 = A_2$, $S_1 = A_1$, $S_0 = A_0$. As entradas do circuito MULTIPLEX são D_7 , D_6 , D_5 , D_4 , D_3 , D_2 , D_1 , D_0 e a saída é Z . Qual é a **saída Z** para $E_4 = E_0 = 0$ e $E_3 = E_2 = E_1 = 1$? **Mostre** como chegou à sua resposta.