

EA772 Circuitos Lógicos
Prof. José Mario De Martino – Prova 02 – 2o. Semestre 2005

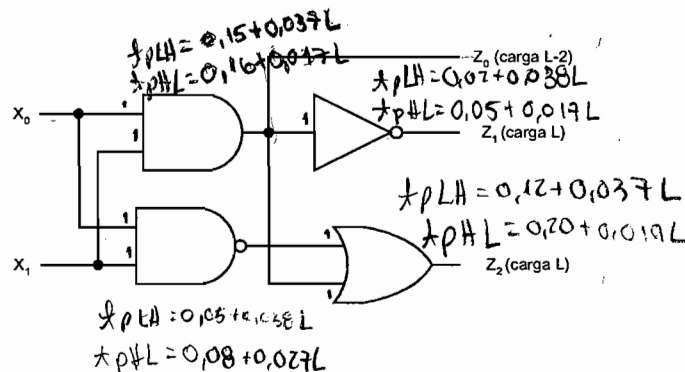
Nome: Rafael S. Andreello

RA: 045809

1. (1,0 pt) Explique os seguintes conceitos:

- Fator de “fanout”
- Fator de carga de entrada;
- Atraso de propagação, atraso de propagação de alto para baixo e atraso de propagação de baixo para alto;
- Tempo de subida (tempo de elevação) e tempo de descida (tempo de queda);
- Margem de ruído, margem de ruído do nível alto e margem de ruído do nível baixo.

2. (2,0 pt) Considere o circuito abaixo e a Tabela 1. Calcule os retardos de propagação de alto para baixo e de baixo para alto para o(s) caminho(s) crítico(s). Considere a carga nas saídas como indicado no esquemático. Indique o(s) caminho(s) crítico(s), apontando a faixa de valores da carga L para que o caminho seja crítico. Considere também um fator de “fanout” para as portas igual a 12.



- (1,0 pt) Obtenha as expressões mínimas (soma de produtos e produto de somas) da seguinte função incompletamente especificada: $f(x_3, x_2, x_1, x_0) = \prod M(1, 4, 6, 11, 12, 14, 15)$, conjunto-dc = {9, 13}. Faça a simplificação utilizando mapa de Karnaugh.
- (1,0) Obtenha as expressões mínimas (soma de produtos e produto de somas) da seguinte função: $f(x_4, x_3, x_2, x_1, x_0) = \sum m(0, 1, 6, 7, 8, 9, 16, 17, 22, 23, 24, 25, 26, 30)$. Faça a simplificação utilizando mapas de Karnaugh.
- (2,0 pt) Utilizando o método de Quine McCluskey, obtenha a expressão mínima de soma de produtos equivalente da função $f(x_7, x_6, x_5, x_4, x_3, x_2, x_1, x_0) = \sum m(0, 1, 2, 21, 23, 29, 31, 53, 55, 61, 63, 128, 129)$.
- (1,0 pt) Projete circuito para implementar a função lógica $f(x_1, x_0) = x_1 + x_0$. O circuito será utilizado para acionar uma carga equivalente a 16 cargas-padrão. O atraso de propagação do circuito projetado deve ser o menor possível. No almoxarifado da empresa encontram-se disponíveis portas OR de 3 entradas e portas AND de 3 entradas. Os tempos de atraso de propagação destas portas são: OR $t_{pHL} = t_{pLH} = 0,3 + 0,1 L$ ns e AND $t_{pHL} = t_{pLH} = 0,3 + 0,4 L$ ns. Considere que o fator de carga de qualquer entrada é igual a 1. Apresente os cálculos e o esquemático do circuito.

7. (2,0 pt) Projete uma rede de dois níveis mínima, com cinco entradas, que indique erro (saída igual a “1”) sempre que sua entrada não for um valor válido do código 2-entre-5. A tabela abaixo apresenta o código 2-entre-5.

Valor Decimal	Código 2-entre-5
0	00011
1	11000
2	10100
3	01100
4	10010
5	01010
6	00110
7	10001
8	01001
9	00101

Tipo de porta	Fanin	Retardos de propagação		Fator de carga / (cargas-padrão)	Tamanho (portas equivalentes)
		t_{pLH} (ns)	t_{pHL} (ns)		
AND	2	$0,15 + 0,037L$	$0,16 + 0,017L$	1,0	2
AND	3	$0,20 + 0,038L$	$0,18 + 0,018L$	1,0	2
AND	4	$0,28 + 0,039L$	$0,21 + 0,019L$	1,0	3
OR	2	$0,12 + 0,037L$	$0,20 + 0,019L$	1,0	2
OR	3	$0,12 + 0,038L$	$0,34 + 0,022L$	1,0	2
OR	4	$0,13 + 0,038L$	$0,45 + 0,025L$	1,0	3
NOT	1	$0,02 + 0,038L$	$0,05 + 0,017L$	1,0	1
NAND	2	$0,05 + 0,038L$	$0,08 + 0,027L$	1,0	1
NAND	3	$0,07 + 0,038L$	$0,09 + 0,039L$	1,0	2
NAND	4	$0,10 + 0,037L$	$0,12 + 0,051L$	1,0	2
NAND	5	$0,21 + 0,038L$	$0,34 + 0,019L$	1,0	4
NAND	6	$0,24 + 0,037L$	$0,36 + 0,019L$	1,0	5
NAND	8	$0,24 + 0,038L$	$0,42 + 0,019L$	1,0	6
NOR	2	$0,06 + 0,075L$	$0,07 + 0,016L$	1,0	1
NOR	3	$0,16 + 0,111L$	$0,08 + 0,017L$	1,0	2
NOR	4	$0,23 + 0,149L$	$0,08 + 0,017L$	1,0	4
NOR	5	$0,38 + 0,038L$	$0,23 + 0,018L$	1,0	4
NOR	6	$0,46 + 0,037L$	$0,24 + 0,018L$	1,0	5
NOR	8	$0,54 + 0,038L$	$0,23 + 0,018L$	1,0	6
XOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
XOR	3*	$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	6
		$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,4	
		$0,19 + 0,036L$	$0,17 + 0,025L$	2,1	
XNOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
		$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	
XNOR	3*	$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	6
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,3	
		$0,19 + 0,036L$	$0,17 + 0,025L$	1,3	
2-OR/NAND2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2
2-AND/NOR2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2

L: Carga na saída da porta.

* Diferentes características para cada entrada.

Tabela 1: Características de portas CMOS.