

**EA772 Circuitos Lógicos**  
**Prof. José Mario De Martino – Prova 01 – 2º. Semestre 2009**

Nome: \_\_\_\_\_ RA: \_\_\_\_\_

1. Faça as seguintes conversões de base (apresente os cálculos):
  - a) (0,25 pt)  $01011011_2$  para a base 10
  - b) (0,25 pt)  $53_{10}$  para a base 2.
  - c) (0,25 pt)  $458_{10}$  para a base 16.
  - d) (0,25 pt)  $3E8_{16}$  para a base 10.
2. (2,0 pts) Projete um circuito combinacional mínimo que possua uma única saída  $z = f(x_3, x_2, x_1, x_0)$ , com  $f(x_3, x_2, x_1, x_0) = \text{conjunto-zero } \{0, 6, 7, 8, 9, 12\}$  e  $x_i \in \{0, 1\}$   $i = 0, 1, 2, 3$ . Faça a minimização utilizando Mapas de Karnaugh. Apresente todas as expressões mínimas de somas de produtos e produtos de somas e indique as suas escolhas. Desenhe o diagrama esquemático do circuito.
3. (2,0 pts) Projete um circuito minimizado que tenha três entradas binárias e cuja saída represente o número de variáveis de entrada que têm o valor 0. Faça a minimização utilizando Mapas de Karnaugh. Desenhe o diagrama esquemático do circuito. O circuito tem a seguinte descrição de alto nível:

Entradas

$$(x_2, x_1, x_0), \quad x_i \in \{0, 1\} \quad i = 0, 1, 2$$

Saída :

$$z \in \{0, 1, 2, 3\}$$

Função :

$$z = 3 - \sum_{i=0}^2 x_i$$

4. (2,5 pts) Projete um circuito combinacional mínimo que possua uma única saída  $z = f(x_3, x_2, x_1, x_0)$ , com  $f(x_3, x_2, x_1, x_0) = \text{conjunto-um } \{0, 4, 8, 10, 12, 13, 15\}$  e  $x_i \in \{0, 1\}$   $i = 0, 1, 2, 3$ . Projete o circuito considerando apenas o produto de somas mínimos. Faça a minimização utilizando o método de Quine McCluskey. Desenhe o diagrama esquemático do circuito.
5. Faça a análise do circuito da Figura 1, indicando:
  - a) (0,25 pt) o fator de carga de cada entrada ( $x_0, x_1$  e  $x_2$ );
  - b) (0,25 pt) o fanout de cada saída ( $z_0$  e  $z_1$ );
  - c) (2,0 pts) o atraso de propagação  $t_{pLH}$  do circuito (considere o caminho com maior atraso).

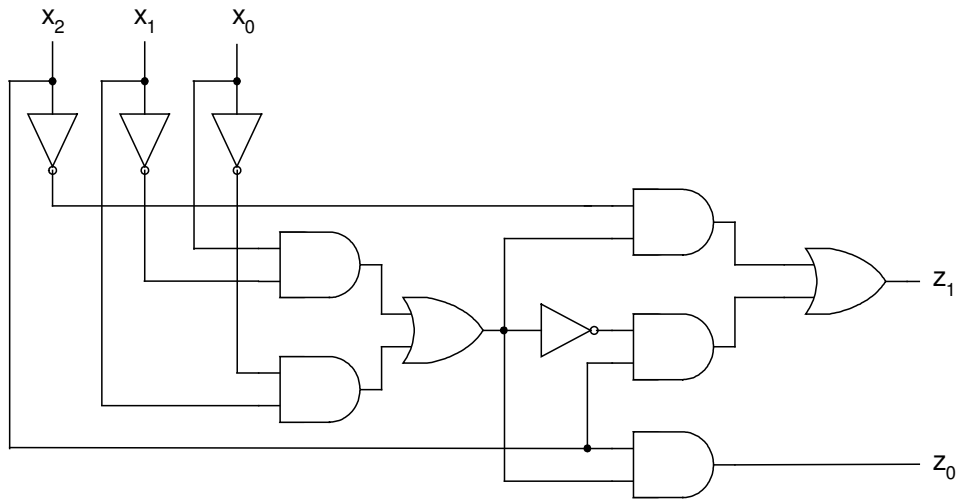


Figura 1: Circuito da Questão 5.

Tipo de porta	Fanin	Retardos de propagação		Fator de carga / (cargas-padrão)	Tamanho (portas equivalentes)
		$t_{pLH}$ (ns)	$t_{pHL}$ (ns)		
AND	2	$0,15 + 0,037L$	$0,16 + 0,017L$	1,0	2
AND	3	$0,20 + 0,038L$	$0,18 + 0,018L$	1,0	2
AND	4	$0,28 + 0,039L$	$0,21 + 0,019L$	1,0	3
OR	2	$0,12 + 0,037L$	$0,20 + 0,019L$	1,0	2
OR	3	$0,12 + 0,038L$	$0,34 + 0,022L$	1,0	2
OR	4	$0,13 + 0,038L$	$0,45 + 0,025L$	1,0	3
NOT	1	$0,02 + 0,038L$	$0,05 + 0,017L$	1,0	1
NAND	2	$0,05 + 0,038L$	$0,08 + 0,027L$	1,0	1
NAND	3	$0,07 + 0,038L$	$0,09 + 0,039L$	1,0	2
NAND	4	$0,10 + 0,037L$	$0,12 + 0,051L$	1,0	2
NAND	5	$0,21 + 0,038L$	$0,34 + 0,019L$	1,0	4
NAND	6	$0,24 + 0,037L$	$0,36 + 0,019L$	1,0	5
NAND	8	$0,24 + 0,038L$	$0,42 + 0,019L$	1,0	6
NOR	2	$0,06 + 0,075L$	$0,07 + 0,016L$	1,0	1
NOR	3	$0,16 + 0,111L$	$0,08 + 0,017L$	1,0	2
NOR	4	$0,23 + 0,149L$	$0,08 + 0,017L$	1,0	4
NOR	5	$0,38 + 0,038L$	$0,23 + 0,018L$	1,0	4
NOR	6	$0,46 + 0,037L$	$0,24 + 0,018L$	1,0	5
NOR	8	$0,54 + 0,038L$	$0,23 + 0,018L$	1,0	6
XOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
XOR	3*	$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	6
		$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,4	
		$0,19 + 0,036L$	$0,17 + 0,025L$	2,1	
XNOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
		$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	
		$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,3	
2-OR/NAND2	4	$0,17 + 0,036L$	$0,17 + 0,025L$	1,3	2
		$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	
		$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	

L: Carga na saída da porta.

\* Diferentes características para cada entrada.

Tabela 1: Características de portas CMOS