

EA772 Circuitos Lógicos
Prof. José Mario De Martino – Prova 02 – 1º. Semestre 2007

Nome: Fernando Tirol RA: 073103

1. (2,0 pt) Projete um circuito combinacional mínimo que possua uma única saída $z = f(x_3, x_2, x_1, x_0)$, com $f(x_3, x_2, x_1, x_0) = \text{conjunto-um } \{0, 1, 4, 5, 7, 10, 11, 13, 15\}$ e $x_i \in \{0, 1\}$ $i = 0, 1, 2, 3$. Projete o circuito considerando apenas a soma de produtos mínima. Utilize o método de minimização de Quine McCluskey. Desenhe o circuito.

2. (2,0 pt) Reduza a tabela de estados abaixo, indicando a tabela de estados mínima correspondente.

EA	Entrada	
	$x = a$	$x = b$
A	F, 0	B, 0
B	D, 0	C, 0
C	F, 0	E, 0
D	G, 1	A, 0
E	D, 0	C, 0
F	F, 1	B, 1
G	G, 0	H, 1
H	G, 1	A, 0
PE, z		

3. (2,0 pts) Projete um circuito seqüencial utilizando flip-flops JK que implemente um contador módulo 3. Faça a minimização da parte combinacional do circuito. Não é necessário efetuar a minimização de estados. Um contador módulo 3 tem a seguinte especificação de alto-nível:

Entrada: $x(t) \in \{1, 0\}$
 Saída: $z(t) \in \{0, 1, 2\}$
 Função: $z(t) = \left[\sum_{i=0}^{t-1} x(t) \right] \bmod 3$

4. (2,0 pt) Projete um circuito seqüencial do tipo Máquina de Mealy que possua uma entrada binária x e uma saída binária z , tal que $z(t) = 1$ sempre que $x(t-3, t) = 0101$ ou 0110 , caso contrário $z(t) = 0$. Faça a minimização da parte combinacional do circuito. Não é necessário efetuar a minimização de estados. Utilize flip-flops D

5. (2,0 pt) Para a rede seqüencial apresentada abaixo, determine a frequência máxima de operação do relógio (f_{max}). As Tabelas 1 e 2 apresentam as características dos componentes utilizados. Considere 10 cargas-padrão conectadas a cada uma das saídas z_0 e z_1 . Considere $t_{in} = t_{out} = 1,0$ ns; onde t_{in} é o atraso de propagação, em relação borda de acionamento do relógio, do circuito seqüencial conectado à entrada x e t_{out} é o tempo de *setup* do circuito seqüencial acionado pelas saídas z_0 e z_1 .

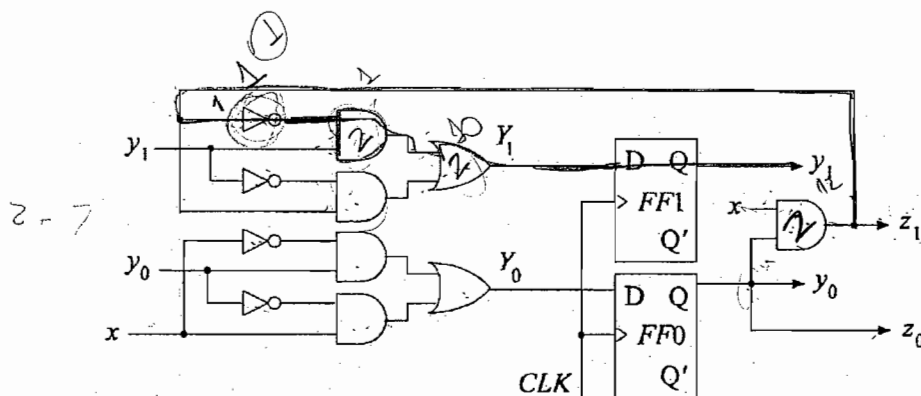


Figura 1: Rede seqüencial do exercício 5.

Characteristics of a family of CMOS gates

Gate type	Fan-in	Propagation delays		Load factor [standard loads]	Size [equiv. gates]
		t_{pLH} [ns]	t_{pHL} [ns]		
AND	2	$0.15 + 0.037L$	$0.16 + 0.017L$	1.0	2
AND	3	$0.20 + 0.038L$	$0.18 + 0.018L$	1.0	2
AND	4	$0.28 + 0.039L$	$0.21 + 0.019L$	1.0	3
OR	2	$0.12 + 0.037L$	$0.20 + 0.019L$	1.0	2
OR	3	$0.12 + 0.038L$	$0.34 + 0.022L$	1.0	2
OR	4	$0.13 + 0.038L$	$0.45 + 0.025L$	1.0	3
NOT	1	$0.02 + 0.038L$	$0.05 + 0.017L$	1.0	1
NAND	2	$0.05 + 0.038L$	$0.08 + 0.027L$	1.0	1
NAND	3	$0.07 + 0.038L$	$0.09 + 0.039L$	1.0	2
NAND	4	$0.10 + 0.037L$	$0.12 + 0.051L$	1.0	2
NAND	5	$0.21 + 0.038L$	$0.34 + 0.019L$	1.0	4
NAND	6	$0.24 + 0.037L$	$0.36 + 0.019L$	1.0	5
NAND	8	$0.24 + 0.038L$	$0.42 + 0.019L$	1.0	6
NOR	2	$0.06 + 0.075L$	$0.07 + 0.016L$	1.0	1
NOR	3	$0.16 + 0.111L$	$0.08 + 0.017L$	1.0	2
NOR	4	$0.23 + 0.149L$	$0.08 + 0.017L$	1.0	4
NOR	5	$0.38 + 0.038L$	$0.23 + 0.018L$	1.0	4
NOR	6	$0.46 + 0.037L$	$0.24 + 0.018L$	1.0	5
NOR	8	$0.54 + 0.038L$	$0.23 + 0.018L$	1.0	6
XOR	2*	$0.30 + 0.036L$	$0.30 + 0.021L$	1.1	3
		$0.16 + 0.036L$	$0.15 + 0.020L$	2.0	

Tabela 1: Características de portas lógicas CMOS.

Delays					Input factor	Size
t_{pLH} [ns]	t_{pHL} [ns]	t_{su} [ns]	t_h [ns]	t_w [ns]	[std. loads]	[equiv. gates]
$0.49 + 0.038L$	$0.54 + 0.019L$	0.30	0.14	0.2	1	6

L : output load of the flip-flop

Tabela 2: Características do flip-flop D CMOS.