

**EA772 Circuitos Lógicos**  
**Prof. José Mario De Martino – Prova 02 – 1º. Semestre 2009**

Nome: \_\_\_\_\_ RA: \_\_\_\_\_

1. (2,0 pts) Determine a tabela de estados mínima que seja equivalente à tabela abaixo:

EA	Entrada	
	x = 0	x = 1
A	F, 0	B, 0
B	D, 0	C, 0
C	F, 0	E, 0
D	G, 1	A, 0
E	D, 0	C, 0
F	F, 1	B, 1
G	G, 0	H, 1
H	G, 1	A, 0
PE, z		

2. (2,5 pts) Projete um contador síncrono módulo-7 utilizando flip-flops tipo D (NÃO utilizar a abordagem “um flip-flop por estado”). Desenhe o diagrama esquemático do circuito projetado. O referido contador tem a seguinte especificação de alto-nível:

Entrada:  $x(t) \in \{0, 1\}$

Saída:  $z(t) \in \{0, 1, 2, 3, 4, 5, 6\}$

Estado:  $s(t) \in \{0, 1, 2, 3, 4, 5, 6\}$

Estado inicial:  $s(0) = 0$

Função de transição de estado e função de saída:

$$s(t + 1) = [s(t) + x(t)] \bmod 7$$

$$z(t) = s(t)$$

3. (3,0 pts) Projete um circuito sequencial com uma entrada binária  $x(t)$  e uma saída binária  $z(t)$ . A saída no instante  $t$  será igual a 1 sempre que  $x(t-3, t) = 0101$  ou  $0110$ . Utilizar flip-flops JK. (NÃO utilizar a abordagem “um flip-flop por estado”. NÃO utilizar a abordagem baseada em registrador de deslocamento. NÃO transformar o flip-flop JK para outro tipo de flip-flop para fazer o projeto). Faça a minimização de estados e a minimização da parte combinacional do circuito utilizando mapas de Karnaugh. Desenhe o diagrama esquemático do circuito projetado.
4. (2,5 pts) Calcule a frequência máxima de operação do circuito da Figura 1 em MHz. As Tabelas 1 e 2 apresentam as características dos componentes utilizados. Considere 5 cargas-padrão conectadas à saída  $z$ . Considere  $t_{in} = 2,0$  ns e  $t_{out} = 2,0$  ns; onde  $t_{in}$  é o atraso de propagação, em relação borda de acionamento do relógio, do circuito sequencial conectado à entrada  $x$  e  $t_{out}$  é o tempo de *setup* do circuito sequencial ao qual a saída  $z$  está conectada.

