Teste 13 – EA869 U – 07/maio/2010 Prof. Léo Pini Magalhães (entregar dia 12/maio/2010)

Seja uma arquitetura com 3 linhas de interrupção: L1, L2 e L3. O programa principal, PP, está armazenado a partir da posição 400H da memória; as rotinas de serviço associadas às linhas – ROT1, ROT2 e ROT3 – estão armazenadas a partir das posições de memória, respectivamente, 600H, 800H e 900H. A máscara de interrupção está nos três bits menos significativos do PSW (X X X X L3 L2 L1). O vetor de interrupção ocupa posições contíguas da memória, a partir da posição 20H da memória.

- i) **PP** só pode ser interrompido por sinal de interrupção em **L1** ou **L3**;
- ii) ROT1 só pode ser interrompida por sinal de interrupção em L2;
- iii) ROT2 só pode ser interrompida por sinal de interrupção em L3;
- iv) **ROT3** pode ser interrompida por sinal de interrupção em **L1** ou **L2**, m<u>as não por sinal de interrupção na própria linha.</u>
- 1. Explique o funcionamento do esquema de interrupção a partir da execução de **PP** e um sinal de interrupção em **L1**;
- 2. Explique o funcionamento do esquema de interrupção a partir da execução de **PP** e um sinal de interrupção em **L3**;
- 3. Mostre os valores das máscaras de interrupção para PP, ROT1, ROT2 e ROT3:

- 4. Mostre o mapa de memória (vetor de interrupção, **PP**, **ROT1**, **ROT2** e **ROT3**) com toda a informação relevante para o caso em que a arquitetura implementa o mecanismo de interrupção sem **PSW** no vetor de interrupção: **PUSH PC**; **PUSH PSW**; **JUMP endi.** Usar psw, rti, move, mask, etc para indicar que são os códigos binários correspondentes a PSW, RTI, MOVE, MASK, etc.
- 5. Mostre o mapa de memória com toda a informação relevante para o caso em que a arquitetura implementa o mecanismo de interrupção com PSW no vetor de interrupção: **PUSH PC; PUSH PSW; MOVE endi, PSW; JUMP (endi + 1).** Usar psw, rti, move, mask, etc. para indicar que são os códigos binários correspondentes a PSW, RTI, MOVE, MASK, etc.



320,325