

**Questão 1** (1,5) Seja um somador de transporte antecipado de 5 bits, com entradas  $\underline{x}$ ,  $\underline{y}$  e  $c_0$ , e saídas  $\underline{z}$  e  $c_5$ , tal que:

$$\begin{array}{ll} z_i = p_i \oplus c_i & p_i = x_i \oplus y_i \quad \text{propagação} \\ c_{i+1} = g_i + p_i c_i & g_i = x_i y_i \quad \text{geração} \end{array}$$

- Determinar as expressões lógicas para  $c_5$  e  $z_3$ .
- Determinar os atrasos correspondentes a partir do momento em que as entradas estejam estabilizadas, para  $t_{\text{XOR}} = 9 \text{ ns}$ ;  $t_{\text{AND}} = 3 \text{ ns}$  e  $t_{\text{OR}} = 4 \text{ ns}$ . Considerar que os atrasos nas portas independem do número de entradas.

**Questão 2** (1,5) Mostre todos os passos para a realização das seguintes operações aritméticas usando 6 bits para as representações em Complemento de 2 (C2) e em Complemento de 1 (C1). Quais são os resultados obtidos em representação decimal?

- 17 – 22 (operação em C2)
- 22 – 17 (operação em C1)
- 22 + 17

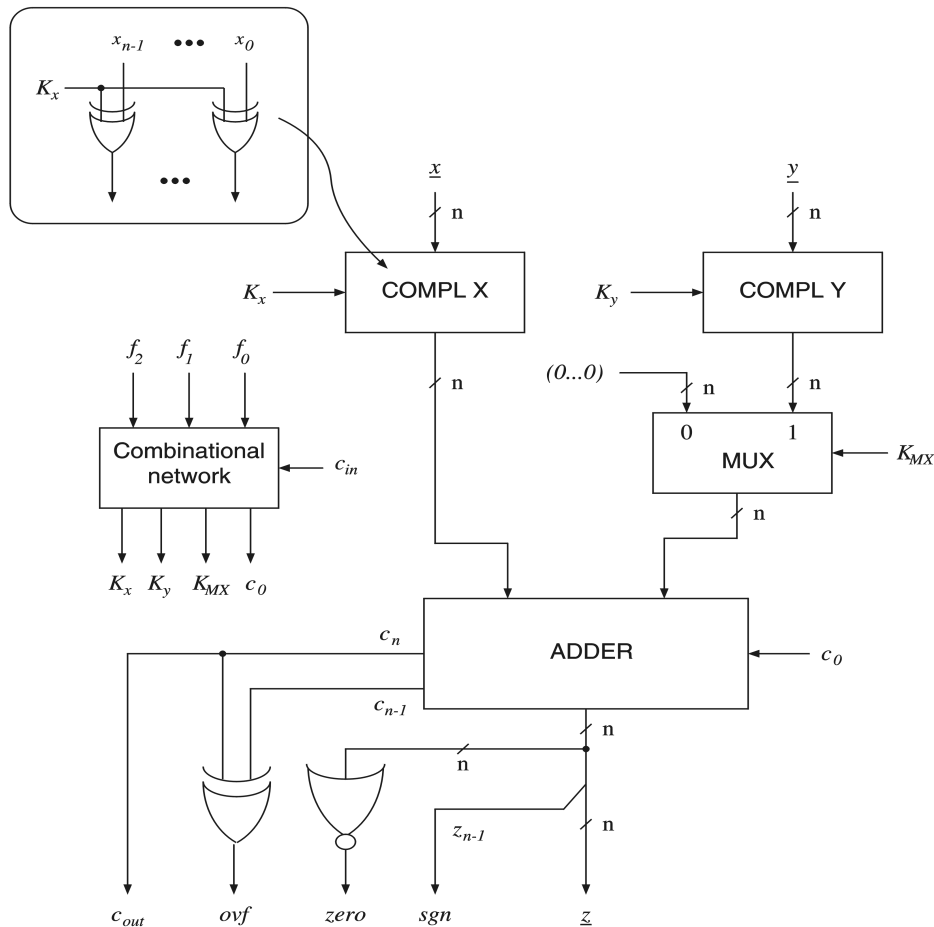
**Questão 3** (1,5) Seja um conversor de código BCD para Excesso de 3 implementado por um decodificador BCD cujas saídas ( $y_0, y_1, \dots, y_9$ ) são as entradas para o codificador Excesso de 3.

- Determinar as expressões lógicas simplificadas para  $y_9$  e  $y_8$ .
- Determinar as expressões lógicas para as saídas do codificador ( $z_3, z_2, z_1, z_0$ ) em função das saídas do decodificador ( $y_0, y_1, \dots, y_9$ ).

Dígito	BCD	Excesso de 3	2421
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0010
3	0011	0110	0011
4	0100	0111	0100
5	0101	1000	1011
6	0110	1001	1100
7	0111	1010	1101
8	1000	1011	1110
9	1001	1100	1111

**Questão 4** (1,0) Mostrar como um multiplexador de 8 entradas pode ser usado para implementar a função lógica expressa pelo conjunto-um  $f(x_2, x_1, x_0) = \{0, 1, 4, 7\}$ . Mostrar como essa mesma função pode ser implementada usando um multiplexador de 4 entradas.

**Questão 5** (1,0) Seja a implementação da unidade aritmética e lógica abaixo..



$K_x = f_2 f_1$	F	Operação	
$K_y = f_1$	001	ADD	$z = x + y$
$K_{MX} = f_0$	011	SUB	$z = x - y$
$c_0 = f_1 + f_2 f_0 c_{in}$	101	ADDC	$z = x + y + c_{in}$
	110	CS	$z = -x$
$F = (f_2 f_1 f_0)$	010	INC	$z = x + 1$

Explicar passo a passo como o circuito funciona na execução da operação ADD, a partir da estabilização das entradas  $\underline{x}$ ,  $\underline{y}$  e  $c_{in}$ .

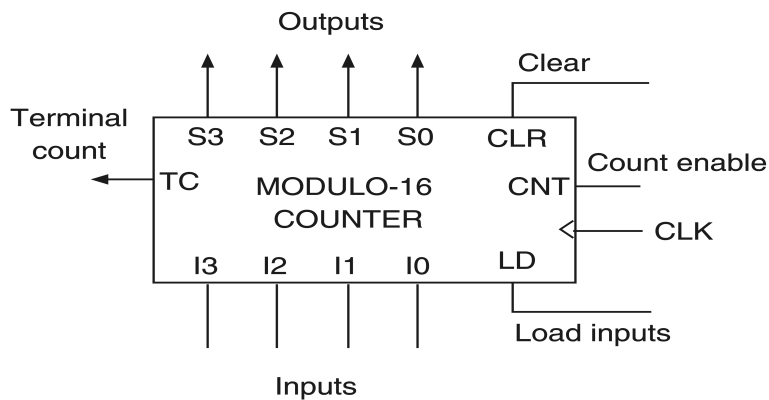
**Questão 6** (1,0) Seja um deslocador direita-esquerda módulo 31, implementado pelo encadeamento de deslocadores 0 ou  $2^i$ ,  $i = 0, 1, \dots, k$ . As entradas para o deslocador encadeado são d (0: direita, 1: esquerda),  $\underline{s}$  ( $s_0, \dots, s_k$ ), além dos dados de entrada  $\underline{x}$  ( $n + 2p$  bits); a saída é  $\underline{z}$  ( $n$  bits). Mostrar a implementação do deslocador 0 ou 4 usando multiplexadores (basta mostrar para um bit). De quantos bits e em que direção ocorre o deslocamento para  $d = 0$  e  $s = 10100$ ?

**Questão 7** (1,0) Usando um registrador de deslocamento de 8 bits, implementar reconhecedores dos seguintes padrões (**com sobreposição**):

- a) 101100101      b) 10111      c) 11x0x1

**Questão 8** (1,5) A partir do contador binário com entrada paralela módulo 16 abaixo, implementar:

- a) Contador módulo 13  
b) Contador 5-para-11  
c) Divisor de frequência módulo 5



CLR – Clear  
LD – Load  
CNT – Count enable  
TC – Terminal count