EA772 Circuitos Lógicos Prof. José Mario De Martino – Prova 01 – 1°. Semestre 2007

Nome: THOMAS ERICH SONNTAG LUTKUS RA: 072523

1. (1,0 pt) Liste os cinco postulados da álgebra de Boole.

2. (1,0 pt) Demonstre, utilizando os postulados da álgebra booleana, que as seguintes relações são válidas (indique os postulados utilizados durante a manipulação algébrica):

$$a) a \cdot a = a$$

b)
$$a + a' b = a + b$$

3. (1,0 pt) Faça as seguintes conversões de base (apresente os cálculos):

a) 001101102 para a base 10

b) 53₁₀ para a base 2.

c) 463₁₀ para a base 16.

d) 2BA₁₆ para a base 10.

A. (1,0 pt) Um sistema combinacional tem uma entrada x, a qual representa um dígito decimal. A saída z é o quadrado de x se x for maior do que 4; caso contrário a saída é duas vezes x. Dê uma descrição de alto nível do sistema.

- 5. (2,0 pts) Faça a análise da rede combinacional da Figura 1, indicando:
 - a) Se a mesma satisfaz a especificação funcional de alto-nível apresentada abaixo (multiplexador com 8-entradas). Justifique a sua resposta, apresentando a análise regressiva ou progressiva da rede.

$$Z = \begin{cases} I_s & \text{se } E = 1\\ 0 & \text{caso contrário} \end{cases}$$

$$com$$

$$s = 4s_2 + 2s_1 + s_0 \text{ (seletor da entrada)}$$

b) O atraso de propagação t_{pLH} entre a entrada s₂ e a saída z'. Para os cálculos utilize a Tabela 1 e substitua o AND de 5 entradas por ANDs de 3 entradas e o OR de 8 entradas por ORs de 4 e 2 entradas. As substituições devem manter a funcionalidade do circuito e utilizar o menor número possível de portas.

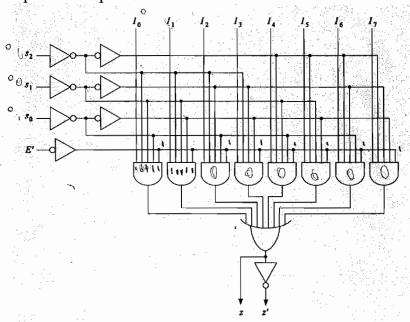


Figura 1: Rede combinacional do exercício 5.

6. (2,0 pts) Uma rede de portas lógicas possui uma única saída e os seguintes atrasos de propagação t_{pLH} = 0,38 + 0,017 L (ns). e t_{pHL} = 0,22 + 0,017 L (ns). O fanout da rede é 12. A esta rede será conectada uma carga equivalente a 72 cargas-padrão. Para tanto, dispõe-se de buffers (portas lógicas não inversoras com alto fanout). O fator de carga de entrada de um buffer é igual 2, o seu fanout é igual a 70 e os atrasos de propagação são t_{pLH} = t_{pHL} = 0,12 + 0,017L (ns). Determine o número "n" ideal de buffers, que ao serem conectado em paralelo à saída de rede minimize os atrasos de propagação. A Figura 2 apresenta o esquemático da conexão da saída da rede com os buffers.

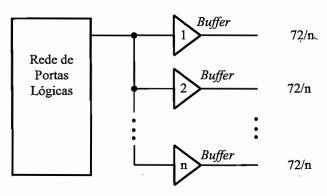


Figura 2: Conexão de rede de portas lógicas com os buffers.

7. (2,0 pts) Um sistema combinacional tem quatro entradas x₃, x₂, x₁, x₀ e uma saída z. A saída z será 1 se e somente se o número representado por (x₃ x₂ x₁ x₀) em código binário for primo. Projete a rede de dois níveis mínima para implementar o sistema. Utilize mapas de Karnaugh para a minimização (Observação: 0 e 1 não são primos).

Tipo de porta	Fanin	Retardos de propagação		Fator de carga I	Tamanho
		t _{pLH} (ns)	t _{pHL} (ns)	(cargas- padrão)	(portas equivalentes)
AND	2	0,15 + 0,037L	0,16 + 0,017L	1,0	- 2
AND	3	0,20 + 0,038L	0,18 + 0,018L	1,0	2
AND	4	0,28 + 0,039L	0,21 + 0,019L	1,0	3
OR	2	0,12 + 0,037L	0,20 + 0,019L	1,0	2 3 2 2 3
OR	3	0.12 + 0.038L	0,34 + 0,022L	1,0	2
OR	4	0.13 + 0.038L	0,45 + 0,025L	1,0	3
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1,0	i
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1,0	1
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1,0	2
NAND	4	0.10 + 0.037L	0,12 + 0,051L	1,0	2
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1,0	4
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1,0	5
NAND	8	0,24 + 0,038L	0,42 + 0,019L	1,0	. 6
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1,0	. 1
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1,0	2
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1,0	4
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1,0	4
NOR	6	0,46 + 0,037L	0.24 + 0.018L	1,0	5
NOR	8	0.54 + 0.038L	0,23 + 0,018L	1,0	6
XOR ·	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3
		0.16 + 0.036L	0.15 + 0.020L	2,0	
XOR	3*	0.50 + 0.038L	0.49 + 0.027L	1,1	6
		0.28 + 0.039L	0.27 + 0.027L	2,4	
		0.19 + 0.036L	0.17 + 0.025L	2,1	
XNOR	2*	0.30 + 0.036L	0.30 + 0.021L	1,1	3
	_	0.16 + 0.036L		2,0	
XNOR	3*	0.50 + 0.038L		1,1	6
		0.28 + 0.039L		2,3	
		0.19 + 0.036L	,	1,3	
2-OR/NAND2	4	0.17 + 0.075L		1,0	2
2-AND/NOR2	4	0.17 + 0.075L		1,0	2

L: Carga na saída da porta.

Tabela 1: Características de portas CMOS

Diferentes características para cada entrada.