

Nome: THOMAS ERICH SONNTAG LUTKUS

RA: 072523

-

Figura 1: Rede combinacional do exercício 5.

6. (2,0 pts) Uma rede de portas lógicas possui uma única saída e os seguintes atrasos de propagação $t_{pLH} = 0,38 + 0,017 L$ (ns). e $t_{pHL} = 0,22 + 0,017 L$ (ns). O *fanout* da rede é 12. A esta rede será conectada uma carga equivalente a 72 cargas-padrão. Para tanto, dispõe-se de *buffers* (portas lógicas não inversoras com alto *fanout*). O fator de carga de entrada de um *buffer* é igual 2, o seu *fanout* é igual a 70 e os atrasos de propagação são $t_{pLH} = t_{pHL} = 0,12 + 0,017L$ (ns). Determine o número “n” ideal de *buffers*, que ao serem conectados em paralelo à saída de rede minimize os atrasos de propagação. A Figura 2 apresenta o esquemático da conexão da saída da rede com os *buffers*.

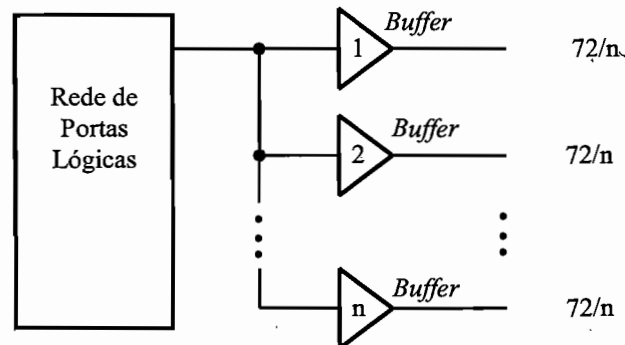


Figura 2: Conexão de rede de portas lógicas com os buffers.

7. (2,0 pts) Um sistema combinacional tem quatro entradas x_3, x_2, x_1, x_0 e uma saída z . A saída z será 1 se e somente se o número representado por $(x_3 x_2 x_1 x_0)$ em código binário for primo. Projete a rede de dois níveis mínima para implementar o sistema. Utilize mapas de Karnaugh para a minimização (Observação: 0 e 1 não são primos).

Tipo de porta	Fanin	Retardos de propagação		Fator de carga f	Tamanho (portas equivalentes)
		t_{pLH} (ns)	t_{pHL} (ns)		
AND	2	$0,15 + 0,037L$	$0,16 + 0,017L$	1,0	2
AND	3	$0,20 + 0,038L$	$0,18 + 0,018L$	1,0	2
AND	4	$0,28 + 0,039L$	$0,21 + 0,019L$	1,0	3
OR	2	$0,12 + 0,037L$	$0,20 + 0,019L$	1,0	2
OR	3	$0,12 + 0,038L$	$0,34 + 0,022L$	1,0	2
OR	4	$0,13 + 0,038L$	$0,45 + 0,025L$	1,0	3
NOT	1	$0,02 + 0,038L$	$0,05 + 0,017L$	1,0	1
NAND	2	$0,05 + 0,038L$	$0,08 + 0,027L$	1,0	1
NAND	3	$0,07 + 0,038L$	$0,09 + 0,039L$	1,0	2
NAND	4	$0,10 + 0,037L$	$0,12 + 0,051L$	1,0	2
NAND	5	$0,21 + 0,038L$	$0,34 + 0,019L$	1,0	4
NAND	6	$0,24 + 0,037L$	$0,36 + 0,019L$	1,0	5
NAND	8	$0,24 + 0,038L$	$0,42 + 0,019L$	1,0	6
NOR	2	$0,06 + 0,075L$	$0,07 + 0,016L$	1,0	1
NOR	3	$0,16 + 0,111L$	$0,08 + 0,017L$	1,0	2
NOR	4	$0,23 + 0,149L$	$0,08 + 0,017L$	1,0	4
NOR	5	$0,38 + 0,038L$	$0,23 + 0,018L$	1,0	4
NOR	6	$0,46 + 0,037L$	$0,24 + 0,018L$	1,0	5
NOR	8	$0,54 + 0,038L$	$0,23 + 0,018L$	1,0	6
XOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
XOR	3*	$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	6
		$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,4	
		$0,19 + 0,036L$	$0,17 + 0,025L$	2,1	
XNOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
		$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	
		$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	
XNOR	3*	$0,28 + 0,039L$	$0,27 + 0,027L$	2,3	6
		$0,19 + 0,036L$	$0,17 + 0,025L$	1,3	
		$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	
2-OR/NAND2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2
2-AND/NOR2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2

L : Carga na saída da porta.

* Diferentes características para cada entrada.

Tabela 1: Características de portas CMOS