EA960 — Organização de Computadores Faculdade de Engenharia Elétrica e de Computação Universidade Estadual de Campinas

Duarra 1	
Prova 1	ILMR/2010

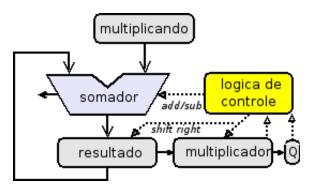
RA:	Nome:		

- 1. Um processador com unidade de ponto flutuante executou um programa de avaliação (benchmark) com operações inteiras e reais. Uma análise do perfil de execução (profile) mostrou que, do tempo T_{pf} dispendido em operações com números reais, uma parcela $T_f = \sigma T_{pf}$, ($\sigma < 1$), foi dispendida com uma única operação f. Na próxima geração desse processador há disponibilidade de recursos para incluir melhorias na unidade de ponto flutuante. Duas alternativas foram consideradas: (i) melhoria uniforme de todas as operações de ponto flutuante, de forma que o tempo T_{pf} poderia ser reduzido para αT_{pf} , ($\alpha < 1$), ou (ii) incluir hardware que melhora só o desempenho da operação f, reduzindo o tempo T_f para βT_f , ($\beta < 1$).
- (a) Para quais valores de σ a alternativa i resulta em melhor desempenho que a alternativa ii? Expresse sua resposta em termos de α e β .
- (b) Para $T_{pf}=10~{\rm s}, T_f=4~{\rm s}$ e $\alpha=0,75,$ qual deve ser β para que a alternativa ii seja melhor que i?

- **2.** Um sistema de memória cache conjunto-associativo com capacidade de 256 KiBytes para área de dados utiliza linhas de 32 Bytes e associatividade 8. O cache opera com endereços físicos de 24 bits, com unidade de endereçamento de 1 Byte.
- (a) Qual a faixa de valores (em hexadecimal) que os rótulos para essa memória cache podem assumir?
- (b) Qual o espaço ocupado pelo diretório, em Kibits, para manter a informação sobre rótulos na memória cache?
- (c) Para qual conjunto seria mapeado o bloco de memória associado ao endereço (em hexadecimal) 5B9FA2? Qual seria o valor do seu rótulo? Expresse esses valores em hexadecimal.
- (d) Apresente uma desvantagem associada a memórias caches que operam com endereços físicos em vez de endereços virtuais.

- **3.** Considere um sistema RAID nível 4, que usa intercalação de blocos e um disco de paridade, com esquema RW (*regenerate and write*) de atualização da informação de paridade.
- (a) Explique o que é a "penalidade de escrita" associada a esse tipo de organização?
- (b) Há alguma diferença nessa penalidade se o esquema de atualização for alterado para RMW (*read, modify, and write*)? Explique sua resposta.
- (c) Por que na memória principal devemos utilizar código de Hamming para manter os dados corretos, mas num sistema RAID um código de paridade é suficiente para permitir a correção de erros em um disco?

4. Considere o seguinte esquema que representa um multiplicador inteiro de Booth:



- (a) Explique qual a vantagem do multiplicador de Booth sobre o esquema básico de multiplicação de valores inteiros em representação binária.
- (b) Considere que os operandos inteiros para esse multiplicador utilizem representação binária de 4 bits em complemento de 2. Mostre, passo a passo, como ocorreria a multiplicação quando o multiplicando tem valor 6 e o multiplicador é -3.