21.11.25. 컨트롤유닛에 S0 상태 추가 (모든 레지스터 초기화)

21.12.04. 최상단 모듈의 rst=0에서 동작하도록 InputTrigger 수정

21.12.04. Demux, Mux, Reg 등 기본 모듈 제공

21.12.08. 슬라이딩 윈도우 -> 윈도우로 테이프레지스터 설계 변경

=> (원석) 다시 헤드 레지스터가 필요하게 되어 구현하기로 함

21.12.08. 현재상태 레지스터, 테이프 심볼 레지스터를 DP의 전역 레지스터로 정의

21.12.08. Keypad 이진 데이터는 트리거에 영향 받지 않도록 변경

21.12.09. RippleCarryAdder(+Subtractor) 공용모듈에 추가

21.12.09. 테이프 레지스터에 CU 신호 반영

21.12.09. 테이프 레지스터 모듈, 폴더 정리

—--------------------------------------------------------------

* TapeRegister: Quatus -> Verilog 변환 중 wire 할당 문제

=> .v 파일 직접 수정

* ControlUnit: 출력 버스에 연결된 개별 비트선이 reg로 할당되는 문제

=> 버스로 합하는 모듈 새로 작성 (s\_gather.bdf)