

一、选择题（每题 2 分，共 18 分）

1、下列关于冯·诺依曼型计算机的描述，不正确的是 C。

(000001)

A) 计算机硬件系统由运算器、存储器、控制器、输入设备、输出设备五大部件组成

B) 指令和数据在存储器中都是二进制码存储

C) 指令存储器和数据存储器独立分设在不同的存储器

D) 存储程序并按地址顺序执行是 CPU 自动工作的关键

10111111

2、若机器数为补码，某寄存器中的容为 BF(十六进制)，则该寄存器存储的数据真值是 B (用十进制表示)。

A) 65

B) -65

C) 64

D) -64

3、下列关于存储器的描述，不正确的是 C。

A) SRAM 和 DRAM 都是易失性存储器

B) ROM 存储器容是预置的，固定的，无法改写

C) 多模块交叉存储器主要是解决主存空间不够大的问题

D) cache 存储器是为了解决 CPU 和主存之间在速度上不匹配的问题

4、下列关于 RISC 的描述中，不正确的是 C。

A) 指令条数比 CISC 少

B) 指令长度固定，指令格式种类少，寻址方式种类少

C) 在程序中出现频率占 80% 的指令占指令总数的 20%

D) 只有取数 / 存数指令访问存储器

5、设机器数字长为 16 位，一个容量为 32MB 的存储器，CPU 按半字长寻址，其寻址围是 C。

A) 2^{23}

B) 2^{24}

C) 2^{25}

D) 2^{26}

6、在程序的执行过程中，cache 与主存的地址映射是由 D。

A) 程序员调度的

B) 操作系统管理的

C) 由程序员和操作系统共同协调完成的

D) 硬件自动完成的

硬件自动完成的

7、下列关于指令的描述，不正确的是 A。

A) 指令周期是指 CPU 执行某条指令的时间

B) 一个指令周期常常包含若干个 CPU 周期

C) 一个 CPU 周期包含若干时钟周期

D) 一条机器指令对应一个微程序，微程序是由若干条微指令序列组成

8、在多总线结构中，用于连接高速 I/O 设备模块的总线是 C。

A) CPU 总线

B) 系统总线

C) PCI 总线

D) ISA 总线

9、下列关于磁盘存储器的描述，不正确的是 D。

A) 数据的写入和读出是合用一个磁头，称为读写磁头

B) 磁盘控制器是主机和磁盘驱动器之间的接口

C) 磁盘的道密度指沿磁盘半径方向单位长度上的磁道数

D) 磁盘记录面外圈的扇区比圈的扇区要长，因此每个扇区记录的信息也要多

二、填空题（共 30 分）

1、摩尔定律指的是 芯片单位面积上晶体管的数目 每 18 个月翻一番。

2、SRAM 存储器的存储元是 触发器，DRAM 存储器的存储元是 MOS 晶体管和电容器。

3、指令的寻址方式有 顺序 寻址方式和 跳跃 寻址方式两种。

4、假设某机器有 120 条指令，平均每条指令由 5 条微指令组成，其中有一条取指微指令是所有指令公用的。已知微指令长度位 32bit，则控制存储器的容量最少是 15392bit。

5、流水线技术利用的是 时间 并行性，超标量技术利用的是 空间 并行性。

6、总线的定时方式中，异步定时 适用于快速和慢速功能模块都连接到同一总线的情况，同步定时 适用于总线长度较短、各功能模块速度比较接近的情况。

7、总线仲裁方式有 分布式仲裁 和 集中式仲裁。集中式仲裁又分为三种，分别是 链式查询方式，计数器定时查询方式，和 独立请求方式。

8、Infiniband 是一个高性能的 I/O 标准，是一种基于 开关 的体系结构。

9、PCI 采用的是 同步 时序协议和 集中式 仲裁策略，其基本传输机制是 猝发式传送。

10、采用串行接口进行字符传送，假设波特率为 3600 波特，字符传送速率为 400 字符/秒，则每个字符包含 9 bit。

11、读写操作时，磁盘是恒 角速 旋转，光盘是恒 线速 旋转。

12、某磁盘存储器有 20 个可用盘面，每个盘面有 200 个磁道，每个磁道均记录 18000B 信息，最小磁道直径是 240mm，最大磁道直径是 340mm，是则该磁盘存储器的道密度为 4 道/mm，柱面数为 200，磁盘总容量为 72000000B。

13、某磁盘存储器转速为 6000RPM，平均找道时间为 12ms，数据传输率为 1KB/ms，则读出磁盘上连续存放的 1MB 数据需要的平均时间是 1041ms。

三、简答题（每题 3 分，共 12 分）

2、什么是程序的局部性原理？

程序总是趋向于使用最近使用过的数据和指令，包括程序的时间局部性和程序的空间局部性。

1) 程序的时间局部性：指程序即将用到的信息可能就是目前正在使用的信息。

2) 程序的空间局部性：指程序即将用到的信息可能与目前正在使用的信息在空间上相邻或者临近。

4、在多总线结构中有三种总线（HOST 总线、PCI 总线和 LEGACY 总线）和三种桥（北桥、南桥和 PCI/LEGACY 桥），请说出这三种桥分别连接的是哪些总线？

北桥连接 HOST 总线和 PCI 总线，南桥连接 PCI 总线和 PCI 总线，PCI/LEGACY 桥连接 PCI 总线和 LEGACY 总线。

四、设有浮点数 $x=2^3 \times (+11/16)$ ， $y=2^4 \times (-13/16)$ ，阶码用 4 位（含一位符号位）补码表示，尾数用 5 位（含一位符号位）补码表示，求真值 $x/y=?$ 要求（1）写出 x, y 的浮点数表示，（2）用补码加减交替法完成尾数除法运算。

（1） $11/16=0.1011$ ，故 x 的浮点数表示为 001101011

$-13/16=1.1101$ ，故 y 的浮点数表示为 010010011

（2）现依然用 x 和 y 表示其尾数，则 $x=0.1011$ ， $y=-0.1101$ ，用补码加减交替

法进行 x/y 的尾数运算如下：

1.微操作命令和微操作

答：微操作命令是控制完成微操作的命令；微操作是由微操作命令控制实现的最基本操作。

2.快速缓冲存储器

答：快速缓冲存储器是为了提高访存速度，在 CPU 和主存之间增设的高速存储器，它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

$[x]_{\text{原}}=0.1011, |x|=0.1011$
 $[y]_{\text{原}}=1.1101, |y|=0.1101,$
 $[-|y|]_{\text{补}}=1.0011$
商值的求解过程如右表所示:

商的符号位为 $x_0 \oplus y_0 = 0 \oplus 1 = 1$
所以 $[x \div y]_{\text{原}} = 1.1101$

被除数(余数)	商	说 明
0.1011 + 1.0011	0.0000	$+[-y^*]_{\text{补}}$ (减除数)
1.1110 1.1100 + 0.1101	0 0 ← 1位	余数为负, 上商0 $+ [y^*]_{\text{补}}$ (加除数)
0.1001 1.0010 + 1.0011	01 01 ← 1位	余数为正, 上商1 $+ [-y^*]_{\text{补}}$ (减除数)
0.0101 0.1010 + 1.0011	011 011 ← 1位	余数为正, 上商1 $+ [-y^*]_{\text{补}}$ (减除数)
1.1101 1.1010 + 0.1101	0110 0110 ← 1位	余数为负, 上商0 $+ [y^*]_{\text{补}}$ (加除数)
0.0111	01101	余数为正, 上商1

五、有一个 2048K×16 位的存储器，由若干片 256K×8 位的 DRAM 芯片构成。问：

- (1) 需要多少片 DRAM 芯片？

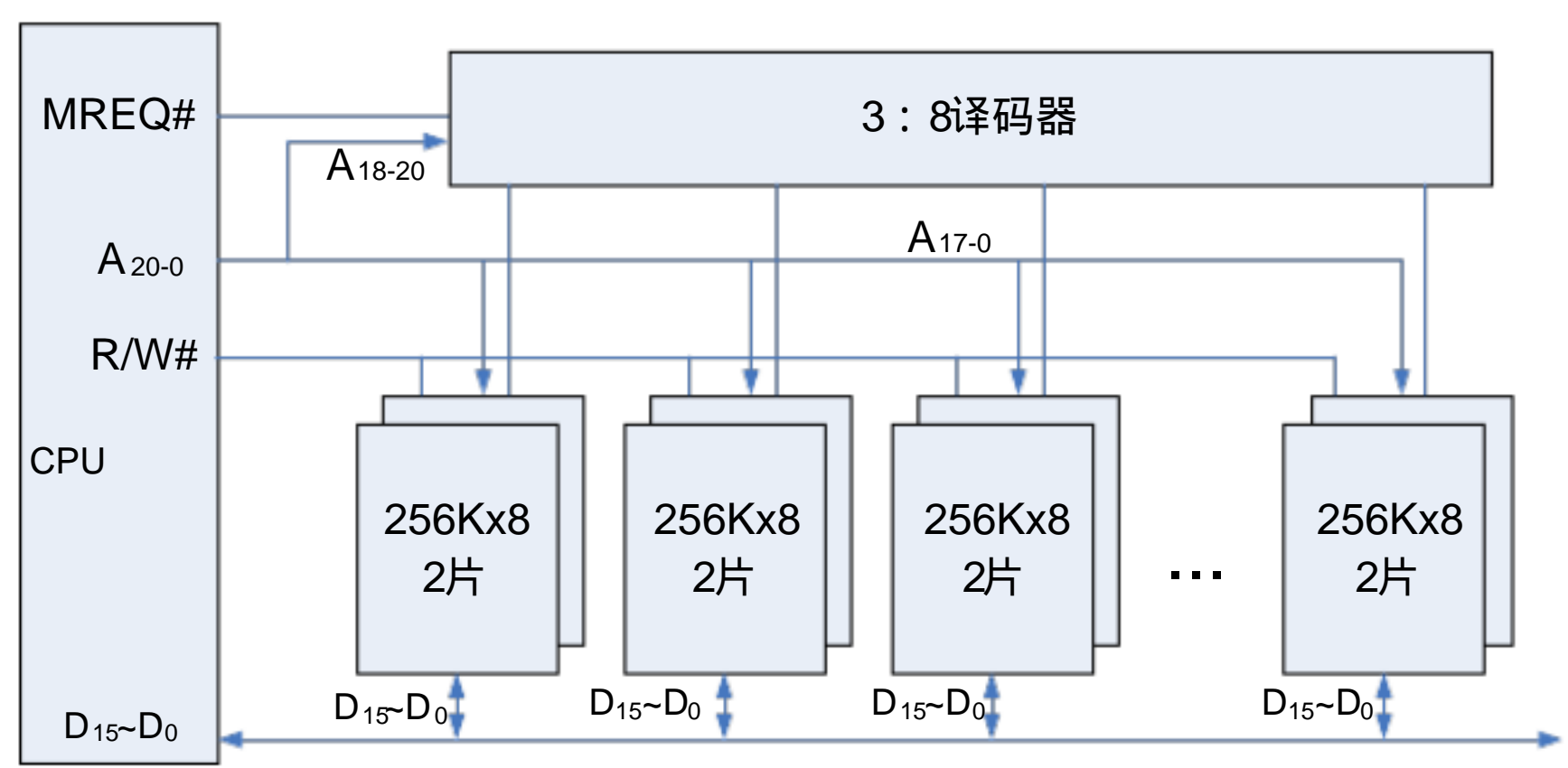
(2) 该存储器需要多少字节地址位？

(3) 画出该存储器与 CPU 连接的结构图，设 CPU 的接口信号有地址信号、数据信号、控制信号 MREQ#和 R/W#。

(1) 需要 DRAM 芯片数 = 2048K × 16 位 / (256K × 8 位) = 16

(2) 该存储器容量为 2048K x16 位=4096KB，4096K=2¹²，故需要 12 个字节地址位 (22)

(3) 存储器与 CPU 连接的结构图



七、设某机的指令格式、有关寄存器和主存容如下， X 为寻址方式， D 为形式地址，请在下表中填入有效地址 E 及操作数的值。

指令格式

OP	X	D=100
----	---	-------

PC=500

R_基=1000

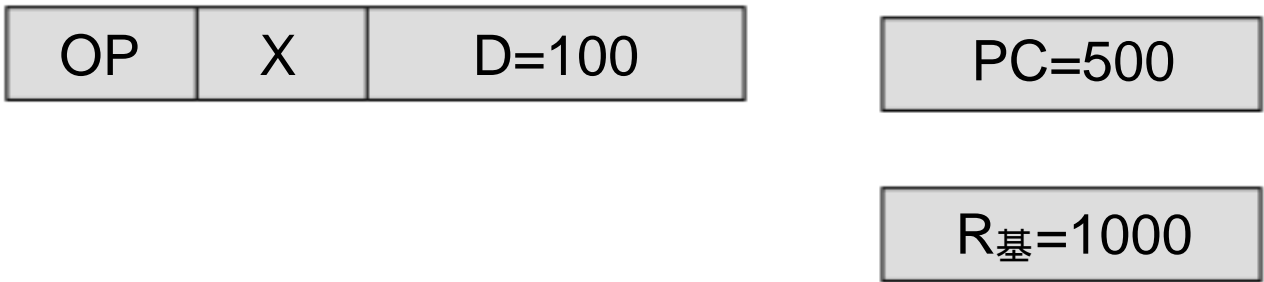
内存	
100	200
200	400
600	800
1100	600

请填写表中有效地址和操作数：

寻址方式	X	有效地址 E	操作数
立即寻址	0		
直接寻址	1		
间接寻址	2		
相对寻址	3		
变址寻址	4		

答案如下：

指令格式



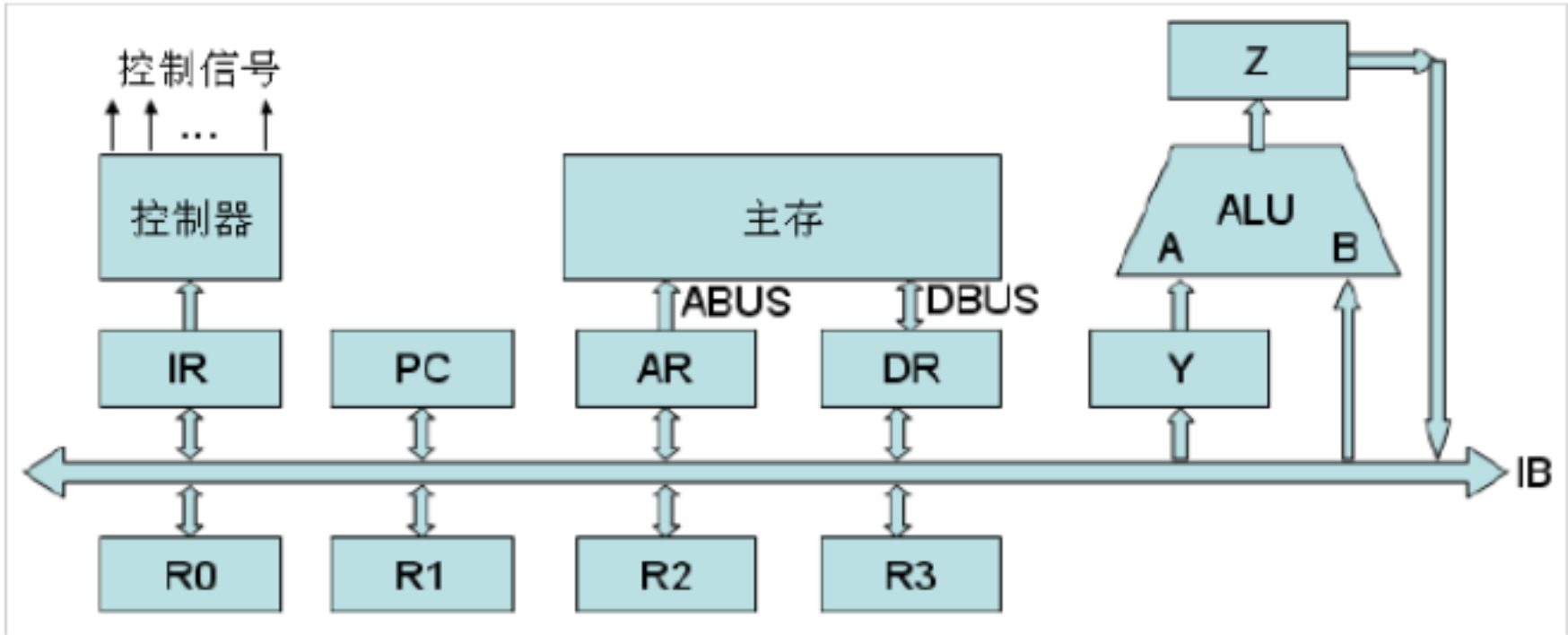
内存	
100	200
200	400
600	800
1100	600

请填写表中有效地址和操作数：

寻址方式	X	有效地址 E	操作数
立即寻址	0	不需要寻址	100
直接寻址	1	100	200
间接寻址	2	200	400
相对寻址	3	600	800
变址寻址	4	1100	600

八、下图所示为单总线 CPU 部框图，其中 R0~ R3为通用寄存器，ALU 具有加、减运算功能。完成下列问题：（10 分）

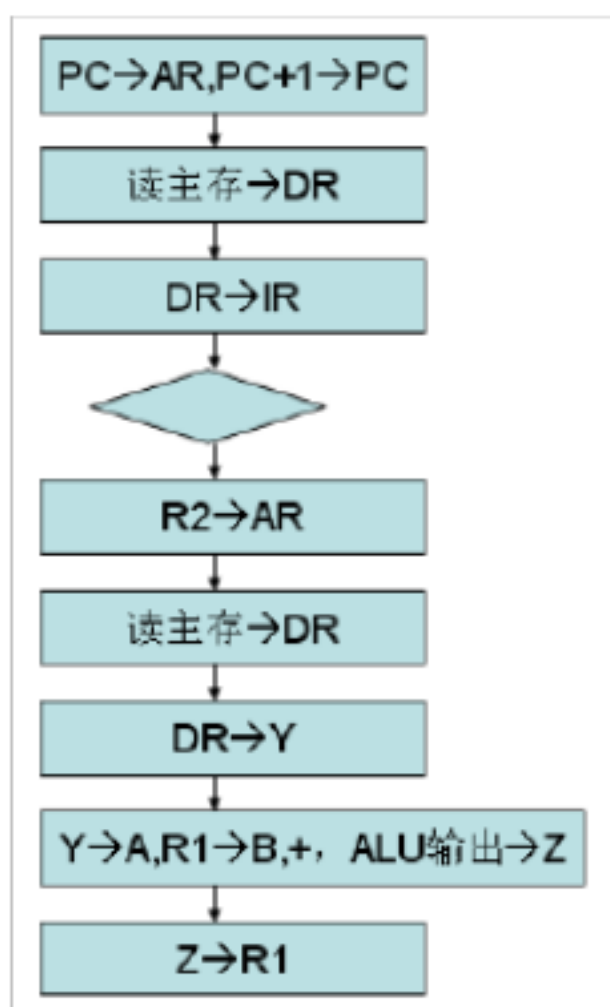
- 1) 说明图中 IR,PC,AR,DR,Y,寄存器的作用。
- 2) 画出加法指令 SUB R1,(R2的指令周期流程图，其中“(Ri)”表示寄存器间接寻址，指令左边的操作数为目的操作数。



答案如下：

- 1) IR 为指令寄存器，PC 为程序计数器，AR 为存地址暂存器，DR 为存数据暂存器，Y 用于暂存 ALU 的一个操作数，Z 用于暂存 ALU 的运算结果。

2) SUB R1,(R2)的指令周期流程图如下：



2、当机器字长一定时，B越长，浮点数表示的范围越大，精度越低。

A) 阶符 B) 阶码 C) 尾符 D) 尾数

3、下列关于 cache 地址映射的描述，不正确的是D。

A) 全相联映射方式中，主存的一个块可能存放到 cache 中任意一行

B) 直接映射方式中，主存的一个块只能存放在 cache 的一个特定行

C) 全相联映射方式的 cache 利用率高，直接映射方式的 cache 利用率低

D) 组相联映射方式是全相联映射和直接映射方式的折中方案，即主存中的一个块放到 cache 的哪个组是灵活的，而放到该组的哪个行是固定的。

4、CPU 响应中断的时间是C。

A) 中断源提出请求

B) 取指周期结束

C) 执行周期结束

D) 间址周期结束

5、分支预测的目的是为了D。

A) 提高转移指令的执行速度

B) 提高每条指令的流水执行速度

C) 提高程序的正确性

D) 提高指令预取的成功率

6、在堆栈寻址中，设 A 为累加器，SP 为堆栈指示器，Msp 为 SP 指示的栈顶单元。如果进栈操作顺序是：(SP) - 1 SP, (A) Msp；那么出栈操作的顺序应是 A。

A) (Msp) A, (SP) + 1 SP

B) (SP) + 1 SP, (Msp) A

C) (SP) - 1 SP, (Msp) A

D) (Msp) A, (SP) - 1 SP

7、中断处理过程中，A 是由硬件完成。

A) 关中断

关中断

B) 开中断

C) 保存 CPU 现场

保护断点

D) 恢复 CPU 现场

8、下列说法中正确的是 D。

A) 多体交叉存储器主要解决扩充容量问题。

B) Cache 地址空间是主存地址空间的一部分。

C) 主存都是由易失性的随机读写存储器构成的。

D) Cache 的功能全部由硬件实现。

Cache 的功能全部由硬件实现

9、计算机操作的最小单位时间是 A。

A) 时钟周期

B) 指令周期

C) CPU 周期

D) 中断周期。

1、若机器数为补码，某寄存器中的内容为 BF(十六进制)，则该寄存器存储的数据真值是 -65 (用十进制表示)。

2、多模块交叉存储器中，地址在模块中的安排方式有 顺序 和 交叉 两种。

3、已知 cache 存储周期为 20ns，主存存储周期为 220ns，cache/主存系统平均访问时间为 60ns，则 cache 命中率是 80%。

$X = 80\%$

4、假设某机器有 120 条指令，平均每条指令由 5 条微指令组成，其中有一条取

$$20X + 220(1-X) = 60$$

$$160 = 200X$$

指微指令是所有指令公用的。已知微指令长度位 32bit , 则控制存储器的容量最少是 15392bit 。

5、流水线中存在的三种相关冲突分别是 资源相关 , 数据相关 和 控制相关

6、按总线仲裁电路的位置不同 , 总线总裁分为 集中式 仲裁和 分布式 仲裁。

7、设字长 8 位 (含 1 位符号位) , 则原码定点小数能表示的绝对值最大负数是 $-(1-2^{-7})$

8、在组合逻辑控制器中 , 微操作控制信号由 时序 、 状态条件 和 指令 决定。

9、已知有四位数 P1P2P3P4 采用偶校验 , 其校验位 C 的表达式为 P1 异或 P2 异或 P3 异或 P4 。

10、在不改变中断响应优先级次序的条件下 , 通过 中断屏蔽 可以改变中断处理次序。

三、浮点数标准 IEEE754 的规格化数表示方式为 $(-1)^s \cdot 1.m \cdot 2^{e-127}$, 其中 s 为符号位 ,

m 为尾数 , e 为阶码 , 32 位浮点数的 s、e、m 分别占 1, 8, 23bit , 请写出下列十进制数的 IEEE754 标准的 32 位浮点规格化数。

(1) 25/64

(2) -35/128

答 : $25/64 = (0.00011001)_2 = (1.1001 \times 2^{-4})_2$?

$-35/64 = (-0.00100011)_2 = (-1.00011 \times 2^{-3})_2$

故 25/64 的 IEEE754 标准的 32 位浮点规格化数为 :

0,01111011,100100000000000000000000

-35/64 的 IEEE754 标准的 32 位浮点规格化数为 :

1,00111110,000110000000000000000000

四、已知 $x=0.1011$, $y= - 0.1101$, 求 $x \div y$ (用补码加减交替法进行运算)。

$$\frac{25}{64} = \frac{16+9}{64} = \frac{16+8+1}{64}$$

$$0.1111 = \frac{1}{4} + \frac{1}{8} + \frac{1}{16} = 2^{-2} + 2^{-3} + 2^{-4}$$

$$0.011001$$

$$\frac{25}{64} = 0.010001$$

$$\frac{1}{64} + \frac{16}{64} + \frac{8}{64} + \dots$$

$$= \frac{1}{4} + \frac{1}{8} + \frac{1}{16}$$

$$1.0001 \times 2^{-2}$$

$$-2+12=1$$

$$0.01111011$$

$$1.1001 \times 2^{-2}$$

<p>解： $[x]_{\text{原}}=0.1011$, $x =0.1011$ $[y]_{\text{原}}=1.1101$, $y =0.1101$, $[-y]_{\text{补}}=1.0011$ 商值的求解过程如右表所示：</p> <p>商的符号位为 $x_0 \oplus y_0 = 0 \oplus 1 = 1$ 所以 $[x \div y]_{\text{原}} = 1.1101$</p>	被除数(余数)	商	说 明
	0.1011 + 1.0011	0.0000	$+ [-y]_{\text{补}}$ (减除数)
	1.1110 1.1100 + 0.1101	0 0 ← 1位	余数为负, 上商0 $+ [y]_{\text{补}}$ (加除数)
	0.1001 1.0010 + 1.0011	01 01 ← 1位	余数为正, 上商1 $+ [-y]_{\text{补}}$ (减除数)
	0.0101 0.1010 + 1.0011	011 011 ← 1位	余数为正, 上商1 $+ [-y]_{\text{补}}$ (减除数)
	1.1101 1.1010 + 0.1101	0110 0110 ← 1位	余数为负, 上商0 $+ [y]_{\text{补}}$ (加除数)
	0.0111	01101	余数为正, 上商1

1、假定下列字符码中有奇偶校验位，但没有数据错误，采用 偶校校验 的字符码是__D__。

- A 11001011 B 11010110 C 11000001 D 11001001

2、在机器数 __B__ 中，零的表示是唯一的。

- A 原码 B 补码 C 移码 D 反码

3、某机字长 32 位，存储容量 64MB，若按字编址，它的寻址围是 ____C__。

- A 8M B 16MB C 16M D 8MB

4、采用虚拟存储器的主要目的是 ____B__。

A 提高主存储器的存取速度； B 扩大主存储器的存储空间，并能进行自动管理和调度；

- C 提高外存储器的存取速度； D 扩大外存储器的存储空间；

5、微程序控制器中，机器指令与微指令的关系是 ____B__。

- A 每一条机器指令由一条微指令来执行；
- B 每一条机器指令由一段用微指令编成的微程序来解释执行；

D 一条微指令由若干条机器指令组成；

A 不需要应答信号；

B 总线长度较短；

C 用一个公共时钟信号进行同步；

D 各部件存取时间较为接近；

A RAM 存储器 B ROM 存储器 C 主存储器 D cache、主存储器和外存储器

A 存放一个二进制信息位的存储元 B 存放一个 机器字 的所有存储元集合

C 存放一个字节的存储元集合 D 存放两个字节的存储元集合；

A 高速芯片 B 两套相互独立的读写电路 C 流水技术 D 新型器件

A.流水 CPU 是以空间并行性为原理构造的处理器

B.流水 CPU 一定是 RISC 机器

C.流水 CPU 一定是多媒体 CPU

D.流水 CPU 是一种非常经济而实用的 时间并行 技术

1、冯·诺依曼计算机在硬件上是由 控制器、存储器、运算器、输入设备、输出设备 五大部分构成。

中阶码 E 的值等于指数的 真值 e 加上一个固定 偏移位。

3、根据地址格式不同，虚拟存储器分为 页式、段式 和 段页式 三种。

4、CPU 从主存取出一条指令并执行该指令的时间叫做 指令周期，它常用若干个 机器周期 来表示，而后者又包含有若干个 时钟周期。

5、对存储器的要 容量大，速度快，成本低。为了解决这方面的矛盾，计算机采用 多级存储体系 结构。

6、指令系统是表征一台计算机性能的重要因素，它的格式和 功能 不仅直接影响到机器的硬件结构而且也影响到系统软件。

7、CPU 中至少有如下六类寄存器 指令 寄存器，程序 计数器，地址 寄存器，通用 寄存器，状态条件 寄存器，缓冲 寄存器。

三、简答题（共 20 分）

1、什么是 RISC? RISC 指令系统的特点是什么？

答：RISC 是精简指令系统计算机，它有以下特点：

- （1）选取使用频率最高的一些简单指令，以及很有用但不复杂的指令。
- （2）指令长度固定，指令格式种类少，寻址方式种类少。
- （3）只有取数 / 存数指令访问存储器，其余指令的操作都在寄存器之间进行。
- （4）大部分指令在一个机器周期完成。
- （5）CPU 用寄存器数量相当多。
- （6）以硬布线控制为主，不用或少用微指令码控制。
- （7）一般用高级语言编程，特别重视编译优化工作，以减少程序执行时间。

2、简述控制器的基本功能？（8 分）

答：一台电子计算机基本上可以划分为两大部分 ----- 控制器和执行部件，

控制器就是控制部件，运算器、存储器、外设对控制器来说就是执行部件。

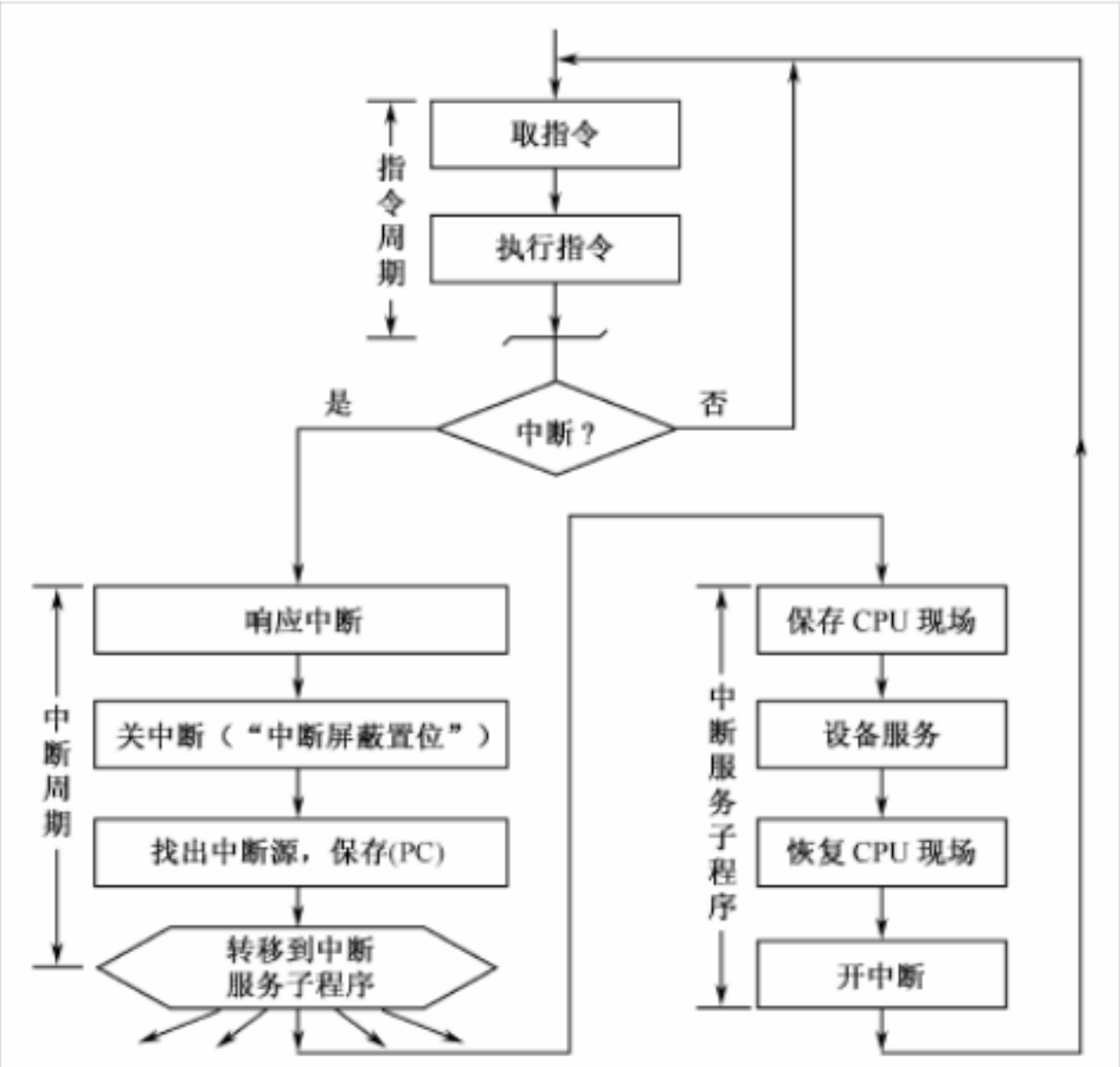
控制器具有如下四个方面的基本功能：

- 1) 指令控制，程序的顺序控制，称为指令控制。
- 2) 操作控制，管理并产生由存取出的每条指令的操作信号，把各种操作信号送往相应的部件，从而控制这些部件按指令的要求进行操作。
- 3) 时间控制，对各种操作实施时间上的定时，称为时间控制。
- 4) 数据控制，所谓数据加工，就是对数据进行算术运算和逻辑运算处理。

3、CPU 响应中断 应具备哪些条件？画出中断处理过程流程图。（8 分）

条件：

- (1) 在 CPU 中的中断屏蔽触发器 IM 必须是开放的。
- (2) 外设有中断请求时，中断请求触发器 IR 必须处于“1”状态，保持中断请求信号。
- (3) 外设接口中中断允许触发器 EI 必须为“1”，这样才能把外设中断请求送至 CPU。



(4) 当上述三个

条件具备时，CPU在现行指令结束的最后一个机器周期响应中断。

四、有两个浮点数 $x=2^{(+01)}_2 (-0.111)_2$ $Y=2^{(+01)}_2 (+0.101)_2$ ，设阶码 2 位，阶符 1 位，数符 1 位，尾数 3 位，用补码运算规则计算 $x-y$ 的值。

1) 设 S_x 为 x 的尾数， S_y 为 y 的尾数，则

$$S_x=(-0.111)_2 \quad [S_x]_{\text{补}}=1.001$$

$$S_y=(+0.101)_2 \quad [S_y]_{\text{补}}=0.101$$

又设 E_x 为 x 的阶码， E_y 为 y 的阶码，则

$$E_x=(+01)_2, \quad [E_x]_{\text{补}}=001$$

$$E_y=(+01)_2, \quad [E_y]_{\text{补}}=001$$

2) 对阶： $E_x-E_y=(01)_2$ ，阶码相等，故不需要对阶。

3) 尾数相减

$$\begin{array}{r} [S_y]_{\text{补}}=0.101 \qquad [-S_y]_{\text{补}}=1.011 \\ [S_x]_{\text{补}}=1.001 \\ + \quad [S_y]_{\text{补}}=1.011 \\ \hline [S_x-S_y]_{\text{补}}=10.100 \end{array}$$

4) 规格化与舍入

尾数符号位 10，需要右规，尾数右移 1 位，最低有效位舍掉，阶码加 1（右规）则，

$$[S_x-S_y]_{\text{补}}=1.$$

$$[E_x]_{\text{补}}=[E_y]_{\text{补}}=$$

规格化结果：，1.

五、已知 cache 命中率 $H=0.98$ ，主存存取时间是 cache 存取时间的 4 倍，

已知主存存取周期为 200ns，求 cache/主存的效率和平均访问时间。

解： $R = T_m / T_c = 4$ ； $T_c = T_m / 4 = 50\text{ns}$

$$E = 1 / [R + (1 - R) H] = 1 / [4 + (1 - 4) \times 0.98] = 0.94$$

$$T_a = T_c / E = T_c \times [4 - 3 \times 0.98] = 50 \times 1.06 = 53\text{ns}。$$

1. 异步控制方式

答：异步控制不存在基准时标信号，微操作的时序是由专用的应答线路控制的，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“终了”信号，再开始下一个微操作。

2. 向量地址

答：向量地址是存放服务程序入口地址的存储单元地址，它由硬件形成

3. 双重分组跳跃进位

答：n 位全加器分成若干大组，大组又分成若干小组，大组中小组的最高进位同时产生，大组与大组间的进位串行传送。

4. 多重中断

答：多重中断即指 CPU 在处理中断的过程中，又出现了新的中断请求，此时若 CPU 暂停现行的中断处理，转去处理新的中断请求，即多重中断。