

# 计算机组成原理 期末考试复习大纲

## 第一章

### 1. 计算机软件的分类。

P11                      计算机软件一般分为两大类：一类叫系统程序，一类叫应用程序。

### 2. 源程序转换到目标程序的方法。

P12                      源程序是用算法语言编写的程序。

目标程序（目的程序）是用机器语言书写的程序。

源程序转换到目标程序的方法一种是通过编译程序把源程序翻译成目的程序，另一种是通过解释程序解释执行。

### 3. 怎样理解软件和硬件的逻辑等价性。

P14                      因为任何操作可以有软件来实现，也可以由硬件来实现；任何指令的执行可以由硬件完成，也可以由软件来完成。对于某一机器功能采用硬件方案还是软件方案，取决于器件价格，速度，可靠性，存储容量等因素。因此，软件和硬件之间具有逻辑等价性。

## 第二章

### 1. 定点数和浮点数的表示方法。

P16                      定点数通常为纯小数或纯整数。

$X = X_n X_{n-1} \cdots X_1 X_0$

$X_n$  为符号位，0 表示正数，1 表示负数。其余位数代表它的量值。

纯小数表示范围  $0 \leq |X| \leq 1-2^{-n}$

纯整数表示范围  $0 \leq |X| \leq 2^n - 1$

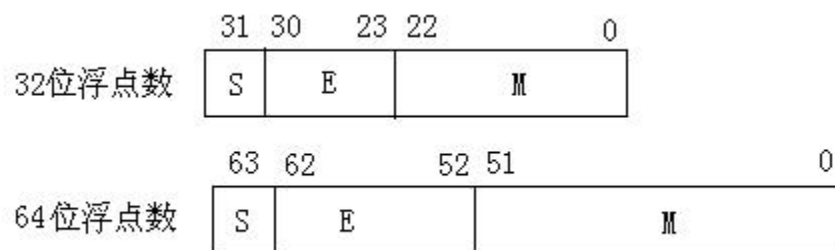
浮点数：一个十进制浮点数  $N=10^E \cdot M$ 。

一个任意进制浮点数  $N=R^E \cdot M$

其中  $M$  称为浮点数的尾数，是一个纯小数。 $E$  称为浮点数的指数，是一个整数。

比例因子的基数  $R=2$  对二进制计数的机器是一个常数。

做题时请注意题目的要求是否是采用 IEEE754 标准来表示的浮点数。



32 位浮点数 S (31) E (30-23) M (22-0)

64 位浮点数 S (63) E (62-52) M (51-0)

S 是浮点数的符号位 0 正 1 负。E 是阶码，采用移码方法来表示正负指数。

M 为尾数。P18

例1若浮点数x的754标准存储格式为(41360000)<sub>16</sub>，求其浮点数的十进制数值。

解：将16进制数展开后，可得二进制格式为

0 100 00010 011 0110 0000 0000 0000 0000

S 阶码(8位) 尾数(23位)

指数 $e$ =阶码-127=10000010-01111111=00000011=(3)<sub>10</sub>

包括隐藏位1的尾数

1.M=1.011 0110 0000 0000 0000 0000=1.011011

于是有

$x=(-1)^S \times 1.M \times 2^e = +(1.011011) \times 2^3 = +1011.011 = (11.375)_{10}$

例2将数(20.59375)<sub>10</sub>转换成754标准的32位浮点数的二进制存储格式。

解：首先分别将整数和分数部分转换成二进制数：

20.59375=10100.10011

然后移动小数点，使其在第1，2位之间

10100.10011=1.010010011 $\times 2^4$

$e=4$ 于是得到：

S=0,  $E=4+127=131$ , M=010010011

最后得到32位浮点数的二进制存储格式为：

01000001101001001100000000000000=(41A4C000)<sub>16</sub>

2. 数据的原码、反码和补码之间的转换。数据零的三种机器码的表示方法。

P21 一个正整数，当用原码、反码、补码表示时，符号位都固定为0，用二进制表示的数位值都相同，既三种表示方法完全一样。

一个负整数，当用原码、反码、补码表示时，符号位都固定为1，用二进制表示的数位值都不相同，表示方法。

1. 原码符号位为1不变，整数的每一位二进制数位求反得到反码；

2. 反码符号位为 1 不变，反码数值位最低位加 1，得到补码。

例：  $x = (+122)_{10} = (+1111010)_2$  原码、反码、补码均为 01111010

$Y = (-122)_{10} = (-1111010)_2$  原码 11111010、反码 10000101、补码 10000110

+0 原码 00000000、反码 00000000、补码 00000000

-0 原码 10000000、反码 11111111、补码 10000000

3. 定点数和浮点数的加、减法运算：公式的运用、溢出的判断。

P63 已知  $x$  和  $y$ ，用变形补码计算  $x+y$ ，同时指出结果是否溢出。

(1)  $x=11011$   $y=00011$  (2)  $x=11011$   $y=-10101$  (3)

$x=-10110$   $y=-00001$

5. (1) 用变形补码进行计算：

[x]补=00 11011 [y]补=00 00011 (2) [x]补=00 11011 [y]补=11 01011 (3) [x]补=11 01010 [y]补=11 1111

$$\begin{array}{r} [x]补 = 00\ 11011 \\ [y]补 = +00\ 00011 \\ \hline [x+y]补 = 00\ 11110 \end{array}$$

结果没有溢出， $x+y=11110$

$$\begin{array}{r} [x]补 = 00\ 11011 \\ [y]补 = +11\ 01011 \\ \hline [x+y]补 = 00\ 00110 \end{array}$$

结果没有溢出， $x+y=00110$

$$\begin{array}{r} [x]补 = 11\ 01010 \\ [y]补 = +11\ 11111 \\ \hline [x+y]补 = 11\ 01001 \end{array}$$

结果没有溢出， $x+y=-10111$

已知  $x$  和  $y$ ，用变形补码计算  $x-y$ ，同时指出结果是否溢出。

(1)  $x=11011$   $y=-11111$  (2)  $x=10111$   $y=11011$  (3)

$x=11011$   $y=-10011$

6.  $[x-y]补 = [x]补 + [-y]补$

1 (1) [x]补=00 11011 [-y]补=00 11111 (2) [x]补=00 10111 [-y]补=11 00101 (3) [x]补=00 11011 [-y]补=00 10011

$$\begin{array}{r} [x]补 = 00\ 11011 \\ [-y]补 = +00\ 11111 \\ \hline [x-y]补 = 01\ 11010 \end{array}$$

结果有正溢出， $x-y=11010$

$$\begin{array}{r} [x]补 = 00\ 10111 \\ [-y]补 = +11\ 00101 \\ \hline [x-y]补 = 11\ 11100 \end{array}$$

结果没有溢出， $x-y=-00100$

$$\begin{array}{r} [x]补 = 00\ 11011 \\ [-y]补 = +00\ 10011 \\ \hline [x-y]补 = 01\ 01110 \end{array}$$

结果有正溢出， $x-y=10010$

P63 设阶码 3 位，尾数 6 位，按浮点运算方法，完成下列取值的

$[x+y]$ ,  $[x-y]$  运算.

$$(2) x = 2^{-101} * (-0.010110) \quad y = 2^{-100} * (0.010110)$$

$$9.(2) x = 2^{-101} * (-0.010110), y = 2^{-100} * 0.010110$$

$$[x]_{\text{浮}} = 11011, -0.010110$$

$$[y]_{\text{浮}} = 11100, 0.010110$$

$$Ex - Ey = 11011 + 00100 = 11111$$

$$[x]_{\text{浮}} = 11100, 1.110101(0)$$

$$\begin{array}{r} x+y \qquad \qquad \qquad 1\ 1.1\ 1\ 0\ 1\ 0\ 1 \\ \qquad \qquad \qquad + \quad 0\ 0.0\ 1\ 0\ 1\ 1\ 0 \\ \hline \qquad \qquad \qquad 0\ 0.0\ 0\ 1\ 0\ 1\ 1 \end{array}$$

$$\text{规格化处理: } 0.101100 \quad \text{阶码} \quad 11010$$

$$x+y = 0.101100 * 2^{-6}$$

$$\begin{array}{r} x-y \qquad \qquad \qquad 1\ 1.1\ 1\ 0\ 1\ 0\ 1 \\ \qquad \qquad \qquad + \quad 1\ 1.1\ 0\ 1\ 0\ 1\ 0 \\ \hline \qquad \qquad \qquad 1\ 1.0\ 1\ 1\ 1\ 1\ 1 \end{array}$$

$$\text{规格化处理: } 1.011111 \quad \text{阶码} \quad 11100$$

$$x-y = -0.100001 * 2^{-4}$$

P29 溢出的判断：第一种方法是采用双符号位法（变形补码）。

任何正数，两个符号位都是“0”，任何负数，两个符号位都是“1”，如果两个数相加后，其结果的符号位出现“01”或“10”两种组合时，表示发生溢出。最高符号位永远表示结果的正确符号。第二种方法是采用单符号位法。 P30

4. 运算器可以执行哪些运算？

算术运算：加法，减法运算，乘法，除法运算。

逻辑运算：逻辑与，或，非运算等。

## 5. 数据的不同进制表示。 P18

### 一、二进制数转换成十进制数

由二进制数转换成十进制数的基本做法是，把二进制数首先写成加权系数展开式，然后按十进制加法规则求和。这种做法称为“按权相加”法。

### 二、十进制数转换为二进制数

十进制数转换为二进制数时，由于整数和小数的转换方法不同，所以先将十进制数的整数部分和小数部分分别转换后，再加以合并。

#### 1. 十进制整数转换为二进制整数

十进制整数转换为二进制整数采用“除 2 取余，逆序排列”法。具体做法是：用 2 去除十进制整数，可以得到一个商和余数；再用 2 去除商，又会得到一个商和余数，如此进行，直到商为零时为止，然后把先得到的余数作为二进制数的低位有效位，后得到的余数作为二进制数的高位有效位，依次排列起来。

#### 2. 十进制小数转换为二进制小数

十进制小数转换成二进制小数采用“乘 2 取整，顺序排列”法。具体做法是：用 2 乘十进制小数，可以得到积，将积的整数部分取出，再用 2 乘余下的小数部分，又得到一个积，再将积的整数部分取出，如此进行，直到积中的小数部分为零，或者达到所要求的精度为止。

然后把取出的整数部分按顺序排列起来，先取的整数作为二进制小数的高位有效位，后取的整数作为低位有效位。

### 三、二进制数转换成八进制数

三位二进制数，得一位八进制数。 $101\underline{0100}11 = (101) 5 (010) 2 (011)$   
 $3 = 523$

### 四、八进制数转换成二进制数

一位八进制数，得三位二进制数。 $523 = (101) 5 (010) 2 (011)$   
 $3 = 101\underline{0100}11$

### 五、二进制数转换成十六进制数

四位二进制数，得一位十六进制数。 $1101\underline{000101}100 = (1010) A (0010)$   
 $2 (1100) C = A2C$

### 六、十六进制数转换成二进制数

一位十六进制数，得四位二进制数。 $A2C = (1010) A (0010) 2 (1100)$   
 $C = 1101\underline{000101}100$

十进制整数转二进制整数：除 2 取余

用 2 辗转相除至结果为 1

将余数和最后的 1 从下向上倒序写就是结果

例如 302

$$302/2 = 151 \text{ 余 } 0$$

$$151/2 = 75 \text{ 余 } 1$$

$$75/2 = 37 \text{ 余 } 1$$

$$37/2 = 18 \text{ 余 } 1$$

$$18/2 = 9 \text{ 余 } 0$$

$$9/2 = 4 \text{ 余 } 1$$

$$4/2 = 2 \text{ 余 } 0$$

$$2/2 = 1 \text{ 余 } 0$$

故二进制为 100101110

二进制转十进制

从最后一位开始算，依次列为第 0、1、2... 位

第 n 位的数（0 或 1）乘以 2 的 n 次方

得到的结果相加就是答案

例如:01101011. 转十进制:

第 0 位:1 乘 2 的 0 次方=1

1 乘 2 的 1 次方=2

0 乘 2 的 2 次方=0

1 乘 2 的 3 次方=8

0 乘 2 的 4 次方=0

1 乘 2 的 5 次方=32

1 乘 2 的 6 次方=64

0 乘 2 的 7 次方=0

然后:  $1+2+0+8+0+32+64+0=107$ .

二进制 01101011=十进制 107.

### 第三章

1. 主存的性能指标有哪些?

存储容量, 存取时间, 存储周期, 存储器带宽。



存取时间，存储周期，存储器带宽反映了主存的速度指标。

2. 存储器容量的扩充方法及应用。

P73

1. 字长位数扩展

2. 字存储容量扩展

P101

1. 设有一个具有 20 位地址和 32 位

字长的存储器，问：

(1) 该存储器能存储多少个字节的信息？

(2) 如果存储器由 512K\*8 位 SRAM 芯片组成，需要多少片？

(3) 需要多少位地址做芯片选择？

解：(1)  $2^{20} * 32 / 8 = 2^{22} = 4M$  字节

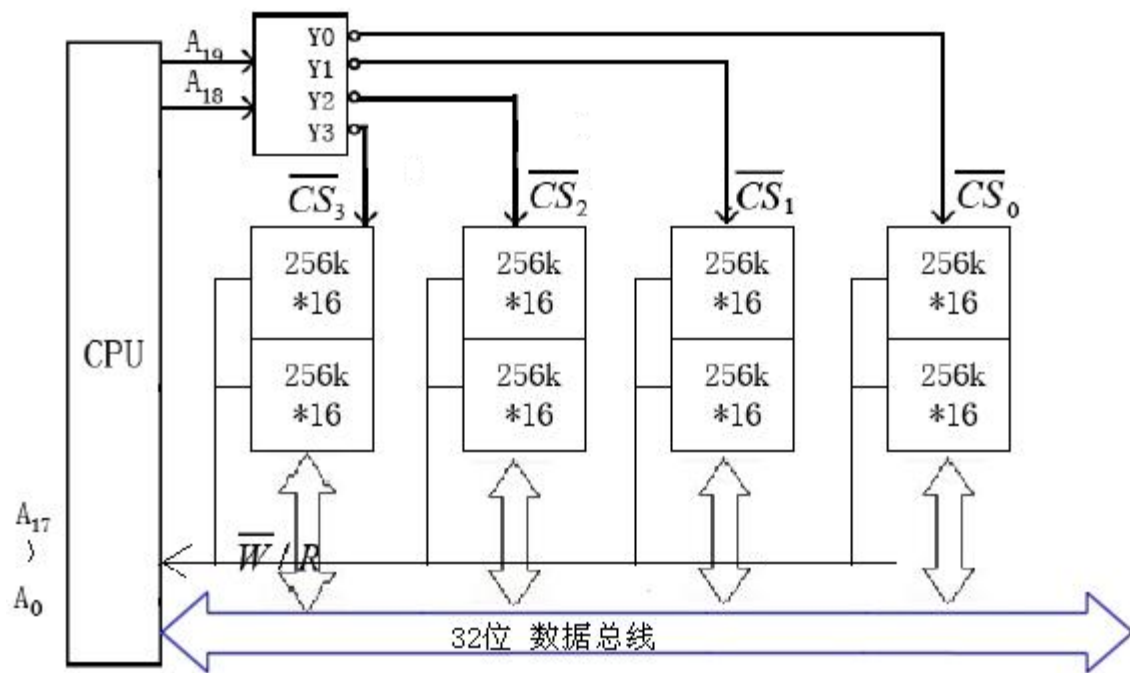
(2)  $(1024K * 32) / (512K * 8) = 2 * 4 = 8$  片

(3) 1 位

5. 要求用 256K\*16 位 SRAM 芯片设计 1024K\*32 位的存储器。SRAM 芯片有两个控制端：当 CS 有效时，该片选中。当 W/R=1 时执行读操作，当 W/R=0 时执行读操作。

解：需要  $(1024K * 32) / (256K * 16) = 4 * 2 = 8$  片 SRAM 芯片，需要

$\log_2 (1024K / 256K) = 2$  位地址做芯片选择



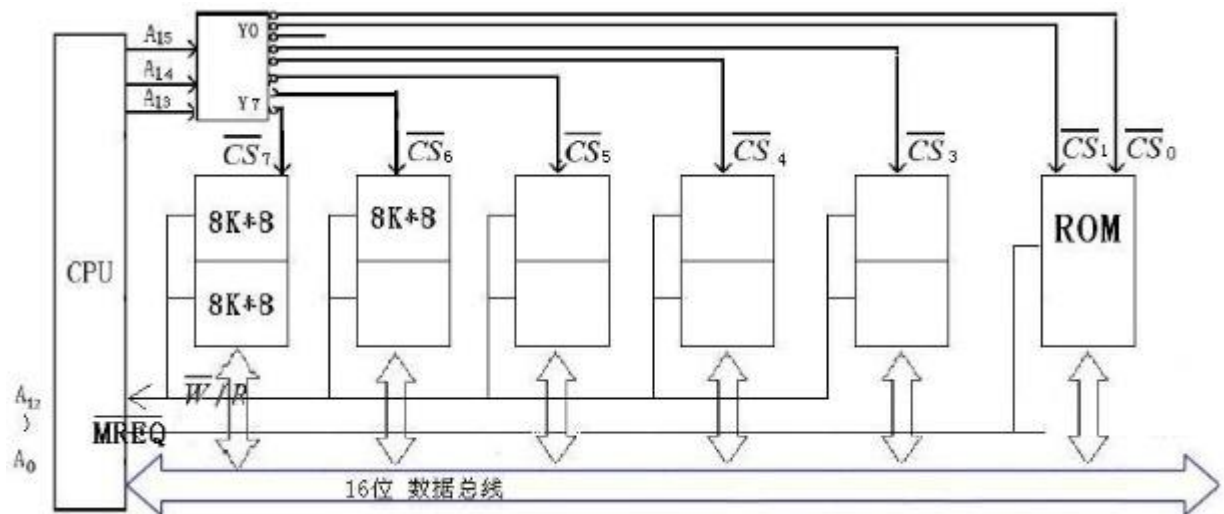
7. 某机器中，已知配有一个地址空间为 0000H-3FFFH 的 ROM 区域。现在再用一个 RAM 芯片（8K\*8）形成 40K\*16 位的 RAM 区域，起始地址为 6000H。假设 RAM 芯片有 CS 和 WE 信号控制端。CPU 的地址总线为 A<sub>15</sub> -A<sub>0</sub>，数据总线为 D<sub>15</sub> -D<sub>0</sub>，控制信号为 R/W（读/写），MREQ（访存），要求：

- （1）画出主存地址框图。
- （2）画出组成连接框图。

解：（1）需要  $(40K*16)/(8K*8)=5*2=10$  片 SRAM 芯片， $\log_2 (40K/8K) \approx 2.2$  取 3 位地址做芯片选择

0000H	ROM	
4000H		
6000H	8K*8	8K*8
8000H	8K*8	8K*8
A000H		
C000H		
E000H		

(2)



### 3. 双端口存储器和多体交叉存储器的工作原理。P 86

双端口存储器采用空间并行技术，具有两组相互独立的控制电路，进行并行的独立操作。

多体交叉存储器采用时间并行技术，具有多个相互独立，容量相同的模块，各模块的读写过程采用流水线方式重叠进行。

#### 4. cache 存储器的原理、映射方式、写回方式及相关的计算。

P93

CPU 与 cache 之间的数据交换是

以字为单位，而 cache 与主存之间的数据交换是以块为单位。一个块由若干字组成，是定长的。当 CPU 读取主存中一个字时，便发出此字的内存地址到 cache 和主存。此时 cache 控制逻辑依据地址判断此字当前是否在 cache 中：若是，此字立即传送给 CPU；若非，则用主存读周期把此字从主存读出送到 CPU，与此同时，把含有这个字的整个数据块从主存读出送到 cache 中。

P94

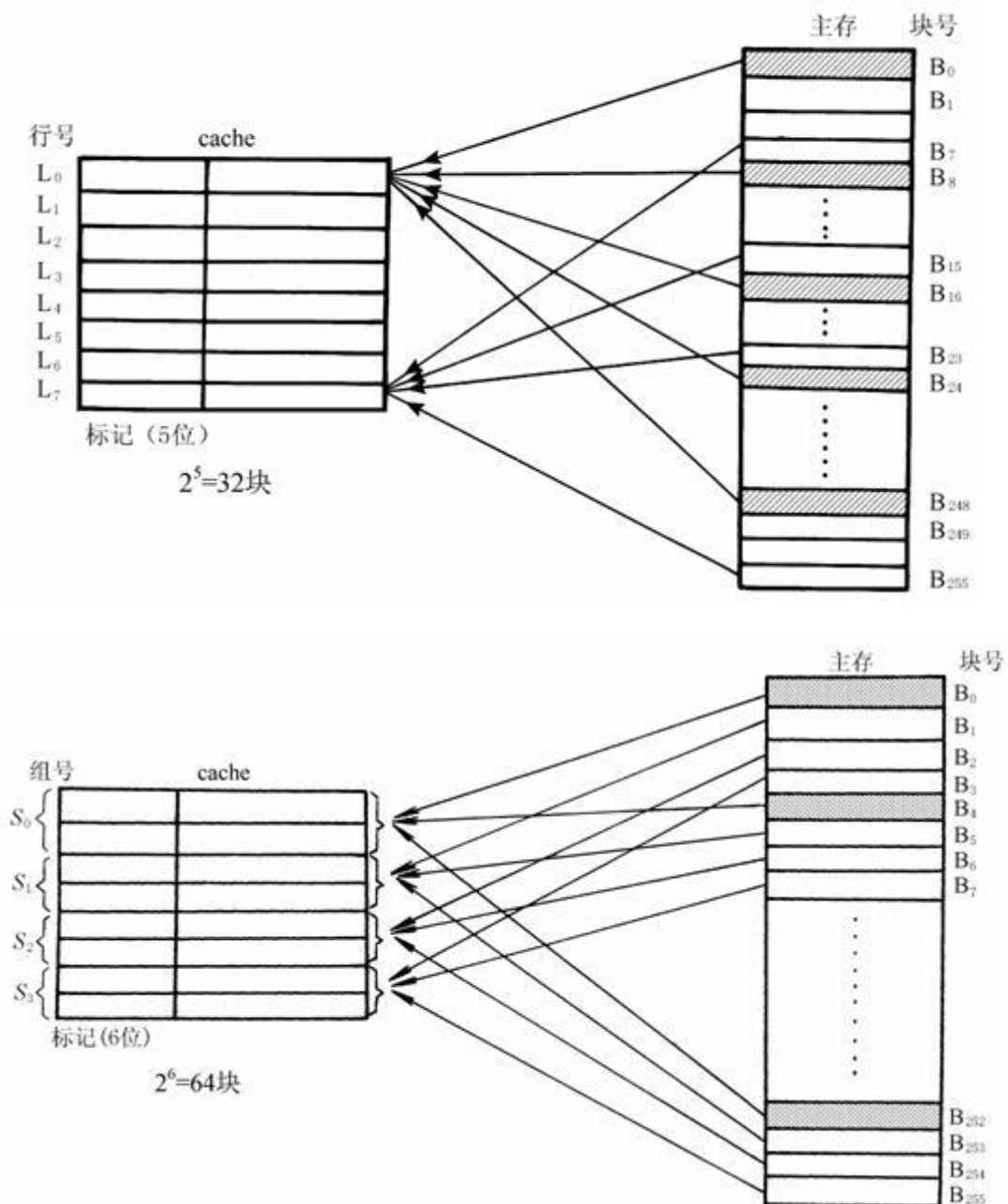
映射方式 1. 全相联映射方

式 2. 直接映射方式 3. 组相联映射方式

cache 的数据块大小称为行，主存的数据块大小称为块。行与块是等长的。在全相联映射方式中，将主存中一个块的地址（块号）与块的内容（字）一起存于 cache 的行中，其中块地址存于 cache 行的标记部分中。这种带全部块地址一起保存的方法，可使主存的一个块直接拷贝到 cache 中的任意一行上。

直接映射方式：一个主存块只能拷贝到 cache 的一个特定行位置上去。

cache 的行号  $i$  和主存的块号  $j$  有如下函数关系： $i = j \bmod m$  式中  $m$  为 cache 中的总行数。在直接映射方式中，cache 将  $s$  位的块地址分成两部分： $r$  位作为 cache 的行地址， $s-r$  位作为标记（tag）与块数据一起保存在该行。



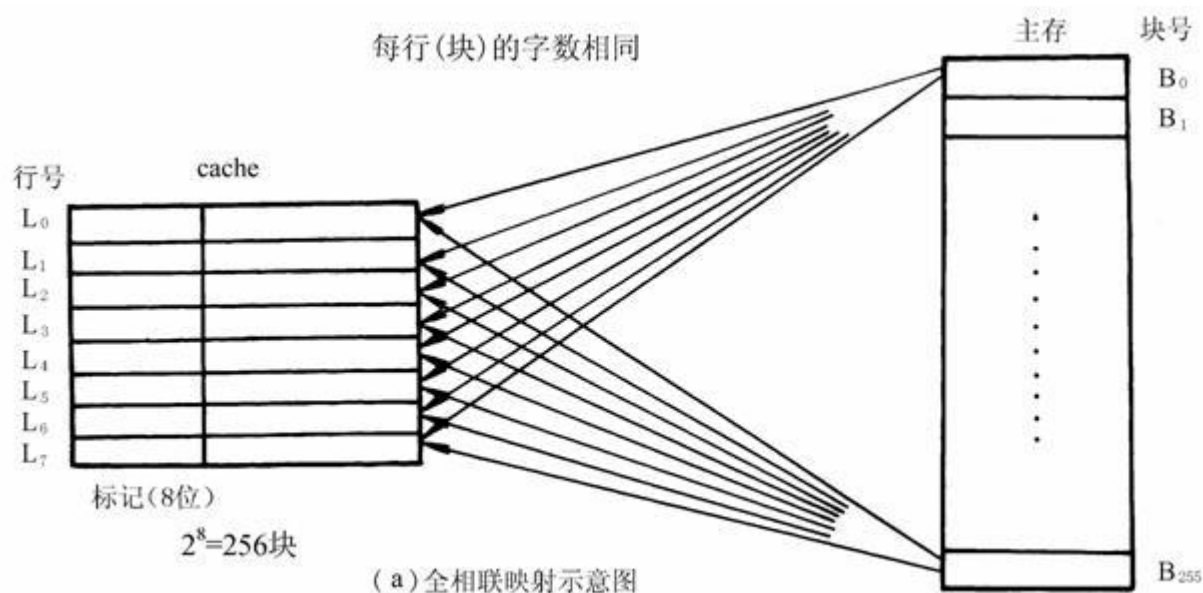
(a) 组相联映射示意图(4组)

组相联映射方式：将 cache 分成  $u$  组，每组  $v$  行。主存块存放到哪个组是固定的，至于存到该组哪一行是灵活的，即有如下函数关系：

$$m = u * v$$

$$\text{组号} \quad q = j \quad \text{mod} \quad u$$

块内存地址中  $s$  位块号划分成两部分：低序的  $d$  位 ( $2^d=u$ ) 用于表示 cache 组号，高序的  $s-d$  位作为标记 (tag) 与块数据一起存于此组的某行中。



P99

写回方式 1. 写回法 2. 全

写法 3. 写一次法

写回法：当 CPU 写 cache 命中时，只修改 cache 的内容，而不立即写入主存；只有当此行被换出时才写回主存。

全写法：当 CPU 写 cache 命中时，cache 与主存同时发生写修改，因而较好地维护了 cache 与主存的内容的一致性。

写一次法：写命中与写未命中的处理方法与写回法基本相同，只是第一次写命中时要同时写入主存。

P102

9. CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成存取的次数为 80 次，已知 cache 存

储周期为 40ns，主存存储周期为 240ns，求 cache/主存系统的效率和平均访问时间。

9.cache 的命中率

$$H = \frac{N_c}{N_c + N_m} = \frac{2420}{2420 + 80} = 0.968$$

$$r = \frac{T_m}{T_c} = \frac{240}{40} = 6$$

cache/主存系统效率 e 为

$$e = \frac{1}{r + (1 - r)H} * 100\% = \frac{1}{6 + (1 - 6) * 0.968} * 100\% = 86.2\%$$

平均访问时间  $T_a$  为

$$T_a = \frac{T_c}{e} = \frac{40ns}{0.862} = 46.4ns$$

## 第四章

1. 指令的格式由哪两部分组成，各部分的作用。P105

由操作码字段和地址码字段组成。

指令的操作码表示该指令应进行什么性质的操作。

指令的地址码指明指令中所需操作数的地址。

2. 根据操作码，进行有关指令条数的计算。

P125

4. 指令格式结构如下所示，试分析

指令格式及寻址方式特点。

15	10	7	4	3	0
OP		源寄存器		变址寄存器	
偏移量（16位）					

指令格式及寻址方式特点：

（1）操作码字段 6 位，可指定 64 种操作。第 10 到第 7 位留空。指令长度为 32 位，双字长二地址指令，用于访问存储器。

（2）RS 型指令，一个操作数在通用寄存器（共 16 个），另一个操作数在主存中。

（3）有效地址可通过变址寻址求得，即有效地址等于变址寄存器（共 16 个）内容加上位移量。

### 3. 指令和数据的寻址方式。P112

指令的寻址方式： 1. 顺序寻址方式      2. 跳跃寻址方式

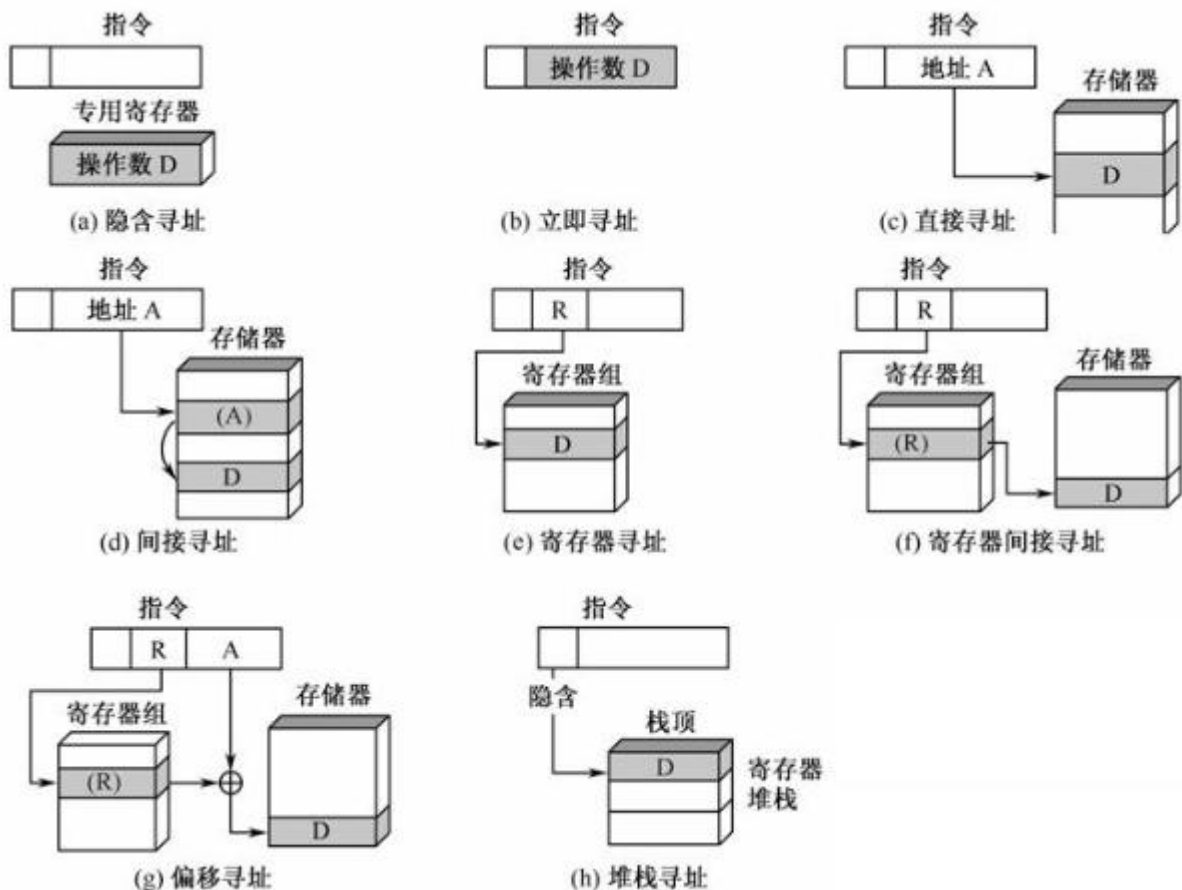
数据的寻址方式： 1. 隐含寻址    2. 立即寻址    3. 直接寻址    4.

间接寻址    5. 寄存器寻址    6. 寄存器间接寻址      7. 偏移寻

址    8. 段寻址    9. 堆栈寻址

7. 偏移寻址：相对寻址，基址寻址，变址寻址。





P125 7. 某计算机字长为 32 位，主存容量为 64K 字，采用单字长单地址指令，共有 40 条指令。试采用直接，立即，变址，相对四种寻址方式设计指令格式。

7. 40 条指令至少需要操作码字段 6 位，所以剩下的长度为 26 位。主存的容量为 64K 字，设寻址模式 (X) 2 位，格式如下：



X=00 直接寻址 有效地址 E=D

X=01 立即寻址 D 字段为立即数

X=10 变址寻址 有效地址 E=(RX)+D

X=11 相对寻址 有效地址 E=(PC)+D

其中 RX 为变址寄存器 (32 位)，PC 为程序计数器 (32 位)。在相对寻址时，位移量 D 可正可负。

P126 12. 根据操作数所在位置，指出其寻址方式(填空)：

- (1) 操作数在寄存器中，为（寄存器）寻址方式。
- (2) 操作数地址在寄存器中，为（寄存器间接）寻址方式。
- (3) 操作数在指令中，为（立即）寻址方式。
- (4) 操作数地址（主存）在指令中，为（直接）寻址方式。
- (5) 操作数的地址，为某一寄存器内容与位移量之和，可以是（相对，基址，变址）寻址方式。

## 第五章

### 1. CPU 的功能和组成部分。

P127                      CPU 的功能：指令控制，操作控制，时间控制，数据加工。

CPU 的组成部分：运算器，cache，控制器。

### 2. CPU 中主要寄存器的作用。      P129

①指令寄存器（IR）②程序计数器（PC）③数据地址寄存器（AR）④缓冲寄存器（DR）⑤通用寄存器（R<sub>0</sub>—R<sub>3</sub>）⑥状态字寄存器（PSW）

①指令寄存器（IR）

用来保存当前正在执行的一条指令。

②程序计数器（PC）

确定下一条指令的地址。

③地址寄存器（AR）

用来保存当前 CPU 所访问的数据 cache 存储器中单元的地址。

④数据缓冲寄存器（DR）

作为 ALU 运算结果和通用寄存器之间信息传送中时间上的缓冲；补偿 CPU 和内存，外围设备之间在操作速度上的差别。

#### ⑤通用寄存器 ( $R_0—R_3$ )

当算术逻辑单元 (ALU) 执行算术或逻辑运算时，为 ALU 提供一个工作区。

#### ⑥状态字寄存器 (PSW)

保存由算术指令和逻辑指令运算或测试结果建立的各种条件代码。

### 3. 指令周期、机器周期、时钟周期的定义及三者之间的关系。P130

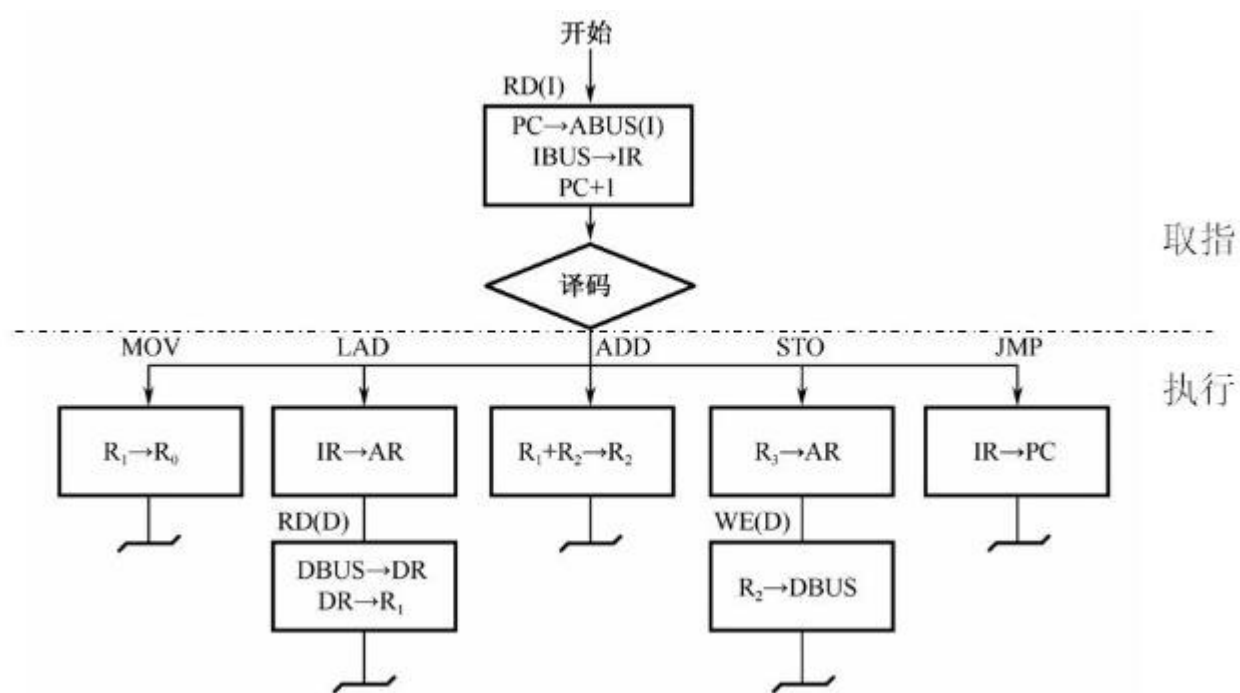
指令周期：CPU 取出一条指令并执行这条指令所需的时间。

机器周期 (CPU 周期)：从内存中读取一个指令字的最短时间。

时钟周期 (节拍脉冲或 T 周期)：把一个机器周期分为若干个相等的时间段，每一个时间段称为一个时钟周期。

P131                                      指令周期常常用若干个 CPU 周期数来表示。一个 CPU 周期又包含若干个时钟周期 (节拍脉冲或 T 周期)。

### 4. 用方框图语言表示指令周期。



P139

图 5.14

用方框图语言

表示指令周期

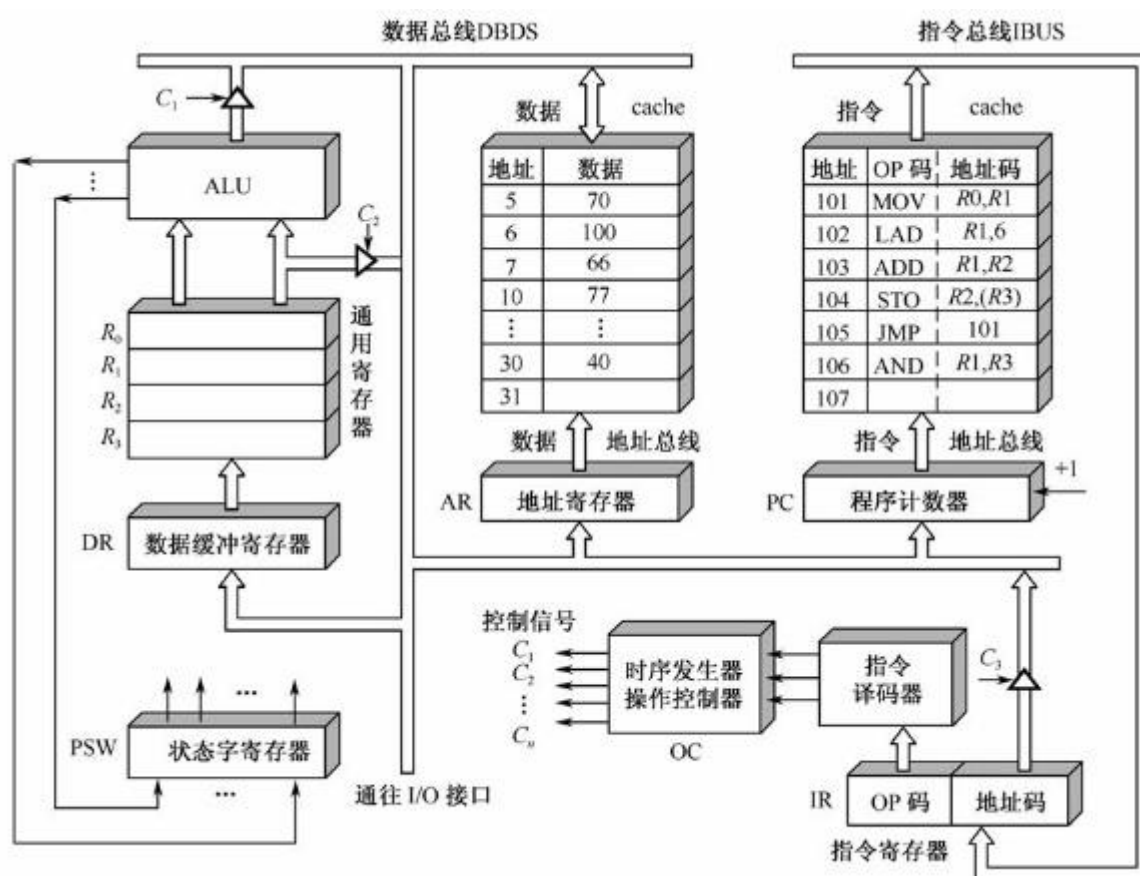
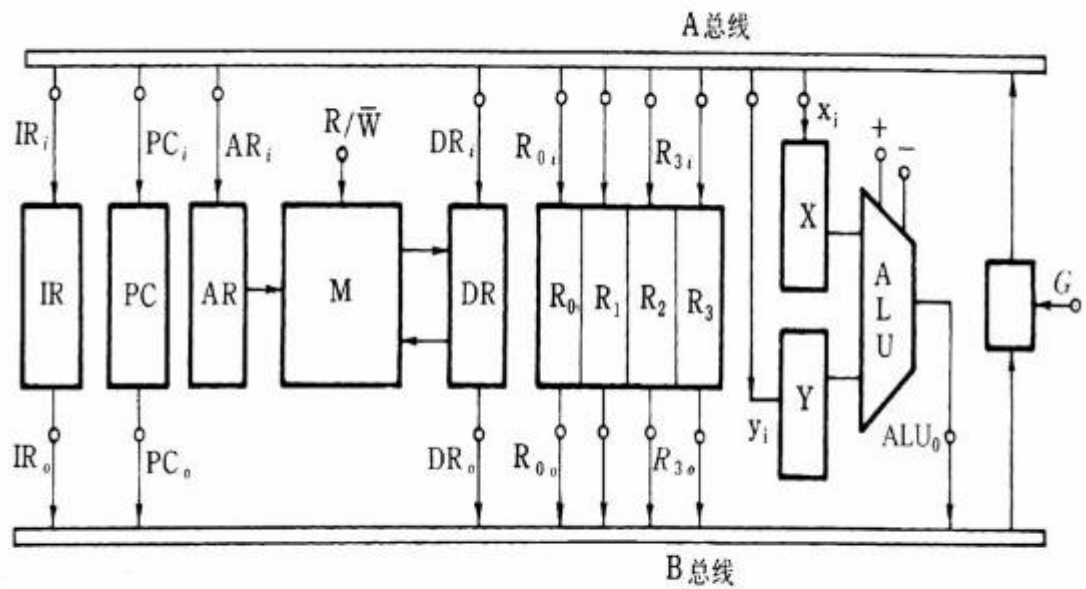
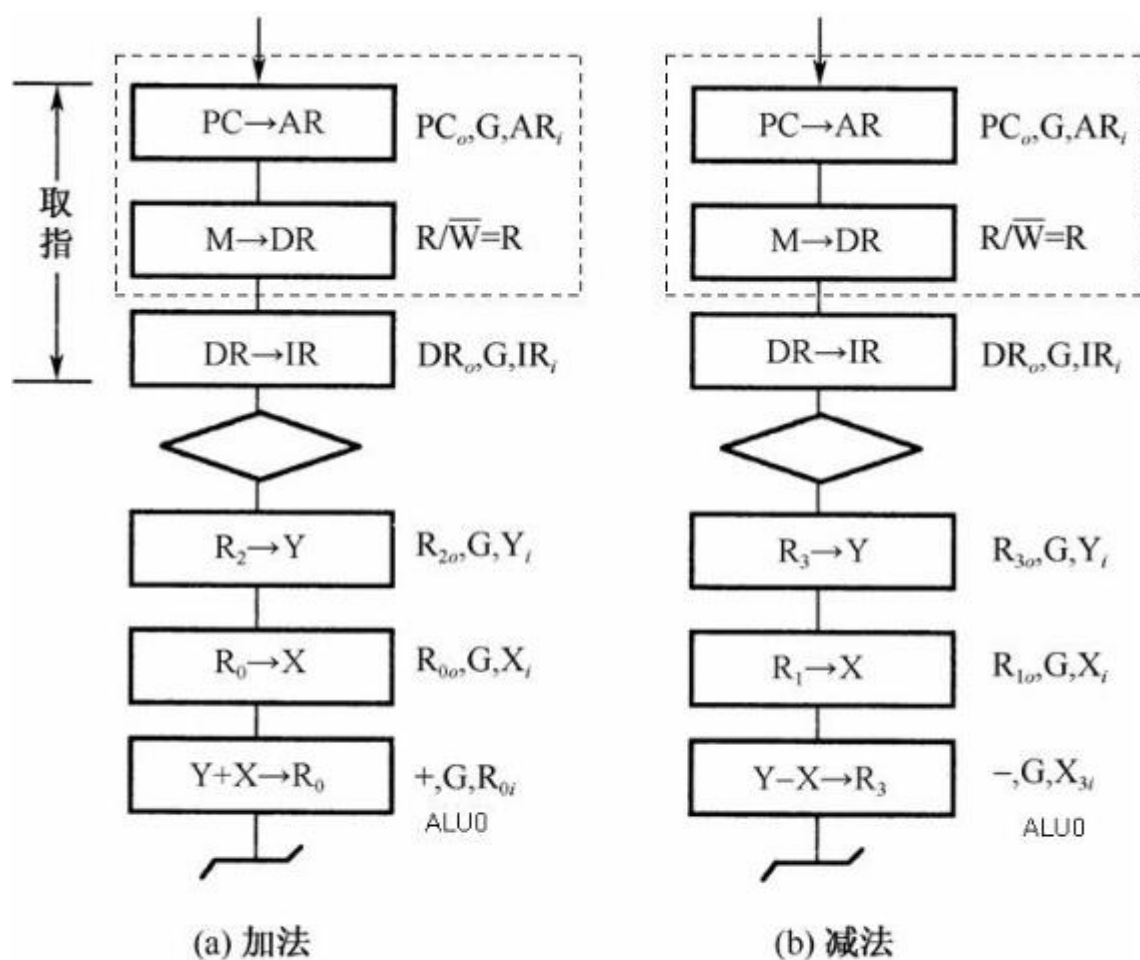


图 5.1 CPU 模型

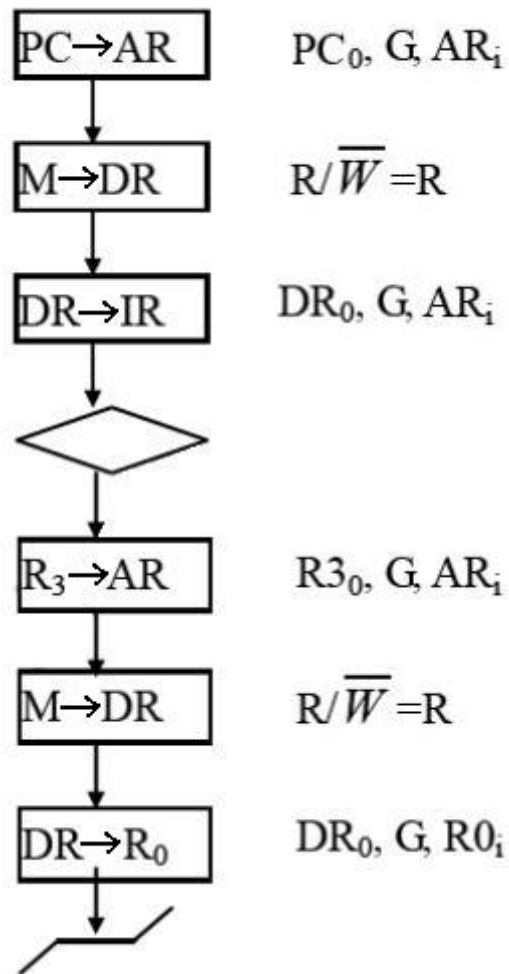
**P139例1**双总线结构机器的数据通路图



注意微操作控制信号（右边）

P181                      参见上图的数据通路，画出取数指令“LAD(R3), R0”的指令周期流程图，其含义是将(R3)为地址数存单元的内容取至寄存器 R0 中，标出各微操作控制信号序列。

### 3. LAD (R<sub>3</sub>), R<sub>0</sub>



5. 微命令、微操作、相容性微命令、相斥性微命令的概念。

P145                      微命令：控制部件通过控制线向执行部件发出的各种控制命令。

微操作：执行部件接受微命令后所进行的操作。

相容性微命令：在同时或同一个 CPU 周期内可以并行执行的微操作。

相斥性微命令：不能在同时或不能在同一个 CPU 周期内并行执行的微操作。

6. 微指令与机器指令的关系。

P150

1. 一条机器指令对应一个微程序，

这个微程序是有若干条微指令组成的。

2. 指令与内存储器有

关，微指令与控制存储器有关。

3. 一条指令对应一个

指令周期，一条微指令对应一个 CPU 周期。

7. 流水线中的三种相关、三种数据相关的名称与判断。

P164

资源相关，数据相关，控制相关

三种数据相关的名称：写后读（RAW）读后写（WAR）写后写（WAW）

P165

**【例4】**流水线中有三类数据相关冲突：写后读（RAW）相关；读后写（WAR）相关；写后写（WAW）相关。判断以下三组指令各存在哪种类型的数据相关。

- |     |    |                |                           |
|-----|----|----------------|---------------------------|
| (1) | I1 | ADD R1, R2, R3 | ; (R2) + (R3) ->R1        |
|     | I2 | SUB R4, R1, R5 | ; (R1) - (R5) ->R4        |
| (2) | I3 | STO M(x), R3   | ; (R3) ->M(x), M(x)是存储器单元 |
|     | I4 | ADD R3, R4, R5 | ; (R4) + (R5) ->R3        |
| (3) | I5 | MUL R3, R1, R2 | ; (R1) × (R2) ->R3        |
|     | I6 | ADD R3, R4, R5 | ; (R4) + (R5) ->R3        |

解：

第（1）组指令中，I1指令运算结果应先写入R1，然后在I2指令中读出R1内容。由于I2指令进入流水线，变成I2指令在I1指令写入R1前就读出R1内容，发生RAW相关。

第（2）组指令中，I3指令应先读出R3内容并存入存储单元M(x)，然后在I4指令中将运算结果写入R3。但由于I4指令进入流水线，变成I4指令在I3指令读出R3内容前就写入R3，发生WAR相关。

第（3）组指令中，如果I6指令的加法运算完成时间早于I5指令的乘法运算时间，变成指令I6在指令I5写入R3前就写入R3，导致R3的内容错误，发生WAW相关。

8. 流水时空图的画法、吞吐率和加速比的计算。



P182

13. 指令流水线有取址(IF), 译码(ID), 执行(EX),

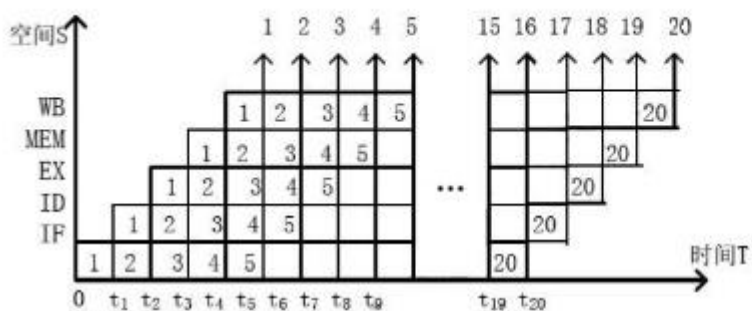
访存(MEM), 写回寄存器堆(WB)五个过程段, 共有 20 条指令连续输入此流水线。

(1) 画出流水处理的时空图, 假设时钟周期为 100ns。

(2) 求流水线的实际吞吐率(单位时间里执行完毕的指令数)。

(3) 求流水线的加速比。

13. (1)



$$(2) H = \frac{n}{(K+n-1)\tau} = \frac{20}{(5+20-1) \cdot 100 \cdot 10^{-9}} = 8.33 \cdot 10^6 \text{ 条/秒}$$

$$(3) S = \frac{Ts}{Tp} = \frac{n\tau K}{(K+n-1)\tau} = \frac{20 \cdot 5}{20+5-1} = 4.17$$

## 第六章

1. 总线带宽的计算。P185

**【例1】**（1）某总线在一个总线周期中并行传送4个字节的  
数据，假设一个总线周期等于一个总线时钟周期，总线时  
钟频率为33MHz，总线带宽是多少？

（2）如果一个总线周期中并行传送64位数据，总线时钟频  
率升为66MHz，总线带宽是多少？

解：（1）设总线带宽用 $D_r$ 表示，总线时钟周期用  
 $T=1/f$ 表示，一个总线周期传送的数据量用 $D$ 表  
示，根据定义可得

$$\begin{aligned} D_r &= D/T = D \times (1/T) \\ &= D \times f = 4B \times 33 \times 10^6/s = 132MB/s \end{aligned}$$

（2）64位=8B

$$D_r = D \times f = 8B \times 66 \times 10^6/s = 528MB/s$$

2. 总线中信息的传送方式有哪几种，各有什么特点？

P190                      串行传送，并行传送和分时传送。

串行传送：只需要一条传输线，且采用脉冲传送；需要指定位时间，  
传送时低位在前，高位在后。

并行传送：信息有多少二进制位组成，就需要多少条传输线，采用电  
位传送；并行数据传送比串行数据传送快得多。

分时传送：一是采用总线复用方式，某个传输线上既传送地址信息，  
又传送数据信息。为此必须划分时间片，以便在不同的时间间隔中完  
成传送地址和传送数据的任务。另一种概念是共享总线的部件分时使  
用总线。

3. 串行方式下波特率的计算及波形图的画法。P193

**【例2】**利用串行方式传送字符（如图），每秒钟传送的比特（**bit**）位数常称为波特率。假设数据传送速率是**120个字符/秒**，每一个字符格式规定包含**10个比特位**（起始位、停止位、**8个数据位**），问传送的波特率是多少？每个比特位占用的时间是多少？



解：波特率为： $10\text{位} \times 120/\text{秒} = 1200\text{波特}$

每个比特位占用的时间 $T_d$ 是波特率的倒数：

$$T_d = 1/1200 = 0.833 \times 10^{-3}\text{s} = 0.833\text{ms}$$

4. 总线的仲裁方式有哪些？集中式仲裁下几种方式各自的特点。

集中式仲裁和分布式仲裁。

集中式仲裁：P194

（1）链式查询方式：总线授权信号 BG 串行的从一个 I/O 接口传送到下一个 I/O 接口。优点：只用很少几根线就能按一定优先次序实现总线仲裁，并且容易扩充。缺点：对询问链的电路故障很敏感，优先级固定，离总线仲裁器越近优先级越高。。

（2）计数器定时查询方式：如果计数从“0”开始，则与链式查询方式相同；如果计数从中止点开始，则每个设备使用总线的优先级相等。

(3) 独立请求方式：每一个共享总线的设备均有一对总线请求线 BR 和总线授权线 BG。优点：响应时间快，对优先次序的确定相当灵活。

5. 总线的定时有哪几种？各自的特点。 P196

同步定时和异步定时。

同步定时：采用公共时钟，每个功能模块什么时候发送或接收信息都由统一时钟规定，同步定时具有较高的传输频率。

异步定时：不需要统一的公共时钟信号，总线周期的长度是可变的，不把响应时间强加到功能模块上。允许快速和慢速的功能模块都能连接到同一总线上。但增加了总线的复杂性和成本。

## 第七章

1. 外围设备的作用和分类。 P209

除了 CPU 和主存外，计算机系统的每一部分都可作为一个外围设备来看待。

外围设备的作用是在计算机和其他机器之间，以及计算机与用户之间提供联系。

分类：输入设备，输出设备，外存设备，数据通信设备，过程控制设备。

2. 磁盘存储器的主要技术指标及相关计算。 P216

1 英寸=25.4 毫米

磁盘存储器的主要技术指标：存储密度，存储容量，平均存取时间，数据传输率。

存储密度分道密度，位密度和面密度。道密度是沿磁盘半径方向单位长度上的磁道数，单位道/英寸。位密度是磁道单位长度上能记录的二进制代码位数，单位位/英寸。面密度是位密度和道密度的乘积，单位位/平方英寸。

存储容量是一个磁盘存储器所能存储的字节总数。

平均存取时间：存取时间是指从发出读写命令后，磁头从某一起始位置移动至新的记录位置，到开始从盘片表面读出或写入信息加上传送数据所需要的时间。包括：找道时间，等待时间和数据传送时间。

找道时间：将磁头定位至所要求的磁道上所需的时间。

等待时间：找道完成后至磁道上需要访问的信息到达磁头下的时间。

数据传送时间：磁头读取所访问的信息所用的时间。

数据传输率：磁盘存储器在单位时间内向主机传送数据的字节数。

P217

**【例1】**磁盘组有6片磁盘，每片有两个记录面，最上最下两个面不用。存储区域内径22cm，外径33cm，道密度为40道/cm，内层位密度400位/cm，转速6000转/分。问：

- (1)共有多少柱面？
- (2)盘组总存储容量是多少？
- (3)数据传输率多少？
- (4)采用定长数据块记录格式，直接寻址的最小单位是什么？寻址命令中如何表示磁盘地址？
- (5)如果某文件长度超过一个磁道的容量，应将它记录在同一个存储面上，还是记录在同一个柱面上？

解：(1)有效存储区域= $16.5-11=5.5(\text{cm})$   
因为道密度= $40\text{道}/\text{cm}$ ，所以 $40\times 5.5=220\text{道}$ ，即220个圆柱面。

(2)内层磁道周长为 $2\pi R=2\times 3.14\times 11=69.08(\text{cm})$   
每道信息量= $400\text{位}/\text{cm}\times 69.08\text{cm}=27632\text{位}=3454\text{B}$

每面信息量= $3454\text{B}\times 220=759880\text{B}$

盘组总容量= $759880\text{B}\times 10=7598800\text{B}$

(3)磁盘数据传输率 $Dr=rN$

$N$  为每条磁道容量， $N=3454\text{B}$

$r$ 为磁盘转速， $r=6000\text{转}/60\text{秒}=100\text{转}/\text{秒}$

$Dr=rN=100\times 3454\text{B}=345400\text{B}/\text{s}$

(4)采用定长数据块格式，直接寻址的最小单位是一个记录块(一个扇区)，每个记录块记录固定字节数目的信息，在定长记录的数据块中，活动头磁盘组的编址方式可用如下格式：

台号	柱号(磁道)号	盘面号/磁头号	扇区号
----	---------	---------	-----

此地址格式表示有4台磁盘(2位)，每台有16个记录面/盘面(4位)，每面有256个磁道(8位)，每道有16个扇区(4位)。

(5)如果某文件长度超过一个磁道的容量，应将它记录在同一个柱面上，因为不需要重新找道，数据读/写速度快。

P234 6. 某双面磁盘，每面有 220 道，已知磁盘转速  $r=4000\text{ 转}/\text{分}$ ，

数据传输率为  $185000\text{B}/\text{s}$ ，求磁盘总容量。

解：每道存储量= $185000\text{B}/\text{s}\times 60\text{s}/4000\text{ 转}/\text{分}=2775\text{B}$

磁盘总容量= $2775\text{B}\times 220\times 2=1221000\text{B}=1.16\text{MB}$

P234 10. 一台活动头磁盘机的盘片组共有 20 个可用的盘面，每个盘面直径 18 英寸，可供记录部分宽 5 英寸，已知道密度为  $100\text{ 道}/\text{英寸}$ ，位密度为  $1000\text{ 位}/\text{英寸}$ （最内道），并假定各磁道记录的信息位数相同。试问：

①盘片组总容量是多少兆位？

②若要求数据传输率为  $1\text{MB}/\text{s}$ ，磁盘机转速每分钟应是多少转？

①盘面内径= $18/2-5=4\text{ 英寸}$  每

盘面道数= $5\times 100=500\text{ 道}$

每道存储量=2\*3.14\*4\*1000=25120b

盘片组总容量=25120b\*500\*20=251.2 兆位

②转速  $r = (1\text{MB/s} \times 60\text{s}) / 25120\text{b} \approx 19108.3 = 19109$  (转)

### 3. 磁盘 cache 与主存 cache 的异同点。

P218 主存 cache 在 CPU 和主存之间，存取时间短，全用硬件来实现。磁盘 cache 在主存和磁盘之间，一次存取的数量大，数据集中，速度要求较主存的 cache 低，一般由硬件和软件共从完成。

#### 4. 分辨率、灰度级、刷存、刷存带宽的概念和有关计算。P224

分辨率是指显示器所能表示的像素个数。

灰度级是指黑白显示器中所显示的像素点的亮暗差别,在彩色显示器中则表现为颜色的不同。灰度级越多,图像层次越清楚逼真。

刷存(刷新存储器)是指存储一帧图像信息的存储器。存储量  $M=r*C$ 。

分辨率  $r$  越高, 颜色深度  $C$  越多, 刷新存储器容量越大。如分辨率为  $1024 \times 1024$ , 256 级颜色深度的图像, 存储容量  $M = 1024 \times 1024 \times 8 \text{ bit} = 1 \text{ MB}$ 。

**【例4】**刷存的重要性能指标是它的带宽。实际工作时显示适配器的几个功能部分要争用刷存的带宽。假定总带宽的50%用于刷新屏幕，保留50%带宽用于其他非刷新功能。

(1) 若显示工作方式采用分辨率为 $1024 \times 768$ ，颜色深度为3B，帧频(刷新速率)为72Hz，计算刷存总带宽应为多少？

(2) 为达到这样高的刷存带宽，应采取何种技术措施？

**【解】**(1) ∵ 刷新所需带宽=分辨率×每个像素点颜色深度×刷新速率

$$\therefore 1024 \times 768 \times 3B \times 72/s = 165888KB/s = 162MB/s$$

$$\text{刷存总带宽应为 } 162MB/s \times 100/50 = 324MB/s$$

(2) 为达到这样高的刷存带宽，可采用如下技术措施：

① 使用高速的DRAM芯片组成刷存；

② 刷存采用多体交叉结构；

③ 刷存至显示控制器的内部总线宽度由32位提高到64位，甚至128位；

④ 刷存采用双端口存储器结构，将刷新端口与更新端口分开。

## 第八章

1. CPU 与外围设备的信息交换方式有哪几种，各自特点是什么？

程序查询方式，程序中断方式，直接内存访问（DMA）方式，通道方式。

程序查询方式：数据在 CPU 和外围设备之间的传送完全靠计算机程序控制。优点：CPU 的操作和外围设备的操作能够同步，而且硬件结构比较简单。缺点：外围设备动作很慢时将浪费 CPU 很多时间。

程序中断方式：当一个中断发生时，CPU 暂停它的现执行程序，而转向中断处理程序程序。当中断处理完毕后，CPU 又返回到它原来的程序停止的地方继续执行。适用于随机出现的服务，并且一旦提出要求，应立即执行。



直接内存访问（DMA）方式：一种完全由硬件执行 I/O 交换的工作方式。DMA 控制器从 CPU 完全接管对总线的控制。数据交换不经过 CPU，而直接在内存和外围设备之间进行，以高速传送数据。优点：数据传输速率很高，传输速率仅受到内存访问时间的限制。适用于内存和高速外围设备之间大批数据交换的场合。

通道方式：通道是一个具有特殊功能的处理器，可以实现对外围设备的统一管理和外围设备与内存之间的数据传送。

## 2. 中断处理过程中需注意的问题。

程序中断方式，外界中断请求是随机的，但 CPU 只有在当前一条指令执行完毕后，转入公操作时才受理设备的中断请求。

当 CPU 响应外设的中断请求时，CPU 发出中断响应信号，同时关闭中断（“中断屏蔽”触发器置“1”），并且把程序计数器 PC 的内容，以及当前指令执行完毕后 CPU 的状态都保存到堆栈中去；中断处理过程是由硬件和软件结合来完成的。

## 3. 多级中断结构中是怎样实现中断嵌套的？ P247

1. 在一个多级中断结构中，若有  $n$  级中断，在 CPU 中就有  $n$  个中断请求触发器和  $n$  个中断屏蔽触发器。

2. 在某一级中断被响应后，要置“1”（关闭）本级和优先权低于本级的中断屏蔽触发器，置“0”（开放）更高级的中断屏蔽触发器。

使用中断堆栈保存现场信息。保存和恢复现场的过程按先进后出的顺序进行。

3. 当本级或低级中断源发出中断请求信号，则不响应；当更高级的中断源发出中断请求信号时，则重复上一步的操作。

4. DMA 传送方式有哪些？各自特点。P254

停止 CPU 访问内存，周期挪用，DMA 与 CPU 交替访问内存。

停止 CPU 访问内存：DMA 完全占有总线。优点是控制简单，适用于数据传输率很高的设备进行成组传送。缺点是内存的效能没有充分发挥，相当一部分内存工作周期是空闲的。

周期挪用：当 I/O 设备没有 DMA 请求时 CPU 按程序要求访问内存；一旦 I/O 设备有 DMA 请求，则由 I/O 设备挪用一个或几个内存周期。适用于 I/O 设备读写周期大于内存存储周期的情况。

DMA 与 CPU 交替访问内存：如果 CPU 的工作周期比内存存取周期长得多，此时采用交替访问的方式可以使 DMA 传送和 CPU 同时发挥最高的效率。不需要总线使用权的申请，建立和归还过程。总线使用权分时控制，各自在自己的时间控制周期内访问内存。

5. DMA 控制器有哪两种？二者有什么区别？P258

选择型 DMA 控制器，多路型 DMA 控制器。

选择型 DMA 控制器：在物理上可以连接多个设备，但是在某一段时间内只能为一个设备服务。数据传送是以数据块为单位进行的。适合数据传输率很高以致接近内存存取速度的设备。

多路型 DMA 控制器：适合于同时为多个慢速外围设备服务，不仅在物理上可以连接多个外围设备，而且在逻辑上也允许这些外围设备同时

工作，各设备以字节交叉方式通过 DMA 控制器进行数据交换。外围设备以周期挪用方式对内存进行读取。

6. 通道方式下，I/O 系统的四级连接是什么？ P261

CPU 与存储器——通道——I/O 模块——外围设备。

7. 通道可分为哪几种类型，相互之间有什么异同？ P263

选择通道，多路通道。

多路通道包括（数组多路通道，字节多路通道）。

选择通道：又称高速通道，在物理上可以连接多个设备，但在某一段时间内通道只能选择一个设备进行工作。只有当这个设备的通道程序全部执行完毕后，才能执行其他设备的通道程序。主要用于连接高速外围设备，如磁盘，磁带等。信息以数据块方式高速传输。

多路通道

数组多路通道：当某设备进行数据传送时，通道只为该设备服务；当设备在执行寻址等控制性动作时，通道暂时断开与这个设备的连接，挂起该设备的通道程序，去执行其他设备的通道程序。不仅在物理上可以连接多个设备，而且在一段时间内能交替执行多个设备的通道程序。这些设备应是高速设备。常用于大型系统。

字节多路通道：主要用于连接大量的低速设备，一段时间内能交替执行多个设备的通道程序，使这些设备同时工作。以字节为基本单位与设备进行数据传送。

# 知识点大纲

一、冯·诺依曼思想体系——计算机由运算器、控制器、存储器、输入输出设备五部分组成，存储程序，按地址访问、顺序执行。

二、计算机系统的层次结构——微程序级→机器级→操作级→汇编→高级语言。

## 第二章

一、一个定点数由符号位和数值域两部分组成。按小数点位置不同，定点数有纯小数和纯整数两种表示方法。

二、一个浮点数标准化表示由符号位 **S**、阶码 **E**、尾数 **M** 三个域组成。其中阶码 **E** 的值等于指数的真值 **e** 加上一个固定偏移值。

三、为了计算机能直接处理十进制形式的数据，采用两种表示形式：(1)字符串形式，主要用在非数值计算的应用领域；(2)压缩的十进制数串形式，用于直接完成十进制数的算术运算。

四、数的真值变成机器码时有四种表示方法：原码表示法，反码表示法，补码表示法，移码表示法。其中移码主要用于表示浮点数的阶码 **E**，以利于比较两个指数的大小和对阶操作。

五、字符信息属于符号数据，是处理非数值领域的问题。国际上采用的字符系统是七单位的 **ASCII** 码。

六、直接采用西文标准键盘输入汉字，进行处理，并显示打印汉字，是一项重大成就。为此要解决汉字的输入编码、汉字内码、字模码等三种不同用途的编码。

七、为运算器构造的简单性，运算方法中算术运算通常采用补码加、减法，原码乘法或补码乘法。为了运算器的高速性和控制的简单性，采用了先行进位、阵列乘法、流水线等并行技术措施。

八、定点运算器和浮点运算器的结构复杂程度有所不同。早期微型机中浮点运算器放在 **CPU** 芯片外，随着高密度集成电路技术的发展，现已移至 **CPU** 内部。

### 第三章

一、 存储器分类——主存、辅存、cache

二、 按介质分类——半导体、磁表面、激光

三、 按存取方式分类——随机、顺序、半顺序

四、 多级存储器结构——cache—主存—辅存

五、 主存技术指标——存储容量、存取时间、存储周期、存储器带宽

六、 DRAM 刷新方式——集中式、分散式

七、 多模块交叉方式——顺序方式、交驻方式

八、 相联存储器组成——存储体、检索寄存器、屏蔽寄存器、符合寄存器、

比较线路、代码寄存器、控制线路。

九、 CACHE 与主存的地址映射方式——全相联映射方式、直接映射方式、组相联映射方式

### 第四章

一、 操作数寻址方式——隐含寻址、立即寻址、直接寻址、间接寻址、寄存器寻址、寄存器间接寻址、相对寻址、基址寻址、变址寻址

二、 指令寻址方式——顺序对寻址方式、跳跃寻址方式。

### 第五章

一、 CPU 的功能——指令控制、操作控制、时间控制、数据加工

二、 CPU 组成——运算器、控制器、CACHE

三、 运算器组成——算术逻辑单元、累加寄存器、数据缓冲寄存器、状态条件寄存器

四、 控制器组成——程序计数器、指令寄存器、指令译码器、时序产生器和操作控制器

五、 控制寄存器——指令寄存器、程序计数器、地址寄存器、缓冲寄存器、

六、 运算寄存器——累加器、状态寄存器、通用寄存器

七、 操作控制器分类——时序逻辑型、存储逻辑型、时序逻辑与存储逻辑结合型

八、 指令周期——CPU 取出并执行一条指令的周期

九、 机器周期——通常用内存中读取一个指令字的最短时间规定，也叫 CPU 周期

十、 时钟周期——节拍脉冲式 T 周期

十一、微命令——控制部件通过控制线向执行部件发出各种控制命令，这种命令叫微命令

十二、微操作——执行部件接受微命令后进行的操作叫微操作。

十三、微程序——一条机器指令的功能是用许多条微指令组成的序列来实现的，这个微指令序列通常叫微程序

十四、微指令周期——微指令周期等于读出微指令的时间加上执行该条微指令的时间

十五、微命令编码的种类——位直接控制、字段直接控制、字段间接控制、混合编码译码、常数字段控制

十六、后继地址方式——计数器方式、多路转移方式、增量方式与断点方式结合

十七、水平型微指令与垂直型微指令比较——1。水平型微指令操作能力强，效率高灵活性强、垂直型微指令较差；2。水平型微指令指令执行一条指令时间短，垂直型微指令执行时间长；3。水平型微指令解释指令的微程序，微指令字长微程序

短，垂直型微指令微指令字短微程序长；4。水平型微指令难以掌握，垂直型微指令较容易。

十八、微指令与机器指令关系——一条机器指令由若干微指令组成的序列来实现

十九流水 CPU 并行处理技术——时间并行、空间并行、时间+空间并行

二十、流水线三种相关——资源相关、数据相关、控制相关

二十一、CISC 与 RISC 特征对比——P199 表 5. 6

## 第六章

一、总线结构对计算机系统性能的影响——1。最大存储容量，单总线系统中，对主存和外设的存取差别仅出现在总线地址不同，必须为外设保留某些地址，所以紧大存容量必小于计算机字长所决定可能地址总数，双总线系统中主存地址和外设地址现现不同总线上，存储容量不受外设影；2。指令系统，双总线系统中 CPU 对存储总和系统总线有不同指令系统，访存操作和输入/输出操作有不同指令，单总线系统中，访问主存和 I/O 传送可使用相同操作码，便使用不同地址；3。吞吐量，系统吞吐量主要取决于主存的存取周期，采用双端口存储器可以增加主存的有效速度，主存可以在同一时间内对两个端口完成读写操作，三总线系统中，CPU 将一部分功能下放通道，通道管理外设并实现外设与主存的数据传送，因此吞吐能力比单总线强。

二、 定时——所谓定时，是指事件出在总线上的时序关系，有两种方式：同步定时和异步定时

## 第七章外设

五、 磁盘地址组成——记录面、磁道、扇区

## 第八章 I/O 系统

一、I/O 数据管理方式——软件：程序查询方式、程序中断方式；硬件：直接内存访问（DMA）方式、通道方式、外围处理机方式。

二、程序中断方式——中断源、中断向量、中断屏蔽、中断优先级、多级中断、中断服务

三、中断概念——中断是指计算机由任何非寻常的或非预期的急需处理的事件引起 CPU 暂时中断现有程序的执行而转去执行另一服务程序来处理这些事件，等处理完成后又返回原程序这一整个执行过程。

五、 DMA 概念——是一种完全由硬件执行 I/O 交换的工作方式，DMA 控制器从 CPU 完全接管对总线的控制，数据不经过 CPU，而直接在内存和 I/O 设备之间进行。DMA 控制器将向内存发出地址和控制信号，修改地址，对传送的字个数计数，以中断方式向 CPU 报告传送操作结果。

六、 DMA 传送方式——停止 CPU 访问内存、周期挪用、DMA 与 CPU 交替访问

七、通道——通道功能是执行指令，组织外围设备和内存进行数据传输，按 I/O 指令要求启动外设，向 CPU 报告中断等。

八、通道种类——选择通道、数组多路通道、字节多路通道

第九章、虚拟存储器管理方式——页式虚拟存储器、段式虚拟存储器、段页式虚拟存储器。