实验二 基本功能模块程序设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法。
2. 熟悉Verilog的基本语法。
3. 掌握Verilog中时序模块电路的设计方法。
4. 熟悉Verilog中层次结构的设计方法。
5. 掌握Logisim的使用。

**二、实验内容（使用Logisim或Vivado实现）**

1. 完成编码器、译码器等功能。
2. 完成一个触发器电路模块（使能端、复位）的设计。
3. 完成寄存器和移位寄存器（循环移位）电路模块的设计。
4. 完成各种数字（个人学号末两位）进制的计数器。
5. 掌握以上电路的程序结构和风格。（logisim可忽略）
6. 观察和分析仿真波形，注重输入输出之间的时序关系。（logisim可忽略）

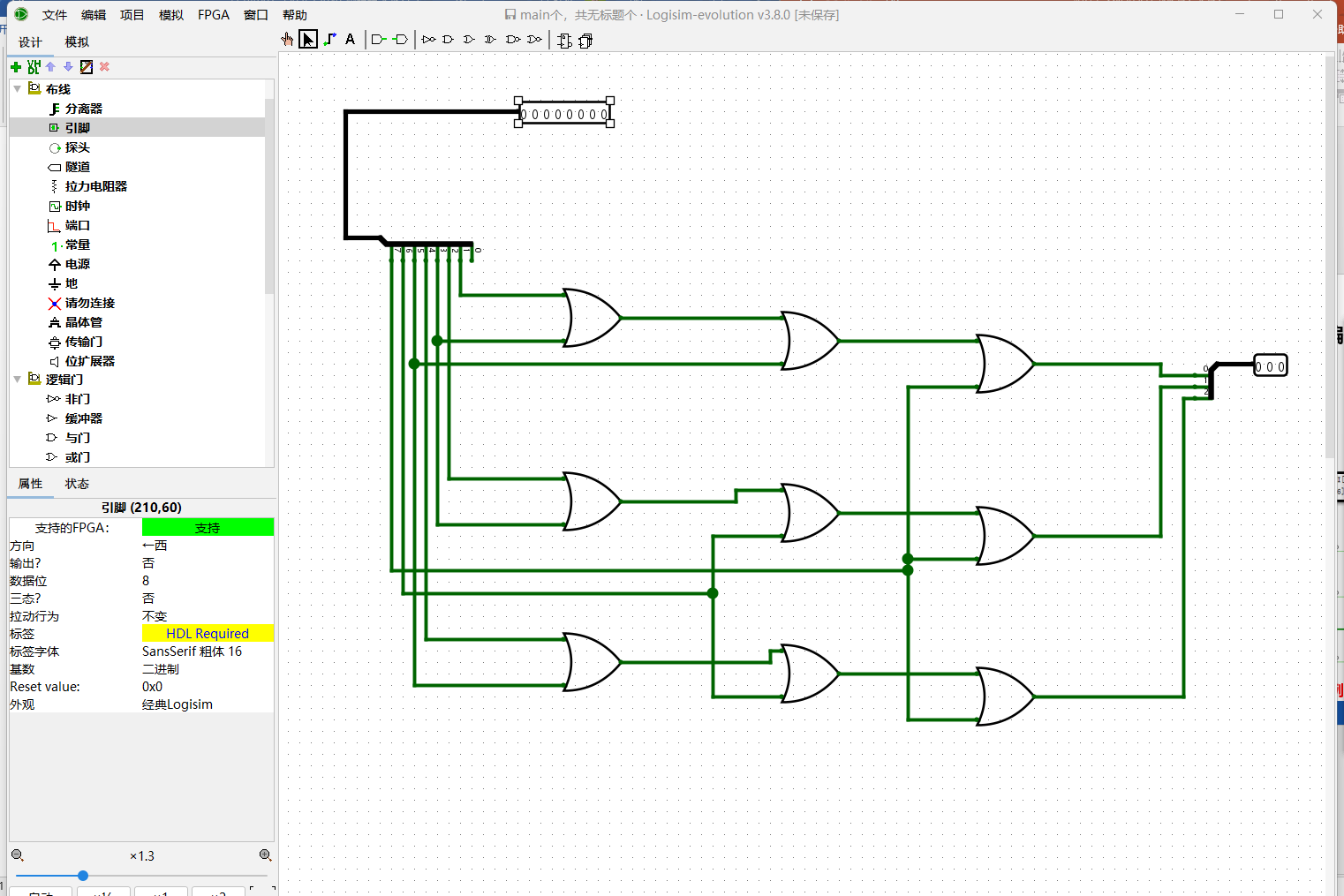
**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形/真值表/逻辑表达式。
3. 记录设计和调试过程。
4. **实验代码及结果**

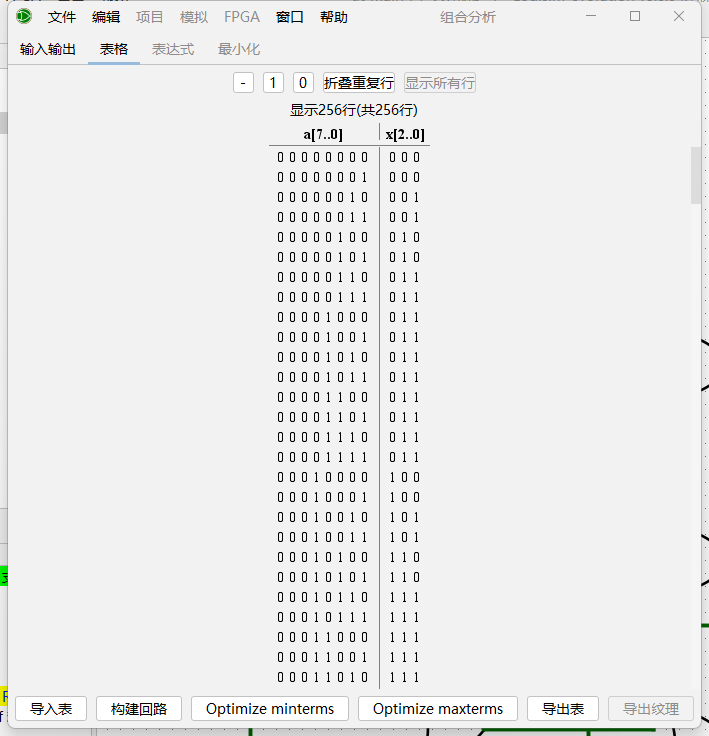
（1）编码器

**83编码器**

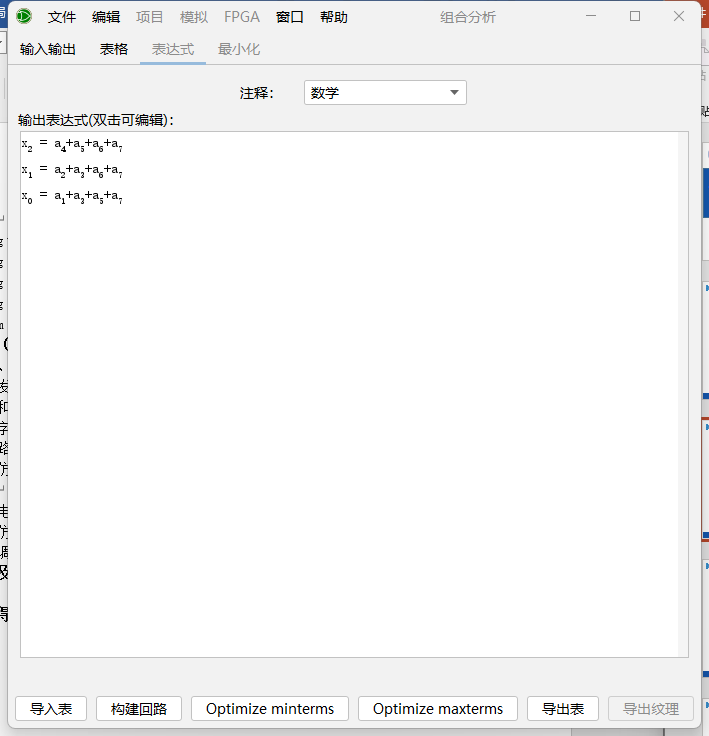
电路设计图:



真值表：



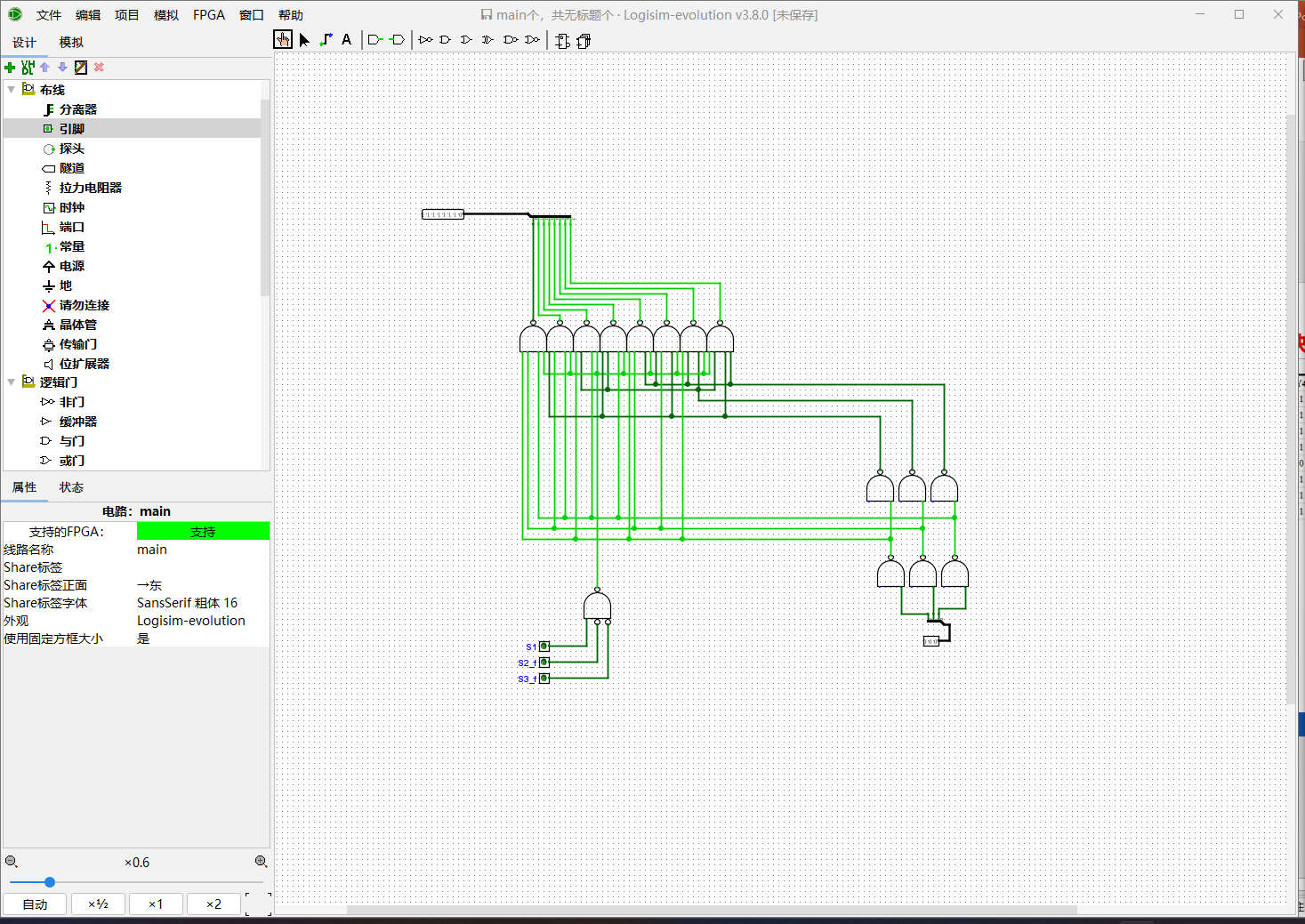
表达式分析：



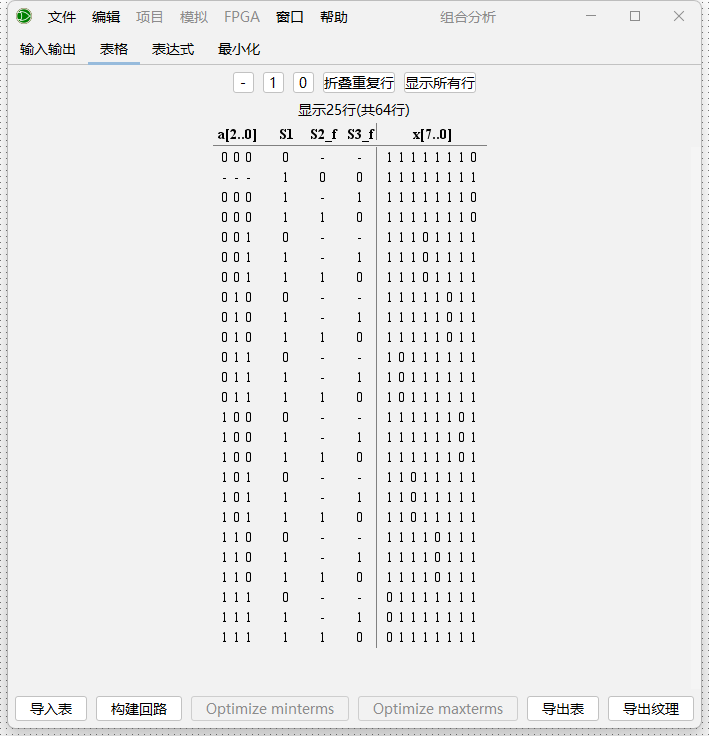
（2）译码器：

**38译码器**

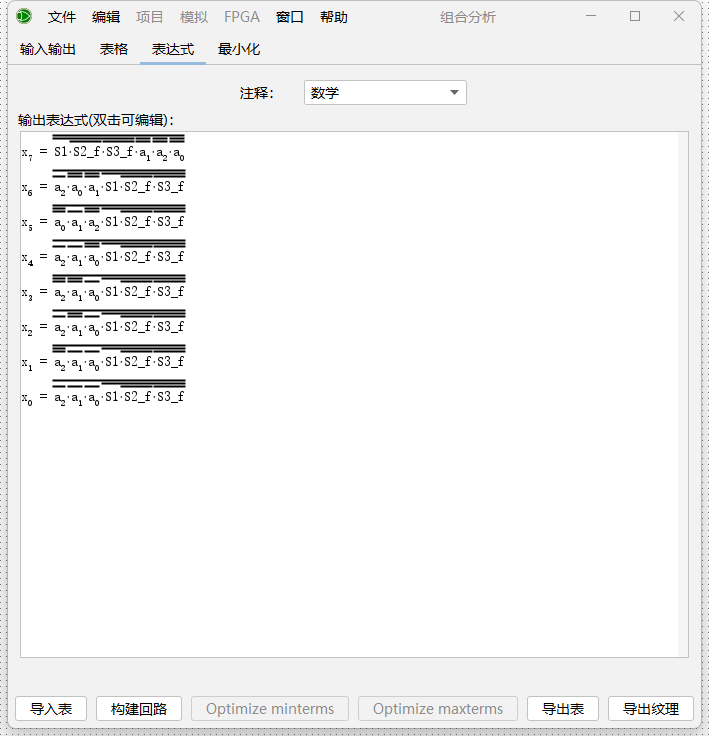
电路设计图:



真值表：



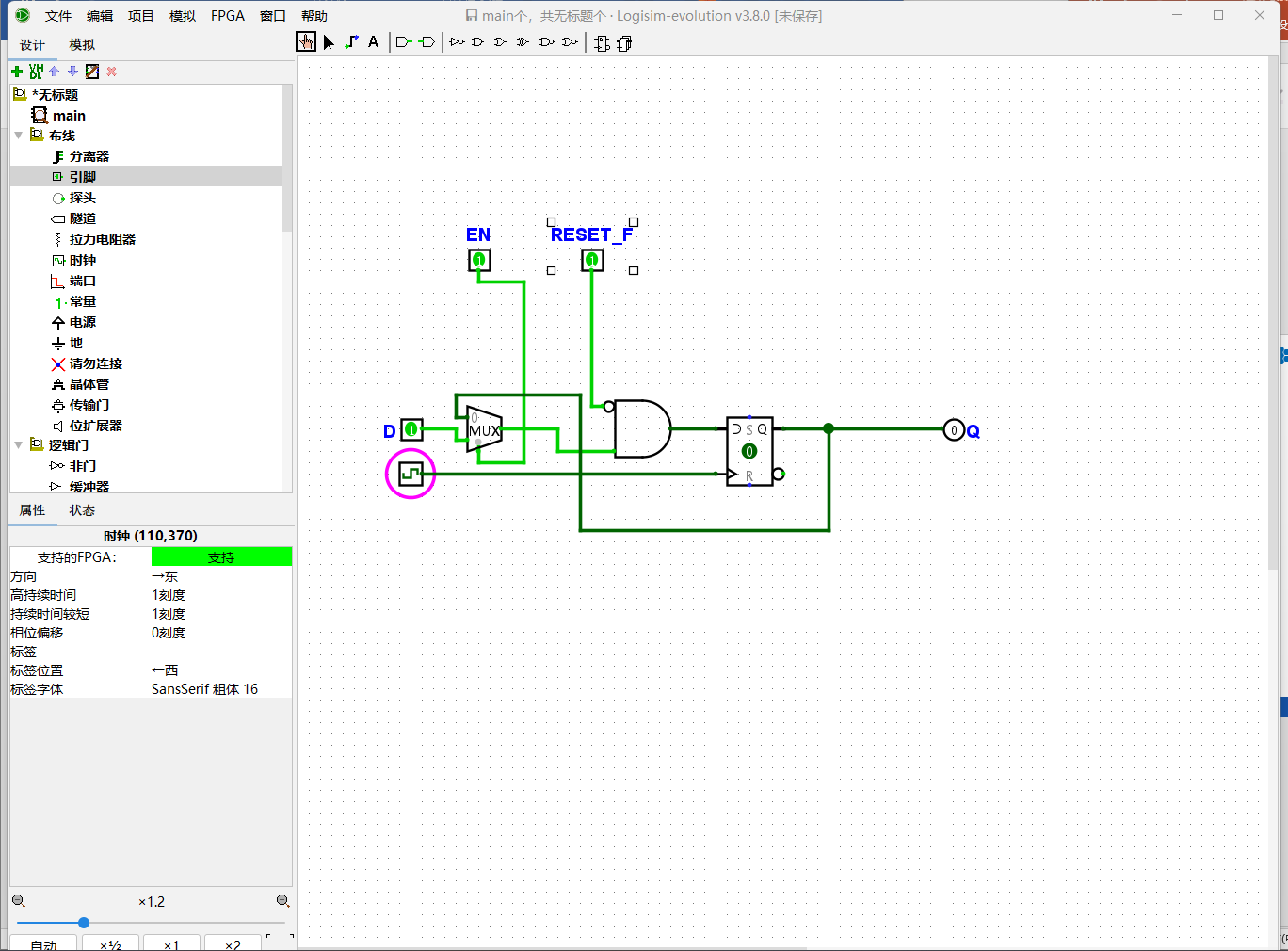
表达式分析：



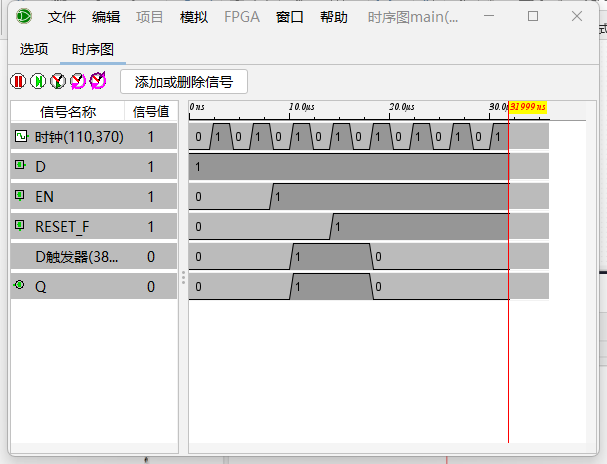
(3) 触发器电路模块（使能端、复位）

带使能端和复位的触发器(复位优先)

电路设计图：



时序图：

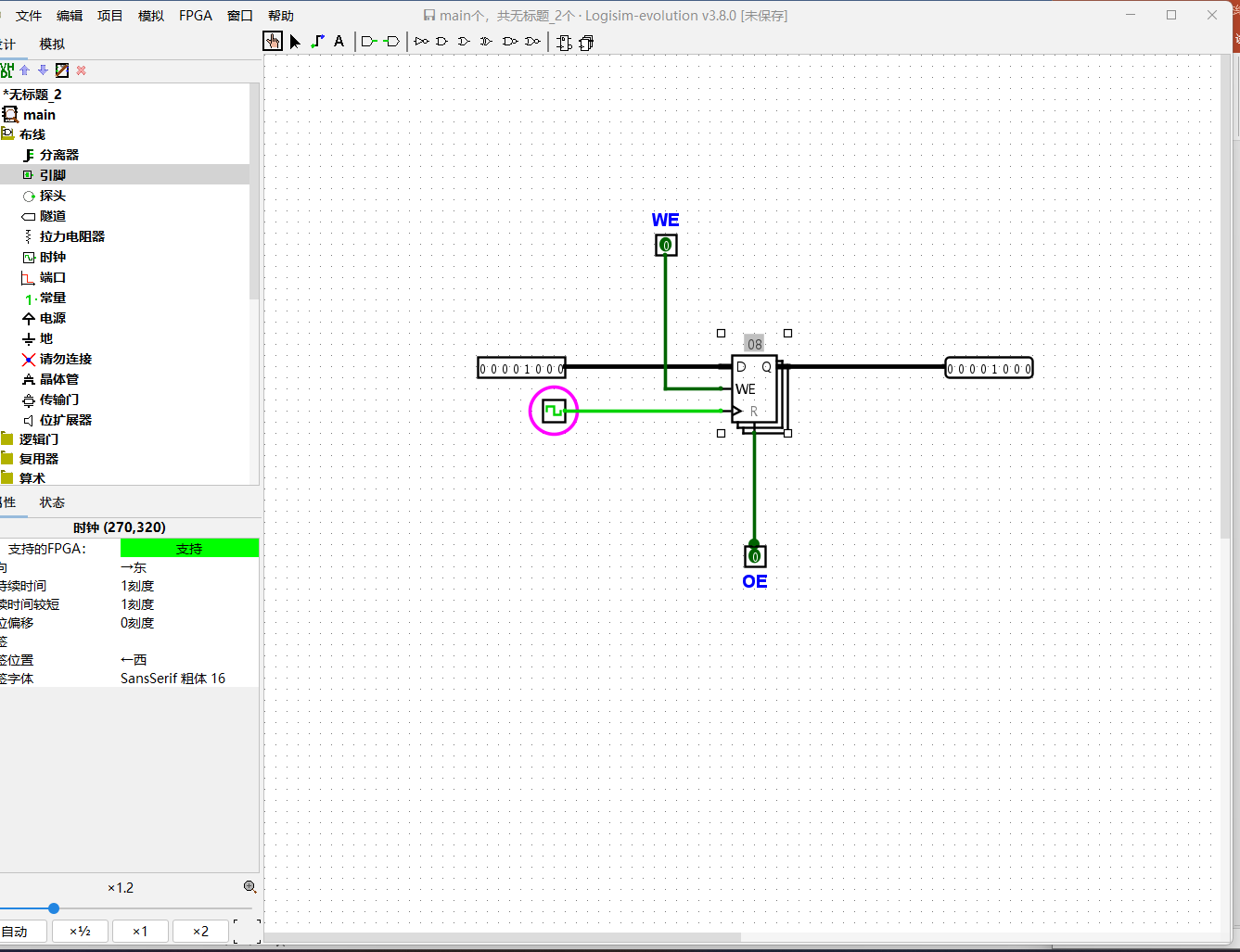


可以看出当使能端为1时才能往里面输入数据，而如果RESET为1时，则会把D触发器中值直接置为0，并且从图中可以看出复位优先级更高，也更加符合逻辑。

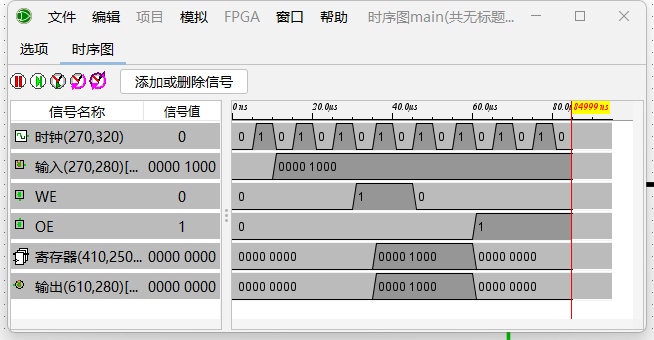
（4）寄存器与移位寄存器（循环移位）

1.寄存器

电路设计图：



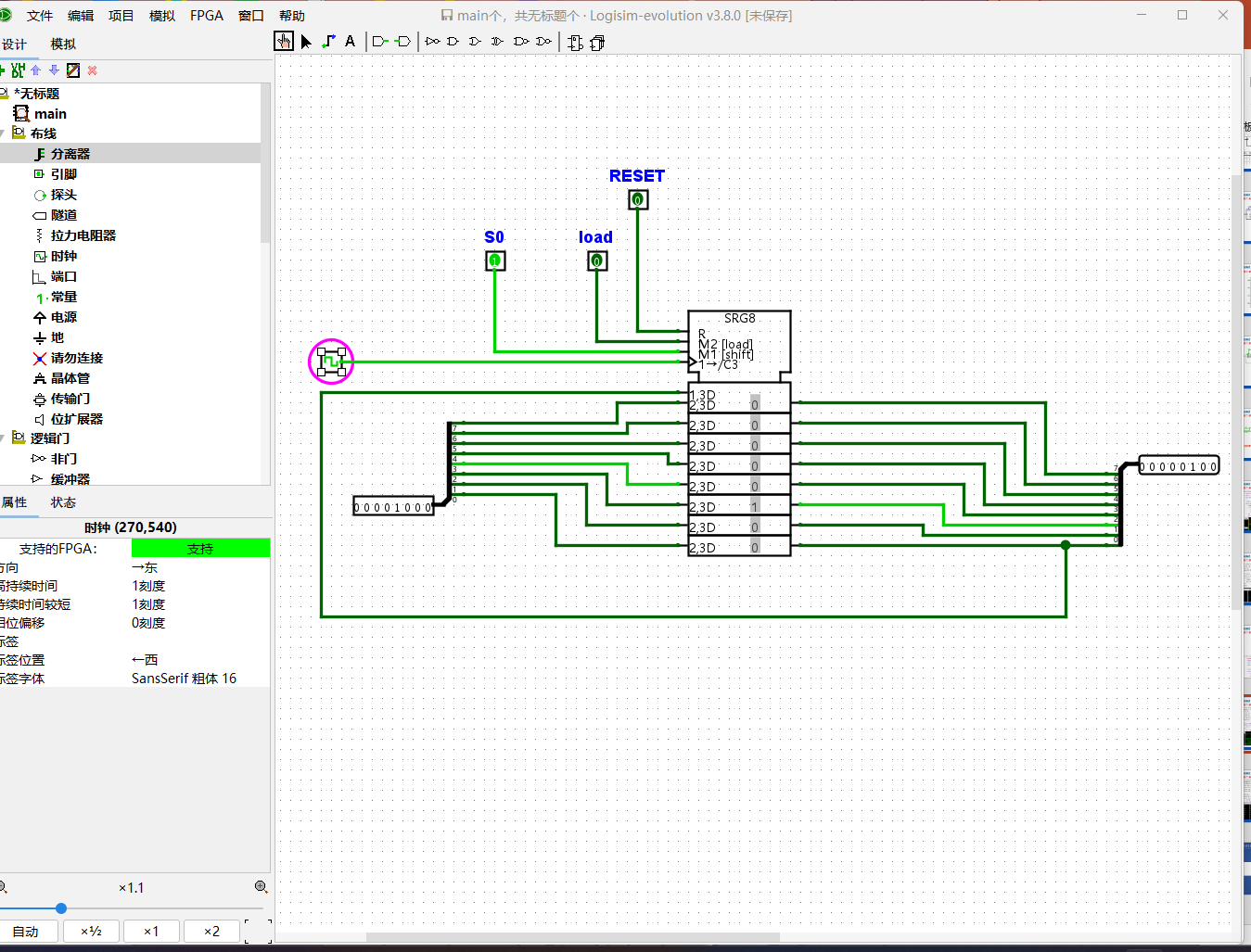
时序图分析：



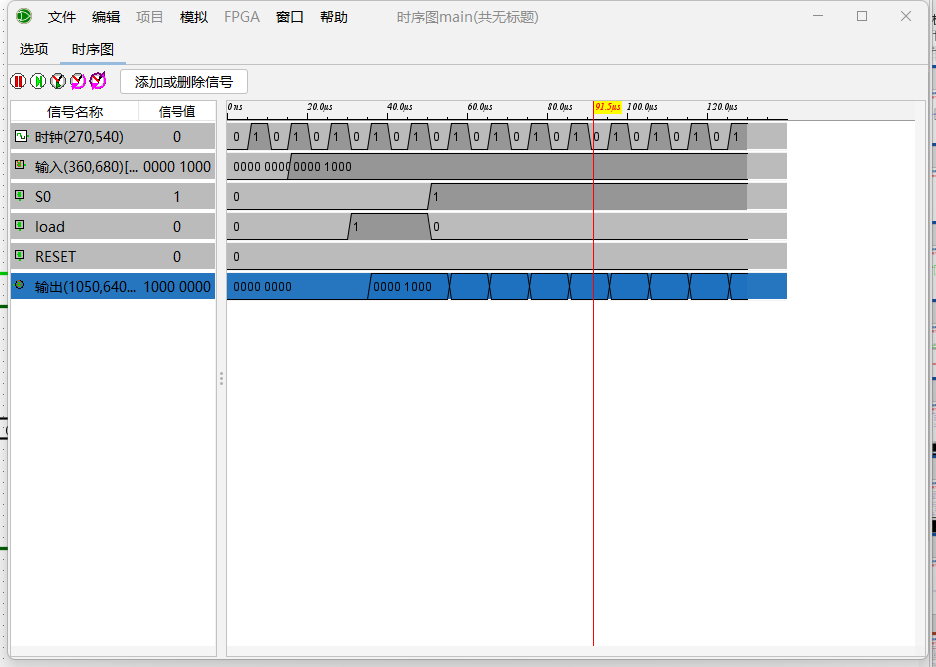
可以看出只有WE端为1才能往寄存器里面存数据，而OE为寄存器的置零信号。

2. 移位寄存器（循环移位）

电路设计图：



时序图：

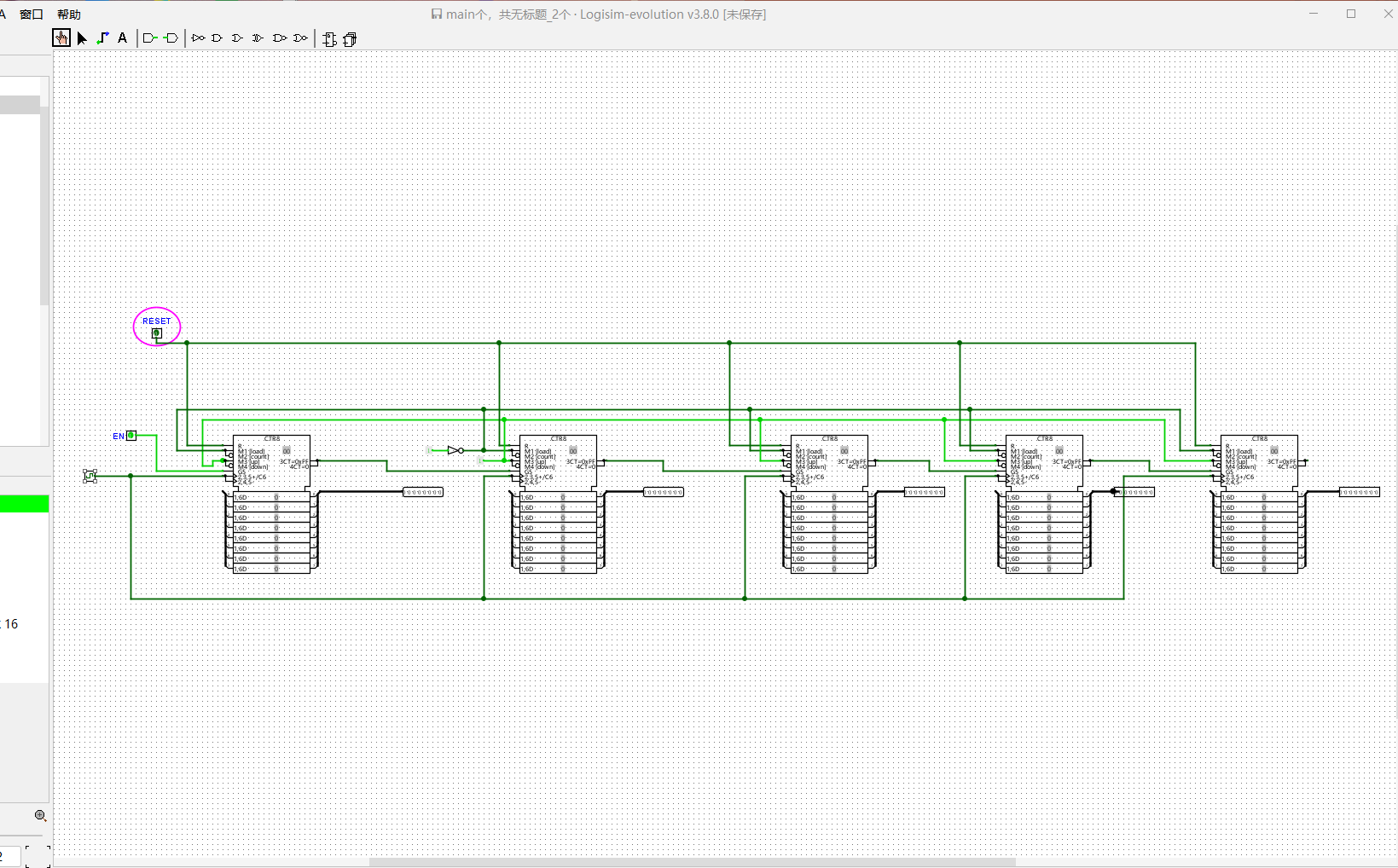


可以看出实现了循环进位功能，让shift置为1，初始存入00001000,不断右移，可以看出所指位置输出为10000000，实现了循环进位，设计为把最低位与移位输入连接,左移则设计相反。

（5）完成各种数字（个人学号末两位为40）进制的计数器。

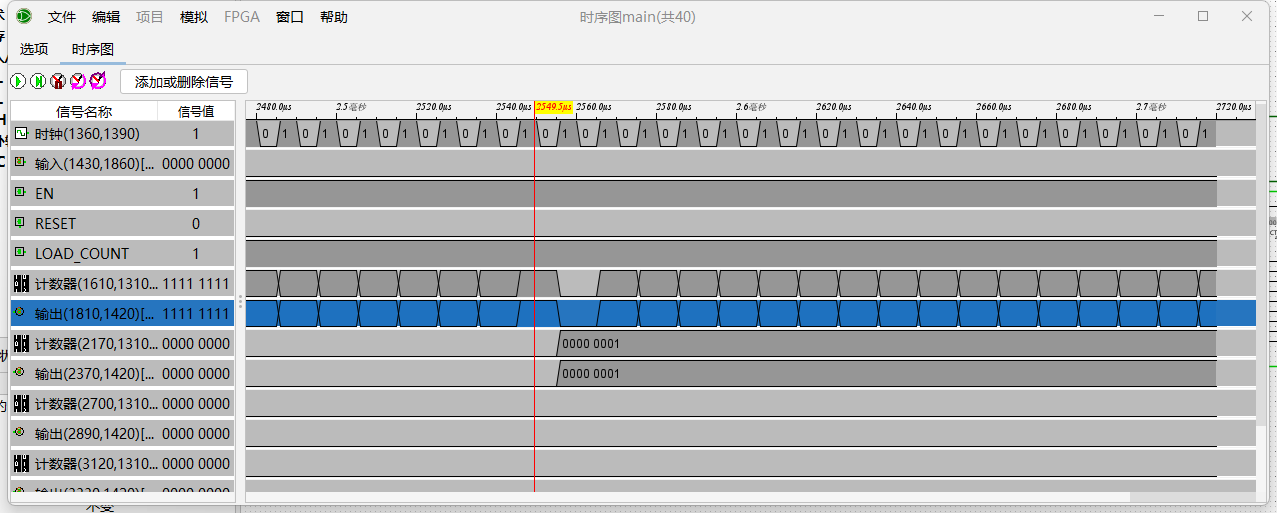
**40进制计数器**

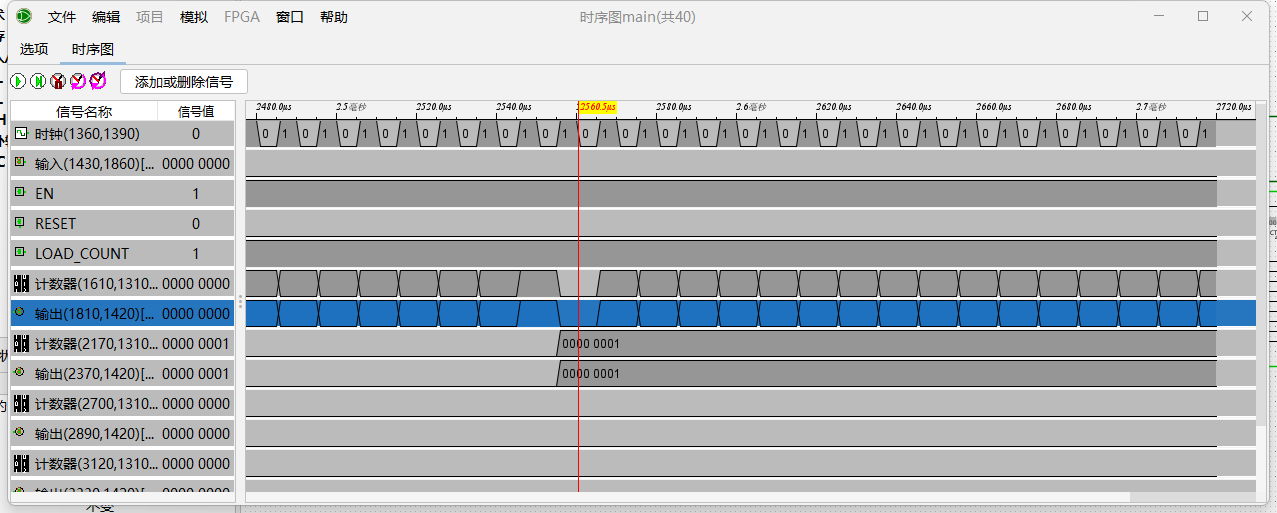
电路设计图：



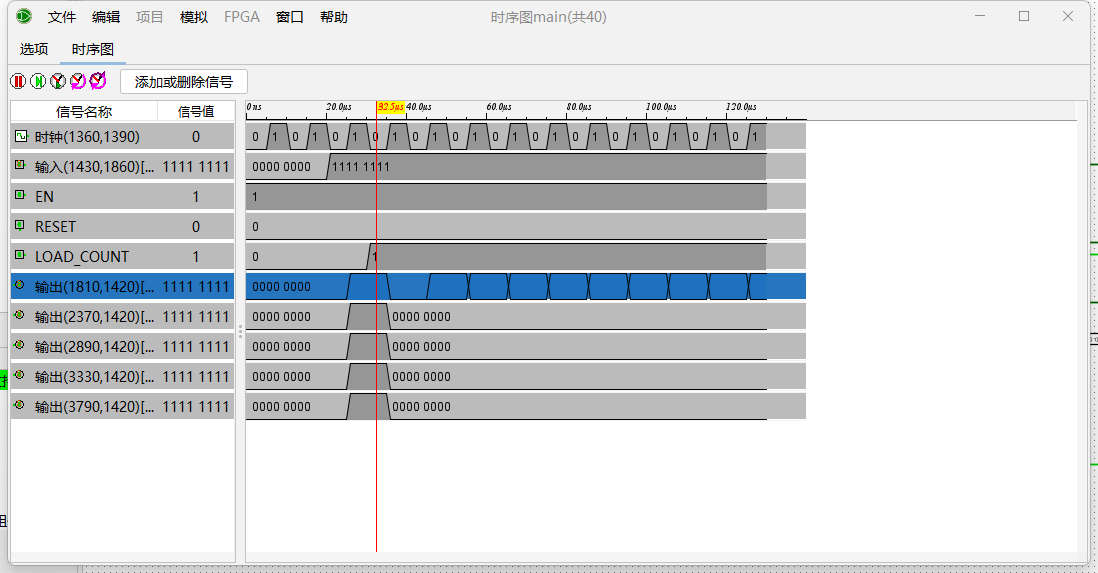
时序图：

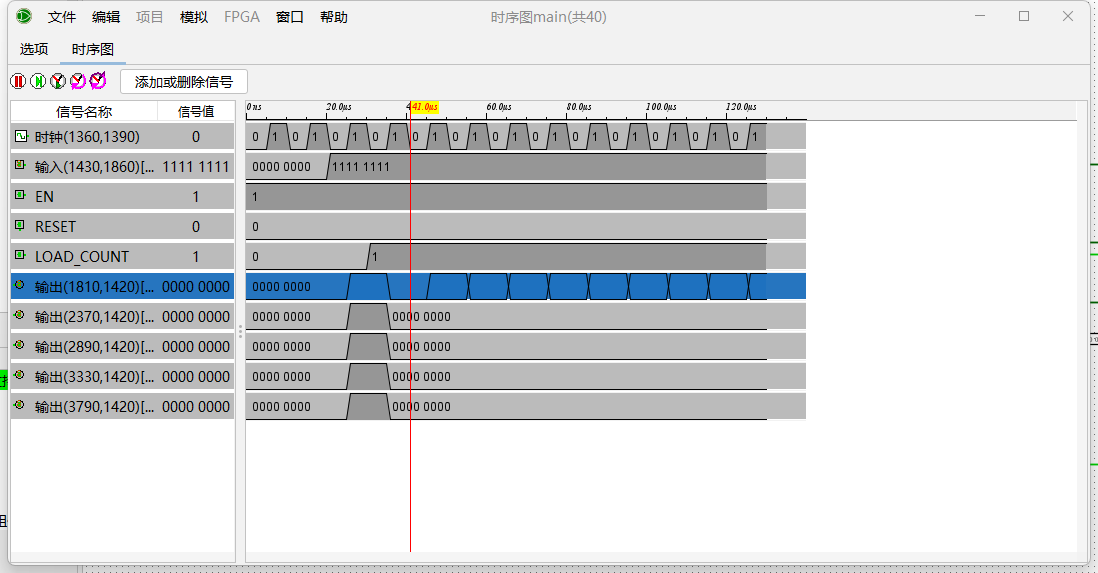
计数器间进位：

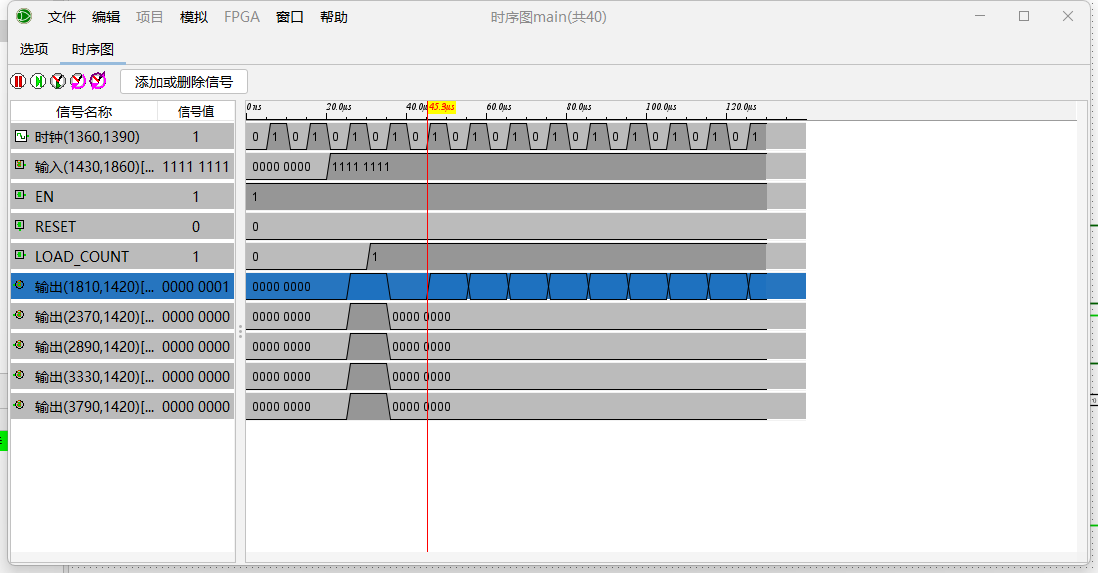




最后的40位进位：







可以看出很好地完成了40位进位计数器

**五、调试和心得体会**

1.学会了logisim的时序仿真功能

2.学会了logisim的器件库中许多器件的功能

3.巩固了数电的知识

4.了解了隧道的使用

5.了解了器件命名规则与VHDL语言相同