实验三 层次结构设计方法及应用

**一、实验目的**

1. 进一步掌握Verilog中的基本语法和语句。
2. 熟悉Logisim软件的使用。

**二、实验内容**

1. 掌握Verilog三种描述方式的使用。
2. 完成1位半加器、32位全加器模块的设计。
3. 设计一个基本的32位算术逻辑运算（ALU）模块。
4. 观察记录分析仿真波形。
5. 或者在Logisim中完成设计并验证。

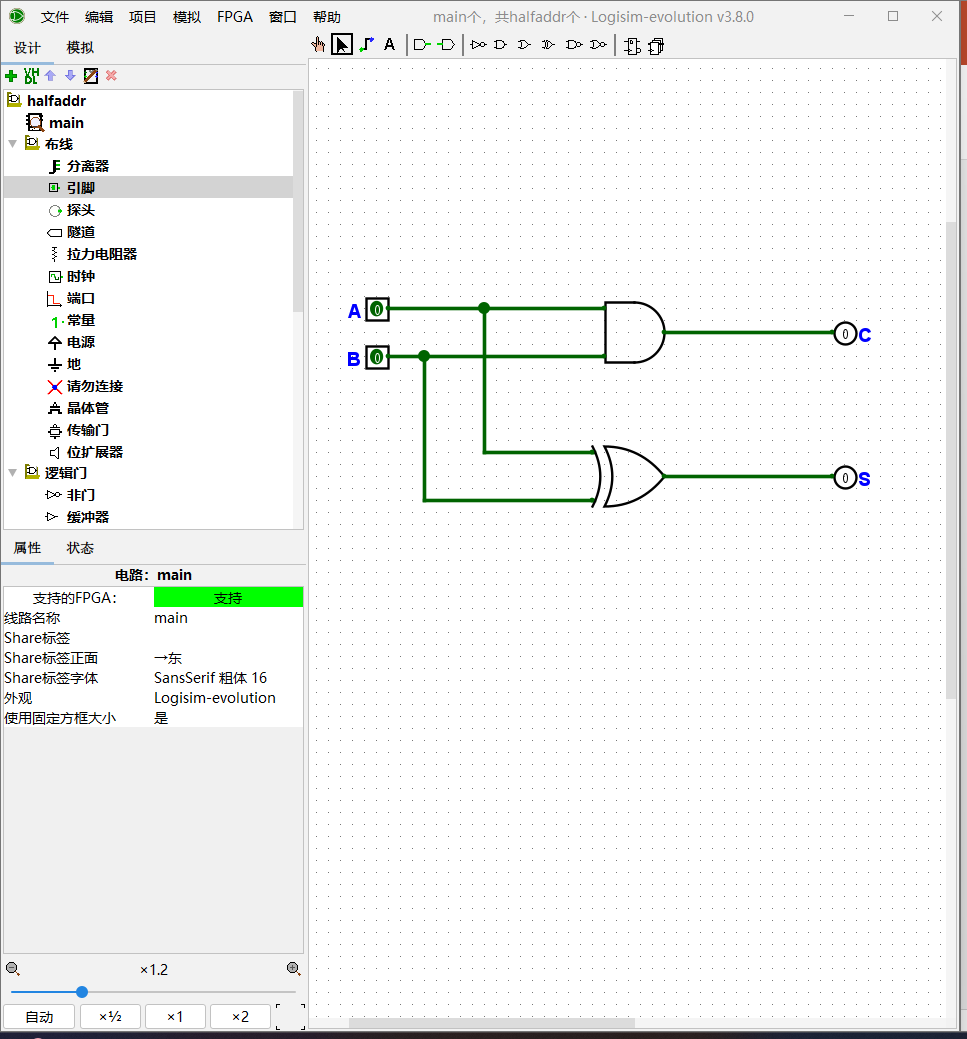
**三、实验要求**

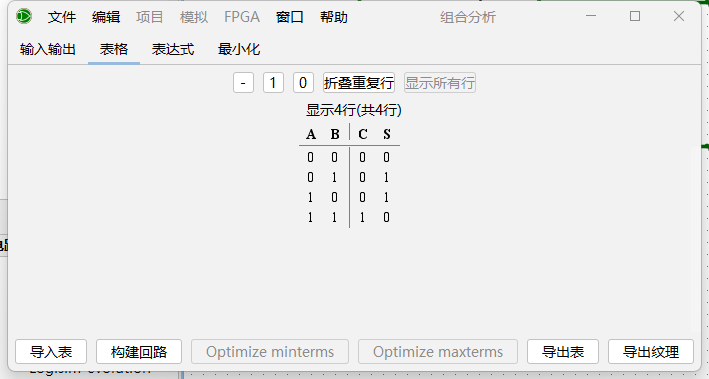
1. 画出模块的电路图。
2. 分析电路的仿真波形/真值表，标出关键的数值。
3. 记录设计和调试过程。

**四、实验代码及结果**

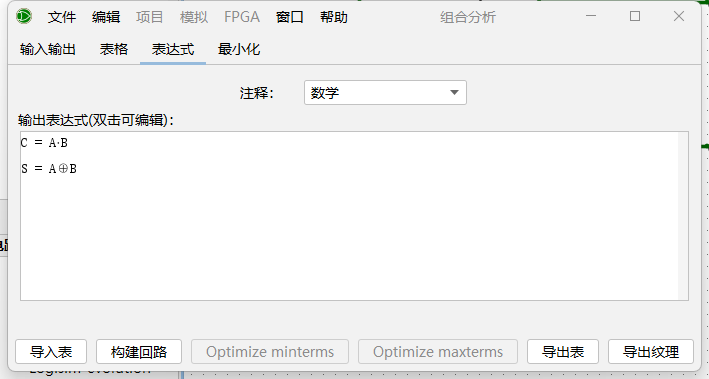
**(1)1位半加器**

电路设计图：



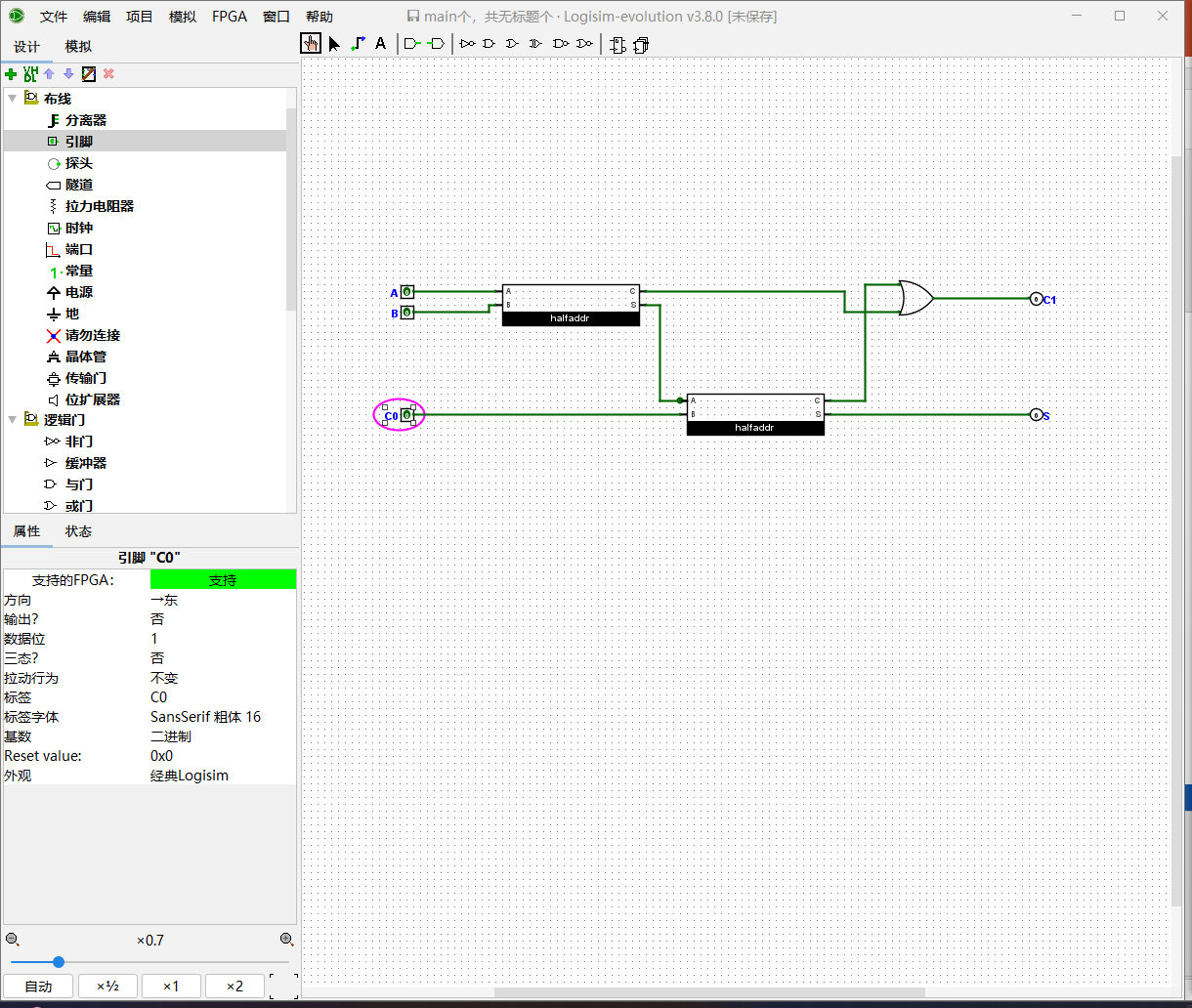
真值表：  


表达式：

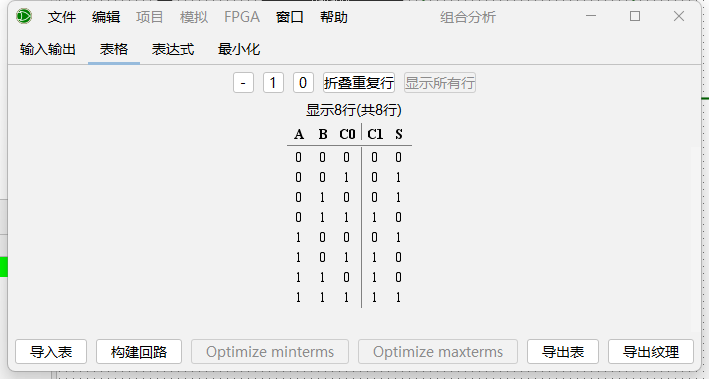


**(2)全加器**

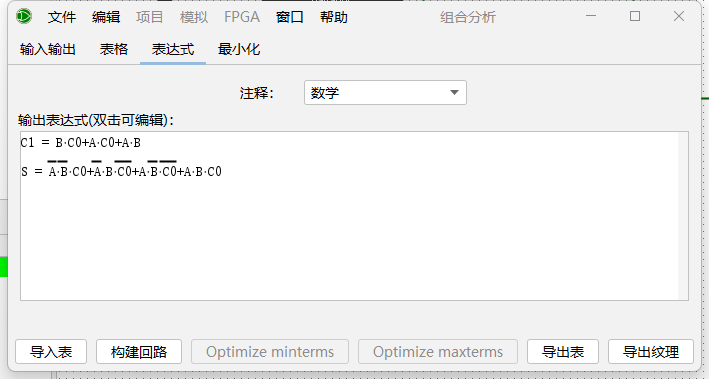
电路设计图：



真值表：



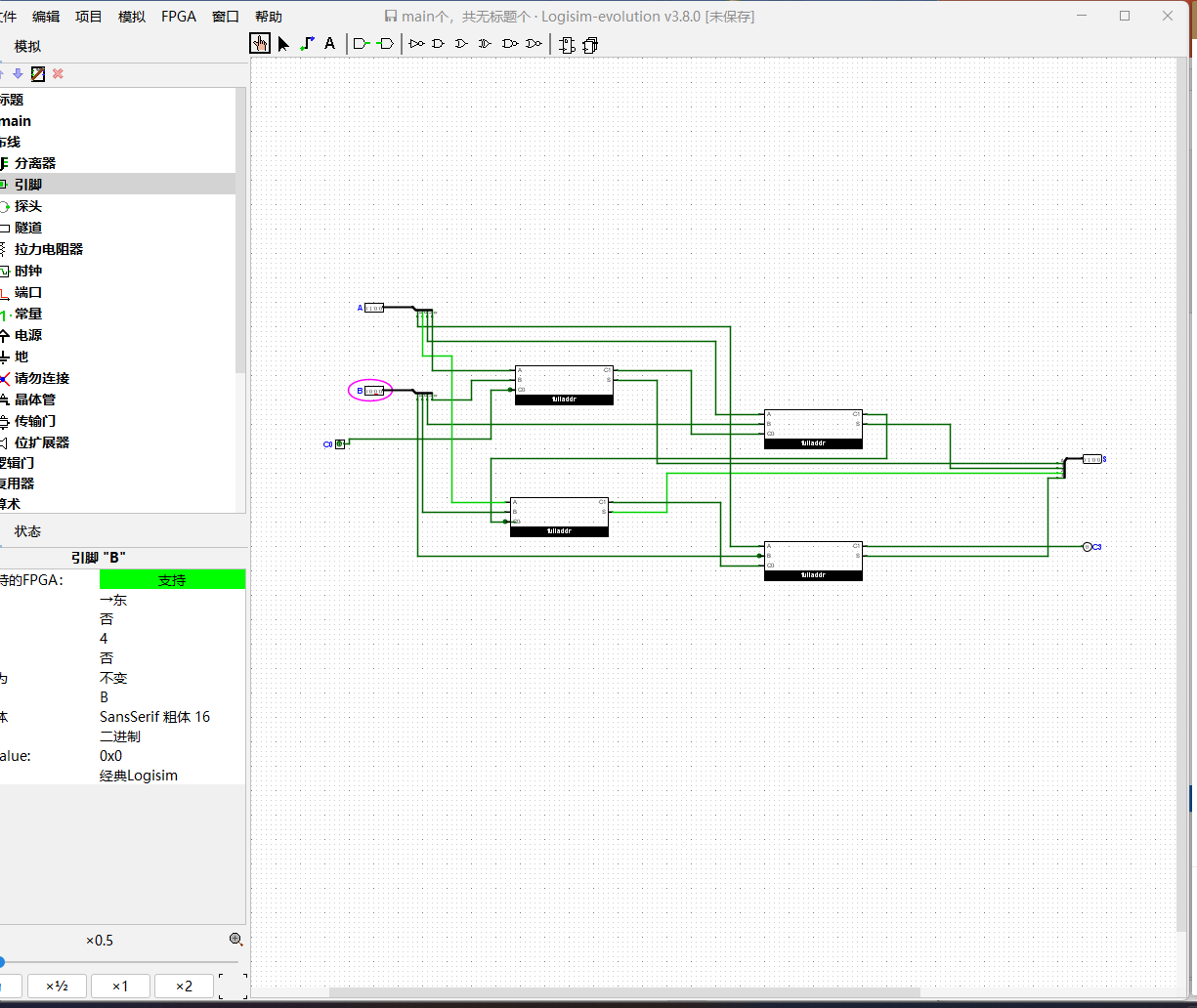
表达式：



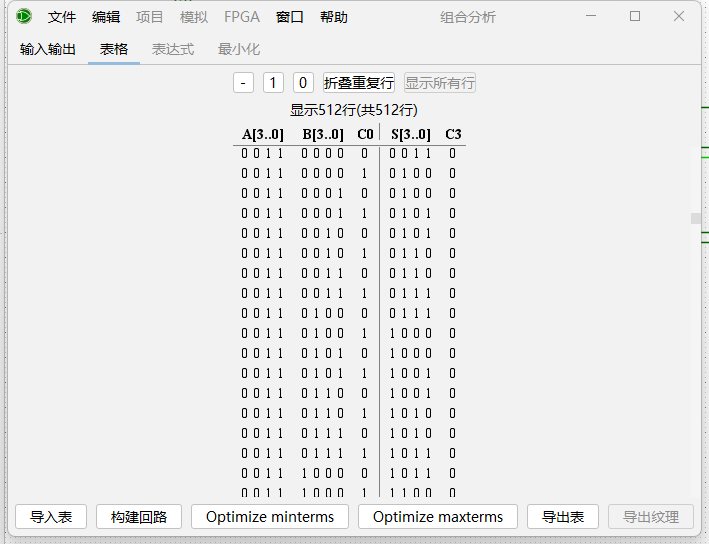
**（3）4位全加器**

电路设计图：

由四个1位全加器组成

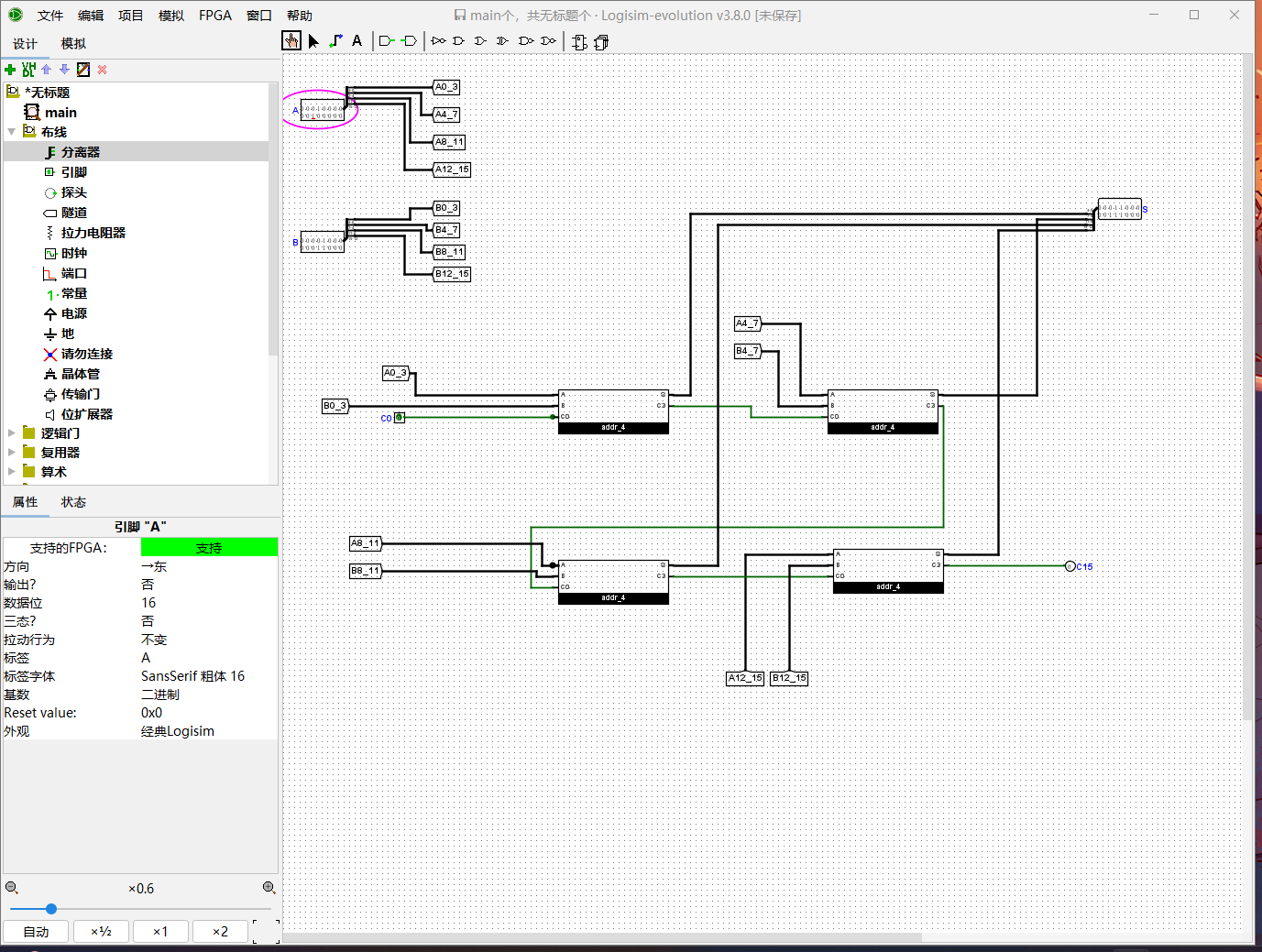


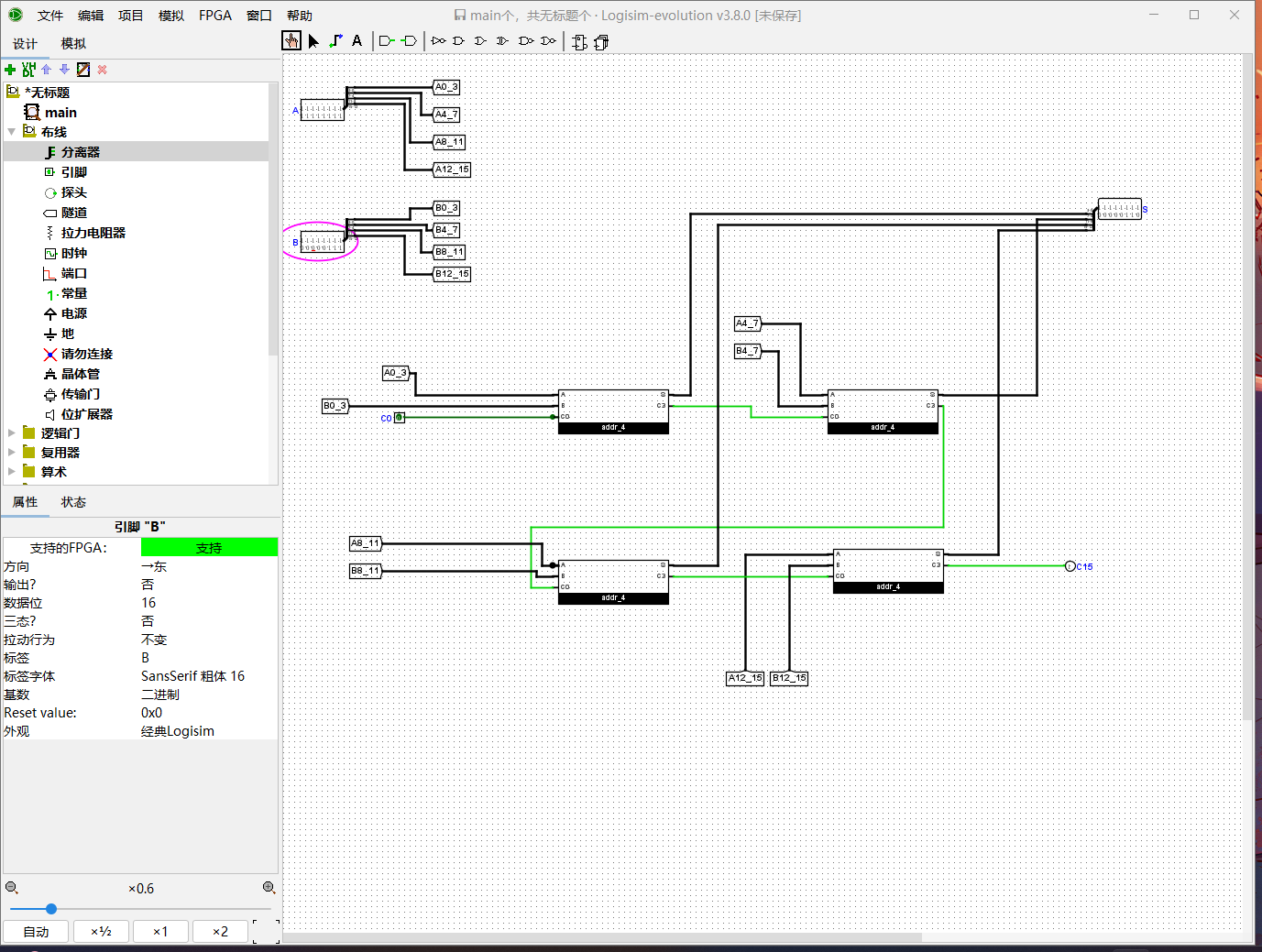
真值表：



**（3）16位全加器**

通过四个4位全加器来实现16位全加器

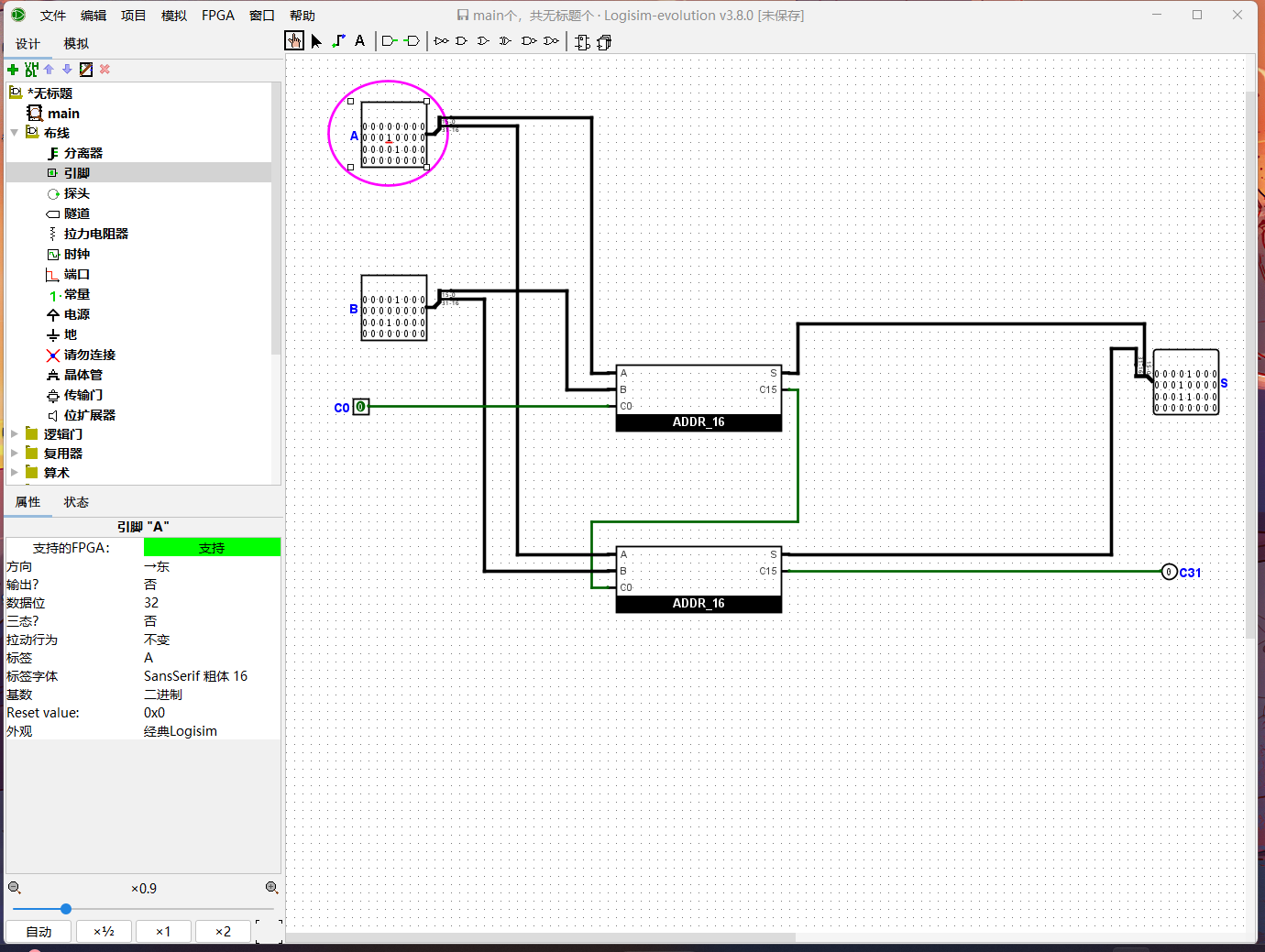


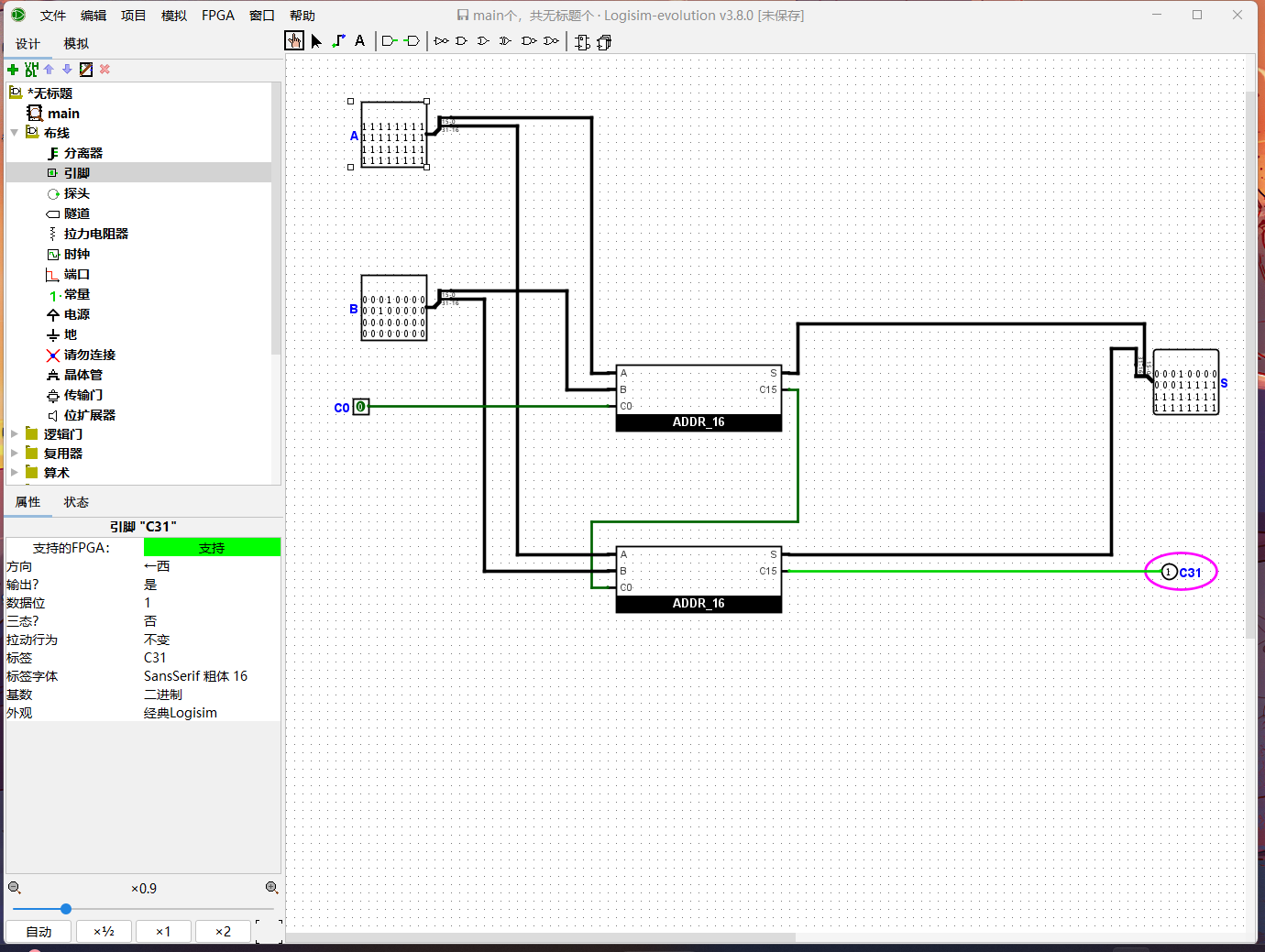


可以从图中看出实现了16位全加的功能

**（3）32位全加器**

使用两个16位全加器来实现32位

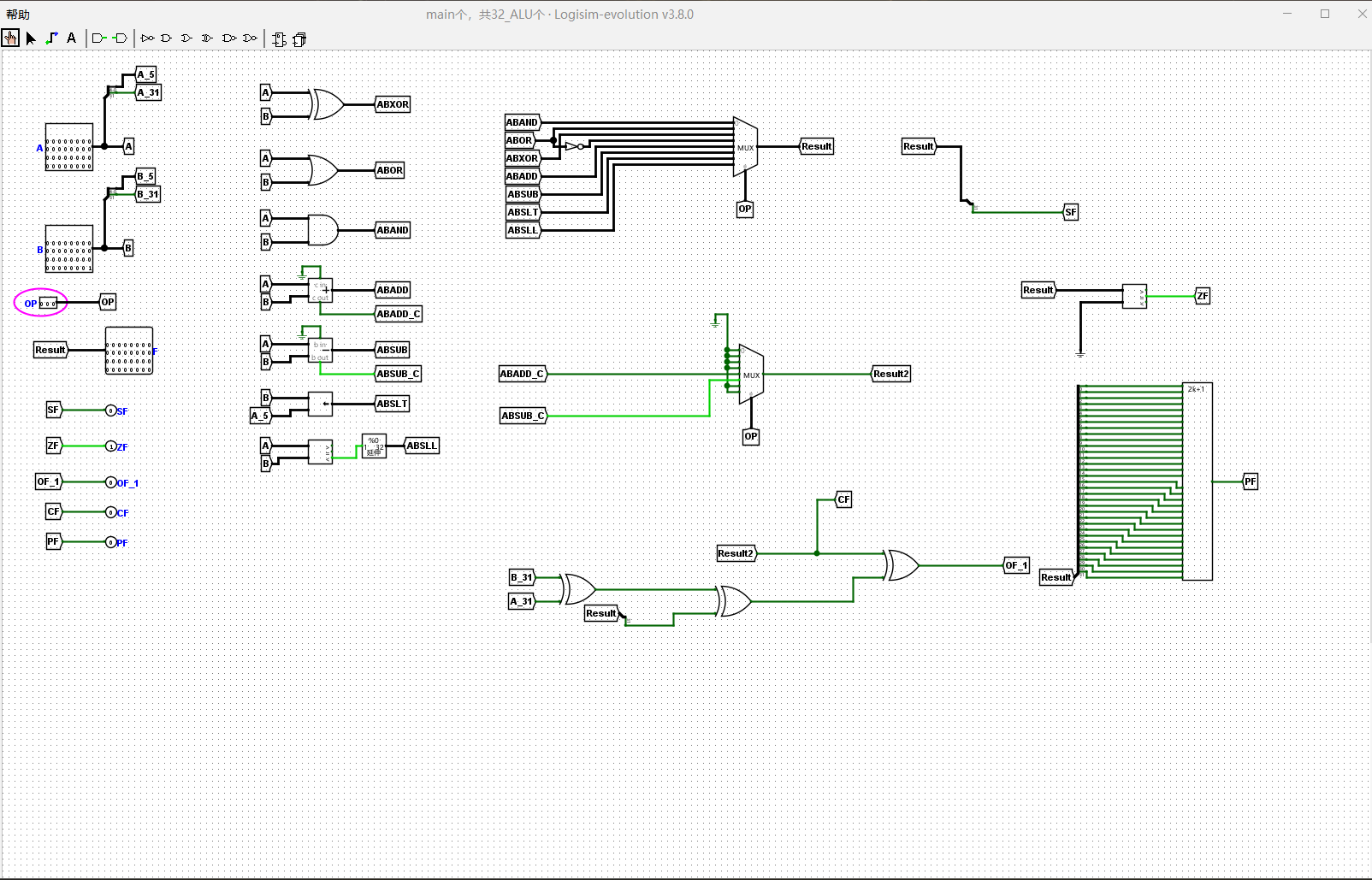




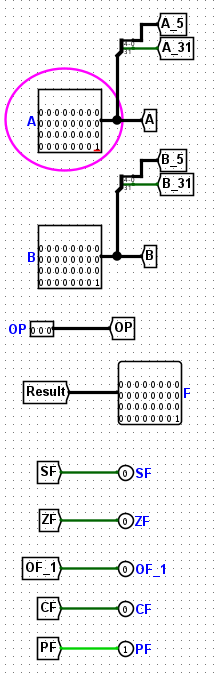
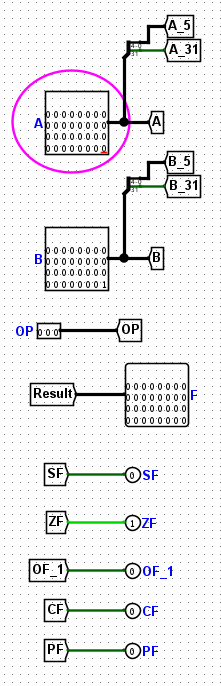
可以从图中看出实现了32位全加的功能

**（4）设计一个基本的32位算术逻辑运算（ALU）模块。**

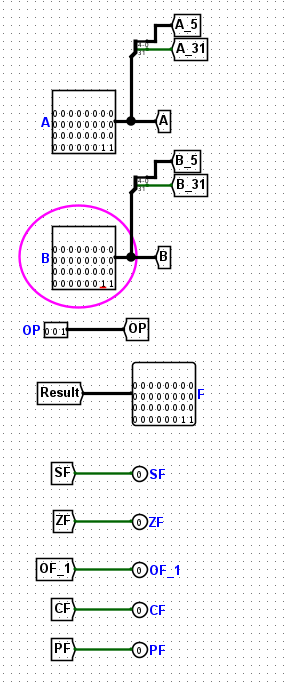
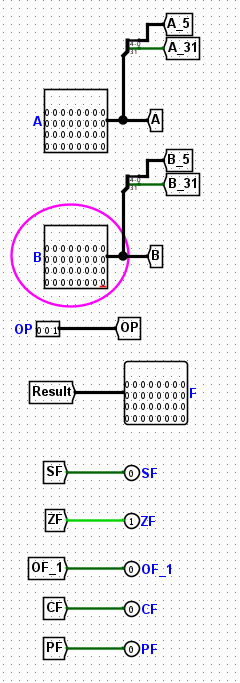
电路设计图：

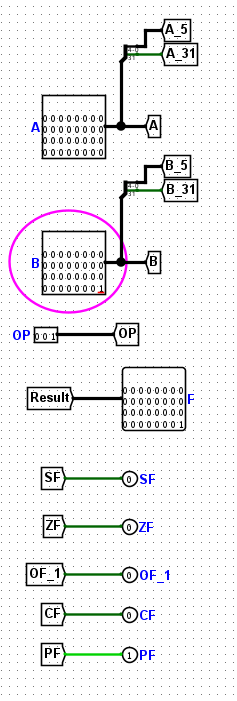
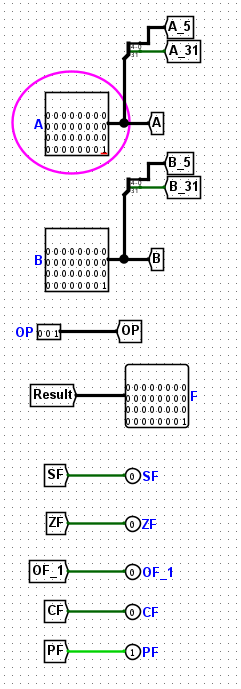


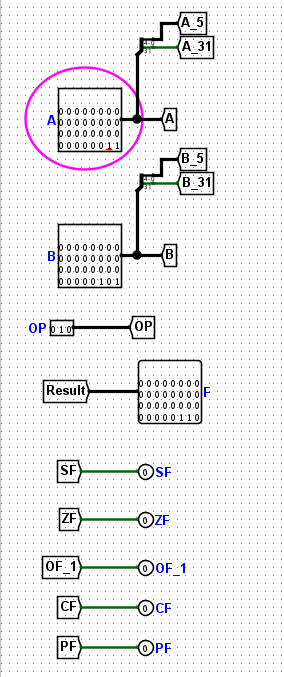
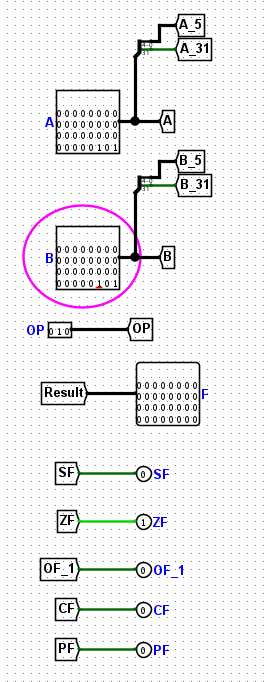
功能一：按位与运算 OP=000

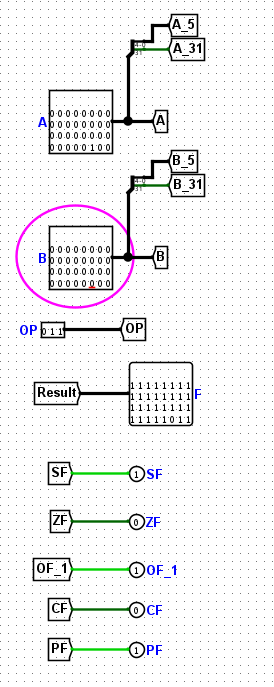
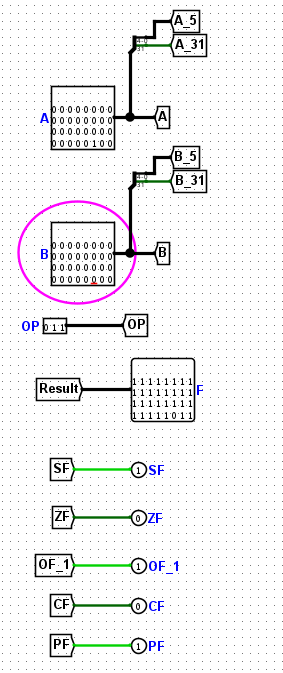
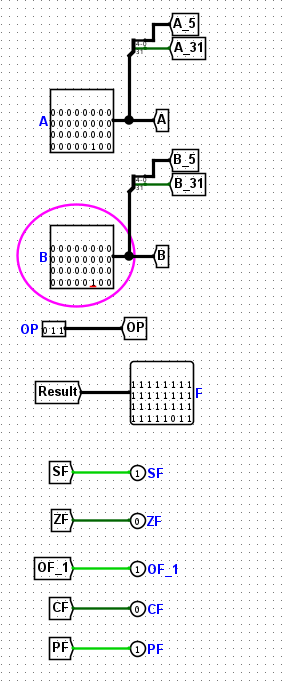
功能二：按位或运算 OP=001

   
功能三：按位异或运算 OP=010

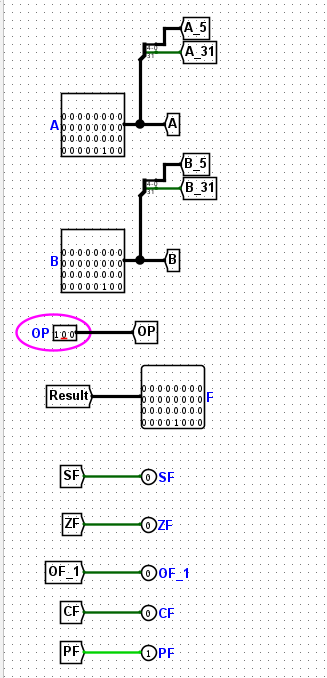
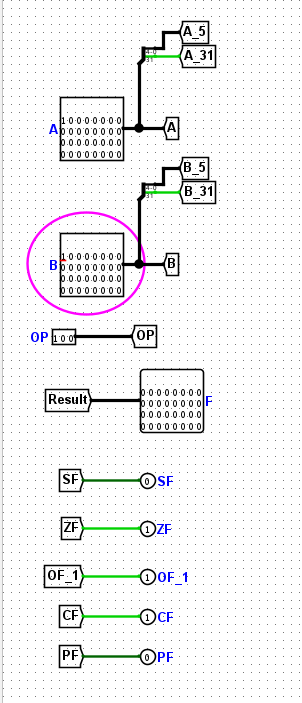


功能四：按位或非运算 OP=011

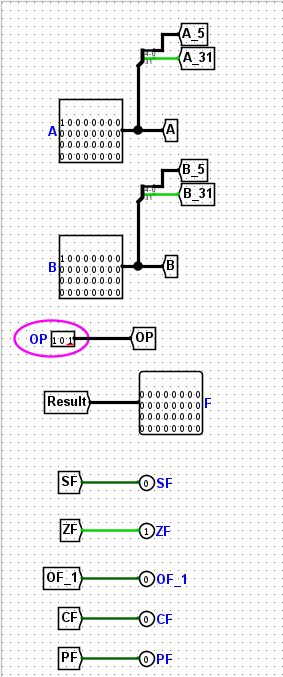
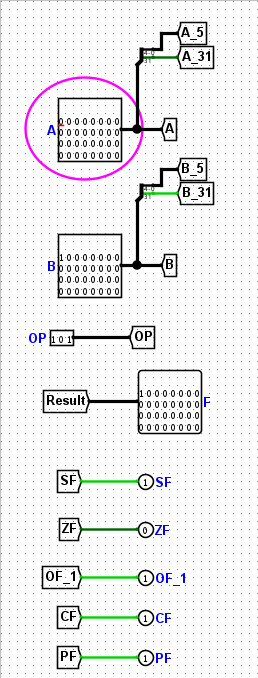
功能五：算术加法 OP=100

由下图可以看出当算出的结果大于32位时，CF与OF同时为1，代表进位与溢出

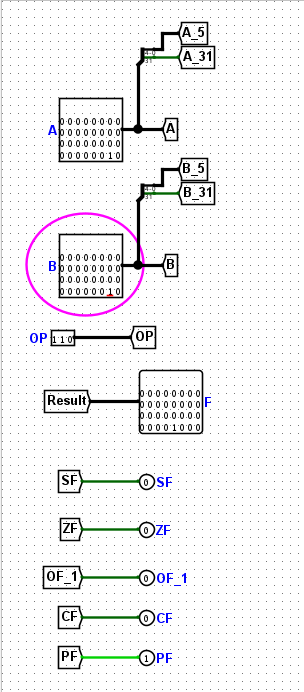
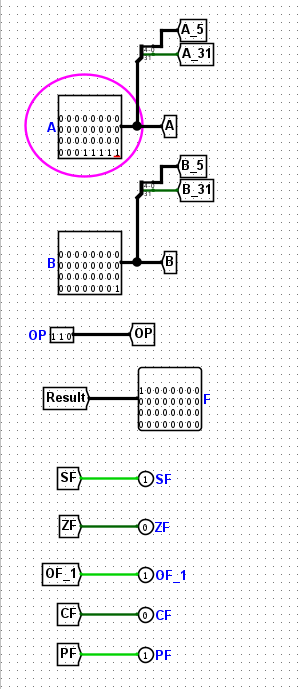
功能六：算术减法 OP=101

由图中可以看出当A<B时，CF与OF同时为1，代表借位与溢出

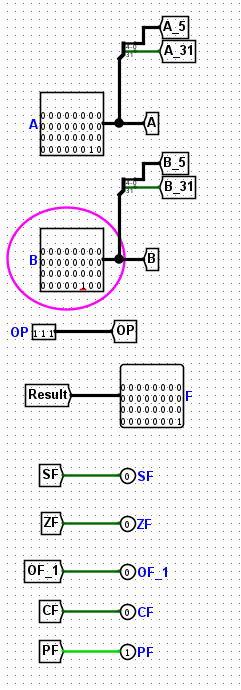
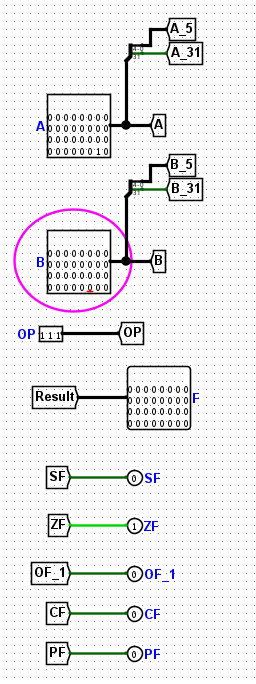
功能七：B逻辑左移A所指定的位数 OP=110

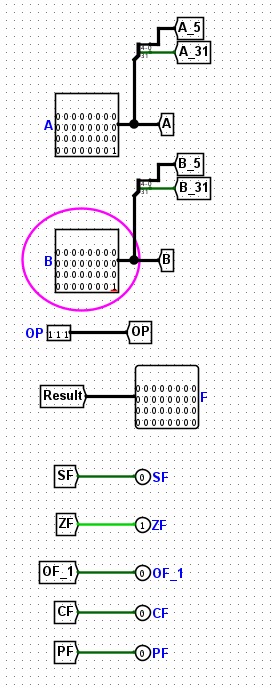
A的低五位为移位的位数，可以看出当前五位全为1时，左移了31位

功能八：若A<B，则输出1;否则输出0 OP=111

有图可以看出当A<B时候，结果最低位为1，其他情况下最低位为0



**同时对于其他几个输出情况,上图情况如下：**

**PF:输出结果1的个数为奇数时为1，反之为0**

**SF:输出结果最高位的值**

**ZF:输出结果若为0，则为1，反之为0**

**五、调试和心得体会**

1.更加深刻地体会到了隧道对于logisim画图的简洁性。

2.学会了层次结构设计方法及应用

3.对计组中的知识更加深刻了