实验四 存储器模块的设计及应用

**一、实验目的**

1. 掌握Verilog语言框架、编程和调试方法。
2. 掌握Verilog中的存储器电路工作原理。
3. 掌握存储器的实际应用。
4. 掌握Logisim中存储模块的使用。

**二、实验内容**

1. 设计一个静态存储器RAM。
2. 建立存储器的访问所需要的各种信号。
3. 对存储单元0#,1#,3#,5#,7#,9#或0#，2#，4#，6#，246#进行读写操作。
4. 观察、记录和分析仿真波形。
5. 练习Logisim软件中存储模块的使用。

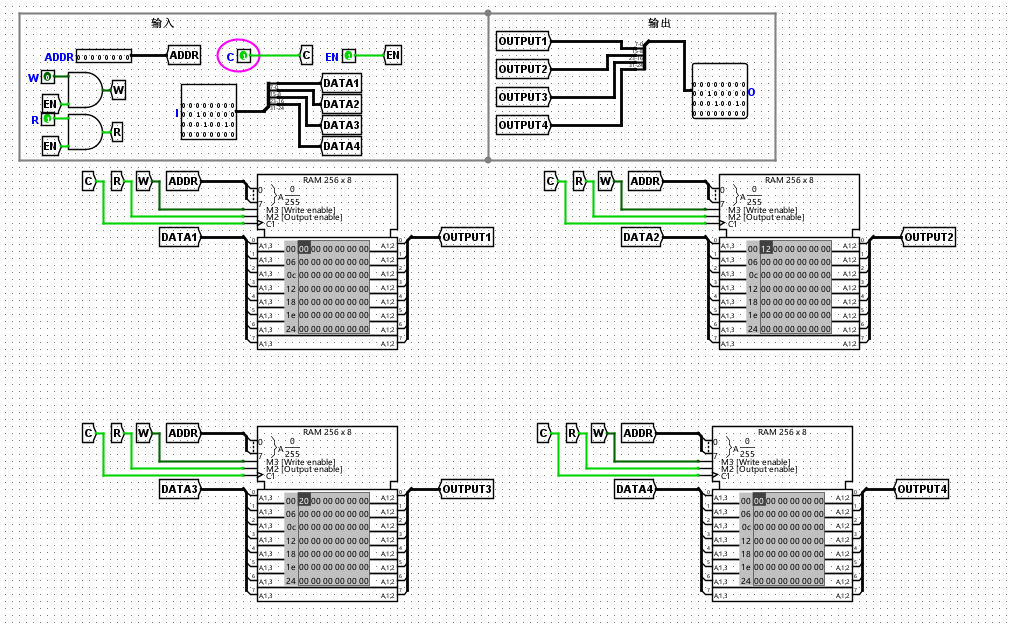
**三、实验要求**

1. 分析模块的结构，画出其流程图。
2. 画出模块的电路图。
3. 分析电路的仿真波形，标出关键的数值（或在Logisim中完成验证）。
4. 记录设计和调试过程。

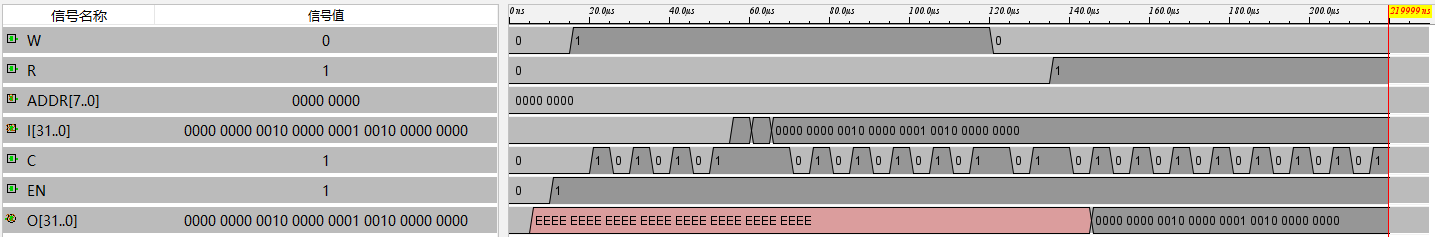
**四、实验代码及结果**

（1）256\*8的RAM位扩展成32位（位扩展）

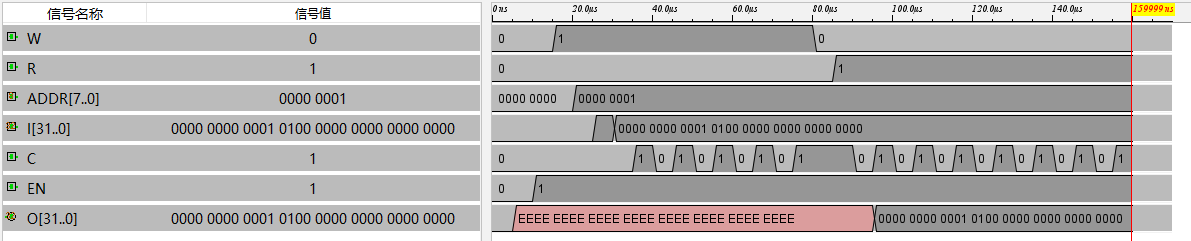
电路设计图：



时序图：



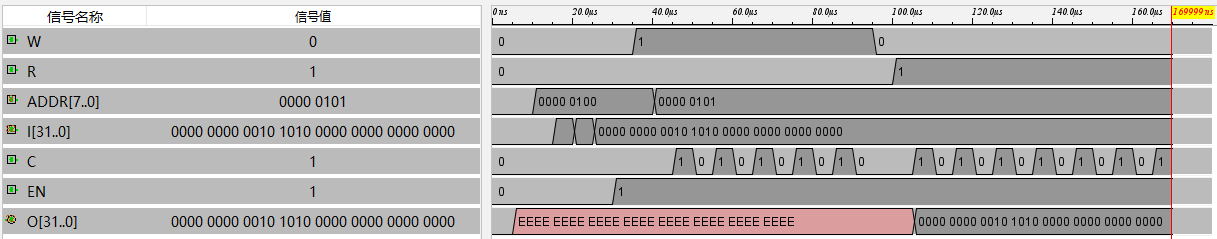
可以看出该时序图完成了，对0x00地址的32位写与读操作



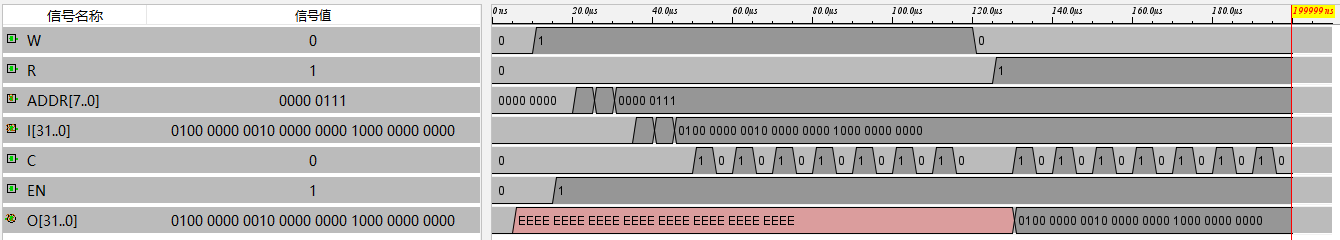
可以看出该时序图完成了，对0x01地址的32位写与读操作



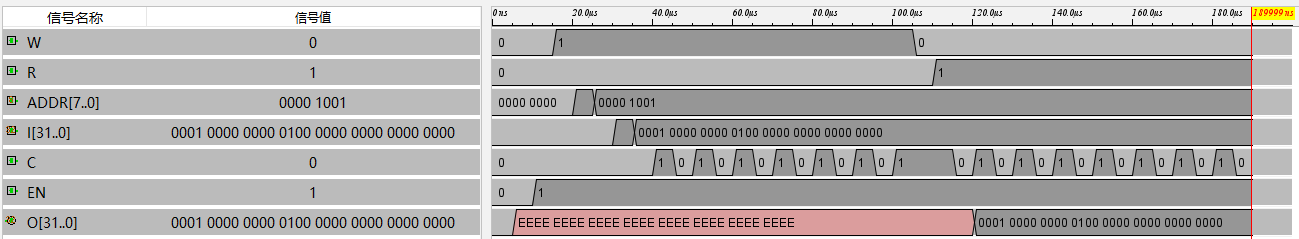
可以看出该时序图完成了，对0x03地址的32位写与读操作



可以看出该时序图完成了，对0x05地址的32位写与读操作



可以看出该时序图完成了，对0x07地址的32位写与读操作



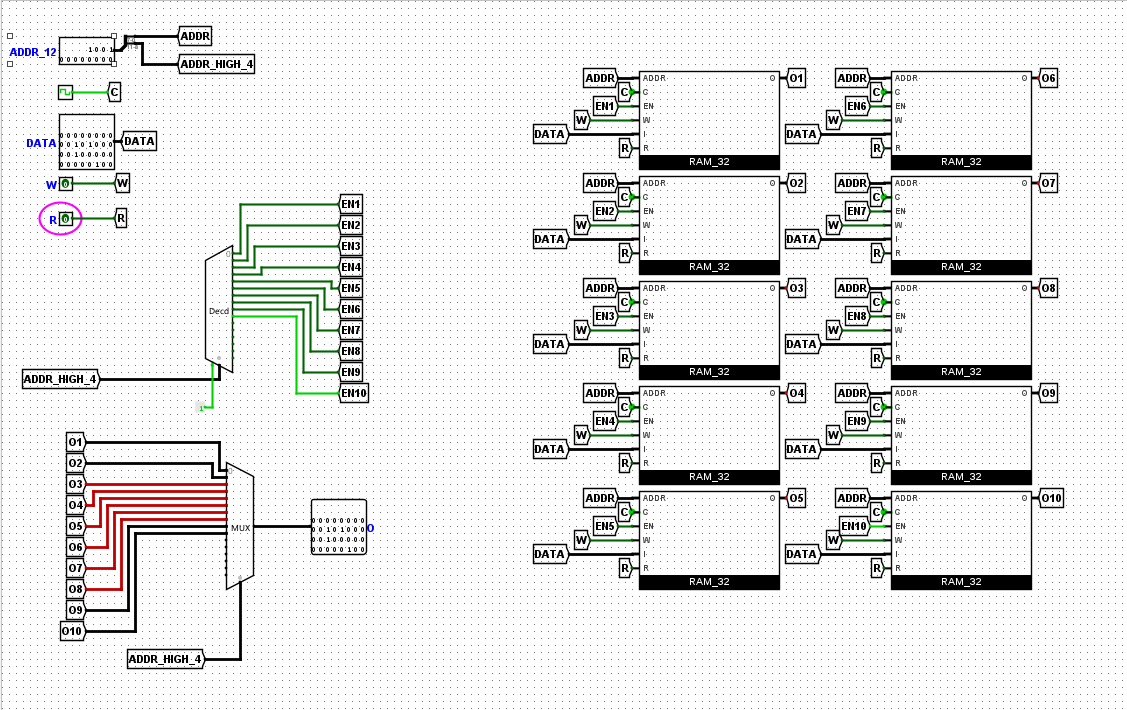
可以看出该时序图完成了，对0x09地址的32位写与读操作

为了对存储器原理理解更加透彻，下（2）为字扩展

（2）10\*32位的RAM（字扩展）

电路设计图：

对上一个电路进行封装，再进行组合，得到地址范围更大的RAM



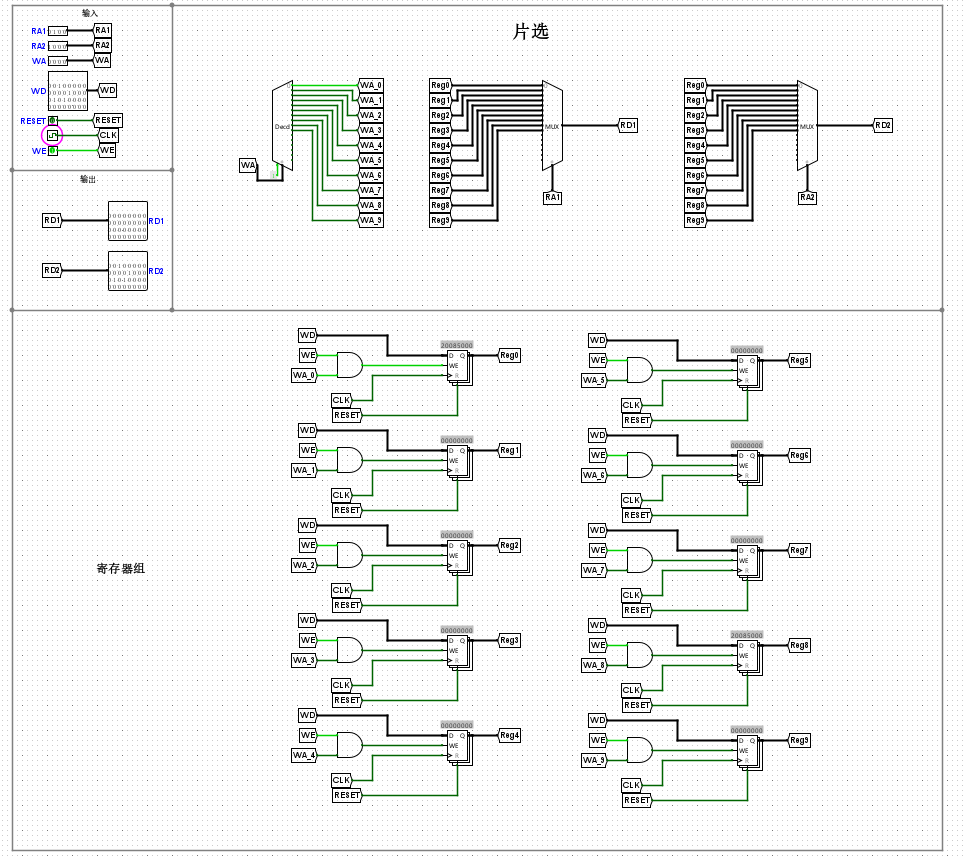
时序图：

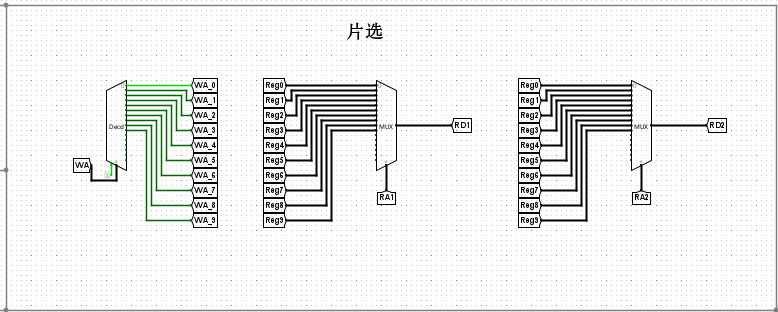
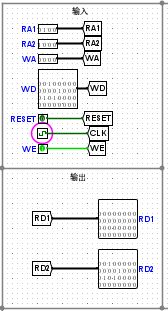
可以看出这里地址高4位为选择不同RAM的信号，为字扩展，这里是对9号RAM中0x04地址进行读写操作

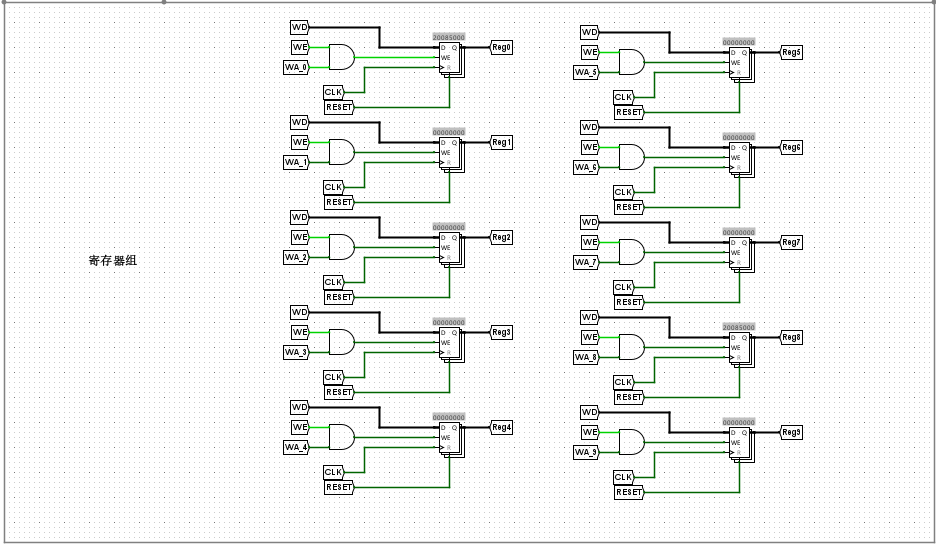


（3）10\*32bit的寄存器组

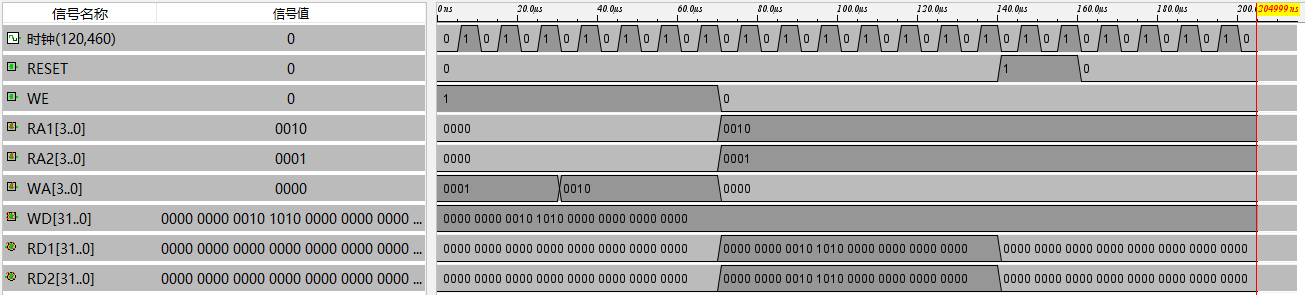
电路设计图：







时序图：



如图时序图完成了对1号寄存器和2号寄存器的写，然后同时读出1号寄存器和2号寄存器的内容，最后reset置0，较好地完成了功能

**五、调试和心得体会**

1.对logisim中时序图的理解更加深刻

2.大大体会到隧道对于画图的极大简便性

3.对计组中存储系统一章知识更加深刻了