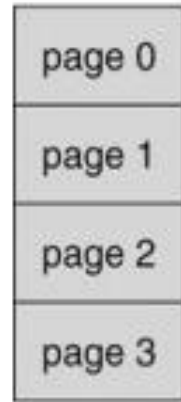


페이징 기법

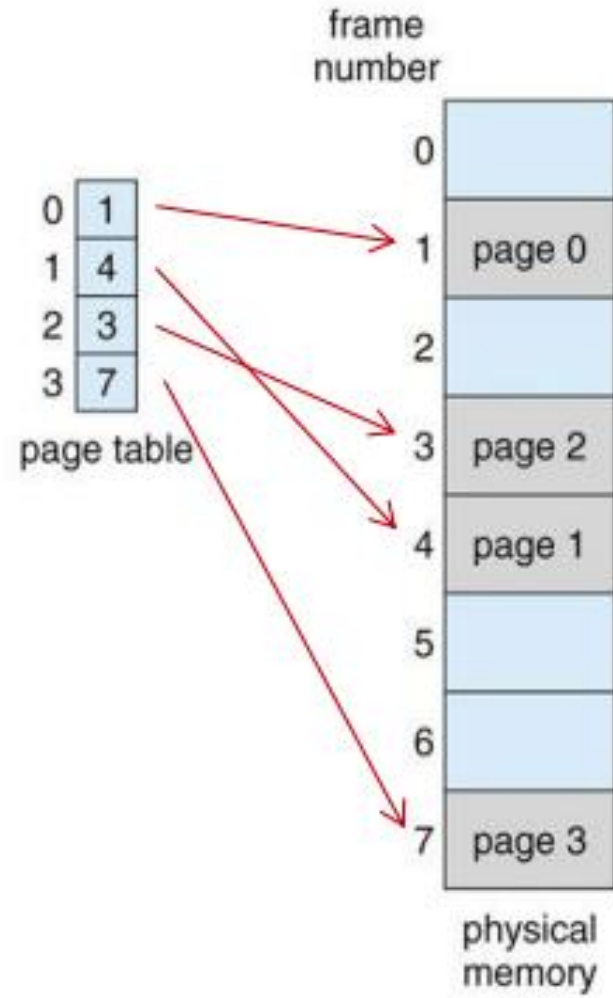
페이징 기법

프로세스의 주소 공간을 동일한 크기로 나누어 물리적 메모리의 각각 다른 위치에 페이지를 저장하는 방식.

페이징 기법



logical
memory



페이지 테이블 기준 레지스터 : 페이지 테이블의 시작 위치.

페이지 테이블 길이 레지스터 : 페이지 테이블의 크기를 보관.

TLB : 고속의 주소 변환용 하드웨어 캐시.

페이징 기법

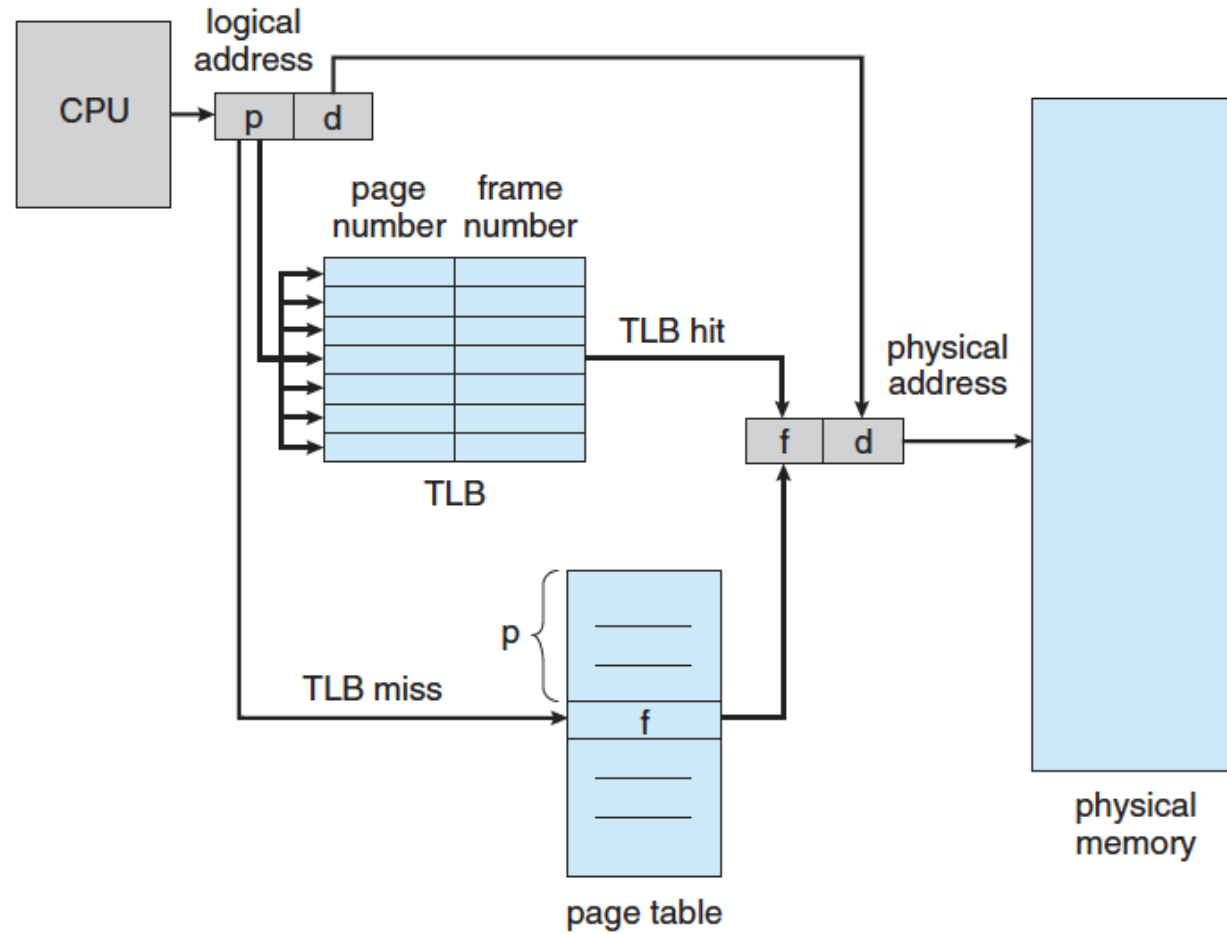


Figure 8.14 Paging hardware with TLB.

페이징 기법

$$\begin{aligned} \text{EAT} &= (1 + \varepsilon) \alpha + (2 + \varepsilon)(1 - \alpha) \\ &= 2 + \varepsilon - \alpha \end{aligned}$$

hit ratio (주소변환이 이루어지는 비율) = α

miss = $1 - \alpha$

TLB 접근 시간 = ε

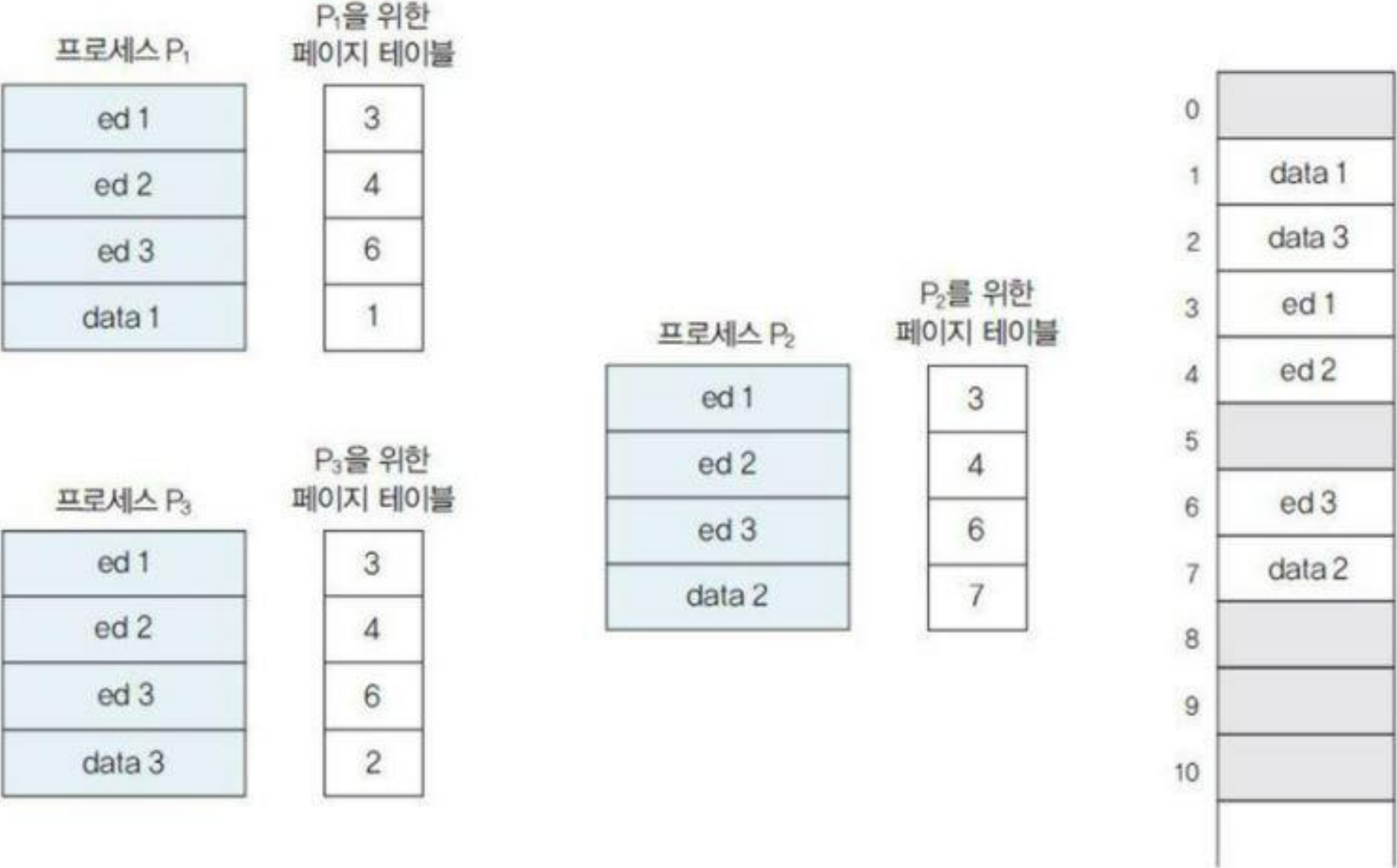
메모리 접근 시간 = 1

역페이지 테이블

물리적 메모리의 페이지 프레임 하나당 페이지 테이블에 하나 씩의 항목을 두는 방식.

공유 코드 : 여러 프로세스에 의해 공통으로 사용될 수 있도록 작성된 코드.
공유 테이블 : 공유 코드를 담고 있는 페이지.

페이징 기법



보호비트 : 각 페이지에 대한 접근권한
유효-무효 비트 : 해당 페이지의 내용이 유효한가

세그먼테이션 기법

세그먼트 : 프로그램을 구성하는 의미 단위

〈세그먼트 번호, 오프셋〉

세그먼테이션 기법

기준점 : 물리적 메모리에서 세그먼트의 시작위치
한계점 : 세그먼트의 길이.

〈세그먼트 번호, 오프셋〉

페이지 테이블 기준 레지스터
페이지 테이블 길이 레지스터

세그먼테이션 기법

보호비트 : 각 세그먼트에 읽기/쓰기/실행 권한이 있는지
유효비트 : 각 세그먼트의 주소 변환 정보가 유효한지

공유 세그먼트 : 여러 프로세스가 특정 세그먼트를 공유

페이지드 세그먼테이션 기법

페이지드 세그먼테이션 기법

페이지드 세그먼테이션 기법

페이징 기법 장점 + 세그먼테이션 장점을 취하는 주소 변환 기법