**组成原理课程第一次实验报告**

**实验名称：加法器扩展**

学号： 2310764 姓名： 王亦辉 班次： 计科一班

1. 实验目的

1. 熟悉LS-CPU-EXB-002 实验箱和软件平台。

2. 掌握利用该实验箱各项功能开发组成原理和体系结构实验的方法。

3. 理解并掌握加法器的原理和设计。

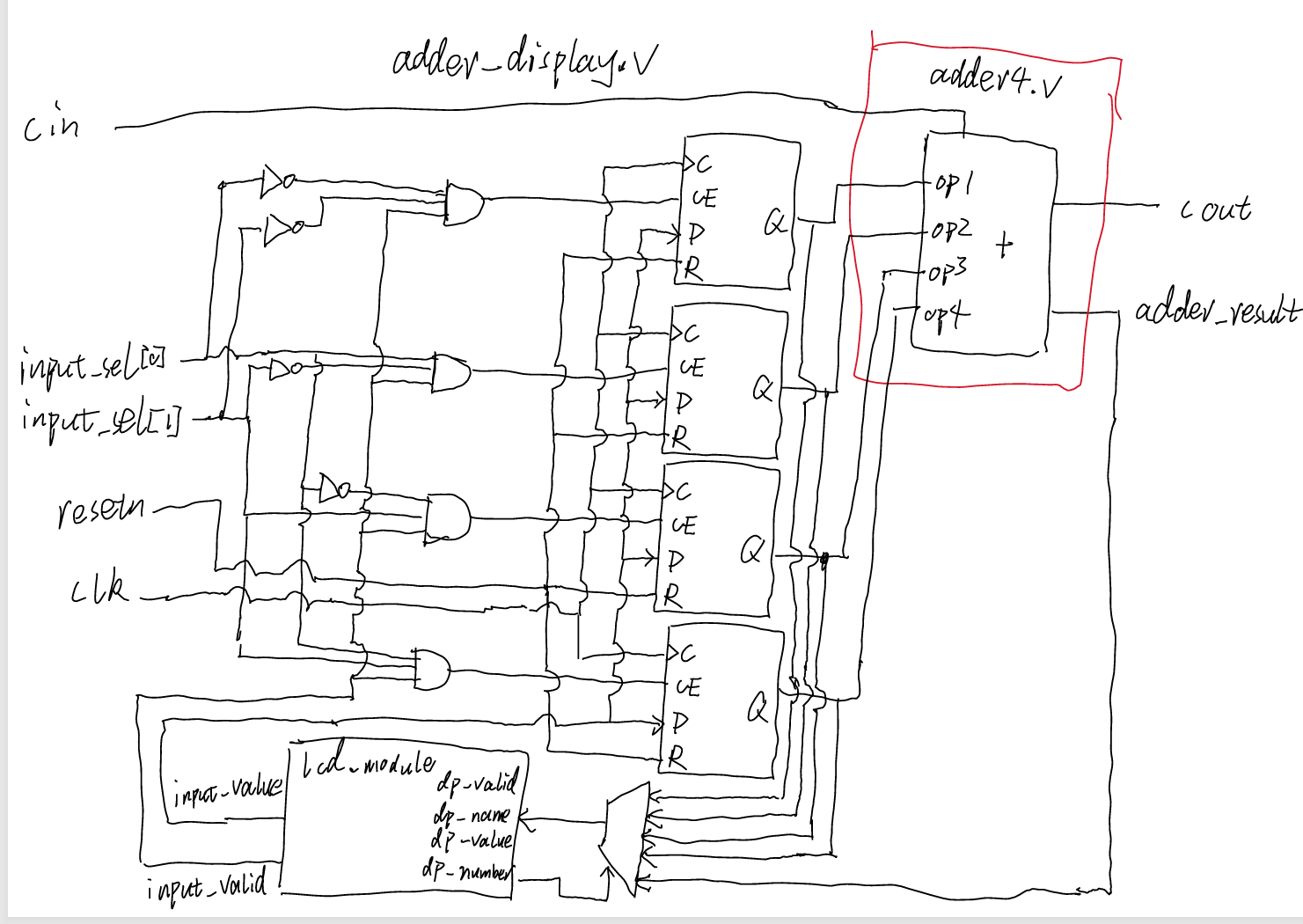
4. 熟悉并运用verilog语言进行电路设计。

5. 为后续设计cpu的实验打下基础。

1. 实验内容说明

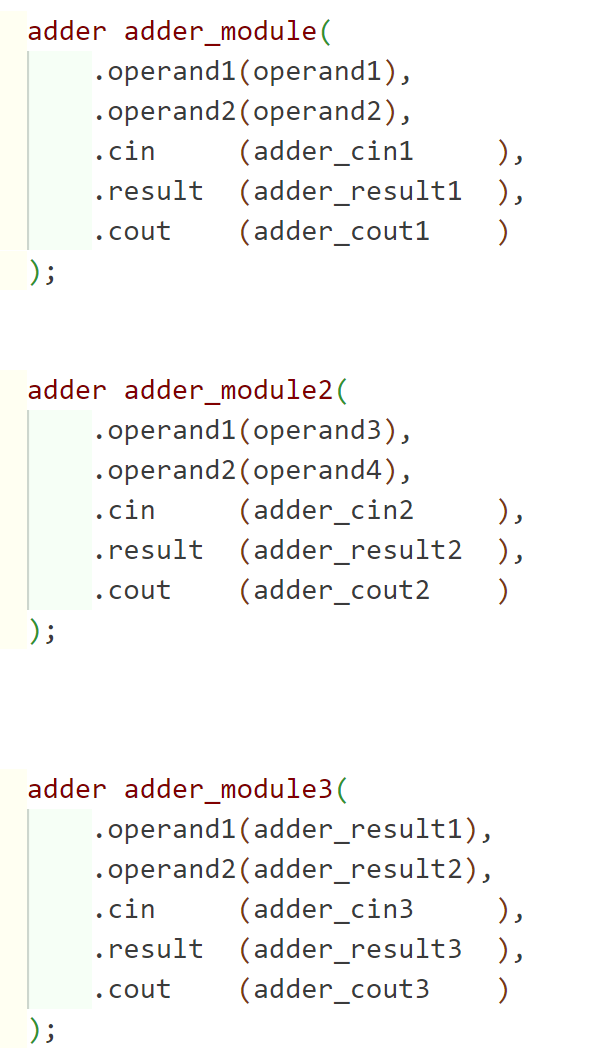
实现四个数相加的加法器，进行相应模块的调整，然后将文件烧录到FPGA板上观察结果。

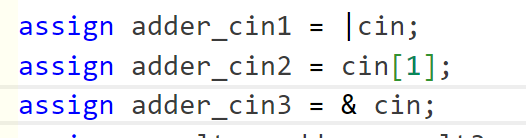
1. 实验原理图



主要需要实现对四个数进行加法的模块，adder4.v。然后输入部分等需要修改，以输入四个数，以及在显示部分显示四个输入。

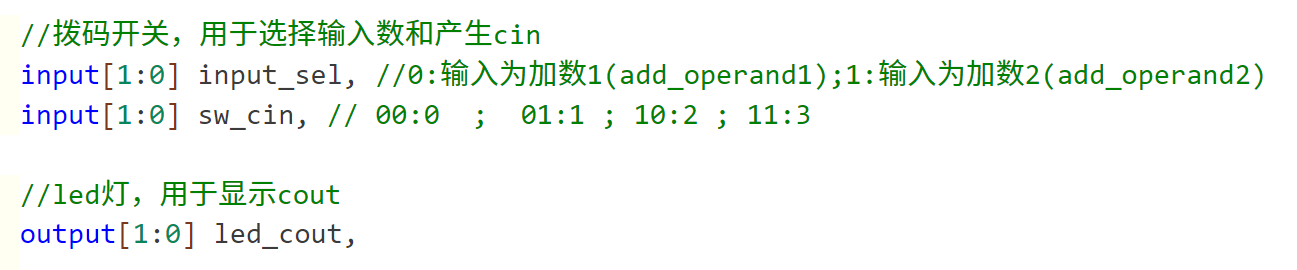
1. 实验步骤
   1. adder4.v模块。



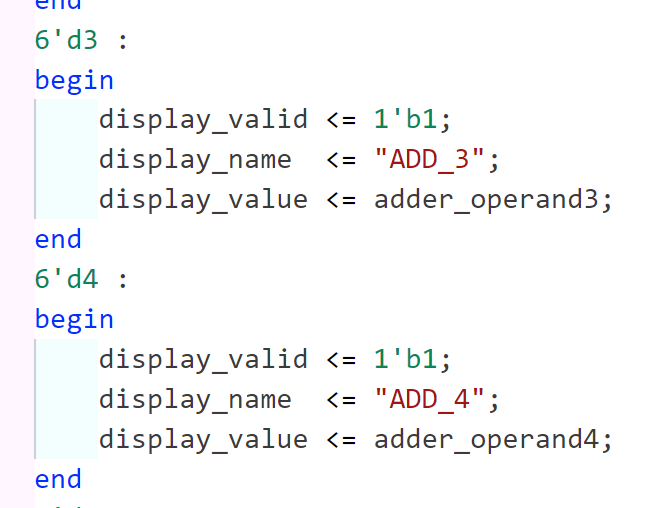




* + 1. 调用三次adder模块，完成加法，得到adder\_result3和三个adder\_cout
    2. 由于进位输入变成两位，需要拆解cin分配给三个adder\_cin。
    3. 最后输出进位是三个adder 的输出进位之和，都是第33的进位。
  1. adder\_display.v 模块





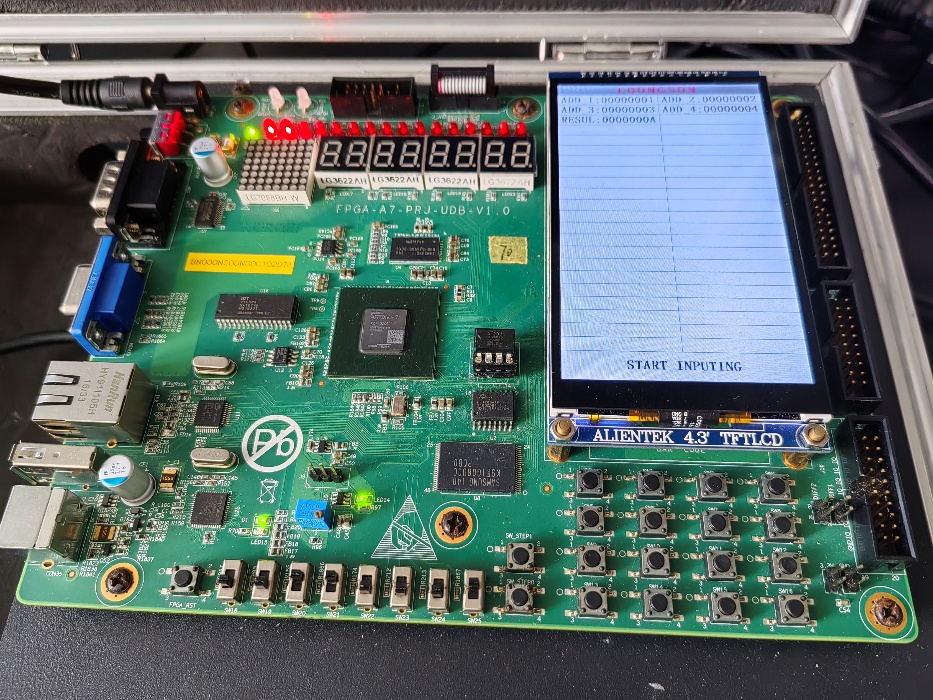


* + 1. 修改一些变量的位宽。
    2. 增加两个输入，并且根据input\_sel 修改选择逻辑。
    3. 显示模块中加入两个情况以显示新增的两个加数。

1. 实验结果分析

拨码开关，从左到右，第一至第四个，分别是，input\_sel[1], input\_sel[0], cin[1], cin[0]。LED灯，从左往右，第一至第四个，分别是，cout[1], cout[0]。

下面对溢出位和cin的四种情况进行验证。

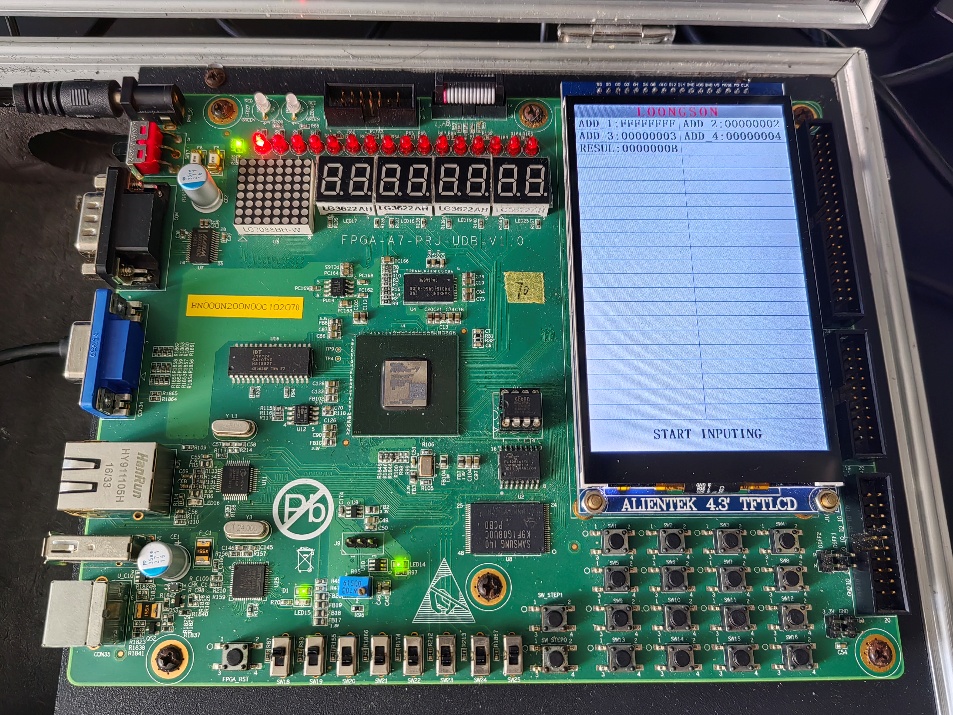


输入：1+2+3+4+ 0(cin)

输出：溢出位为00；resul为A

结果：1+2+3+4 = 10

正确。

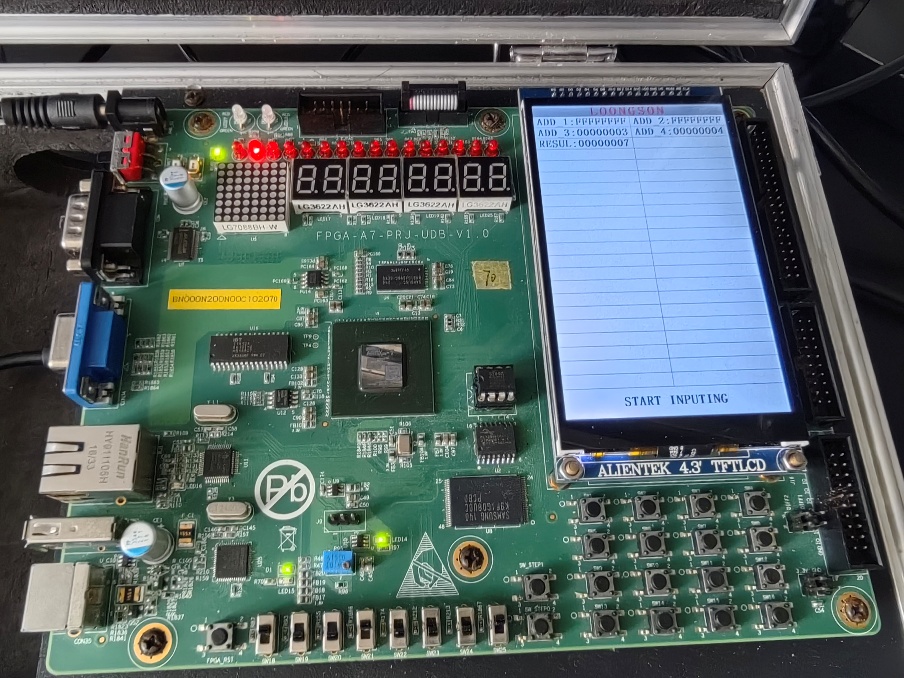


输入：FFFFFFFF + 2+3+4+ 3(cin)

输出：溢出位为01；RESUL为B。

结果：FFFFFFFF + 2 + 3 + 4 + 3 = FFFFFFFF + 1 + 10 = 01\_00000000 + B

正确。

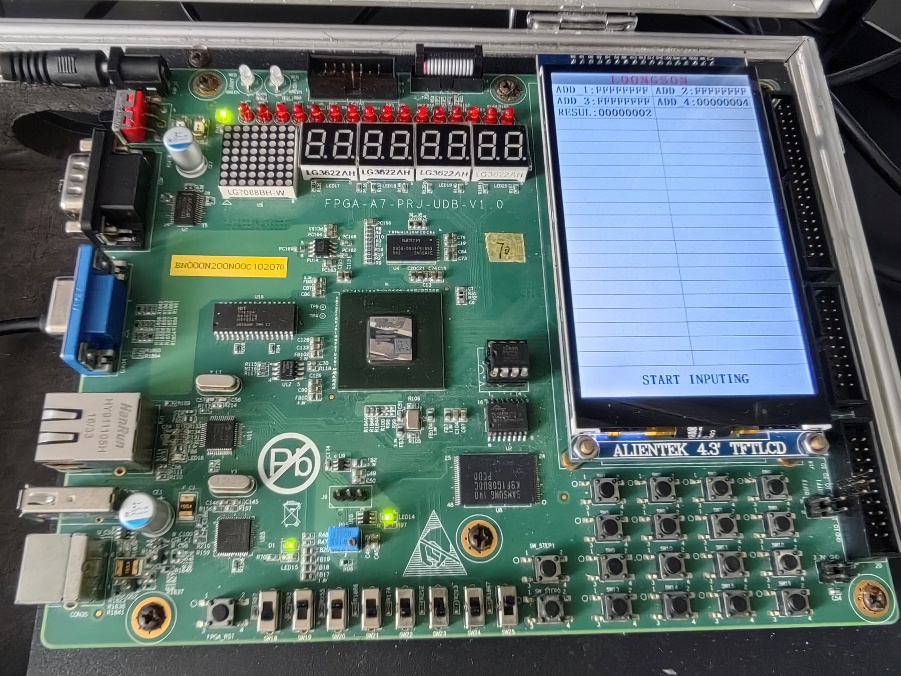


输入：FFFFFFFF + FFFFFFFF +3+4+ 2(cin)

输出：溢出位为10；RESUL为7。

结果：FFFFFFFF + FFFFFFFF + 3 + 4 + 2 = FFFFFFFF + 1 + FFFFFFFF + 1 +7 = 10\_00000000 + 7

正确。



输入：FFFFFFFF + FFFFFFFF + FFFFFFFF +4+ 1(cin)

输出：溢出位为11；RESUL为2。

结果：FFFFFFFF + FFFFFFFF + FFFFFFFF + 4 + 1 = FFFFFFFF + 1 + FFFFFFFF + 1 + FFFFFFFF + 1 + 2 = 11\_00000000 + 2。

正确。

1. 总结感想

模块化让我们不用考虑触摸板显示部分是如何实现的，只需要专注修改adder以实现相应功能。