

第1次作业

4.1

4.1 微机总线的信号线包括_____、_____、_____以及电源和地线。微机系统可以将总线划分为三层（类），它们是_____、_____和_____。

数据总线、地址总线、控制总线

芯片总线、内总线、外总线

4.4

4.4 ISA总线的时钟频率是8MHz，每2个时钟可以传送一个16位数据，计算其总线带宽。

$8000000/1 \times 16/1 = 128000000 \text{ bps}$

将其换算为字节每秒（Bps）：

$128000000/8 = 16000000 \text{ Bps}$

因此，该总线的带宽为16MBps。

4.5

4.5 何为引脚信号的三态能力？当具有三态能力的引脚输出高阻时究竟意味着什么？在最小组态下，8088的哪些引脚具有三态能力？

三态能力：引脚除正常的高、低电平外，还能输出高阻状态（第三态）

输出高阻状态时：表示芯片实际上已经放弃了对该引脚的控制，使其悬空，这样它所连接的设备就可以接管对该引脚所连导线的控制

8088最小组态具有三态能力的引脚：

A19/S6~A16/S3、A15~A8、AD7~AD0

IO/M, *RD*, WR, *ALE*

DEN, DT/R*

4.6

4.6 以下输入8088的引脚信号RESET、HOLD、NMI和INTR其含义各是什么？当它们有效时，8088 CPU将出现何种反应？

RESET

复位请求，输入、高电平有效

该信号有效，将使CPU回到其初始状态；当他再度返回无效时，CPU将重新开始工作。

8088 复位后CS=FFFFH、IP=0000H，所以程序入口在物理地址FFFF0H

HOLD

总线保持(即总线请求)，输入、高电平有效

有效时，表示总线请求设备向CPU申请占有总线NMI

NMI

不可屏蔽中断请求，输入、上升沿有效

有效时，表示外界向CPU申请不可屏蔽中断 INTR

INTR

可屏蔽中断请求，输入、高电平有效、

有效时，表示请求设备向CPU申请可屏蔽中断

4.7

4.7 执行一条指令所需要的时间被称为_____周期，而总线周期指的是_____，8088基本的总线周期由_____个T组成。如果8088的CLK引脚接5MHz的时钟信号，那么每个T状态的持续时间为_____。

指令周期

总线周期是指CPU通过总线操作与外部(存储器或I/O端口)进行一次数据交

换所需要的时间

4

$800\text{ ns} / 4 = 200\text{ ns}$

4.8

4.8 请解释8088的以下引脚信号：CLK、 $A_{19}/S_6 \sim A_{16}/S_3$ 、 $A_{15} \sim A_8$ 、 $AD_7 \sim AD_0$ 、 IO/\overline{M} 、 \overline{RD} 、 \overline{WR} 、ALE的含义，并画出它们在存储器写总线周期中的波形示意。

CLK: CPU时钟信号

$A_{19}/S_6 \sim A_{16}/S_3$: 地址信号 $A_{19} \sim A_{16}$ 和状态信号 $S_6 \sim S_3$ 分时复用信号

$A_{15} \sim A_8$: 中间8为地址引脚 (地址信号 $A_{15} \sim A_8$)

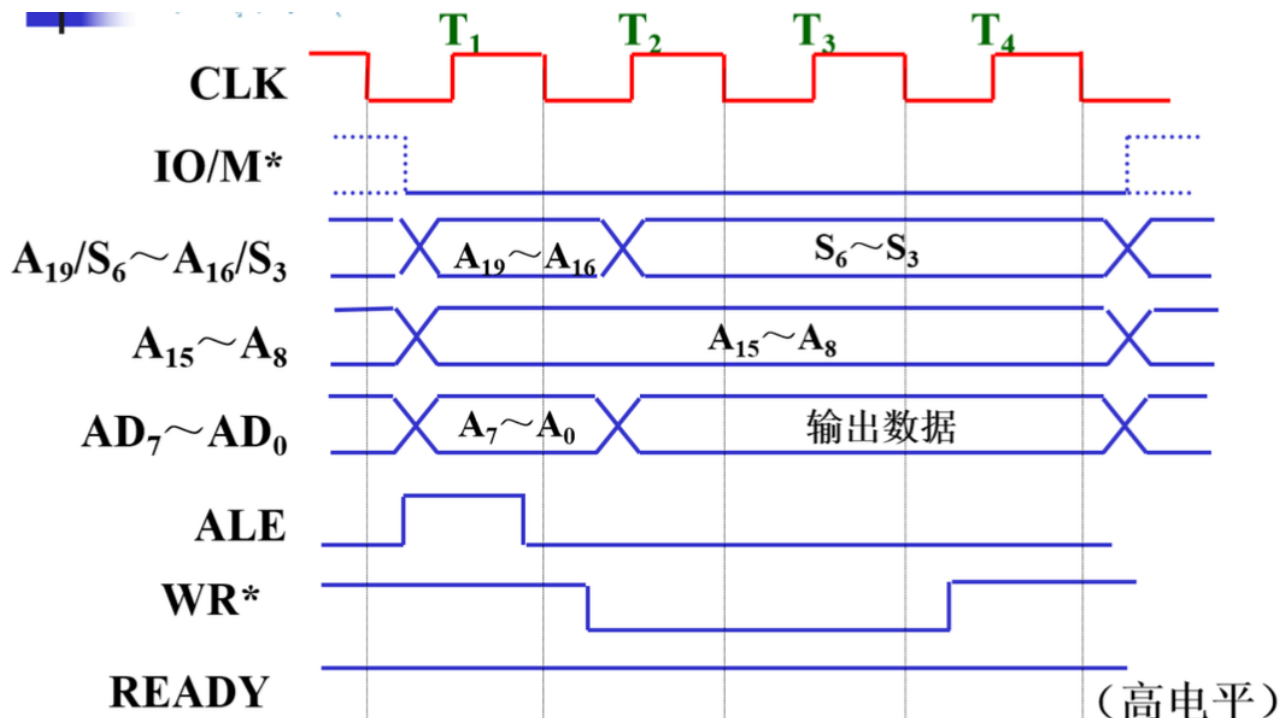
$AD_7 \sim AD_0$: 地址($A_7 \sim A_0$)/数据($D_7 \sim D_0$)分时复用引脚

IO/\overline{M} : I/O或存储器访问

\overline{RD} : 读控制

\overline{WR} : 写控制

ALE: 地址锁存允许



4.9

4.9 在8088的工作过程中，什么情况下会产生 T_w ? 发生在什么具体时刻?

同步时序中速度差别较大的两部分需要保持同步时产生。对于8088来说，档期进行读写存储器或者I/O接口时，如果储存器或者I/O接口无法满足CPU读写时序（来不及提供或者读取数据时），需要CPU插入等待状态Tw

在读写总线周期中，在T3的前沿检测READY引脚是无效时，在T3和T4之间插入一个等效于T3的Tw

4.11

4.11 在8088系统中，读取指令“ADD [2000H], AX”（指令长度为3字节）和执行该指令各需要几个总线周期？它们各是什么样的总线周期？

8088每个总线周期只能读写一个字节数据，所以读取指令长度为3个字节的指令需要3个时钟周期，执行需要2个时钟周期

读取指令时 存储器读 总线周期

执行时 存储器写 总线周期

4.13

4.13 请解释IBM PC总线中 $D_7 \sim D_0$ 、 $A_{19} \sim A_0$ 、ALE、 \overline{IOR} 、 \overline{IOW} 、IOCHRDY信号线的含义，并画出执行外设读取指令“IN AL, DX”时引起的总线周期时序图。

- **低位地址线**A0~A19：输出，可寻址1MB，带锁存
- **数据线**D0~D7：代表数据总线，用于传输8位的数据信息。
- **地址锁存允许信号**ALE：输出，高电平有效
- **I/O读信号**IOR#：输入输出读信号，表示CPU将从外部设备的寄存器或端口读取数据，低电平有效
- **I/O写信号**IOW#：输入输出写信号，表示CPU将向外部设备的寄存器或端口写入数据，低电平有效
- IOCHRDY：输入/输出就绪信号，用于指示外部设备准备好接受或提供数据。

执行外设读取指令“IN AL, DX”时

1. CPU 发出地址信息 (DX 中的地址) 到地址总线 A19~A0。
2. CPU 发出 IOR 信号表示要进行输入操作。
3. 外部设备在 IOCHRDY 信号为高电平时表示准备好提供数据, CPU 在 IOCHRDY 信号为高电平时才会发出 IOW 信号, 进行数据读取。
4. 外部设备将数据发送到数据总线 D7~D0。
5. CPU 通过数据总线接收数据。
6. CPU 完成数据读取操作。

