

# 8088CPU

## 部分引脚定义

### DEN\* (Data Enable)

数据允许，输出、三态、低电平有效

有效时，表示当前数据总线上正在传送数据，可利用它来控制对数据总线的驱动

### DT/R\* (Data Transmit/Receive)

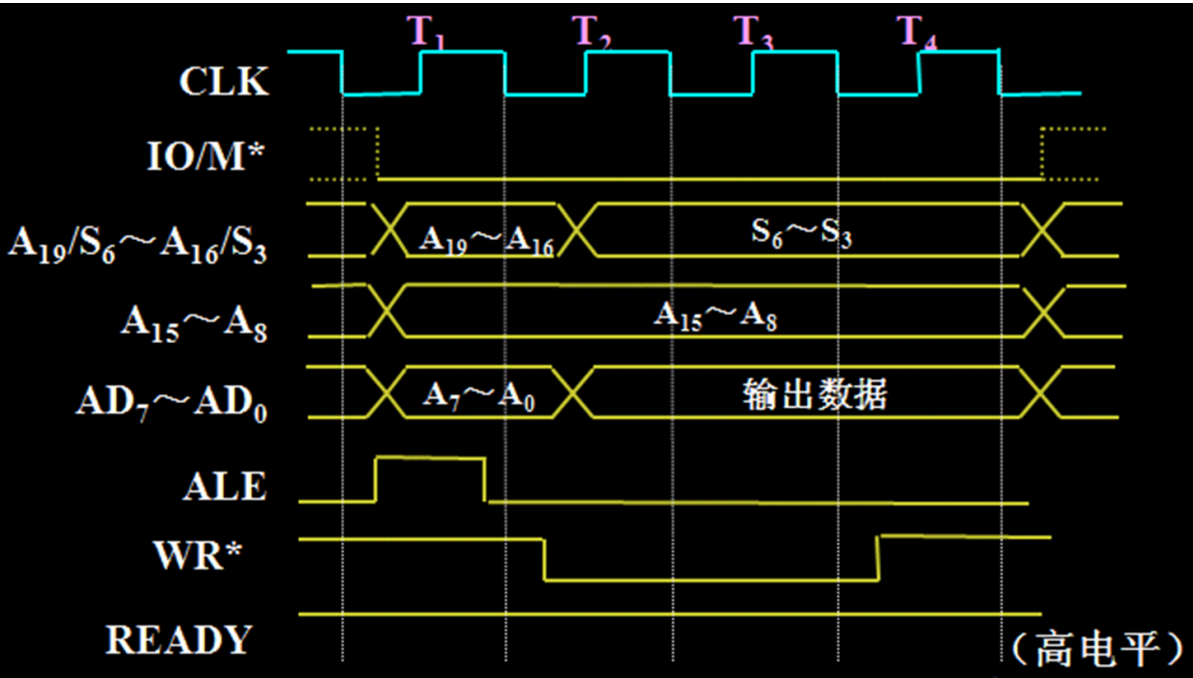
数据发送/接收，输出、三态

该信号表明当前总线上数据的流向

高电平时数据自CPU输出（发送）

低电平时数据输入CPU（接收）

## 存储器写周期



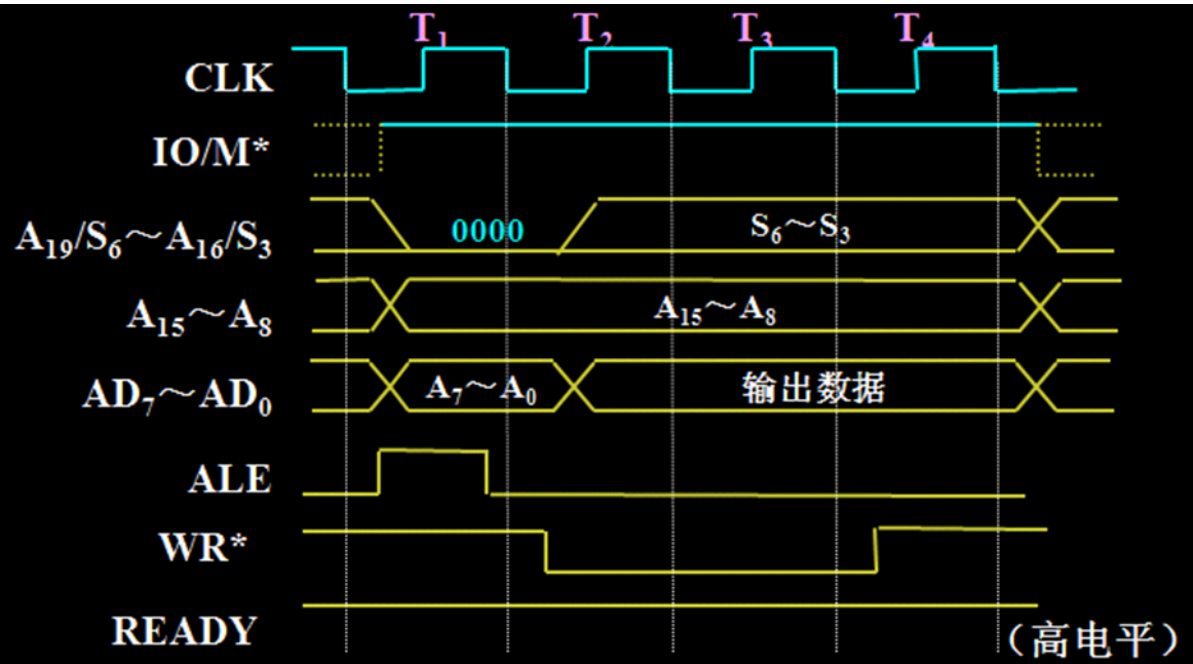
T<sub>1</sub>: IO/M\* 低有效，ALE 正脉冲，输出20位存储器地址

T<sub>2</sub>: WR\* 低有效，表示写存储器，输出8位数据

T<sub>3</sub>: 前沿检测READY信号，如果不能完成传输则插入T<sub>w</sub>

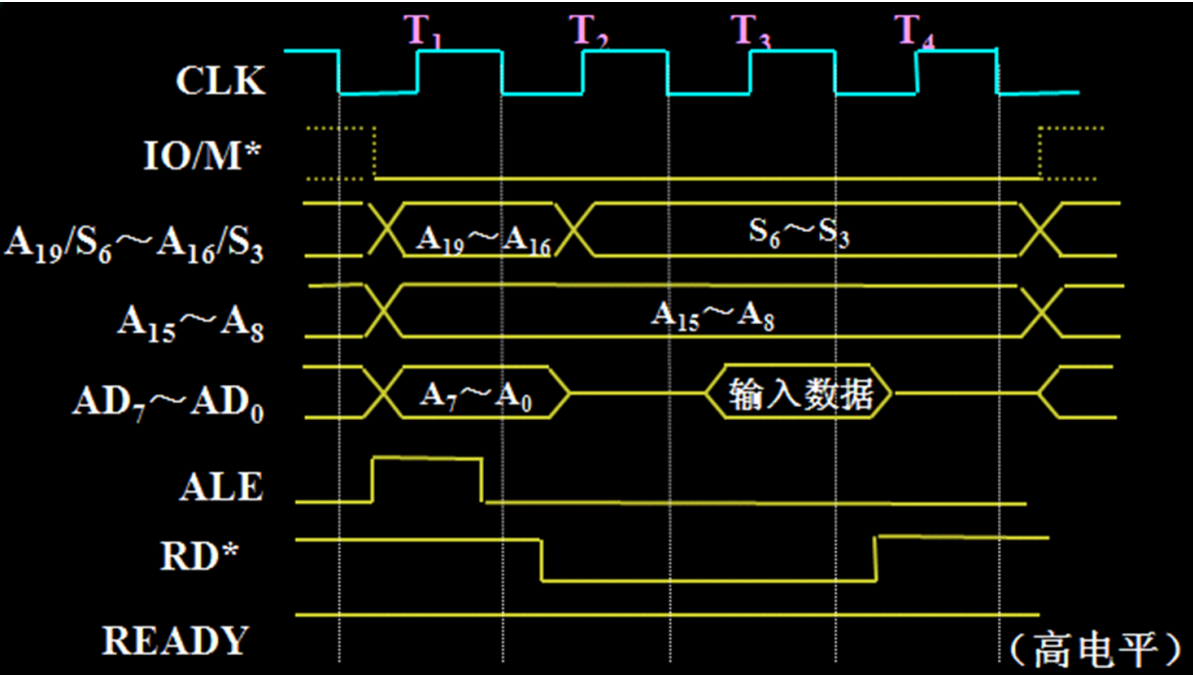
T<sub>4</sub>: 完成数据传送

IO写周期



同上

存储器读周期



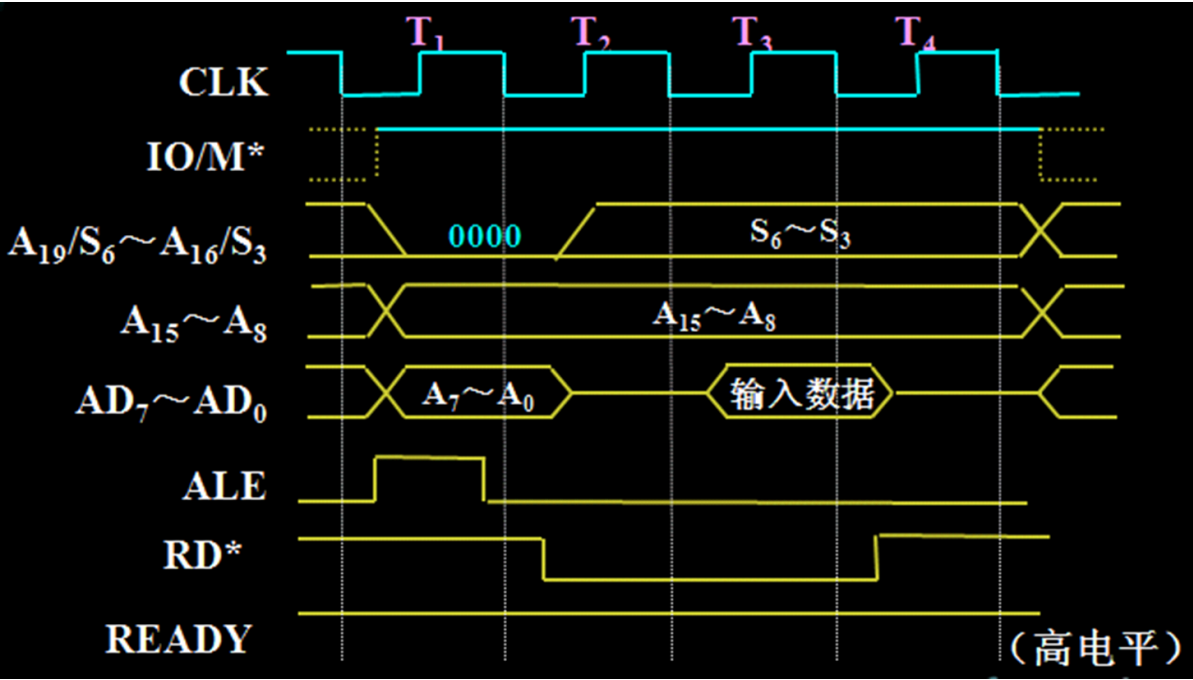
T1: IO/M\*低有效，ALE高脉冲，输出20位存储器地址

T2: RD\*低有效

T3: 前沿检测是否能完成传送

T4: 读取数据

IO读周期

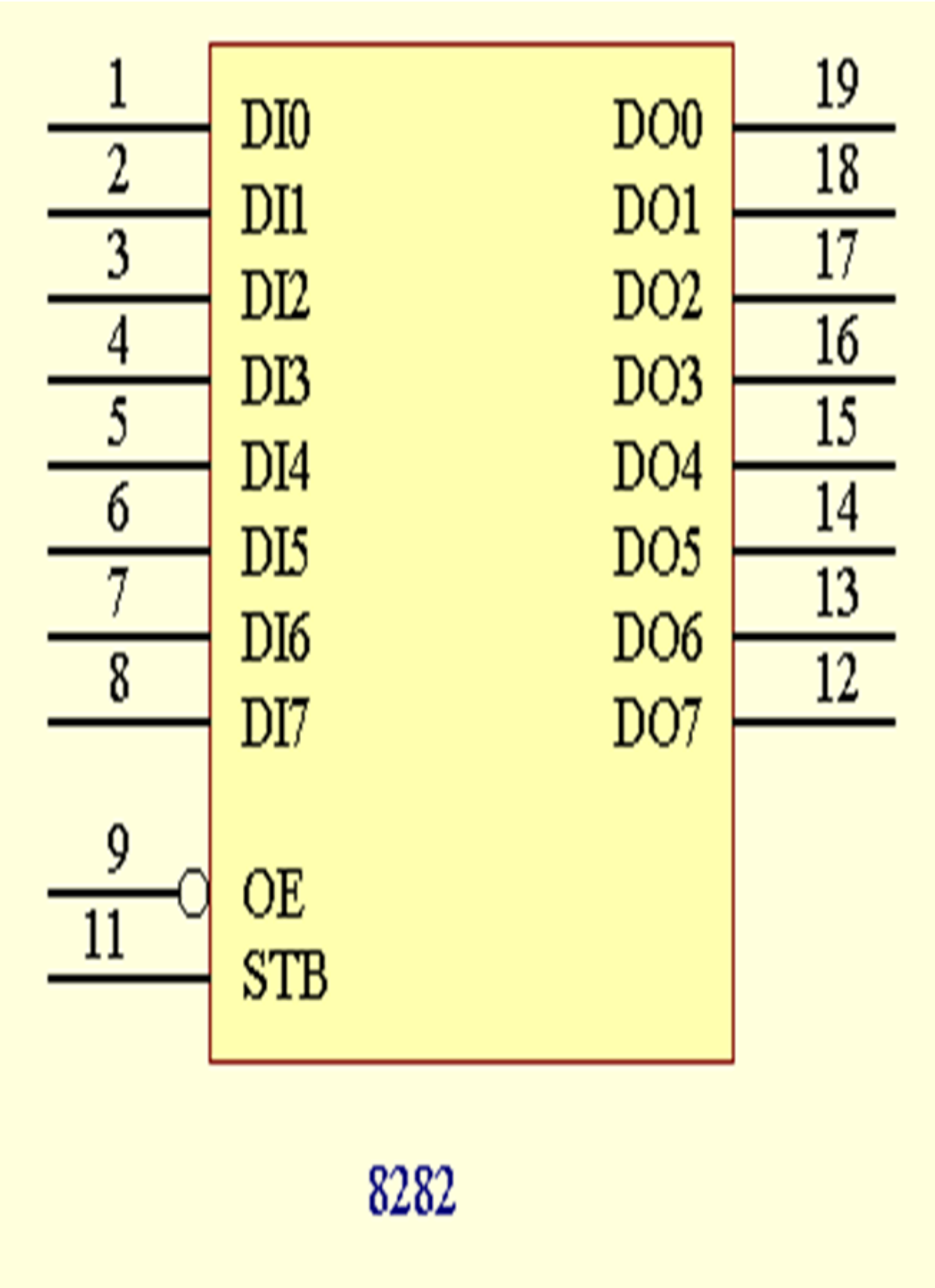


同上

8284

时钟信号产生（时钟发生电路）

内部震荡器X1,X2，外接晶体即可震荡。  
外时钟输入端EFI。  
时钟选择端F/C\*，输入，为高选择外时钟，为低选择内时钟  
OSC: 输出，内部时钟同频信号。  
PCLK: 输出，输入时钟6分频信号，占空比1/2。  
CLK: 输出，输入时钟3分频信号，占空比为1/3。8086（88）时钟  
CSYNC: 输入，外部时钟的同步信号。使用内部时钟时，CSYNC接地



STB 电平锁存引脚

OE\* 输出允许引脚

## 半导体存储器

### ① 存储体

-存储器芯片的主要部分，用来存储信息

## ② 地址译码电路

-根据输入的地址编码来选中芯片内某个特定的存储单元

## ③ 片选和读写控制逻辑

-选中存储芯片，控制读写操作

# 片内译码

## 单译码结构

## 双译码结构

双译码可简化芯片设计

主要采用的译码结构

### 若芯片的数据线正好8根：

一次可从芯片中访问到8位数据

全部数据线与系统的8位数据总线相连

### 若芯片的数据线不足8根：

一次不能从一个芯片中访问到8位数据

利用多个芯片扩充数据位

这个扩充方式简称“位扩充”

存储系统常需利用多个存储芯片扩充容量，也就是扩充了存储器地址范围

进行“地址扩充”，需要利用存储芯片的片选端对多个存储芯片（组）进行寻址

这个寻址方法，主要通过将存储芯片的片选端与系统的高位地址线相关联来实现

**这种扩充简称为“地址扩充”或“字扩充”**

# 8082中断控制器

## 中断向量

获取中断向量（DOS功能调用INT 21H）

功能号：AH = 35H

入口参数：AL = 中断向量号

出口参数：

ES:BX = 中断向量（段地址：偏移地址）

设置中断向量（DOS功能调用INT 21H）

功能号：AH = 25H

入口参数：

AL = 中断向量号

DS:DX = 中断向量 (段地址: 偏移地址)

```
1 push ds
2 mov dx,offset new80h
3 mov ax,seg new80h
4 mov ds,ax
5 mov ax,2580h
6 int 21h
7 pop ds
```

## 中断源屏蔽方式

- 普通屏蔽方式

将IMR的Di位置1, 则对应的中断IRi被屏蔽, 该中断请求不能从8259A送到CPU  
如果IMR的Di位置0, 则允许IRi中断产生

- 特殊屏蔽方式

将IMR的Di位置1, 对应的中断IRi被屏蔽的同时, 使ISR的Di位置0

## ICW

ICW1

7	6	5	4	3	2	1	0
X	X	X	1	LTIM	X	SNGL	IC4
				1 电平触发 0上升沿触发		1是单片, 0是级联	是否写IC

ICW2

7	6	5	4	3	2	1	0
T7	T6	T5	T4	T3	X	X	X
中断向量号							

ICW3

7	6	5	4	3	2	1	0
S7	S6	S5	S4	S3	S2/ ID2	S1/ ID1	S0/ ID0
主片8259A: Si = 1对应IRi接有从片; 否则IRi没有连接从片							从片8259A: ID0 ~ ID2 编码说明从片INT引脚接到主片哪个IR引脚

ICW 4

7	6	5	4	3	2	1	0
0	0	0	SFNM	BUF	M/S	AEOI	μPM
			特殊全嵌套 方式 0=普通	缓冲方式=1 非缓冲方式 =0	1=主 片, 0= 从片	自动中断结 束, 1=开启	处理器类型, 16位=1, 8位 =0

初始化示例

```
1  mov al,11h
2  out 20h,al
3
4  mov al,08h
5  out 21h,al
6
7  mov al,04h
8  out 21h,al
9
10 mov al,01h
11 out 21h,al ;初始化主片8259A
12
```

OCW

OCW1

7	6	5	4	3	2	1	0
M7	M6	M5	M4	M3	M2	M1	M0
写入中断屏蔽寄存器							

OCW2

7	6	5	4	3	2	1	0
R	SL	EOI	0	0	L2	L1	L0
=1,优先权按循 环方式设置	=1 L2,L1,L0 有效	EOI=1, 发中断结束命令, 对当前指定的ISR复位					

OCW3

7	6	5	4	3	2	1	0
0	ESMM	SMM	0	1	P	RR	RIS
	设置中断屏蔽方式				规定随后读取的状态字含义		

P=1 查询方式 P=0读内部寄存器

RR	RIS	
1	1	读ISR
1	0	读IRR
0	X	NULL

## 定时计数器8253

D7 D6	D5 D4	D3 D2 D1	D0
计数器	读写格式	工作方式	数制
00计数器0 01计数器1	00 计数器锁存 01只读写低字节 10 只读写高字节 11先读写低字节 后读写高字节	000 方式0 001 方式 .....	0 二进制,1 十进制

## 计数器结构分析

计数初值存于预置寄存器；

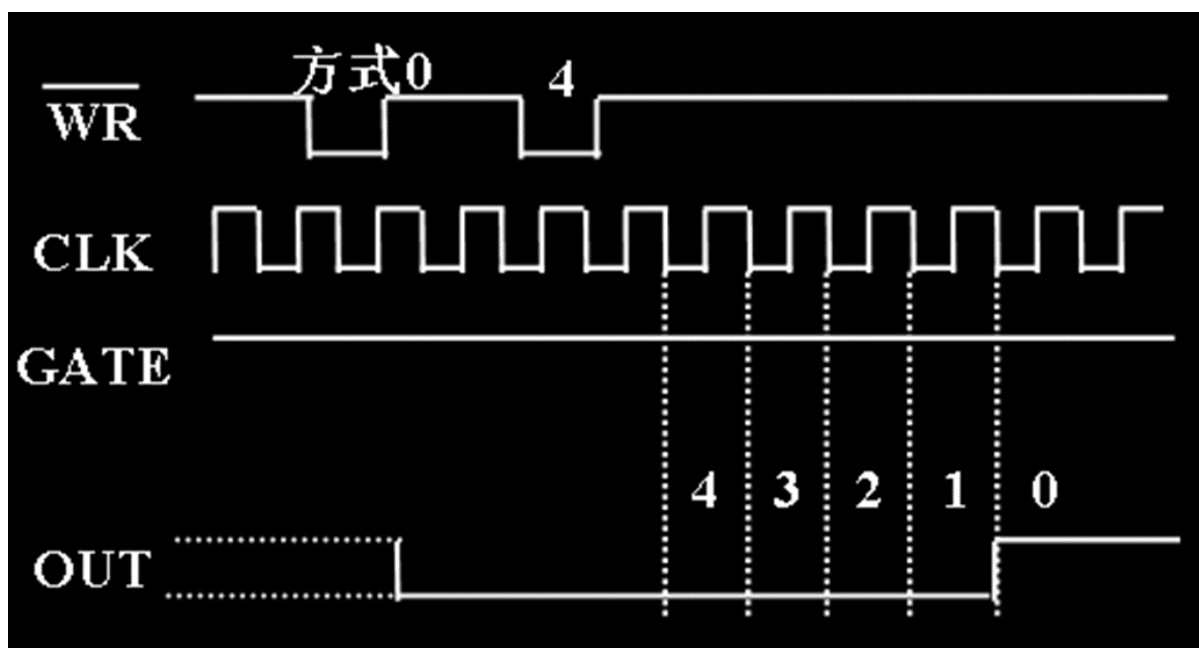
在计数过程中，减法计数器的值不断递减，而预置寄存器中的预置不变。

输出锁存器用于写入锁存命令时，锁定当前计数值

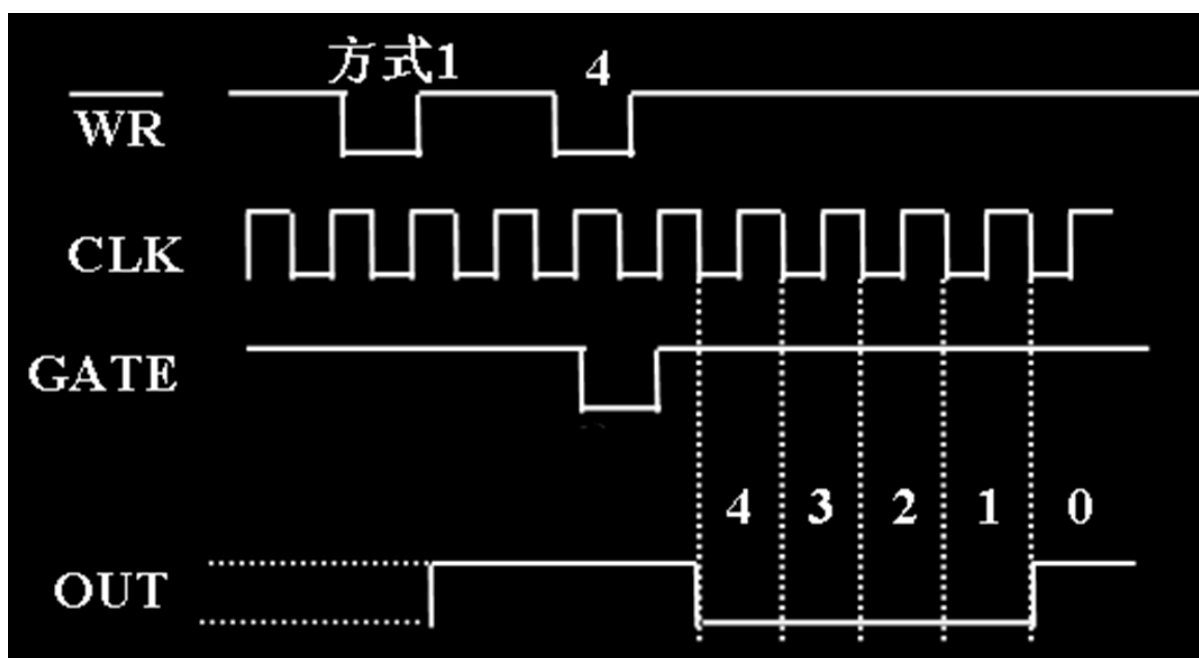
## 计数方式

**方式0 计数结束中断 开始为低电平,结束后变高电平**

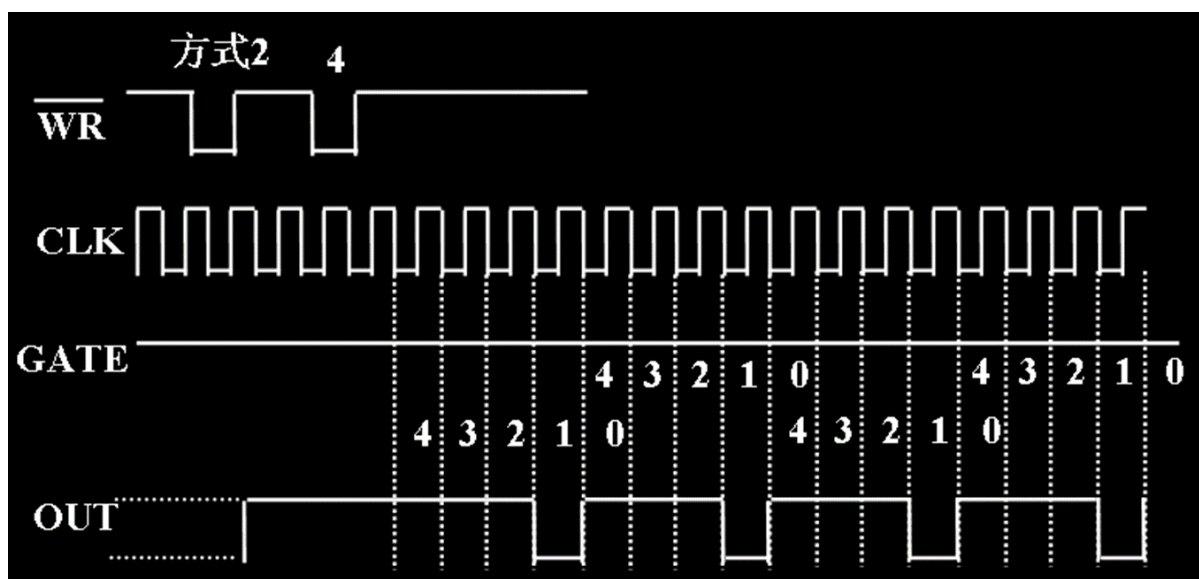




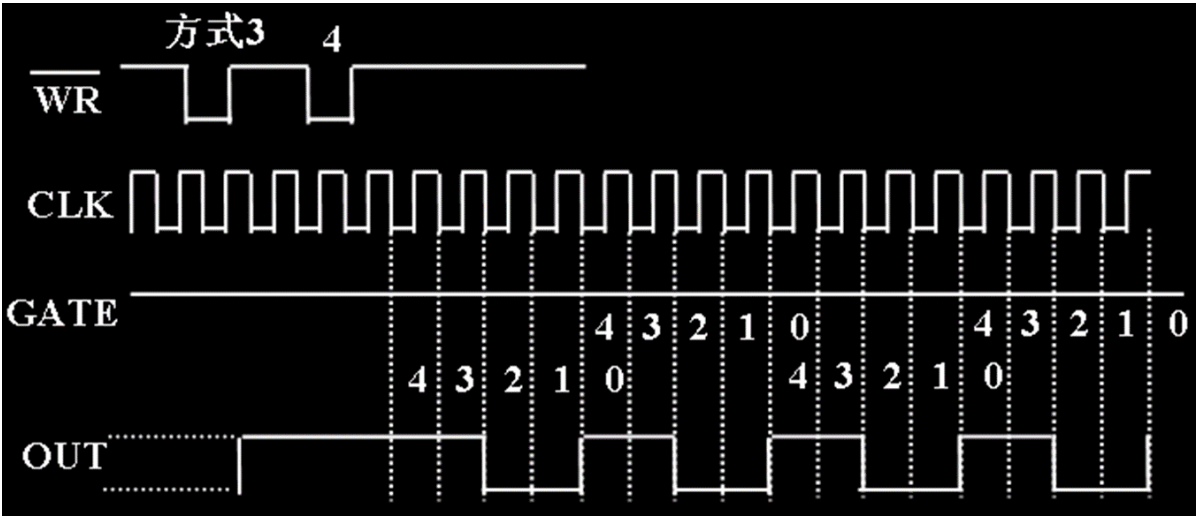
方式1 可编程单稳脉冲 需要gate触发



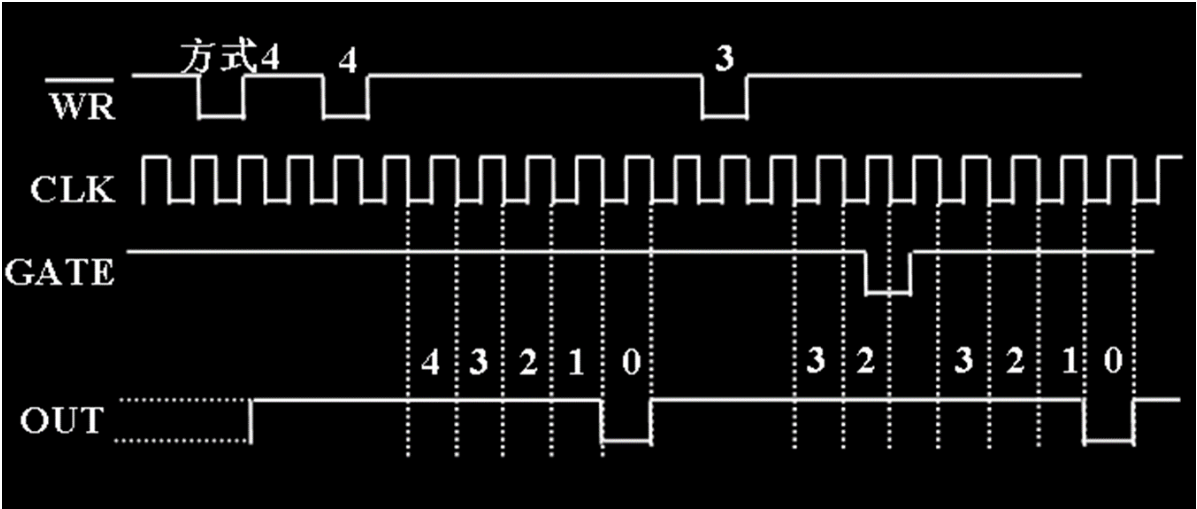
方式2 分频器 只有一个时钟周期为低电平,会自动重装



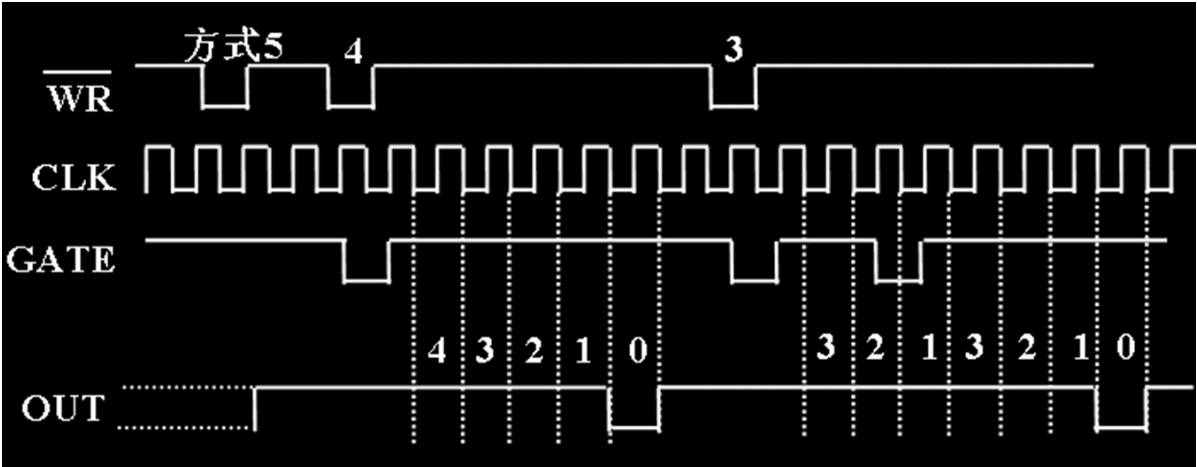
方式3 方波发生器 计数值到二分之一后高低电平反转,会自动重装



方式4 软件触发选通信号 初始为高，计数到0触发负脉冲，门控信号不恢复



方式5 硬件触发选通信号，门控信号激活下一个计数周期



# DMA 控制器8237

---

## 请求与响应信号

- DREQ0~DREQ3: DMA通道请求。当外设需要请求DMA服务时, 将DREQ信号置成有效电平, 并要保持到产生响应信号。
- HRQ: 总线请求。8237A输出有效的HRQ高电平, 向CPU申请使用系统总线。
- HLDA: 总线响应。8237A接受来自CPU的响应信号HLDA, 取得了总线的控制权。
- DACK0~DACK3: DMA通道响应。8237A使请求服务的通道产生相应的DMA响应信号。

## DMA传送控制信号

- A0~A7: 地址线。输出低8位存储器地址。
- DB0~DB7: 数据线。输出高8位存储器地址; 存储器与存储器的传送期间, 用于数据传送。
- ADSTB: 地址选通。DMA传送开始时, 输出高有效, 把在DB0~DB7上输出的高8位地址锁存在外部锁存器中。
- AEN: 地址允许。输出高有效, 将锁存的高8位地址送入系统总线, 与芯片此时输出的低8位地址组成16位存储器地址。
- MEMR\*: 存储器读。有效将数据从存储器读出
- MEMW\*: 存储器写。有效将数据写入存储器
- IOR\*: I/O读。有效将数据从外设读出
- IOW\*: I/O写。有效将数据写入外设
- READY: 准备好。DMA传送的S3下降沿检测到为低时, 插入等待状态Sw, 直到READY为高才进入第4个时钟周期S4。
- EOP\*: 过程结束。DMA传送过程结束, 输出一个低有效脉冲。外部输入低脉冲信号, 则终结DMA传送。

## 处理器接口信号

- DB0~DB7: 数据线。用于8237A与微处理器进行数据交换。
- A0~A3: 地址线。用以选择芯片内部寄存器。
- CS\*: 片选。低有效时, 微处理器与8237A通过数据线通信, 主要完成对8237A的编程。
- IOR\*: I/O读。读取8237A内部寄存器。
- IOW\*: I/O写。写入8237A内部寄存器。
- CLK: 时钟。控制芯片内部操作和数据传输。
- RESET: 复位。使8237A处于初始状态。

## 8237A的工作方式

- DMA传送方式
  - 单字节传送方式 · 数据块传送方式
  - 请求传送方式 · 级连方式
- DMA传送类型
  - DMA读 · DMA写 · DMA检验
- 存储器到存储器的传送

## 存储器到存储器的传送

- 固定使用通道0和通道1
- 通道0的地址寄存器存源区地址
- 通道1的地址寄存器存目的区地址，通道1的字节数寄存器存传送的字节数
- 传送由设置通道0的软件请求启动
- 每传送一字节需用8个时钟周期
- 前4个时钟周期用通道0地址寄存器的地址从源区读数据送入8237A的临时寄存器
- 后4个时钟周期用通道1地址寄存器的地址把临时寄存器中的数据写入目的区

## DMA通道的优先权方式

- 固定优先权方式——优先权固定
  - 通道0优先权最高，通道1其次，通道2再次，通道3最低
- 循环优先权方式——优先权循环变化
  - 最近一次服务的通道在下次循环中变成最低优先权，其他通道依次轮流相应的优先权
- DMA 传送不存在嵌套

## 基本输入输出接口

---

### I/O寻址方式

8088/8086的端口有64K个，无需分段，设计有两种寻址方式

直接寻址：只用于寻址00H ~ FFH前256个端口，操作数i8表示端口号

间接寻址：可用于寻址全部64K个端口，DX寄存器的值就是端口号，对端口号大于FFH的端口只能采用间接寻址方式

### IO接口电路

- I/O接口是位于系统与外设间、用来协助完成数据传送和控制任务的逻辑电路
- PC机系统板的可编程接口芯片、I/O总线槽的电路板（适配器）都是接口电路

# 并行接口8255A

## 端口功能

- 端口A：PA0 ~ PA7  
常作数据端口，功能最强大
- 端口B：PB0 ~ PB7  
常作数据端口
- 端口C：PC0 ~ PC7  
可作数据、状态和控制端口  
分两个4位，每位可独立操作  
控制最灵活，最难掌握

方式0：基本输入输出方式  
适用于无条件传送和查询方式的接口电路

方式1：选通输入输出方式  
适用于查询和中断方式的接口电路

方式2：双向选通传送方式  
适用于与双向传送数据的外设  
适用于查询和中断方式的接口电路

- 端口A：PA0 ~ PA7
  - A组，支持工作方式0、1、2
- 端口B：PB0 ~ PB7
  - B组，支持工作方式0、1
- 端口C：PC0 ~ PC7
  - 仅支持工作方式0
  - A组控制高4位PC4 ~ PC7
  - B组控制低4位PC0 ~ PC3

## 引脚

- STB\*——选通信号，低电平有效
  - 由外设提供的输入信号，当其有效时，将输入设备送来的数据锁存至8255A的输入锁存器
- IBF——输入缓冲器满信号，高电平有效
  - 8255A输出的联络信号。当其有效时，表示数据已锁存在输入锁存器
- INTR——中断请求信号，高电平有效
  - 8255A输出的信号，可用于向CPU提出中断请求，要求CPU读取外设数据
- 选通输入方式下
  - 端口A的INTEA对应PC4

-端口B的INTEB对应PC2

•OBF\*——输出缓冲器满信号，低有效

-8255A输出给外设的一个控制信号，当其有效时，表示CPU已把数据输出给指定的端口，外设可以取走

•ACK\*——响应信号，低有效

-外设的响应信号，指示8255A的端口数据已由外设接受

•INTR——中断请求信号，高有效

-当输出设备已接受数据后，8255A输出此信号向CPU提出中断请求，要求CPU继续提供数据

端口A的INTEA对应PC6

端口B的INTEB对应PC2

方式控制字

7	6	5	4	3	2	1	0
1	D6	D5	D4	D3	D2	D1	D0

D5,D6	D3	D4	D5	D6	D7
00方式0, 01方式1, ....	1输入, 0输出	端口C上半部分 1=输入, 0=输出	端口B, 0方式0, 1方式1	端口B,1输入, 0输出	端口C下半部分, 1=输入, 0=输出

•对端口C的数据输出有两种办法

•通过端口C的I/O地址：向C端口直接写入字节数据。这一数据被写进C端口的输出锁存器，并从输出引脚输出，但对设置为输入的引脚无效

•通过控制端口：向C端口写入位控字，使C端口的某个引脚输出1或0，或置位复位内部的中断允许触发器

端口C控制字

D3-D1位选择 D0=1置位，=0复位