

四川大学期末考试试题（闭卷）

（2022——2023 学年第 1 学期） B 卷

课程号：304036030 课序号：01-07

课程名称：计算机组成原理

任课教师：倪云竹 罗川 蒋欣荣 陈延涛 熊勇 应三丛

成绩：

适用专业年级：计算机学院 2021 级 学生人数：393

印题份数：

学号：

姓名：

考生承诺

我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：

- 1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；
- 2、不带手机进入考场；
- 3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。

考生签名：

一、单项选择题（本大题共 15 小题，每小题 2 分，共 30 分）在每小题列出的四个备选项中只有一个是符合题目要求的，请将其代码填写在题后的括号内。错选、多选或未选均无分。

1. 计算机硬件能直接执行的只有（ ）。
A. 高级语言 B. 机器语言 C. 机器语言和汇编语言 D. 汇编语言
2. 以下描述不匹配的项是（ ）。
A. 汇编器——将指令从符号码翻译成二进制码的程序
B. DRAM——用于构建 Cache 的器件
C. 虚拟存储器——一种解决主存容量不足的方法
D. 编译器——将高级语言翻译成汇编语言的程序
3. 某机器字长 32 位，存储容量 4GB，若按字编址，其寻址范围是（ ）。
A. 1G B. 4GB C. 4G D. 1GB
4. 已知带符号整数用补码表示。变量 X, Y, Z 的机器数分别为 0xFFFFD, 0xFFDF, 0x7FFC，下列结论中，正确的是（ ）。
A. 若 X, Y, Z 为无符号数，则 $Z < Y < X$
B. 若 X, Y, Z 为无符号数，则 $X < Y < Z$
C. 若 X, Y, Z 为带符号数，则 $X < Y < Z$
D. 若 X, Y, Z 为带符号数，则 $Z < X < Y$

5. 已知: $[X]_{\text{补}}=11101011$; $[Y]_{\text{补}}=01001010$, 则 $[X-Y]_{\text{补}}=(\quad)$ 。
A. 10100001 B. 11011111 C. 01001010 D. 溢出
6. IEEE754 单精度浮点格式表示的数中, 最小的规格化正数是 (\quad) 。
A. 1.0×2^{-126} B. 1.0×2^{-127} C. 1.0×2^{-128} D. 1.0×2^{-149}
7. 在 MIPS 指令集中, 若需要将一个 32 位常数 0x002B8012 加载到寄存器 \$S0 中, 以下哪些方法可以实现? (\quad)
① lui \$s0, 0x002B ② lui \$s0, 0x002B
 ori \$s0, \$s0, 0x8012 addi \$s0, \$s0, 0x8012
③ lui \$s0, 0x002B ④ li \$s0, 0x002B8012
 addiu \$s0, \$s0, 0x8012
A. ①② B. ①③ C. ①③④ D. ①④
8. 在 MIPS 过程调用时, 一般不会使用到的寄存器是 (\quad) 。
A. \$a₀ B. \$ra C. \$sp D. \$at
9. 在 MIPS 中条件分支的地址范围 (K=1024) 是多大 (\quad) 。
A. 地址在 0~64K-1 之间
B. 地址在 0~256K-1 之间
C. 分支前后地址范围各大约 32K
D. 分支前后地址范围各大约 128K
10. 控制器的功能是 (\quad) 。
A. 产生时序信号
B. 从主存取出一条指令
C. 完成指令操作码译码
D. 从主存取出一条指令, 完成指令操作码译码, 产生有关的操作控制信号
11. 下列逻辑部件中属于状态单元的是 (\quad) 。
A. 比较器 B. 寄存器 C. 多路选择器 D. 加法器
12. 下列关于数据通路的叙述中, 错误的是 (\quad) 。
A. 数据通路包含 ALU 组合逻辑 (操作) 元件
B. 数据通路包含寄存器等时序逻辑 (状态) 元件
C. 数据通路不包含用于异常事件检测及相应的电路
D. 数据通路中的数据流动路径由控制信号进行控制

13. 需要定时刷新的芯片是 ()。

- A. EPROM B. DRAM C. SRAM D. EEPROM

14. 相同容量下速度最快的 Cache 地址映射方式为 ()。

- A. 直接映射 B. 全相联映射 C. 组相联映射 D. 混合映射

15. 某计算机的 Cache 共有 8 块, 采用直接映射方式。每个主存块大小为 32B, 按字节编址。主存 129 号单元所在主存块应装入到的 Cache 块号是 ()。

- A. 0 B. 1 C. 4 D. 6

二、分析计算题 (本大题共 4 小题, 每小题 5 分, 共 20 分)

1. (5 分) 程序 P 在机器 M 上的执行时间是 20 秒, 编译优化后, P 执行的指令数减少到原来的 70%, 而 CPI 增加到原来的 1.2 倍, 则 P 在 M 上的执行时间是多少?

2. (5 分) 请用 IEEE754 单精度浮点数表达 $62.5_{(10)}$ 。(要求写出计算过程)。

3. (5 分) 请写出 1101 的汉明校验码 (分组采用偶校验)。

4. (5 分) 某四位加法器, 输入的两个 4 位数分别为 a 和 b, 低位来的进位信号为 c0, 进位链小组信号为 c4c3c2c1, 请分别按下述两种方式写出 c4, c3, c2, c1 的逻辑表达式:

(1) 串行进位方式 (2 分)

(2) 并行进位方式 (3 分)

三、综合题 (本大题共 2 小题, 每小题 10 分, 共 20 分)

1. (10 分) 请将下面的 C 语言函数翻译成 MIPS 汇编语言。假设函数 func 的声明为 “int func(int a, int b);”, 函数 f 的代码如下:

```
int f( int a, int b ){  
    return func(a, func(a+b, b));  
}
```

2. (10 分) 某 32 位 MIPS 系统中, 直接映射 Cache 最多可以装入 128B 的数据, 块大小定义为 4 个字, 内存地址为 32 位。

(1) (4 分) 请问索引 Index 位是多少位? 标记 Tag 位是多少位?

(2) (6 分) 假设开始时 Cache 为空, 按下列块地址进行访问:

(块地址访问顺序: 22, 26, 22, 7, 17, 16, 18)

请列出最后一次访问后 Cache 的状态, 要求每个有效项以记录的形式<索引, 标记, Men[块地址]>表示。

四、数据通路分析与设计（本大题共 2 小题，每小题 15 分，共 30 分）

1. (15 分) 图 1 是单周期处理器的数据通路 (能够实现 LW、SW、R-Type、Beq 以及 J 指令), 假设在该数据通路中执行某一指令, 该机器指令的十六进制形式为: 0x8D280004。(已知几类主要指令的 6 位操作码分别为: add: 0, lw: 0x23, sw: 0x2b, beq: 4。寄存器 \$t0~\$t7 对应的编号为: 8~15。)

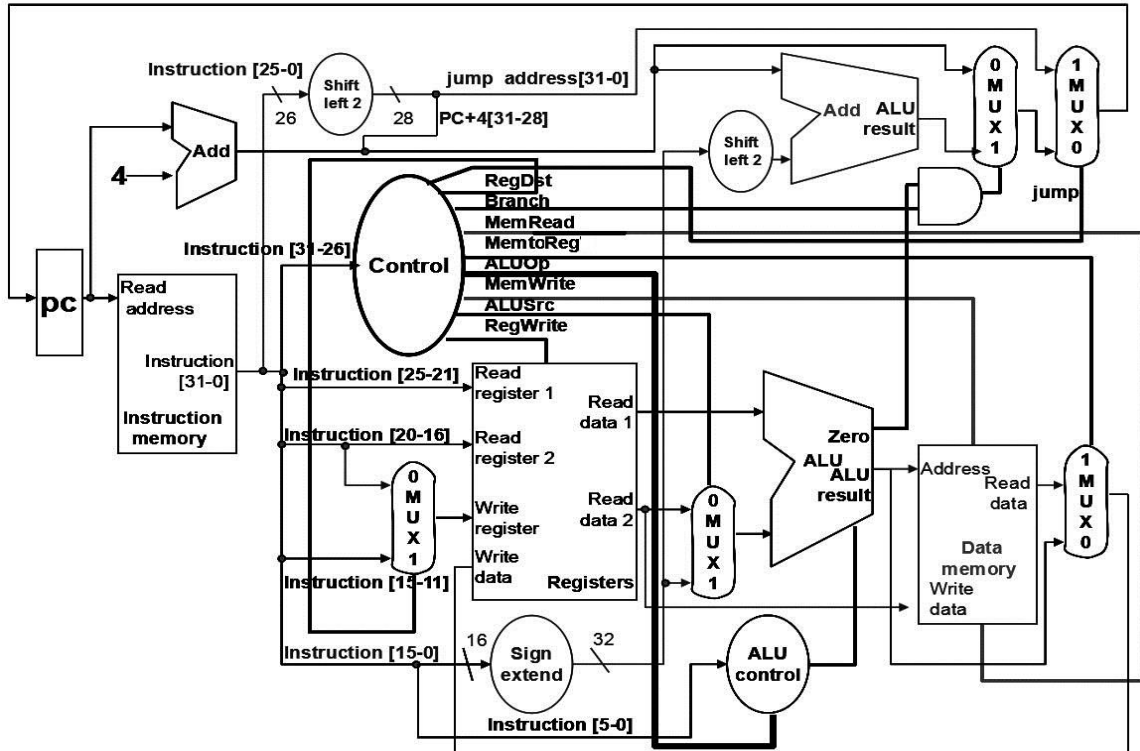


图 1 单周期处理器数据通路

- (1) (5 分) 请写出该机器指令对应的汇编语言指令。
- (2) (10 分) 请在表 1 中写出处理器执行以上指令时, 控制器产生的控制信号值。

表 1 单周期数据通路控制信号

Jump	
ALUOp0	
ALUOp1	
Branch	
MemWrite	
MemRead	
RegWrite	
MemtoReg	
ALUSrc	
RegDst	

2. (15 分) 图 2 是多周期处理器的数据通路 (能够实现 lw、sw、R-type、beq 以及 j 指令), 请回答下述问题。

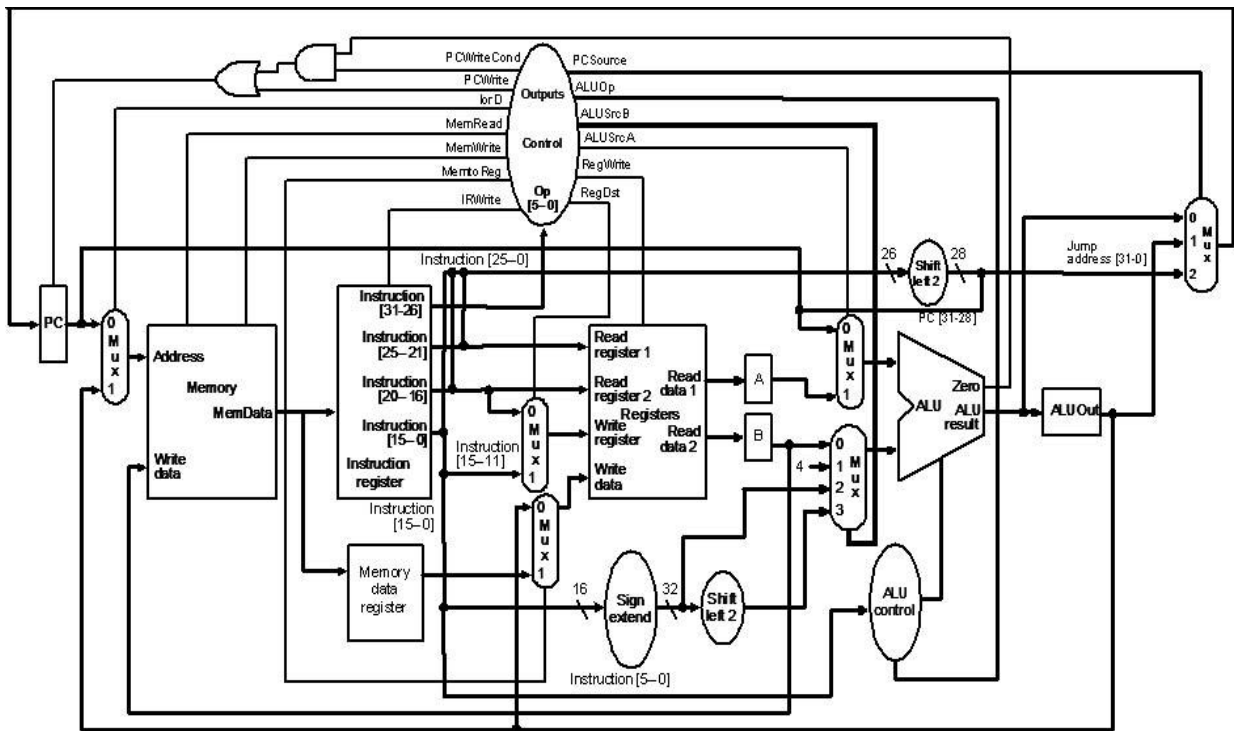


图 2 多周期处理器数据通路

(1) (3 分) 若该多周期处理器执行指令 `beq $s1, $s2, Lable` 时, 请用 RTL 语言写出该指令在各周期的操作过程。

(2) (6 分) 请将该 `beq` 指令在第三个周期 (执行周期) 主控制单元所产生相应控制信号填入表 2。

表 2: 多周期数据通路控制信号

PCSource	ALUSrcB	ALUSrcA	RegDst	RegWrite	MemtoReg	IRWrite	MemRead	MemWrit	Iord	PCWriteCond	PCWrite

(3) (6 分) 假设该 `beq` 指令所在的地址是 `0x00000600`, 而某目标 L2 所在的地址是 `0x00200600`, 请问能够使用单独的指令 `beq $s0, $s1, L2` 跳转到目标 L2 吗? 若不能, 提出解决办法。