

第2次作业

5.3

5.3 类似于微处理器总线，存储器芯片也分成数据、地址和控制3类引脚。以存储结构为 $32K \times 8$ 的SRAM 62256为例，该芯片应有_____个数据引脚、_____个地址引脚，3个典型的控制引脚分别是_____、_____和_____。

8

15

片选

输出允许

写入允许

5.8

5.8 SRAM芯片的片选引脚有什么用途？假设在8088微处理器系统中，地址信号 $A_{19} \sim A_{15}$ 输出01011时译码电路产生一个有效的片选信号，则该片选信号将占多少主存容量？其地址范围是什么？

- 片选引脚有效是可以对该芯片进行读写操作
- 主存容量：

$$2^{15} = 32KB$$

- 地址范围：58000H~5FFFFH

5.10

5.10 什么是系统地址信号的全译码和部分译码，各有什么特点？哪种译码方式会产生地址重复？如果连接一个存储器芯片时有2个高位系统地址信号没有参加译码，则该芯片的每个存储单元占几个存储器地址？

系统地址信号的译码是指将地址信号转换为对应存储单元或设备的选择信号的过程。根据译码的覆盖程度，可以分为全译码和部分译码。

全译码 (Full Decoding)

全译码是指系统使用所有的地址线来确定一个唯一的存储位置或设备。这意味着，对于任何给定的地址，只有一个存储单元或设备会被选中。这种方式能够最大化地利用地址空间，避免地址冲突。

特点:

- 避免了地址重复，每个地址对应唯一的存储单元或设备。
- 可以充分利用有限的地址空间。
- 实现相对复杂，需要更多的逻辑电路来检测所有地址线。

部分译码 (Partial Decoding)

部分译码是指系统只使用部分地址线来选择存储单元或设备，忽略一些高位地址线不参与译码。这样做的结果是，多个不同的地址会映射到同一个存储单元或设备，产生地址重复。

特点:

- 实现更为简单，节省了逻辑电路。
- 导致地址空间的浪费，同一设备或存储单元可以被多个不同的地址访问。
- 容易产生地址重复，增加了设计时需要考虑的复杂性。

地址重复

在部分译码的情况下，由于不是所有的地址线都参与译码，因此多个地址会映射到同一个设备或存储单元，产生地址重复。这在设计大型系统时需要特别注意，以避免潜在的冲突和数据一致性问题。

存储器地址计算

如果连接一个存储器芯片时有2个高位系统地址信号没有参加译码，这意味着我们实际上是在进行部分译码。在这种情况下，由于2个地址线未参与译码，因此会有 $2^2 = 4$ 个不同的地址映射到相同的物理存储单元上。

具体来说，如果一个存储单元正常情况下占用一个地址空间，那么在这种

部分译码的设置下，每个物理存储单元将会被映射到4个不同的地址空间。这是因为那2个未使用的地址线可以组合出4种不同的值，每种值都能指向同一个物理存储单元。

5.11

5.11 什么是存储器芯片连接中的“位扩展”和“字扩展”？采用DRAM 21256 (256K×1) 构成512KB的RAM存储模块，需要多少个芯片，怎样进行位扩展和字扩展？

- 位扩展：存储器芯片数据引脚个数小于主机数据信号个数时，利用多个存储器芯片在数据“位”反向的扩充
- 字扩展：当一个存储器芯片不能满足系统存储容量时，利用多个存储器芯片在“数据字”方向的扩充
- 需要16个芯片，位扩充8个，字扩充2组

5.12

5.12 使用一个16K×8结构的SRAM，采用全译码方式，在8088系统中设计首地址是20000H的存储器，画出该芯片与系统总线的连接示意图。

设计存储器接口

1. **地址线连接**：SRAM需要14位地址线。我们可以将8088的A0-A13连接到SRAM的地址输入端，因为我们的SRAM只需要14位地址。注意，虽然SRAM的首地址是20000H，这与地址线直接连接的选择无关，地址线提供的是相对地址。
2. **数据线连接**：SRAM是8位数据宽度，可以直接将D0-D7连接到8088的数据线。
3. **片选信号（CS）的生成**：这是实现全译码最关键的一步。我们需要确保只有当CPU访问20000H到23FFFH范围内的地址时，SRAM才被选中。这通常通过地址译码电路来实现，可以使用组合逻辑电路设计一个片选逻辑，该逻辑在地址A15-A19为 **10 000** 时产生激活（低电平）信号。
4. **读/写控制**：8088的RD和WR信号分别连接到SRAM的读和写控制端。

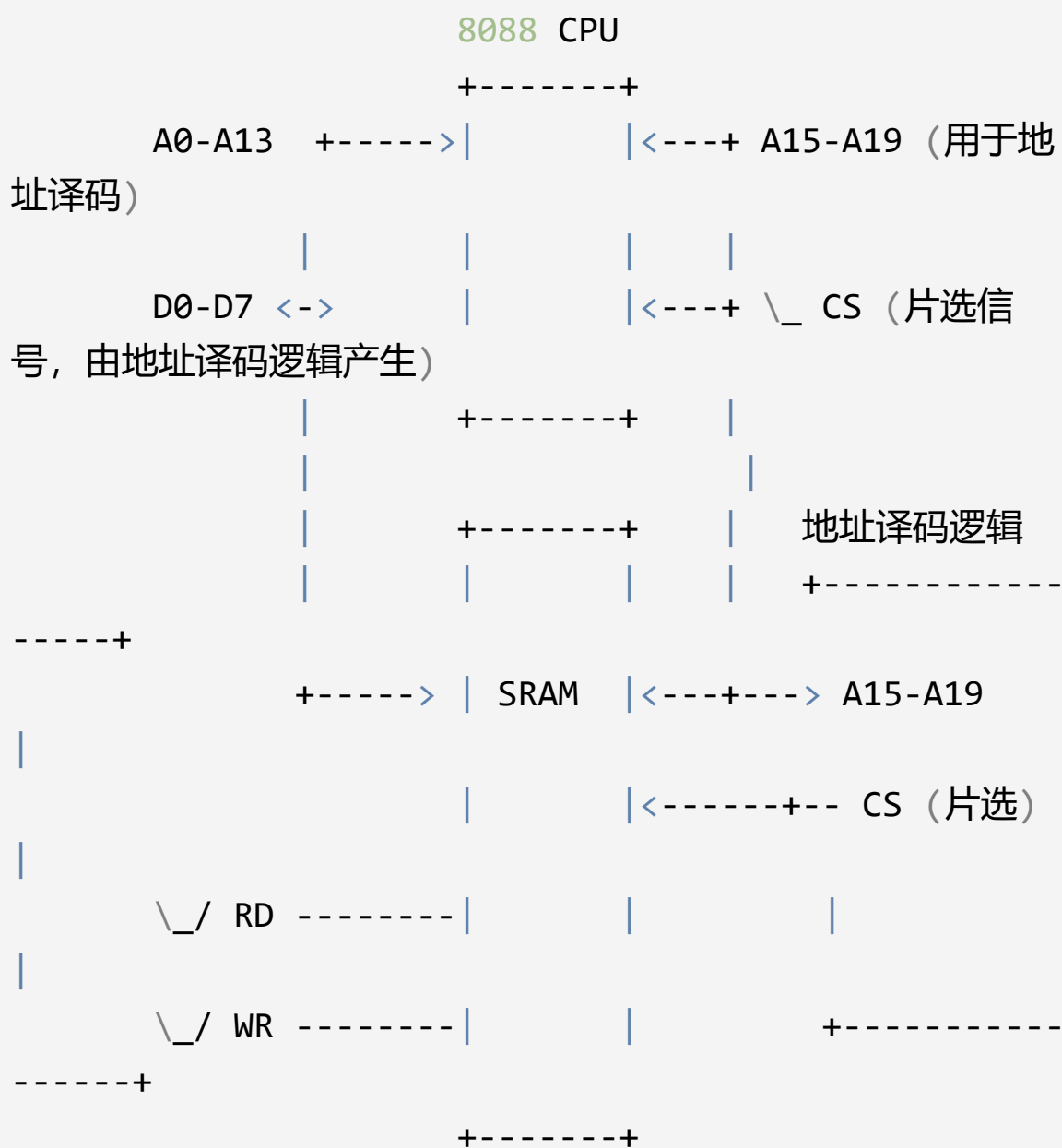
简化的地址译码电路设计

为了生成CS信号，可以采用如下简化逻辑：

- 利用地址线A15-A19来检测地址是否在20000H到23FFFH范围内。如果是，输出低电平激活SRAM。
- 使用逻辑门电路（如与门、非门）来实现这一逻辑。

实现步骤

1. **地址译码**：设计一个地址译码电路，当A15-A19为 **10 000** 时，输出CS信号为低电平。
2. **连接地址线**：将8088的A0-A13连接到SRAM的地址输入。
3. **连接数据线**：直接将D0-D7连接到SRAM。
4. **控制信号**：将8088的RD和WR连接到SRAM的相应控制端。
5. **供电**：确保SRAM获得适当的电源供电。



5.13

5.13 给出图5-28中4个存储器芯片各自占用的地址范围。如果采用部分译码,要指出重复的地址范围。

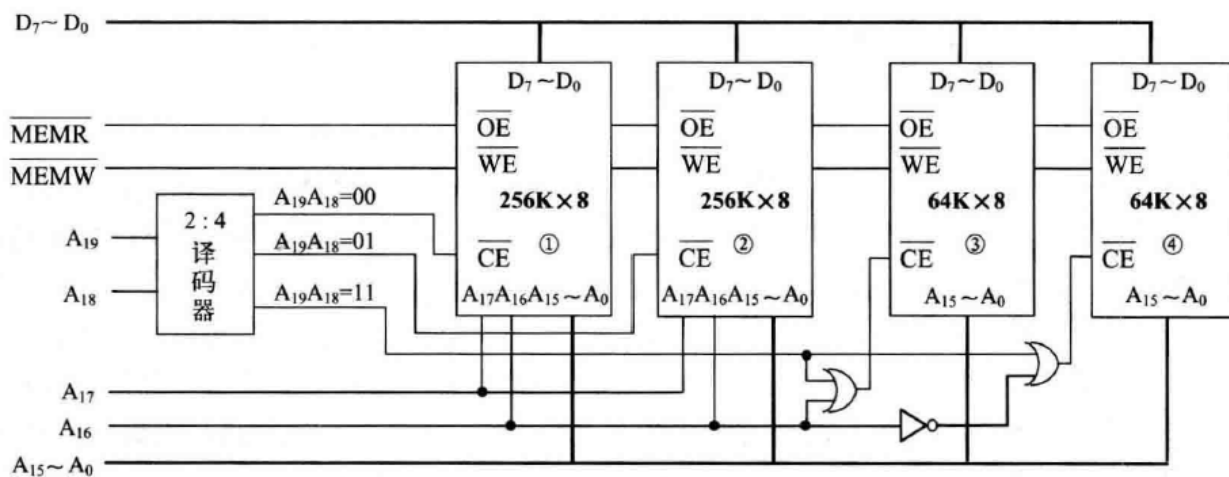
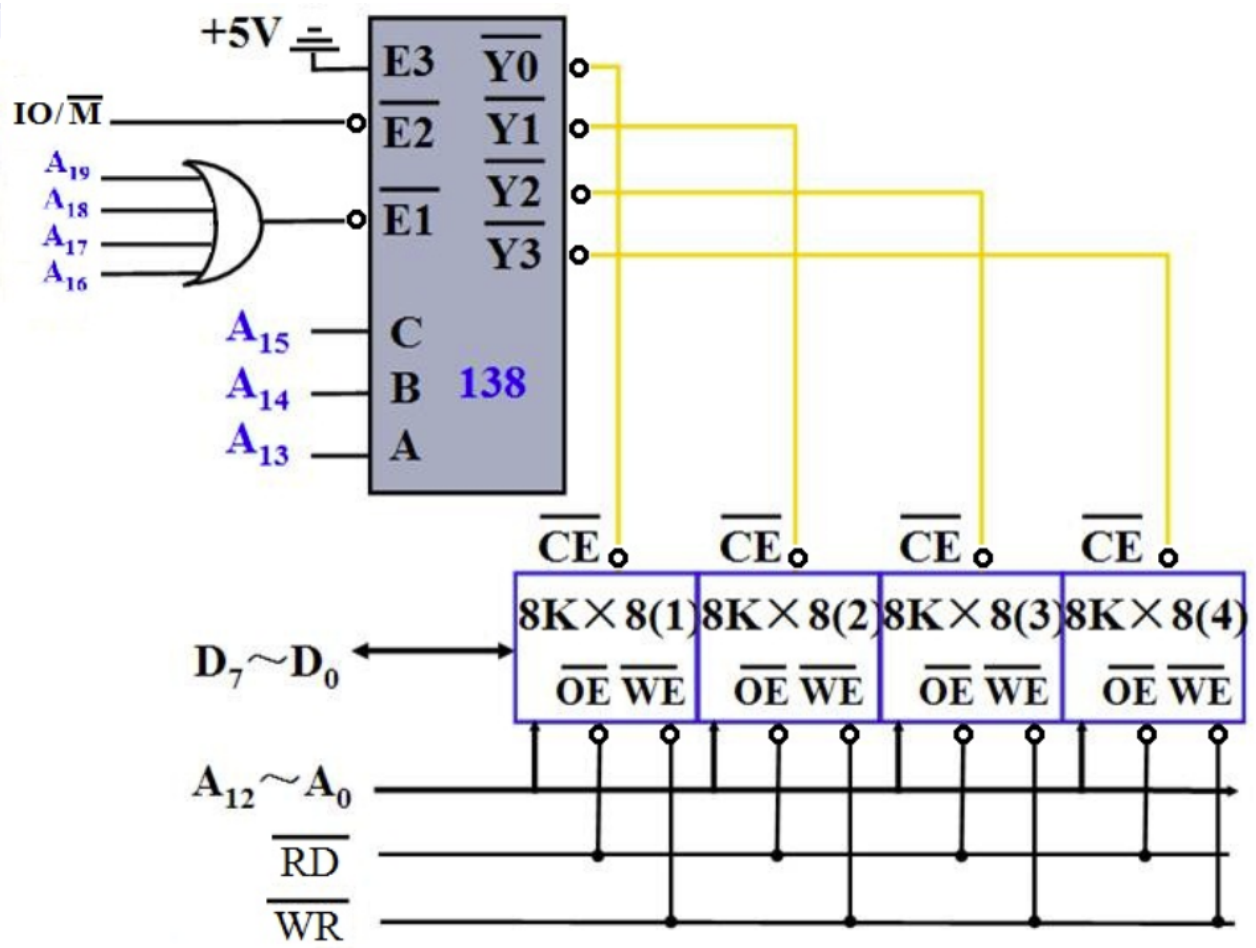


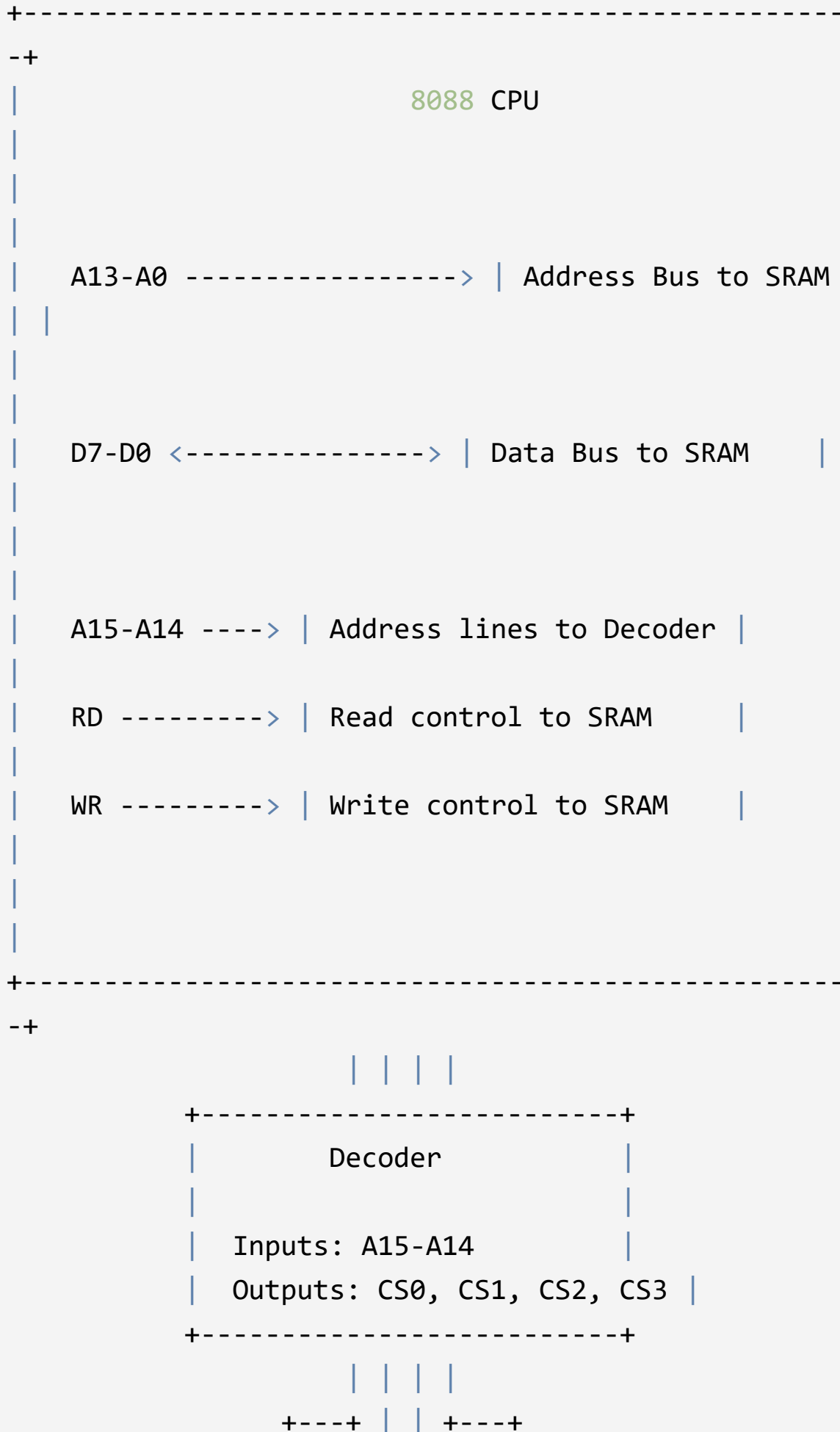
图5-28 综合示例

芯片号	A19A18	A17A16	A15~A0	地址范围
1	00	X X	全 0~全 1	0000H~3FFFFH
2	01	X X	全 0~全 1	40000H~7FFFFH
3	11	X 0	全 0~全 1	C0000H~CFFFFH, 重复地址: E0000H~EFFFFH
4	11	X 1	全 0~全 1	D0000H~DFFFFH, 重复地址: F0000H~FFFFFH

5.14

5.14 使用3：8译码器74LS138和多片8K×8结构的SRAM，采用全译码方式，在8088系统中设计存储模块，占用从0开始的最低32KB地址空间，画出连接示意图。






```
      |      |      |      |
+----+ +----+ +----+ +----+
| SRAM | | SRAM | | SRAM | | SRAM |
|  #1  | |  #2  | |  #3  | |  #4  |
+----+ +----+ +----+ +----+
```