一、8086/8 CPU的内部结构

（1）掌握微处理器、微型计算机、微型计算机系统的概念

微处理器：由一片或少数几片大规模集成电路组成的中央处理器

微型计算机：由大规模集成电路组成的，体积较小的电子计算机

微型计算机系统：“微型系统”，由微型计算机，显示器，输入输出设备，电源以及控制面板等组成的计算机系统

（2）8086/8 CPU分为两大功能模块：BIU、EU，掌握BIU、EU分别完成的功能。掌握CPU取指令、执行指令时使用的基本流水线机制。

BIU（总线接口单元）

由指令队列缓冲器（6字节）、指令指针（16位指针IP）、段寄存器（4个16位段地址寄存器CS,DS,SS,ES）、地址加法器（20位）和总线控制逻辑等构成。该单元管理着8088与系统总线的接口，负责CPU对存储器和外设进行访问。

功能：从内存中取指令送到指令队列缓冲器，CPU执行指令时，总线接口单元配合执行单元从指定内存单元或外设端口取数据，将数据传送给执行单元，或把执行单元的操作结果传送到指定的内存单元或外设端口（存取，输入输出，响应中断时读取中断向量号）

EU（执行单元）

由ALU，通用寄存器，地址寄存器，标志寄存器和指令译码器等构成，负责指令的译码、执行和数据的运算。

所有8位、16位算数逻辑运算都由EU完成

流水线机制：在EU单元对一个指令进行译码执行时，BIU单元同时对后续指令进行读取，EU单元无需等待取值操作，直接就可以从指令队列中获取新的指令进行执行。

（3）CPU内部使用的存储器地址为逻辑地址，而CPU外部（总线上）使用的却是物理地址。掌握两种地址概念上的区别，以及逻辑地址向物理地址转换的过程。

逻辑地址： =偏移地址

程序中出现的地址，由段地址和段内偏移量组成，段地址和段偏移量都是16位二进制数。

物理地址： =段地址x16+偏移量

任何一个存储单元的20位实际地址称为物理地址，又称绝对地址，同一物理地址可以有不同的段地址和偏移量。

转换：段地址（H）左移一位或（B）左移4位，加上偏移地址就是物理地址

（4）指令译码器、指令队列的概念与功能

指令译码器：控制器的主要部件之一，是对指令进行译码解析的元件，指令由操作码和地址码组成，译码器分析这条指令的操作码是什么，决定操作的性质和方法。

指令队列：6字节指令（8088 4字节）指令队列缓冲器，负责缓存BIU读取的指令，供EU取执行。

（5）能够使用8086/8 CPU的指令系统编写程序片段。

刷题

二、8086/8 最小组态、最大组态的引脚定义、总线形成

（1）掌握CPU引脚中“复用”、“三态”、“双向”的概念。

引脚复用：同一引脚在总线的不同周期内其功能不同

三态：有些引脚除了正常输入输出高低电平外，还能输出高阻状态，表明芯片放弃了对引脚的控制，=物理断开。

双向：信号既能从芯片向外输出，又能从外部输入芯片

（2）掌握最小组态、最大组态两种总线形成的概念、针对的应用范围。

8088通过MN/选择不同的系统组态

最小组态：高电平，构成小规模应用系统。提供所有的系统总线信号

引脚：

1. 数据和地址引脚

AD7-AD0：地址/数据复用，双向，三态，第一个周期输出存储器或IO低八位地址，其他时间传送8位数据。

A15-A8:中8位地址引脚，输出，三态，

A19/S6-A16/S3:地址/状态复用，输出，三态，访问存储器第一个周期输出A19-A16，访问外设第一个周期全部低电平无效，其他时间S6-S3.（S6低电平，S5：IF，S4S3：当前段寄存器使用情况）

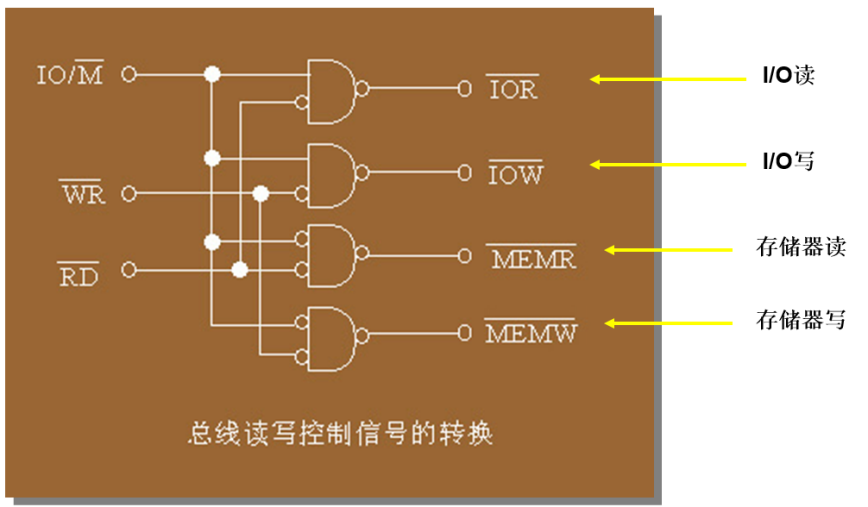
1. 读写控制引脚

ALE：地址锁存允许，锁存AD7-AD0，A19/S6-A16/S3的地址信息

IO/:IO或存储器访问，地址总线IO16位，M20位

:写控制

：读控制



READY：，输入，存储器或IO口就绪

1. 中断请求和引脚响应

INTR：可屏蔽中断请求

：可屏蔽中断响应

NMI：不可屏蔽中断请求

1. 总线请求和引脚响应

HOLD：总线保持（即总线请求），向CPU申请占有总线

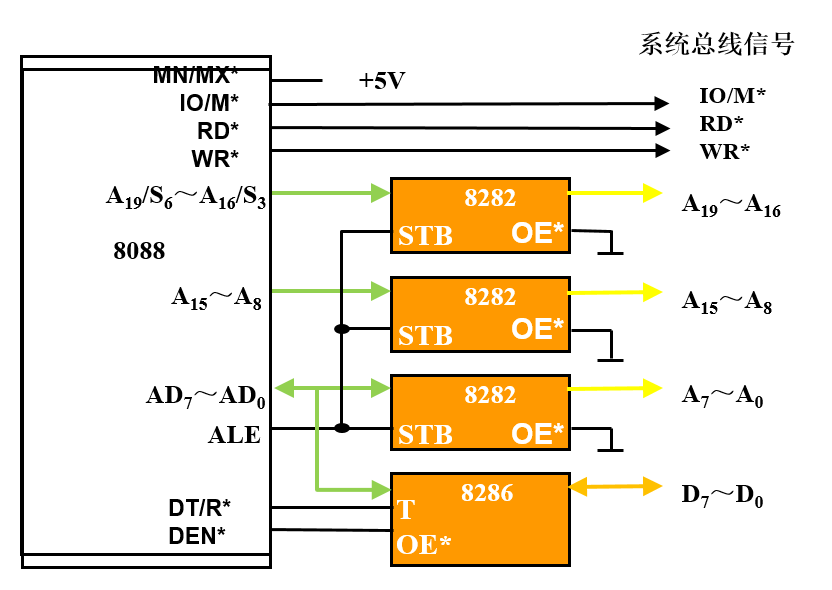
HLDA：总线保持响应，

1. 其他引脚

RESET：复位请求

CLK：时钟输入，提供定时信号，8088标准工作时钟5Mhz，IBM PC/XT机采用4.77MHz，210ms

最小组态总线形成



最大组态：低电平，构成较大规模的应用系统，

数据、地址引脚与最小组态相同，

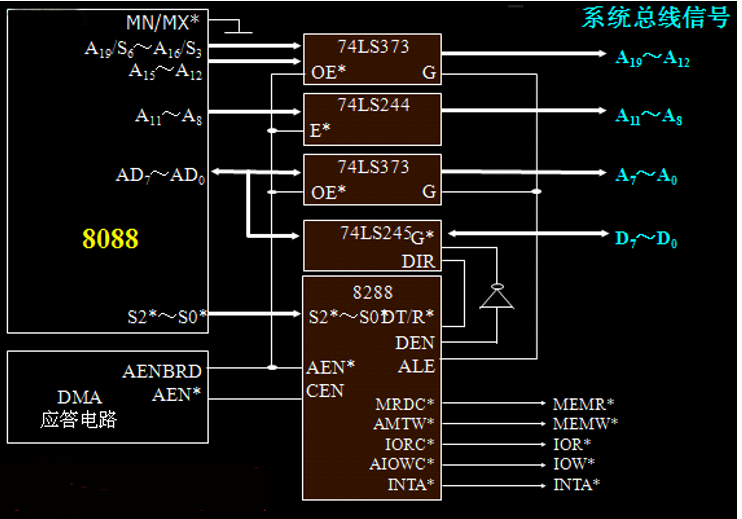
，，：输出，三态，确定CPU的工作模式



：总线封锁，封锁其他设备对总线的请求

QS1，QS0：指令队列状态信号，反映队列操作状态

8088最大组态总线形成



三、8086/8 总线时序

描述总线操作的微处理器时序有三级：

指令周期 → 总线周期 → 时钟周期

指令周期是指一条指令经取指、译码、读写操作数到执行完成的过程。若干总线周期组成一个指令周期

总线周期是指CPU通过总线操作与外部（存储器或I/O端口）进行一次数据交换的过程。

最小组态总线周期：ppt（16-19） Tw，根据READY有无效插入Tw

最大组态总线时序：ppt（21-22）

IBM PC总线周期：ppt（23-26）

四、总线的组成和分类

（1）系统的总线组成：地址总线、数据总线、控制总线，这也是按照功能对总线的分类

（2）地址总线与寻址空间的关系

地址总线确定了地址的数量，即寻址空间的大小。

（3）数据总线与总线周期数量的关系

一个总线周期之传送一个数据

（4）总线、总线周期的概念

计算机各种功能部件之间传送信息的公共通信干线，由导线组成的传输线束。

总线周期：指CPU通过总线操作与外部（存储器或I/O端口）进行一次数据交换的过程。

（5）按照总线连接的对象分类：芯片总线、内总线、外总线。

芯片总线：（局部总线）一个大规模集成电路芯片内部或一个较小系统中各种不同器件连接在一起的总线，用于芯片级互连。微处理器的引脚信号就是芯片总线，微处理器内部的控制器、运算器、寄存器之间，还有系统主机板上CPU、存储器、接口电路等之间通常就是利用芯片级总线互连的。

内总线：（系统总线）微机系统中模板与模板之间连接的总线，是微机系统所特有的总线，用于模板级互连。STD总线、ISA总线，微机主板的各种扩展插槽多属于内总线

外总线：（外设总线）微机系统间或微机系统与其外设通信的总线，用于设备级互连，RS-232

（6）按照数据传输方式分类：并行总线、串行总线

并行总线：并行接口与计算机设备之间传递数据的通道

串行总线：连接外部设备的一个串口总线标准

（7）片选的概念、片选的产生方式

片选：

五、半导体存储器及其接口

（1）掌握ROM、RAM的概念与特征

RAM：随机存取存储器（读写存储器），信息可以随时写入或读出

SRAM：静态RAM，以触发器为基本存储单元，速度快于动态，功耗、价格高，集成度低，存储量不大小系统

DRAM：动态RAM，以单管为基本单元，要刷新，集成度高，价格低，速度慢，大容量存储系统。

ROM：只读存储器，长期保存，存放固定程序或数据

掩模式ROM：不可更改

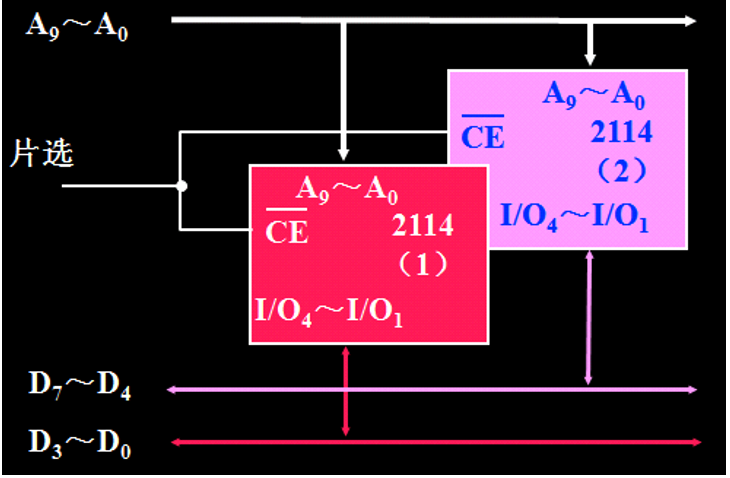
可编程PROM：一次编程，不可更改

可擦除EPROM：紫外线多次擦除编程

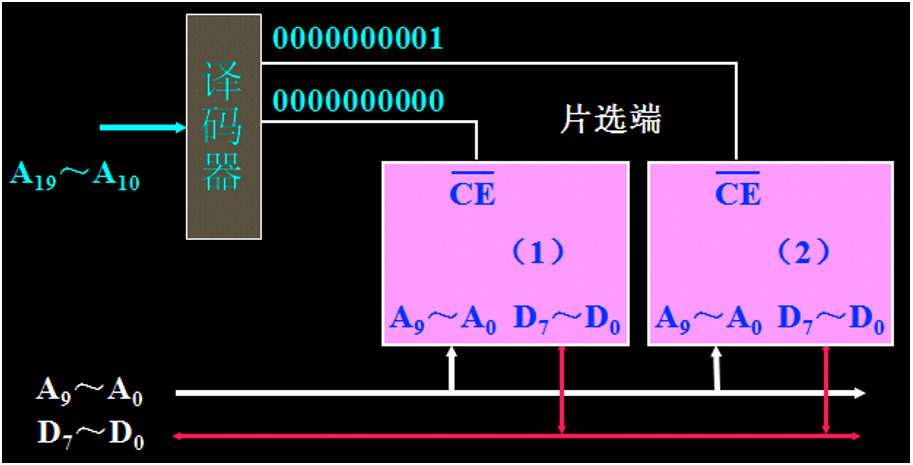
电可擦除EEPROM：加电多次

（2）掌握存储系统的位扩展、地址扩展（字扩展）方法

位扩展：（ppt第五章45）在位数上扩展，一般给的芯片是4位，但是数据线是8位，所以用两个芯片并联 如 两片64K X 1bit的DRAM芯片组成64K X 8bit的存储器

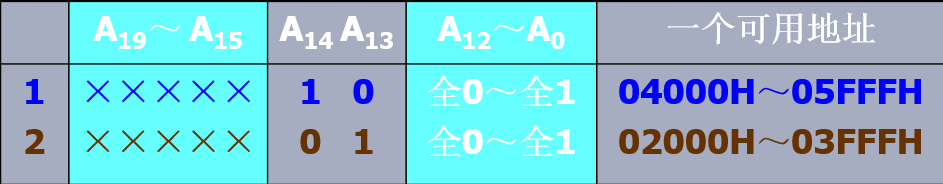


字扩充：（ppt第五章49）在字数方向扩展，例如用 16K X 8bit SRAM芯片组成64K X 8bit 存储器。

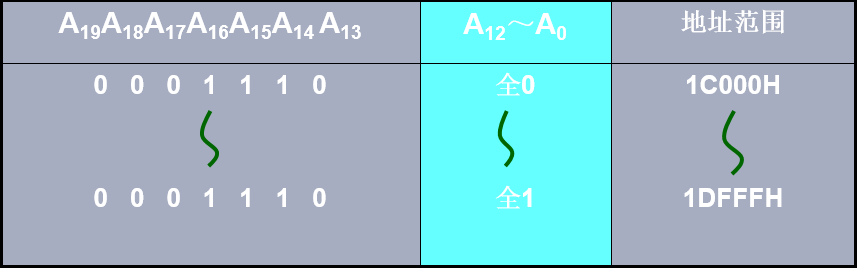


（3）掌握各种存储芯片片选译码方式的原理、特点

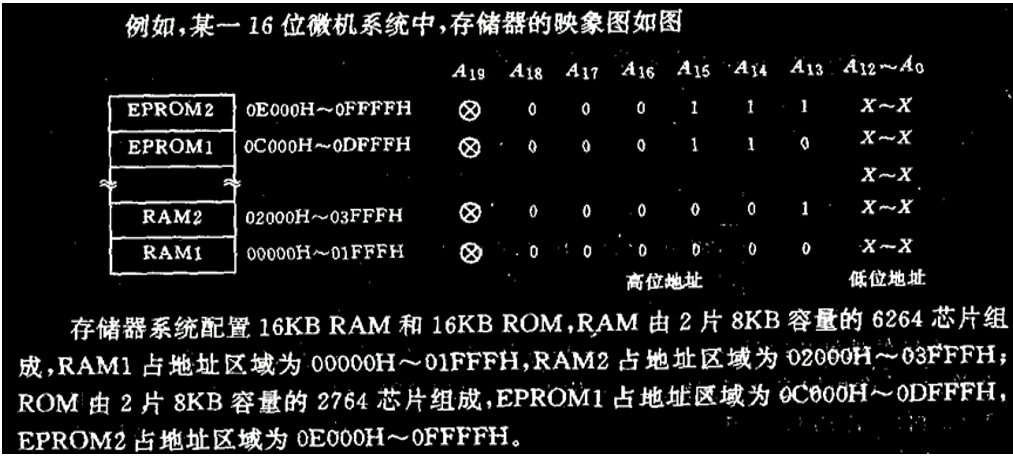
线选法：高位地址直接接至各个存储芯片的片选端，当某条地址信息是0就选中对应存储芯片，每次寻址仅一位有效，保证只选中一个。一个存储地址对应多个存储单元

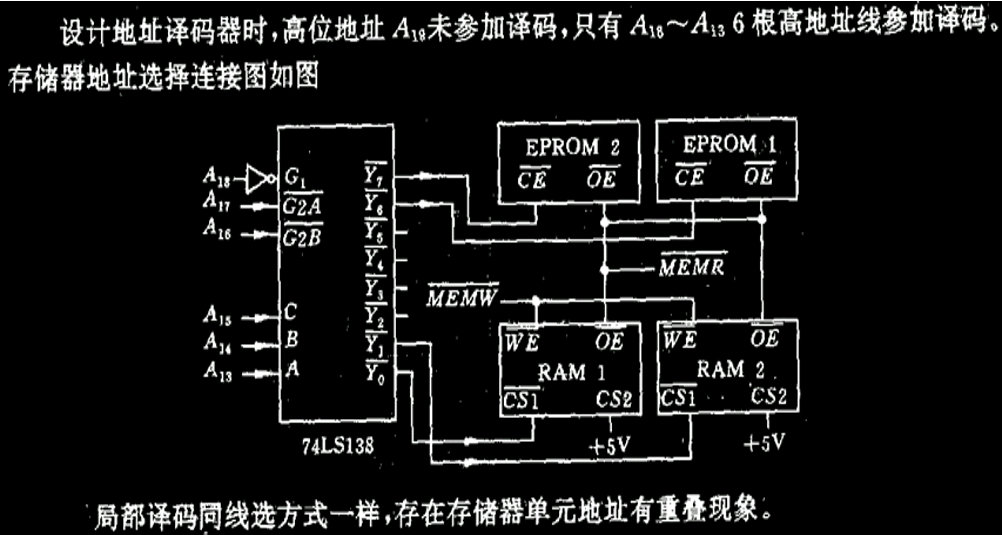


全译码法：用除了片内寻址外的全部高位地址线作为地址译码器的输入，把经过地址译码器译码后的输出作为各芯片的片选信号。



部分译码：用除了片内寻址外的部分高位地址来译码产生片选信号，每个存储单元将对应多个地址（地址重复），选取一个可用地址





再看题

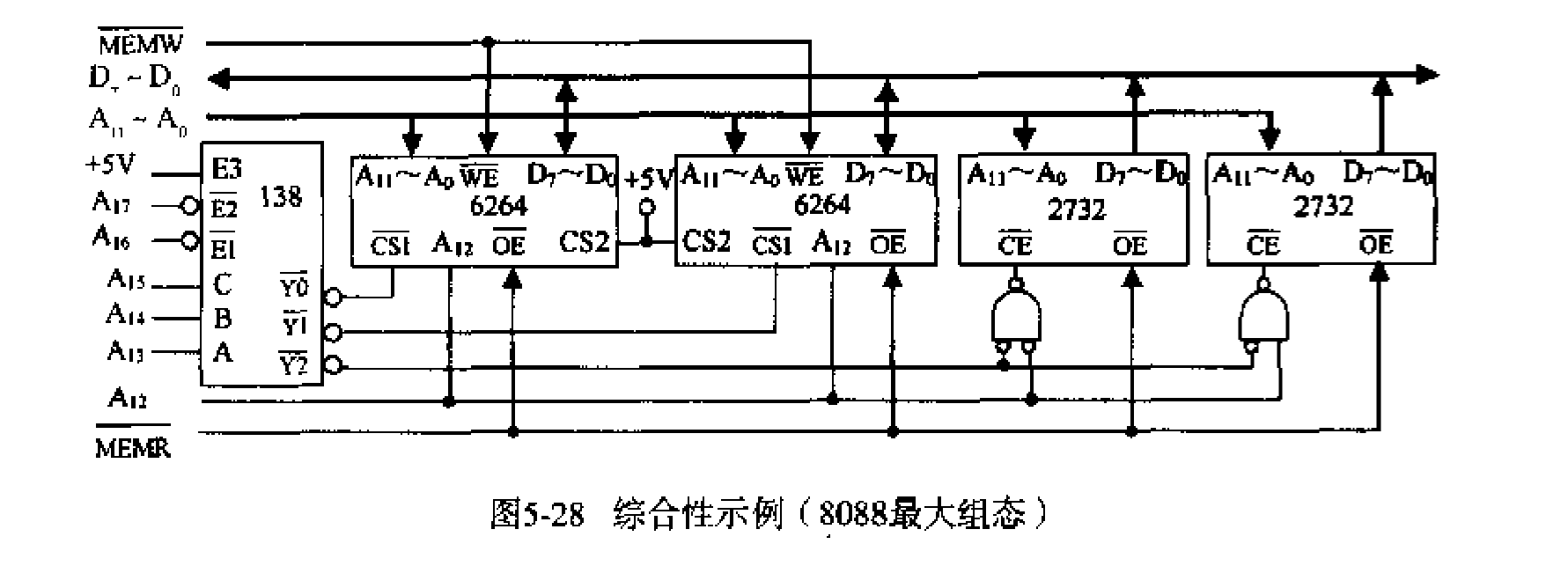
（4）能够按照指定要求构造存储系统。

看题

六、存储芯片的读写控制

芯片与系统读命令线相连，当芯片被选中且读命令有效时，存储芯片将开放并驱动数据到总线。

芯片WE与系统的写命令线相连，当芯片被选中且写命令有效时，允许总线数据写入存储芯片



七、存储芯片与CPU的配合

（1）CPU的负载能力

（2）存储芯片与CPU总线时序的配合

（3）总线驱动

单向传送地址和控制总线：采用三态锁存器进行锁存，三态单向驱动器驱动

双向传送的数据总线：采用三态双向驱动器（数据收发器）驱动

（4）时序配合

保证存储器的存取速度与CPU时序对上

八、基本输入输出接口

（1）IO接口

**IO接口是位于系统和外设之间，用来协助完成数据传送和控制任务的逻辑电路**，主要用于实现主机与外设的数据交换和外设控制

IO接口的典型结构：

内部

数据寄存器：保存外设给CPU和CPU发往外设的数据

状态寄存器：保存外设或接口电路的状态

控制寄存器：保存CPU给外设或接口电路的命令

外部

与CPU和外设连接

（2）微机接口技术  
处理危机系统与外设间联系的技术，具有软硬结合的特点，根据应用系统的需要，使用和构造响应的接口电路，编制配套的接口程序。支持和连接相关设备

（3）IO端口

**端口泛指IO地址，通常对应寄存器，一个接口电路可以有多个端口**

编址：

IO端口独立编址：IO地址空间独立于存储地址空间（8086/8088）

IO端口与存储器统一编址：共享一个地址空间（M6800）

（4）IO寻址方式

直接寻址：00H-FFH，前256个端口，端口地址传递到dx寄存器，寻址范围小

IN AL(X), i8 #直接寻址字节(字)输入

IN AL(X), DX #间接寻址

间接寻址：全部64K个端口，dx寄存器的值就是端口号

（5）I/O接口数据传送方式

1、程序控制下的数据传送

无条件传送：直接数据交换，只要外部设备处于准备好状态

查询传送：CPU查询外设，准备好在传送

中断传送：外设主动向CPU发送中断请求，CPU调用中断程序来数据传送

2、直接存储器存取（DMA）

外设向DMAC提出请求，DMA申请总线，最后利用系统总线完成外设和存储器间数据传送。

3、IO处理机

CPU委托专门的IO处理机管理外设

八、8088中断系统和中断控制器8259

（1）中断类型

内部中断：除法错中断，指令中断，溢出中断，单步中断

外部中断：非屏蔽中断，可屏蔽中断（结合8259A，主要用于主机与外设交换数据，IF控制可屏蔽中断的响应）

（2）中断响应过程

优先权：软件中断>非屏蔽中断>可屏蔽中断>单步中断

（3）中断向量表

中断向量：中断服务程序的入口地址（首地址） 。 每个中断向量的低字是偏移地址、高字是段地址，需占用4个字节

逻辑地址含有段地址CS和偏移地址IP（32位）

256个中断占用1KB（000H-3FFH）区域，就形成中断向量表，向量号为n的中断向量的物理地址是nX4

（4）8259A中断控制器内部结构

中断请求寄存器IRR：保存8条外界中断请求信号IR0-IR7的请求状态。Di位为1表示IRi引脚有中断请求，为0无请求。

中断服务寄存器ISR：保存正在被8259A服务着的中断状态。Di为1正在服务，否则未服务

中断屏蔽寄存器IMR：保存对中断请求信号的屏蔽状态。1屏蔽，0允许

（5）中断级联

主8259A，从8259A（最多8个），主8259A的三条级联线CAS0-CAS2作为输出线，连至每个从8259A的CAS0-CAS2

（6）掌握中断响应过程的各个步骤

1、将标志寄存器压入堆栈，保护各个标志位

2、使IF和TF为0，禁止可屏蔽中断和单步中断

3、将中断点的逻辑地址压入堆栈

4、从向量号X4的内存地址中取出中断向量送CS：IP寄存器 （CS：段地址，IP：偏移地址）

5、控制转移至中断服务程序入口地址，执行处理程序，最后是中断返回指令IRET

6、IRET指令将断点地址和标志寄存器出栈恢复，于是控制又返回断点处继续执行

（7）掌握优先权固定方式（IR0-IR7）、循环方式（响应后到最后面，后一个到最前面）的概念

（8）掌握自动中断结束方式、非自动中断结束方式的概念

自动中断结束方式：处理器一进入中断过程，8259A就将中断服务寄存器中的对应位清除。

非：1、普通中断结束方式：CPU用输出指令往8259A发出普通中断结束命令时，8259A把所有正在服务的优先权最高的中断ISR位复位

2、特殊中断结束方式：CPU指定清除某一位

（9）掌握优先权普通全嵌套方式、特殊全嵌套方式的概念、用途

优先权普通全嵌套方式：优先权固定不变（IR0到IR7），ISR置位，中断结束复位，允许高优先权抢占，不允许同级或低级。

特殊全嵌套方式：允许同级嵌套，一般用于8259A级联系统中，主片采用特殊全嵌套方式，从片仍用其他，即允许从片上高优先级，又允许主片上高优先级。

（10）掌握8259A区分使用相同地址的ICW、OCW的方法。

读出和写入由读写逻辑控制

写入命令时：

A0=0时，写入ICW1，OCW2，OCW3

ICW在初始化的时候写入，OCW后写入，由先后顺序加以区别

OCW2和OCW3无固定写入顺序 通过D4和D3两数据位加以区别，00表示OCW2，,01表OCW3

A0=1时，写入ICW2，ICW3，ICW4，OCW1

ICW在初始化的时候写入，OCW后写入，由先后顺序加以区别

ICW2-4以固定顺序写入加以区别，ICW1决定是否需要写入ICW3和ICW4

注：A0=1时读出IMR

初始化命令字ICW：

ICW1：初始化字，四个位置要记

ICW2：中断向量字，设置中断向量号，T7-T3是中断向量号，低3位按IR0-IR7确定

ICW3：级联命令字，对主片：S0-S7对应该IR引脚上有从片；对从片：低三位ID0-ID2有效，决定从INT引脚接到主片的哪个IR引脚上

ICW4：中断方式字

操作命令字OCW：

OCW1：屏蔽命令字，写入IMR。对应位为1禁止中断

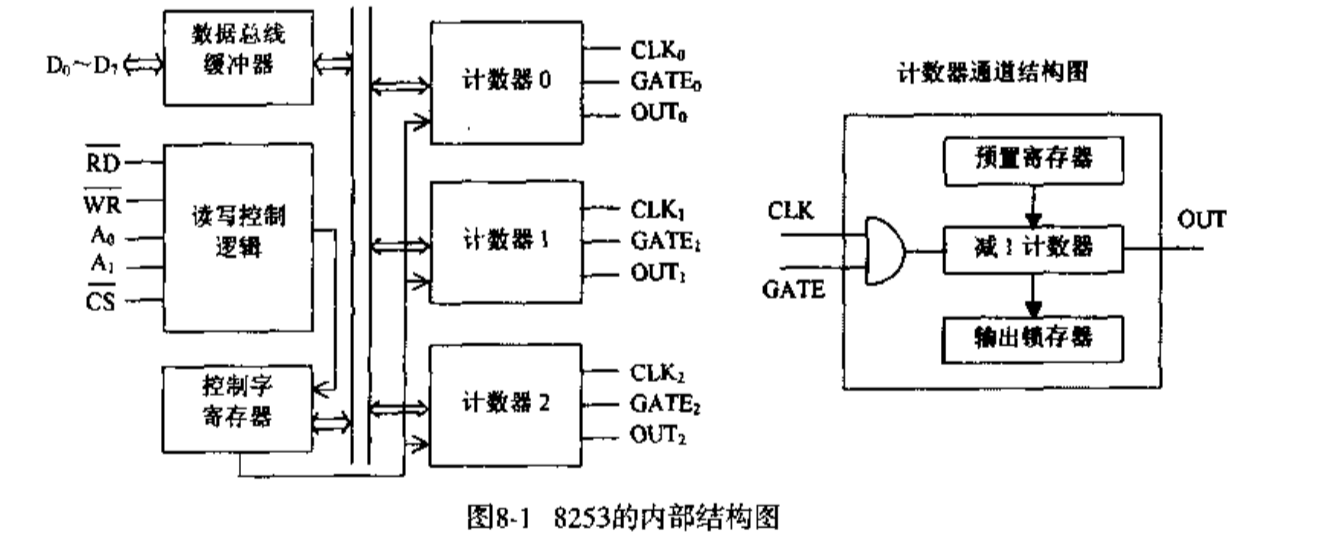
OCW2：中断结束和优先循环命令字

OCW3：屏蔽和读状态命令字

九、8253/8254定时计数器

（1）8253内部结构

计数器：8253有三个独立计数器通道 （16位减法计数器）



（2）8253工作方式

方式0：计数结束中断

方式1：可编程单稳脉冲

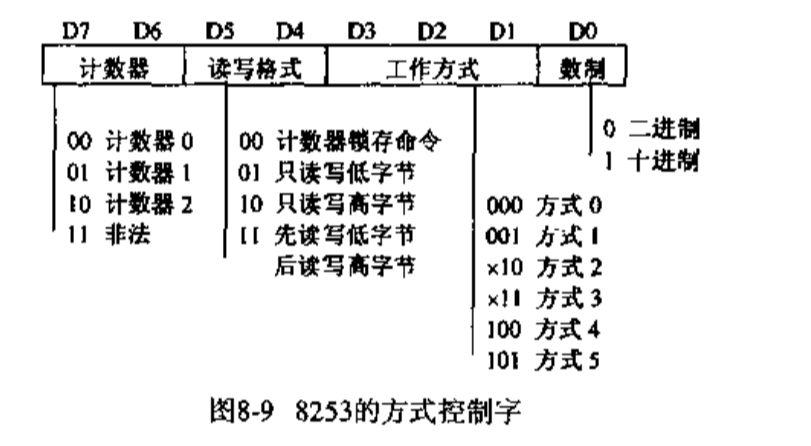
方式2：频率发生器

方式3：方波发生器

方式4：软件触发选通信号

方式5：硬件触发选通信号

（3）写入方式控制字



处理器写入8253的计数初值只是写入了预置寄存器，之后到来的第一个CLK输入脉冲（需先由低电平变高，再由高变低）才将预置寄存器的初值送到减1计数器。

（4）编程题

通过例题练习

十、并行接口8255A

（1）内部结构和引脚

24条引脚，3个端口A，B，C，PA0-PA7，PB0-PB7，PC0-PC7，分成两组控制，A和C上半部，B和C下半部，AB输入输出，C控制，

（2）8255A的工作方式

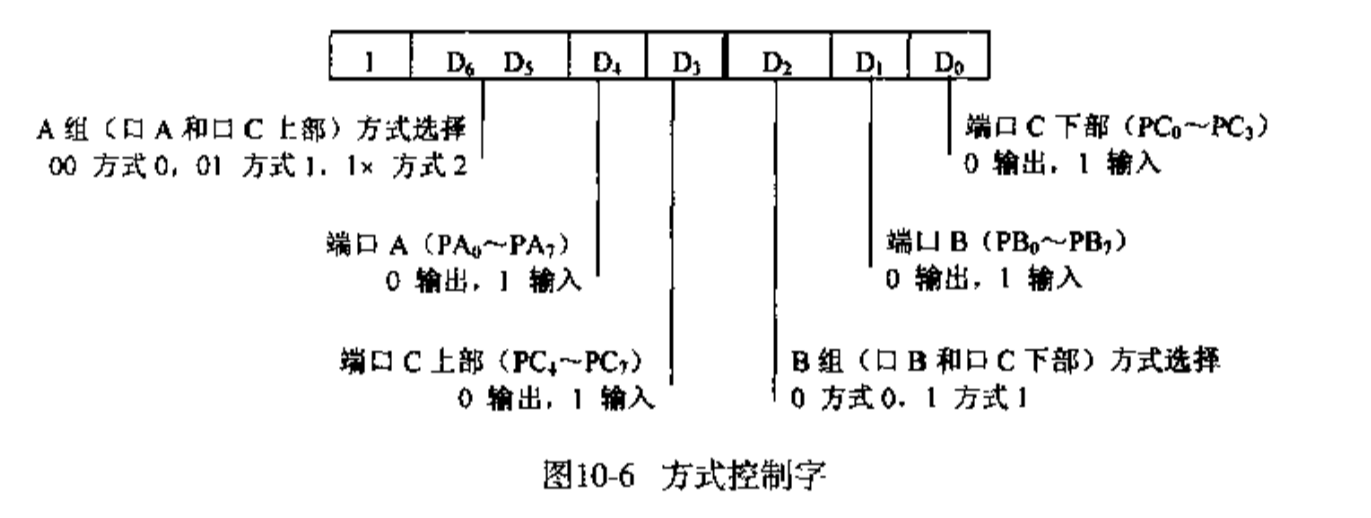
方式0：基本输入输出方式

方式1：选通输入输出方式

方式2：双向选通传送方式

（3）8255A的编程

写入方式控制字



（4）编程题

刷题

十、DMA控制接口8237A

（1）8237内部结构

4个DMA通道（具有不同优先权，可允许或禁止，每个4个工作方式），即4个DMA控制器，两个工作状态：空闲周期，有效周期

（2）8237工作方式

1、DMA传送方式

单字节传送方式：每次DMA传送仅传送一个字节

数据块传送方式：由DREQ启动，连续地传送数据

请求传送方式：DREQ有效传，否则终止

级联方式：通过多个8237扩展通道

2、DMA传送类型

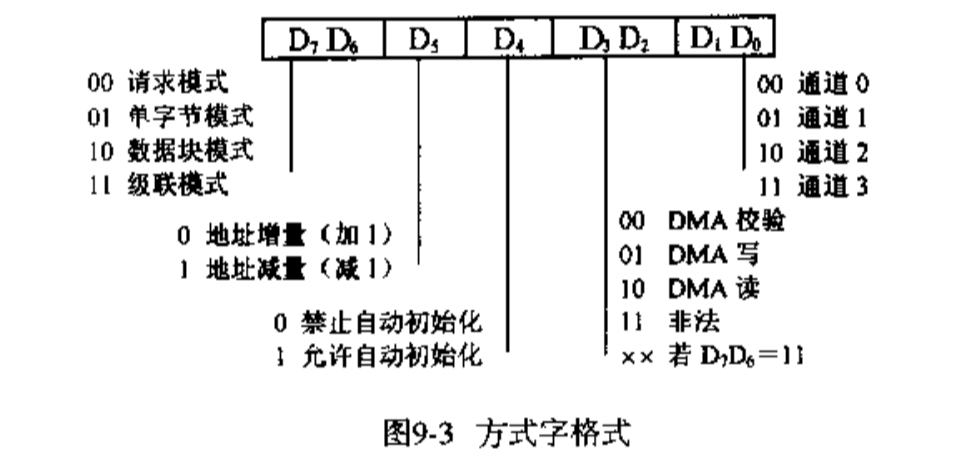
DMA读：从存储器到外设，有效读存储器，有效写入外设

DMA写：从外设到存储器，有效从外设输入数据，有效写入存储器

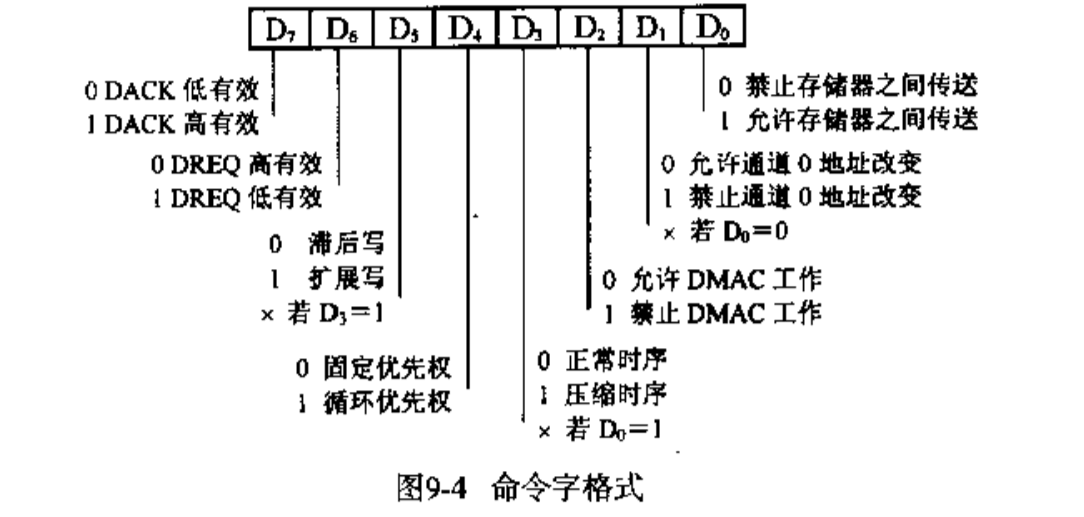
DMA检验：空操作

（3）8237的编程

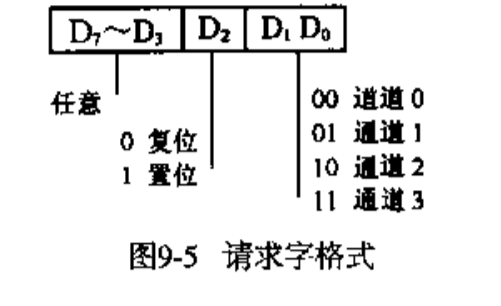
方式字：



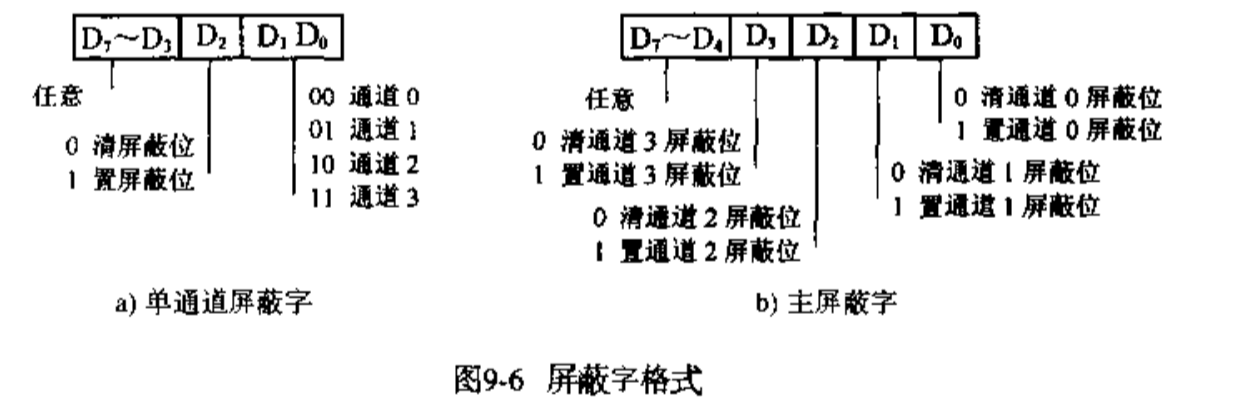
命令字：



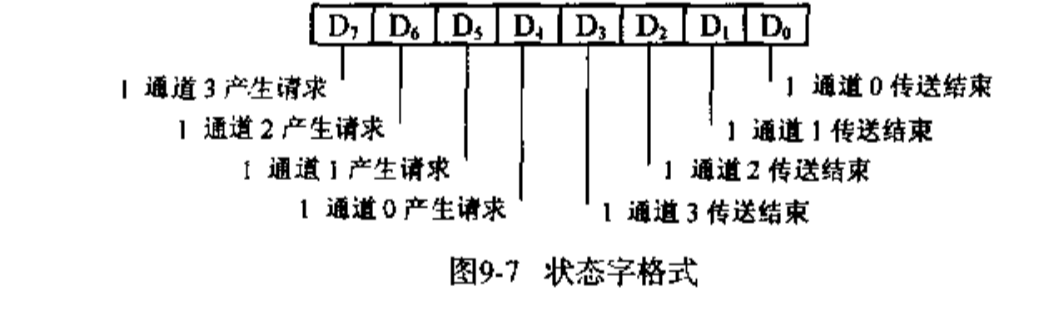
请求字：



屏蔽字：



状态字：



编程刷题