



学校代码: 10286

分类号: TN47

密 级: 公开

U D C: 621.38

学 号: 184851

东南大学

工程硕士学位论文

基于 40nm CMOS 工艺的 6~18GHz 6-bit 有源移相器设计

(学位论文形式: 应用研究)

研究生姓名: 石伟

导 师 姓 名: 李智群 教授

李祖华 高工

申请学位类别 工程硕士 学位授予单位 东南大学

工程领域名称 集成电路工程 论文答辩日期 2021 年 5 月 18 日

研究方向 射频集成电路 学位授予日期 2021 年 月 日

答辩委员会主席 梁雪 评 阅 人

2021 年 5 月 日

東南大學

工程硕士学位论文

基于 40nm CMOS 工艺的 6~18GHz 6-bit 有源移相器设计

专业名称: 集成电路工程

研究生姓名: 石伟

导师姓名: 李智群 教授

李祖华 高工

Design of 6~18GHz 6-bit Active Phase Shifter in 40nm CMOS Process

A Thesis Submitted to

Southeast University

For the Professional Degree of Master of Engineering

BY

Shi Wei

Supervised by

Professor Li Zhiqun

And

Senior Engineer Li Zuhua

School of Microelectronics

Southeast University

May 2021

摘要

相控阵系统由一组阵列的收发单元构成,通过移相和衰减改变不同单元信号的相对相位和幅度可以使整体信号在需要的方向上得到加强,在不需要的方向得到抑制,从而实现波束赋形。相控阵系统已经在军事方面得到了大量的应用,然而以 III-V 族化合物半导体实现的相控阵系统存在成本高、尺寸大等问题,在商业民用方面还无法普及。随着 5G 通信技术以及无人驾驶技术的兴起,人们对小型化、低成本的相控阵系统需求越来越迫切。移相器作为相控阵系统关键模块对相控阵系统至关重要,设计具有低移相误差、低插入损耗、低成本且高集成度、高可靠性的移相器对于降低相控阵系统成本和体积具有非常重要的意义。

本文基于 40nm CMOS 工艺设计了一种工作在 X、Ku 波段的六位数控移相器。该移相器基于矢量合成原理,主要由输入巴伦、正交信号产生电路、矢量合成模块、输出巴伦、数模转换电路及数字编码电路等模块构成。正交信号产生电路采用了三级多相滤波器结构,该结构可以在很宽的频率范围内输出误差较低的正交信号。为了克服三级多相滤波器带来的插入损耗,输入巴伦采用了具有一定增益的有源结构。矢量合成模块由两路可变增益放大器构成,通过调节两路正交信号的幅度并叠加以完成矢量合成的操作。本文设计的数模转换电路由已有结构改进而来,通过保证 MOS 管饱和和工作状态来降低输出电流为 0 的泄漏电流,大大提高了电流输出精度。本文完成了电路设计、前仿真、版图设计和路场混合仿真。路场混合仿真结果表明:移相器在全工艺角下, $-40\sim 85^{\circ}\text{C}$ 内, 6~18GHz 的相位误差 RMS 值小于 1.8° , 增益误差 RMS 值小于 0.2dB。在 1.2V 电源电压下典型工作电流为 35mA, 带焊盘版图大小为 1.2mm*1.1mm。

本文设计的有源移相器具有非常低的相位误差和增益误差,可以很好的满足指标要求,可应用于相控阵雷达收发组件中。

关键词: 有源移相器, CMOS 工艺, 矢量合成, X 波段, Ku 波段

ABSTRACT

The phased array system is composed of a set of array transceivers. By shifting and attenuating the relative phase and amplitude of the signals of different units, the total radiation pattern can be strengthened in the desired direction, and suppressed in the undesired direction. Phased array systems have been widely used in the military. However, the high cost and large size of the phased array system implemented with III-V compound semiconductors hinder the popularization of commercial and civil applications. With the rise of 5G technology and Autopilot technology, the demand for miniaturized, low-cost phased array systems is becoming more and more urgent. Phase shifter is the key module of the phased array system and is very important to it. Designing a phase shifter with low phase shift error, low insertion loss, low cost, high integration, and high reliability has great significance for reducing the cost and volume of the phased array system.

Based on the 40nm CMOS process, a six-bit digital phase shifter that can work normally in the X and Ku bands is designed. The phase shifter designed in this paper has the advantages of low cost, low power consumption and high precision. The phase shifter is based on the principle of vector synthesis, and is mainly composed of input balun, quadrature generator, vector modulator, output balun, digital-to-analog converter and digital encoder. The quadrature generator is structured by a three-stage polyphase filter, which can output accurate quadrature signal in a wide frequency range. In order to overcome the insertion loss caused by the three-stage polyphase filter, the input balun adopts an active structure with a certain gain. The vector modulator is composed of two variable amplifiers, which can synthesis the vector by adjusting the amplitude of the two orthogonal signals and superimposing them. The digital-to-analog conversion circuit designed in this paper is improved from existing structure. By ensuring the saturated working state of the transistor, the leakage current with an output current of 0 is reduced, and the current output accuracy is greatly improved. Circuit design, pre-simulation, layout design and EM simulation are provided in this article. The EM simulation results show that the phase error RMS is less than 1.8° , and the gain error RMS is less than 0.2dB at 6-18 GHz under full process corner and $-40-85^\circ\text{C}$. The typical current consumption is 35mA under 1.2V power supply voltage and the layout area with pads is $1.2\text{mm}\times 1.1\text{mm}$.

The active phase shifter designed in this paper with low phase error and gain error can well meet the index requirements, and can be used in phased array radar transceiver components.

Keyword: Active phase shifter, CMOS process, vector-sum, X-band, Ku-band

目录

摘要.....	I
ABSTRACT.....	III
目录.....	V
第一章 绪论.....	1
1.1 研究背景.....	1
1.2 国内外研究现状.....	2
1.3 研究内容和设计指标.....	4
1.3.1 研究内容.....	4
1.3.2 设计指标.....	4
1.4 论文内容安排.....	4
第二章 移相器原理.....	7
2.1 移相器基本原理.....	7
2.2 移相器指标.....	8
2.3 移相器分类.....	10
2.3.1 反射式移相器.....	11
2.3.2 开关线式移相器.....	12
2.3.3 加载线式移相器.....	12
2.3.4 高低通式移相器.....	13
2.3.5 矢量合成移相器.....	14
2.4 本章小结.....	15
第三章 有源移相器核心电路设计.....	17
3.1 输入巴伦设计.....	17
3.1.1 输入匹配设计.....	18
3.1.2 并联峰化技术.....	20
3.1.3 平衡缓冲器设计.....	21
3.2 正交信号产生电路设计.....	23
3.2.1 正交全通滤波器.....	23
3.2.2 变压器正交信号产生电路.....	25
3.2.3 多相滤波器.....	27
3.3 矢量合成单元的设计.....	30
3.4 输出巴伦设计.....	31

3.5 本章小结	32
第四章 数模转换电路设计	33
4.1 电流合成电路的设计	34
4.2 数模转换电流阵列设计	37
4.3 逻辑编码电路设计	38
4.4 本章小结	39
第五章 移相器整体电路设计及仿真	41
5.1 移相器整体电路设计	41
5.1.1 温度补偿分析与设计	41
5.1.2 工艺角补偿分析与设计	43
5.1.3 整体电路前仿真	44
5.2 移相器版图设计	48
5.3 移相器路场混合仿真	50
5.3.1 DC 仿真	50
5.3.2 S 参数仿真	51
5.3.3 移相特性仿真	51
5.3.4 路场混合仿真结果汇总	52
5.4 本章小结	53
第六章 总结与展望	55
6.1 总结	55
6.2 展望	56
参考文献	57
致谢	61
攻读硕士期间发表的论文	63

第一章 绪论

1.1 研究背景

本课题来源于东南大学射光研究所与中电集团某研究所合作项目。该课题旨在验证采用 CMOS 工艺设计 6~18GHz 相控阵收发芯片的可行性。该收发芯片包含接收与发射两条链路，可对射频信号进行移相和衰减操作。其中接收链路包括低噪声放大器、增益补偿放大器、移相器、衰减器，发射链路包括衰减器、移相器、增益补偿放大器、功率放大器。设计一款高性能且符合该芯片需求的移相器是本文主要研究的内容。

相控阵系统由一组阵列的收发单元构成^[1]，通过移相和衰减改变不同单元射频信号的相对相位和幅度可以使整体信号在需的方向上得到加强，在不需要的方向得到抑制，从而实现波束赋形^[2]。相控阵系统相较于传统的机械式雷达系统具有扫描速度快，扫描方向灵活、抗干扰能力强，可靠性高等优点。凭借着这些优势，相控阵系统已经在军事方面得到了大量的应用。为了获得优异的性能，相控阵雷达收发组件大多由 GaAs、SiC 等 III-V 族化合物半导体构成。III-V 族化合物半导体具有耐高温、耐高压、高频性能好、电子迁移率高、功率密度高等优点。然而以 III-V 族化合物半导体实现的相控阵系统存在成本高、尺寸大等问题，在商业民用方面无法普及。但是随着 5G 通信技术^[3]以及无人驾驶技术^[4]的兴起，人们对小型化、低成本的相控阵系统需求越来越迫切。相较于 III-V 族化合物半导体，CMOS 工艺虽然在噪声性能、输出功率等方面不具备优势，但由于其成本低廉，且可以与其他数字电路相集成，可大大降低相控阵系统的尺寸和成本。于是基于 CMOS 工艺实现的相控阵系统逐渐成为了当前研发的热点。

移相器作为相控阵系统中关键模块对相控阵系统至关重要。移相器按照有无供电可分为有源和无源两种。无源移相器主要由开关、传输线、电感电容等构成，通过改变传输路径的传递函数来对输入信号的相位进行调整^[5]。一般数字控制位数越多，无源器件数量也就越多，整体的损耗也会越大。为了克服移相精度与插入损耗之间的矛盾就必然需要对无源器件的性能提出很高的要求，这也是采用 CMOS 工艺设计无源移相器性能表现不佳的主要原因。而有源移相器就不存在该矛盾，其在面积、精度以及插入损耗等方面都有着巨大的优势。有源移相器一般采用正交矢量合成法^[6]，该方法首先将输入的射频信号分成两路正交的信号，再根据需要的移相角度分别调整两路正交信号的幅度，最后将这两路正交信号叠加就得到移相后的输出。该方法的难点在于如何产生完全正交的两路信号以及如何精确调整两路正交信号的幅度。因此，当前有源移相器研制的核心

内容就是对矢量叠加和正交信号产生电路的改进，一个具有低移相误差、低插入损耗、低成本且高集成度、高可靠性的移相器正成为当前研究的热门话题。

1.2 国内外研究现状

移相器是构成相控阵系统的关键模块之一，随着相控阵系统的发展而不断发展。20 世纪 60 年代之前，采用机械式移相器的相控阵雷达与平面反射式雷达同台竞技，不分高低。机械式移相器通过改变波导的物理尺寸来对微波的相位进行调制，机械结构的存在不仅增加了波束的控制难度而且也降低了相控阵雷达的可靠性。铁氧体移相器的出现打破了这一局面，使得相控阵雷达的优势逐渐显现。然而铁氧体移相器体积和功耗依然很大，在相控阵天线规模提高后显得尤其明显。随着半导体技术的快速发展，采用 PIN 二极管设计的电控式移相器被设计出来。基于半导体技术设计的移相器不管在体积重量还是移相精度上较铁氧体移相器都有着巨大的进步，由此移相器研究进入了高速发展阶段。进入 21 世纪后，矢量合成技术的出现又给移相器的发展注入了新的活力。

1957 年，F. Reggia 等人发明了第一个可应用于相控阵系统的铁氧体移相器^[7]。该移相器通过改变铁氧体中的微波相速来完成波束扫描，具有功率大、损耗低等特点，在大功率雷达探测方面仍然具有使用价值。1964 年，White 提出了基于 PIN 二极管设计的电控式移相器^[8]，其相位的控制方式大大改变了相控阵系统的结构。1975 年，Davis 采用 PIN 二极管设计出了 X 波段的加载线式移相器^[9]，该移相器拥有 3 位相位控制态，相位误差小于 10° 。1985 年，Bahl 等人采用 GaAs 工艺实现了 C 波段的六位数控移相器^[10]的设计。该移相器采用了模拟与数字混合控制的方式来提高移相精度，其模拟控制的移相范围在 $0\sim 11^\circ$ ，数字控制的相位误差在 6° 以下。2006 年，Dong-Woo Kang 等人采用 $0.18\mu\text{m}$ CMOS 工艺设计了一款 Ku 波段的开关线式移相器^[11]。该移相器为五位数控移相器，其相位误差低于 12° ，增益误差低于 2dB，插入损耗达到了 15dB。尽管该移相器性能不佳，但也是一次利用 CMOS 工艺设计无源移相器的勇敢尝试。2007 年，Kwang-Jin Koh 等人根据矢量合成技术设计出了一款基于 $0.13\mu\text{m}$ CMOS 工艺，适用于 X、Ku 和 K 波段的有源移相器^[6]。该移相器具有带宽大、插入损耗低、成本低等特点，其芯片面积仅有 0.45mm^2 。在移相精度方面，该移相器并未显示其优越性，但对后来移相器的发展产生了重大影响。一年后该团队又在该结构的基础上设计了一款 8 通道合一的移相器芯片^[12]，其相位误差 RMS 值低于 5.7° ，增益误差 RMS 值低于 0.9dB。2010 年，该团队又采用 $0.18\mu\text{m}$ SiGe BiCMOS 工艺实现了 $6\sim 18\text{GHz}$ 五位有源移相器的设计^[13]。该移相器加入了 DAC 修正技术，相位误差小于 5.6° ，增益误差小于 1.1dB。2012 年，Woorim Shin 等人

采用了优化后的全通滤波器实现了基于 45nm CMOS 工艺 60GHz 频段四位有源移相器的设计^[14]，其相位误差小于 11° 。2015 年，Balashov 等人基于 $0.18\mu\text{m}$ CMOS 工艺设计了一款工作于 2.2~3.2GHz 六位矢量调制移相器^[15]，其相位误差低于 4.5° 。同年，Tso-Wei Li 等人基于 65nm CMOS 工艺，采用一种新型结构的正交产生电路实现了 2~24GHz 频段有源移相器的设计^[16]。该移相器实现了 360° 全范围移相，且在 2~20GHz 内移相误差低于 1.22° ，增益误差低于 1.5dB。2016 年，Balashov 等人基于 $0.18\mu\text{m}$ CMOS 工艺，采用了一种新型非平衡式结构的正交信号产生电路，完成了高精度有源移相器的研制^[17]，其相位误差低于 0.7° ，增益误差低于 0.2dB。

从 1957 年出现的铁氧体移相器到 2016 年 CMOS 有源移相器，移相器不管是体积功耗还是移相性能都发生了翻天覆地的变化。随着经济的发展以及国家对集成电路事业的大力支持，国内也在移相器的研究上成果显著。2015 年，复旦大学陈昌铭等人采用 $0.13\mu\text{m}$ CMOS 工艺设计了一种新型的 X 波段有源移相器^[18]。该移相器克服了传统矢量合成移相器中 VGA 线性度波动的问题，其相位误差 RMS 低于 4° ，增益误差 RMS 低于 0.8dB，芯片面积为 1.69mm^2 ，直流功耗为 40mW。2015 年，中电 38 所断宗明等人采用 $0.18\mu\text{m}$ CMOS 工艺设计了一款工作在 200M~800MHz 频段内六位数控有源移相器^[19]。该移相器采用了有源巴伦作为输入级，大大增加了移相器的整体增益，其整体增益为 10dB，直流工作电流仅为 17mA，相位误差 RMS 小于 3° ，增益误差 RMS 小于 1dB。2016 年，复旦大学 Jiexiong Liang 等人基于 65nm CMOS 工艺设计了一款 6~18GHz 六位有源数控移相器^[20]。该移相器重点改进了 DAC 调整精度，使得整体移相精度大大提高。其相位误差小于 1.66° ，增益误差小于 0.18dB，功耗仅有 9mW。2018 年，Jin-Tao Hu 等人在 65nm CMOS 工艺基础上设计出一款 6~18GHz 高精度有源移相器^[21]，其相位误差 RMS 低于 1.8° ，增益误差 RMS 小于 0.55dB，静态电流消耗为 36mA。同年，断宗明等人基于 $0.13\mu\text{m}$ CMOS 工艺设计了一款 X 波段六位有源移相器^[22]，其通过对 DAC 进行校准来提高移相精度，其相位误差控制在 3° 以内，增益误差小于 0.9dB，芯片面积为 0.57mm^2 ，直流功耗为 37.5mW。另外东南大学射光研究所也在宽带移相器的研究上取得很好的进展。2018 年，姚艳等人基于 $0.13\mu\text{m}$ SiGe BiCMOS 工艺设计的 6~18GHz 六位有源移相器^[23]移相相位误差低于 5.6° ，增益误差低于 1.05dB，芯片面积 0.9mm^2 。该移相器通过流片验证，可以很好的满足应用需求。

回顾前人研究的成果可以发现，移相器的研究重点已从过去无源结构的研究转向有源结构的研究。有源移相器不仅工作带宽大，插入损耗小，而且可以满足不同频段、不

同应用场景的需求。随着研究的不断深入,改进方案层出不穷,移相器性能也在不断的提高。只要总结前人经验,不断创新,便能够设计出满足需求的方案,为移相器的研究添砖加瓦。

1.3 研究内容和设计指标

1.3.1 研究内容

本文以相控阵收发芯片的设计为研究背景,开展对 40nm CMOS 工艺 6~18GHz 有源移相器的研究。移相器的相位误差和增益误差是移相器最为关键的两个指标,如何降低相位误差和增益误差是本文研究的重点内容。有源移相器的相位及增益误差主要来源于两个部分,第一部分是正交信号发生电路,第二部分是矢量合成模块。正交信号发生电路输出信号的正交特性是矢量合成的基础,而矢量合成模块增益的控制将直接影响最终输出信号的相位和幅度。输入巴伦的研究也是本文所要研究的内容之一,其性能直接影响着移相器的增益、线性度以及输入匹配的性能。此外,版图的设计也是本文主要研究的重点内容之一。射频电路的设计不仅包含了电路原理的设计还包含了芯片版图的设计。在射频电路中,金属连接线的寄生参数会电路的性能产生非常大的影响,版图设计的好坏将直接影响电路的实际性能。

1.3.2 设计指标

本课题研究的六位数控有源移相器设计指标如表 1.1 所示。

表 1.1 六位数控有源移相器设计指标

性能参数	指标
工艺	40nm CMOS
工作电压 (V)	1.2
工作频率 (GHz)	6~18
位数 (bit)	6
输入输出反射系数 (dB)	<-10
相位误差 RMS (°)	≤3
增益误差 RMS (dB)	≤1
温度 (°C)	-40~85

1.4 论文内容安排

本文共分为六个章节,各章的主要内容安排如下:

第一章：主要介绍了移相器研究背景，从相控阵系统的介绍引出本文所要研究的移相器。在列举国内外研究案例后，概括总结了移相器的发展历史和发展趋势。最后给出了本文的研究内容和设计指标。

第二章：介绍了移相器的基本原理以及主要性能指标。列举并分析了移相器几种常用结构的实现方法，通过原理性分析总结了各结构的优缺点。

第三章：首先简单介绍了有源移相器的系统结构，然后对处于射频信号通路中的输入输出巴伦、正交信号产生电路以及矢量合成模块进行了详细地分析和设计并给出了部分仿真结果。

第四章：对移相器数模转换电路进行了详细地分析和设计。数模转换电路包括电流合成电路、数模转换电流阵列以及逻辑编码电路，每一个模块的设计都会对移相器的移相特性产生影响。

第五章：主要介绍了移相器整体电路设计、版图设计以及仿真优化方法，并给出了最终的仿真结果。根据前两章原理的介绍，本章具体分析了温度、工艺角以及版图的寄生参数对移相器性能的影响。

第六章：为工作总结及展望。本章对移相器的设计进行了归纳总结，指出了在本文移相器设计中存在的不足，为后续的研究工作指明了方向。

第二章 移相器原理

2.1 移相器基本原理

任意移相器都可视为一个二端口网络，其网络参数随移相器移相状态的变化而变化，移相器相位变化示意图如图 2.1 所示。在参考状态下，移相器输出信号相位 θ_1 与输入信号相位 θ_0 存在一定的差值，该相位差为移相器的绝对移相量。在改变移相状态后，二端口网络网络参数发生变化，输入信号的相位 θ_0 在通过二端口网络后将变换成另一个相位 θ_2 。 θ_2 与 θ_1 也会存在一定差值，而该差值就是移相器相对移相量。通常来说，移相器的绝对移相量无法控制，其受移相器结构、尺寸以及输入信号频率等参数的影响，而相对移相量才是移相器在系统应用中主要关注的指标。

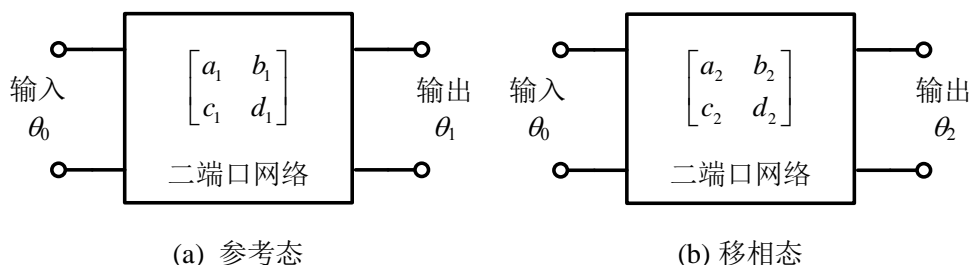


图 2.1 移相器相位变化示意图

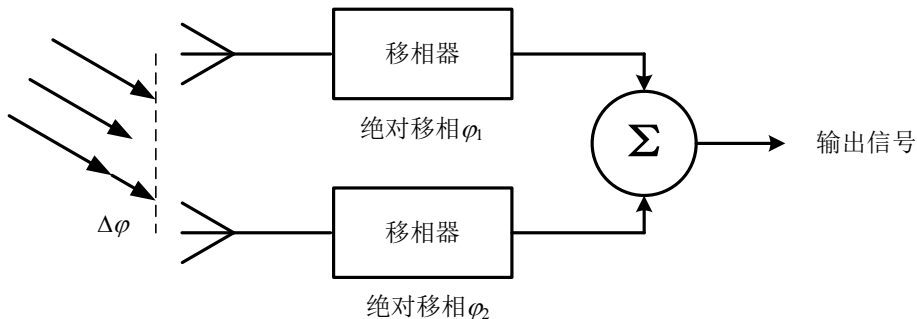


图 2.2 两组收发单元接收信号示意图

在有源相控阵系统中，阵列天线的后端都会接入一个结构相同的移相器。以最简单的两组收发单元为例，两组收发单元接收信号示意图如图 2.2 所示，假设微波信号以某个角度入射到天线平面上。由于微波信号传输到两个天线的空间距离不同，两组单元收到的信号在时域上存在一个相位差 $\Delta\varphi$ 。假设第一组信号的时域函数为 $\sin\omega t$ ，则另一组信号的时域函数为 $\sin(\omega t - \Delta\varphi)$ 。假设移相器的绝对移相量分别为 φ_1 、 φ_2 。两组单元收到的信号经过合成后，输出信号的时域函数为：

$$\begin{aligned} S(t) &= \sin(\omega t - \varphi_1) + \sin(\omega t - \Delta\varphi - \varphi_2) \\ &= 2\cos\left(\frac{\varphi_1 - \varphi_2 - \Delta\varphi}{2}\right)\sin\left(\omega t - \frac{\varphi_1 + \varphi_2 + \Delta\varphi}{2}\right) \end{aligned} \quad (2.1)$$

由式(2.1)可知, 移相器绝对移相量仅仅影响了输入输出信号之间的时间延迟, 而相对移相量却决定了输出信号的幅度。当 $\varphi_1 - \varphi_2 - \Delta\varphi$ 为 180° 时, 输出信号的幅度归零, 而当 $\varphi_1 - \varphi_2 - \Delta\varphi$ 为 0° 时, 输出信号的幅度变成了输入信号的两倍, 此时相控阵系统收到的信号幅度最大。通过不断扫描移相器移相角度 φ_1 、 φ_2 来获得幅度最大的输出信号就可以确定微波的入射方向。

相控阵系统不仅具有接收微波信号的功能还具有发射微波信号的能力, 两组收发单元发射信号示意图如图 2.3 所示。同一个输入信号经过功分器被平均分配到两组收发单元中, 收发单元对这两个同相位的信号进行移相再通过天线辐射到空间中。由于两组单元辐射的微波存在相位差, 微波的等相位平面与天线平面会存在一个夹角。通过改变移相器移相角度就可以在在一定范围内调整微波的辐射方向。

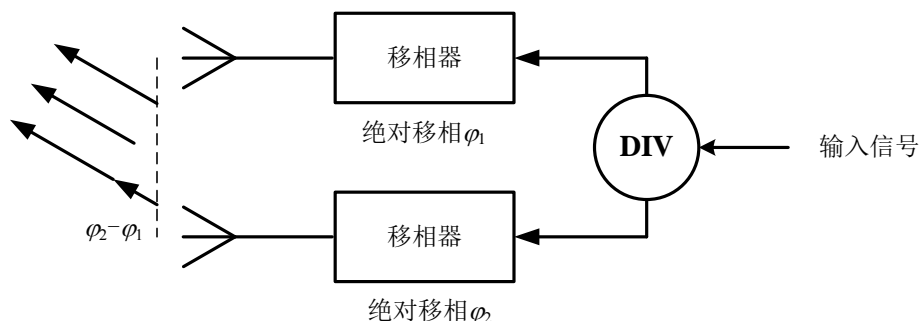


图 2.3 两组收发单元发射信号示意图

由以上分析可以看出相控阵雷达空间探测的基本原理。相控阵系统首先向空间的某一个方向发射微波信号, 微波信号在遇到障碍物后发生反射, 反射的微波信号又经由相控阵系统收集。通过对比收到信号的幅度与移相器移相角度即可确定障碍物的方向, 通过计算发射与接收的时间延迟即可确定障碍物的距离。移相器移相角度的偏差会导致相控阵系统对障碍物方向定位的偏差。因此, 移相器移相控制精度是移相器最为关键的指标, 它影响着相控阵系统对障碍物位置判定的精度。

2.2 移相器指标

移相器主要指标包括工作频带、移相范围、移相精度、相位误差、增益误差、插入损耗、输入输出匹配、切换时间等。除了这几个主要指标之外, 还有其它一些用来描述移相器特性的指标, 比如功耗、尺寸、工作温度等。这些指标指明了移相器适用的工作环境, 但不会对系统的性能产生严重影响。下面将对移相器的主要指标进行详细说明。

1) 工作频带

工作频带是指射频信号在通过移相器之后, 移相器性能未出现明显劣化的频率范围, 例如本文所设计的有源移相器工作频带为 6~18GHz。

2) 移相范围

移相范围是指移相器相对移相量的调节范围。一般移相器的移相范围为 $0\sim 360^\circ$ ，但是在有些应用场合中，移相范围并不需要那么大，为了简化电路降低成本可将移相器移相范围设为 $0\sim 180^\circ$ 。本文所设计的有源移相器为 $0\sim 360^\circ$ 全范围移相。

3) 移相精度

在数控移相器中，控制信号为离散的数字信号，而移相量却是可以连续变化的模拟量。为了确定两者一一对应的关系需要对移相量进行量化。移相精度就是将移相范围等分后相位变化的最小步长。当有 n 位数字信号时，移相器移相状态数为 2^n ，移相器的移相精度为 $360^\circ / 2^n$ 。本文设计的有源移相器为六位数控移相器，该移相器相位变化的最小步长为 5.625° 。

4) 相位误差

在数控移相器中，移相量为有限的离散值，六位移相器理想的移相量为 0° 、 5.625° 、 11.25° 、 16.875° 等。然而移相器并不是由理想器件构成，其相位变化受温度、工艺、频率等影响，在输出移相上总会与理想值存在偏差。同一移相状态下，频率不同相位误差不同。同一频率下，移相状态不同相位误差也不同。为了评价移相器相位误差的整体性能，通常采用最大相位误差和均方根相位误差来衡量。最大相位误差取工作频带内移相器实际移相量与理想值偏差的最大值。而均方根相位误差公式为：

$$\theta_{\Delta, \text{RMS}} = \sqrt{\frac{1}{N-1} \sum_{i=2}^N |\Delta\theta_i|^2} \quad (2.2)$$

其中 N 为移相器总的移相状态数， $\Delta\theta_i$ 为移相器第 i 个移相状态下的相位误差。均方根相位误差是一个随频率变化的曲线，其在工作频带内的最大值表征了移相器的移相性能。本文设计的有源移相器相位误差 RMS 值最大不能超过 3° 。

5) 增益误差

一般来讲，移相器的输出增益会随着移相状态的不同而发生改变。为了衡量该变化的大小于是就有了增益误差的概念。增益误差是指，在当前移相状态下，移相器增益与全部移相态的平均增益之差。为了评价移相器全部移相态的增益误差，通常采用均方根值来表征。增益误差均方根公式：

$$A_{\Delta, \text{RMS}} = \sqrt{\frac{1}{N} \sum_{i=1}^N |\Delta A_i|^2} \quad (2.3)$$

其中 $\Delta A_i = A_i - A_{\text{AVG}}$ ，表示第 i 个移相状态下增益与平均增益的偏差。均方根增益误差也是一个随频率变化的曲线。本文增益误差的指标要求是工作频带内增益误差 RMS 不超过 1dB。

6) 插入损耗

移相器输入信号功率在通过移相器后可能会发生衰减，其输出信号的功率将低于输入信号功率。将输出信号功率与输入信号功率的比值定义为插入损耗，通常采用分贝形式来表述，其公式为：

$$IL = -10 \lg \left| \frac{P_o}{P_i} \right| = -20 \lg |S_{21}| \quad (2.4)$$

其中 S_{21} 表示移相器的前向增益，式(2.4)第二个等号成立的条件是移相器输入输出匹配采用了相同的参考阻抗。

7) 输入输出匹配

为了提高功率传输效率，降低信号在传输线中的反射，还需要对移相器的输入输出进行匹配。输入输出匹配可以用输入输出的反射系数来表示，也可以用电压驻波比来表示。电压驻波比定义为电磁波传播产生驻波的电压波峰和波谷的幅度之比，用 $VSWR$ 表示。电压驻波比与 S 参数之间的关系由式(2.5)确定。

$$VSWR = \frac{1+|\Gamma|}{1-|\Gamma|} = \frac{1+|S_{11}|}{1-|S_{11}|} \quad (2.5)$$

为了避免单模块测试和模块级联移相器性能发生差异，本文移相器输入输出匹配统一采用 50 欧的参考阻抗。在本文移相器的指标中，输入输出反射系数应小于 -10dB。

8) 切换时间

移相器从一个移相状态切换到另一个移相状态所需的时间为移相器切换时间。无源移相器的切换时间通常仅由几个开关的切换时间来决定。而在有源移相器中，切换时间常常包含了数模转换时间以及数字编码的时间。

2.3 移相器分类

为了适应不同场合，满足不同需求，人们研制出了各种材质、各种结构、形态各异的移相器。根据控制方式的不同，移相器可分为数控移相器和模拟移相器。根据供电方式的不同，移相器可分为有源移相器和无源移相器。根据材质的不同，移相器又可分为半导体移相器、铁氧体移相等。常见的移相器结构有反射式移相器、开关线式移相器、加载线式移相器、高低通式移相器以及矢量合成移相器。

2.3.1 反射式移相器

反射式移相器^[24]利用反射信号的相位变化来进行移相。当阻抗元件的阻抗发生改变时，从其输入端口看进去的反射系数也会随之改变，进而引起反射信号的相位变化。一般情况下，入射信号与反射信号同时存在于同一个信号通路中，而反射式移相器需要将这两者进行分离，分别作为移相器的输入和输出。目前常采用定向耦合器来实现该功能，定向耦合器原理图如图 2.4 所示。

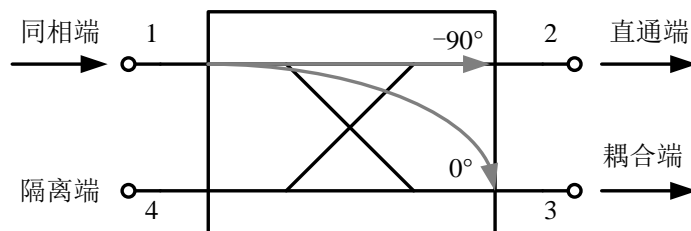


图 2.4 定向耦合器原理图

其中，端口 1 为同相端，其输入信号的能量被平均分配到端口 2 和端口 3 中。端口 2 为直通端，其输出信号的相位滞后于同相端 90° 。端口 3 为耦合端，其输出信号的相位与同相端一致。端口 4 为隔离端，没有能量被传输到该端口。定向耦合器四个端口具有对称性，可以相互转换。在反射式移相器中，将端口 1 作为输入端，端口 4 作为输出端，端口 2 和 3 分别加入一个阻抗相同的可变负载，定向耦合器结构反射式移相器原理示意图如图 2.5 所示。

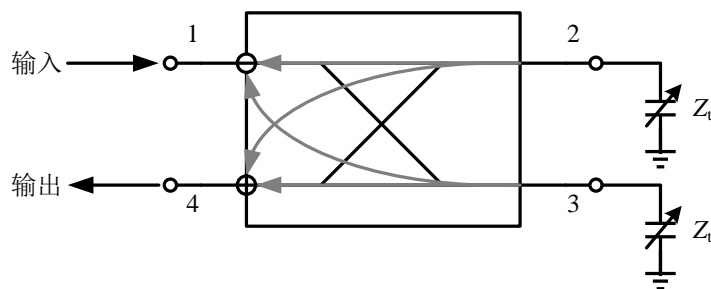


图 2.5 定向耦合器结构反射式移相器原理示意图

在图 2.5 中，输入信号被平均分配到端口 2、3 中，在遭遇阻抗相同的负载后发生反射，由此产生的反射信号将在端口 1 和端口 4 发生抵消和叠加。端口 1 的入射信号直通到端口 2 存在 90° 的相位滞后，端口 2 的反射信号直通到端口 1 又存在 90° 的相位滞后。假设可变负载为无损元件，则端口 2 与端口 3 的反射信号在端口 1 处的幅度相同相位相反，而在端口 4 的相位和幅度都相同。因此，反射信号将在端口 1 处相互抵消而在端口 4 处发生叠加。简言之，入射信号从端口 1 流入，而由负载引起的反射信号只会从端口 4 流出。如果端口 2 和 3 处的负载阻抗可调，则端口 4 处的反射信号相位也会随之改变。

反射式移相器插入损耗大,工作带宽窄,通常不能全范围移相。但由于其结构简单,移相误差小,功率容量大,非常适合用于大功率移相器的设计。

2.3.2 开关线式移相器

开关线式移相器利用射频信号在传输线中的传输延迟来进行移相。开关线式移相器原理图如图 2.6 所示,它由两段长度不同的传输线以及选通开关构成。

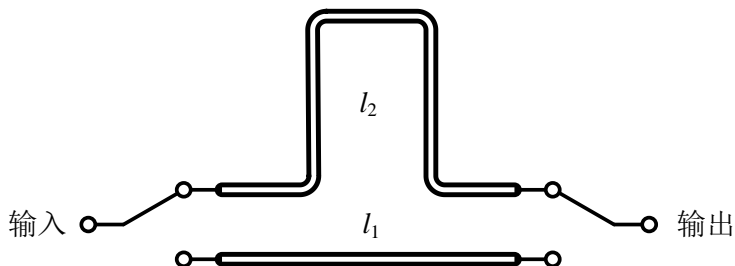


图 2.6 开关线式移相器原理图

射频信号在两段传输线中产生的相位差为:

$$\Delta\varphi = 2\pi f \frac{l_2 - l_1}{v} \quad (2.6)$$

其中 l_1 、 l_2 分别为两段传输线的长度, f 为射频信号频率, v 为射频信号在传输线中的传播速度, 通常为定值。式(2.6)表明两段传输线的相位差不仅与传输的线长度有关, 而且与射频信号的频率有关。这意味着开关线式移相器仅适用于窄带信号的移相。此外由于传输线损耗正相关于其长度, 开关线式移相器在实现大角度的移相时还会引入较大的增益误差。开关线式移相器虽然看起来结构简单但实现起来却并不容易, 设计一款隔离度高、损耗小的射频开关也是射频电路设计的一大难题。

2.3.3 加载线式移相器

加载线式移相器利用并联在传输线上的电抗元件来改变整体电路网络参数从而实现移相。典型加载线式移相器原理图如图 2.7 所示, 电抗元件相邻地加载在四分之一波长的传输线上。

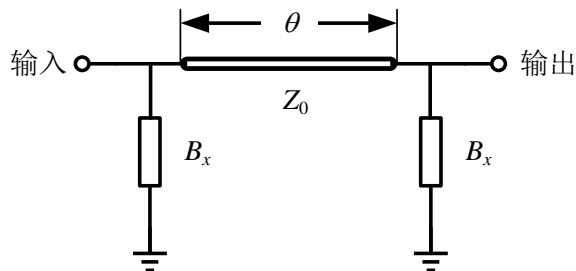


图 2.7 典型加载线式移相器原理图

假设传输线特征阻抗为 Z_0 , 并联电抗元件导纳为 jB_x , 整体电路 ABCD 参数^[25]为:

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ jB_x & 1 \end{bmatrix} \begin{bmatrix} 0 & jZ_0 \\ jY_0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ jB_x & 1 \end{bmatrix} = \begin{bmatrix} -B_x Z_0 & jZ_0 \\ j(Y_0 - B_x^2 Z_0) & -B_x Z_0 \end{bmatrix} \quad (2.7)$$

由 ABCD 参数与 S 参数的转换关系可以得到 S_{21} :

$$S_{21} = \frac{2}{A + B/Z_0 + CZ_0 + D} = \frac{1}{-B_x Z_0 + j \left(1 - \frac{B_x^2 Z_0^2}{2} \right)} \quad (2.8)$$

最终经过该移相器的相位和幅度变化为:

$$\varphi = \tan^{-1} \frac{\text{Im}(S_{21})}{\text{Re}(S_{21})} = \tan^{-1} \left(\frac{1}{B_x Z_0} - \frac{B_x Z_0}{2} \right) \quad (2.9)$$

$$|S_{21}| = \frac{1}{\sqrt{1 + \frac{(B_x Z_0)^4}{4}}} \quad (2.10)$$

由式(2.9)、式(2.10)可以看出, 加载线式移相器传输相位为 B_x 的奇函数, 前向增益为 B_x 的偶函数。 B_x 取 $+B$ 和 $-B$ 作为该移相器的两种移相状态即可实现移相状态不同相位改变而增益保持不变。当 B 的取值超过 $\sqrt{2}/Z_0$ 时, B 越大该移相器的移相角度就越大, 同时移相器的插入损耗也越严重。当 B 的取值低于 $\sqrt{2}/Z_0$ 时, B 越小该移相器的移相角度也越大, 但是 B 的微小偏差会导致移相角度大幅变化, 移相器移相精度大幅降低。因此加载线式移相器仅适合小角度的移相。

2.3.4 高低通式移相器

高低通式移相器利用了高低通滤波器相位超前和滞后产生的相位差来实现移相。典型高低通滤波器结构如图 2.8 所示, 它们由集总的电感电容构成。

以 π 型结构来分析其网络参数, 假设参考阻抗为 Z_0 , 输入输出匹配, 电感的归一化阻抗 $x = X/Z_0$, 电容的归一化导纳 $b = BZ_0$, 低通滤波器的 ABCD 参数^[25]为:

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ jB & 1 \end{bmatrix} \begin{bmatrix} 1 & jX \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ jB & 1 \end{bmatrix} = \begin{bmatrix} 1 - BX & jX \\ jB(2 - BX) & 1 - BX \end{bmatrix} \quad (2.11)$$

由 ABCD 参数与 S 参数的转换关系可以得到 S_{21} 、 S_{11} :

$$S_{21} = \frac{2}{A + B/Z_0 + CZ_0 + D} = \frac{2}{2(1 - bx) + j(2b + x - xb^2)} \quad (2.12)$$

$$S_{11} = \frac{A + B/Z_0 - CZ_0 - D}{A + B/Z_0 + CZ_0 + D} = \frac{j(-2b + x + xb^2)}{2(1 - bx) + j(2b + x - xb^2)} \quad (2.13)$$

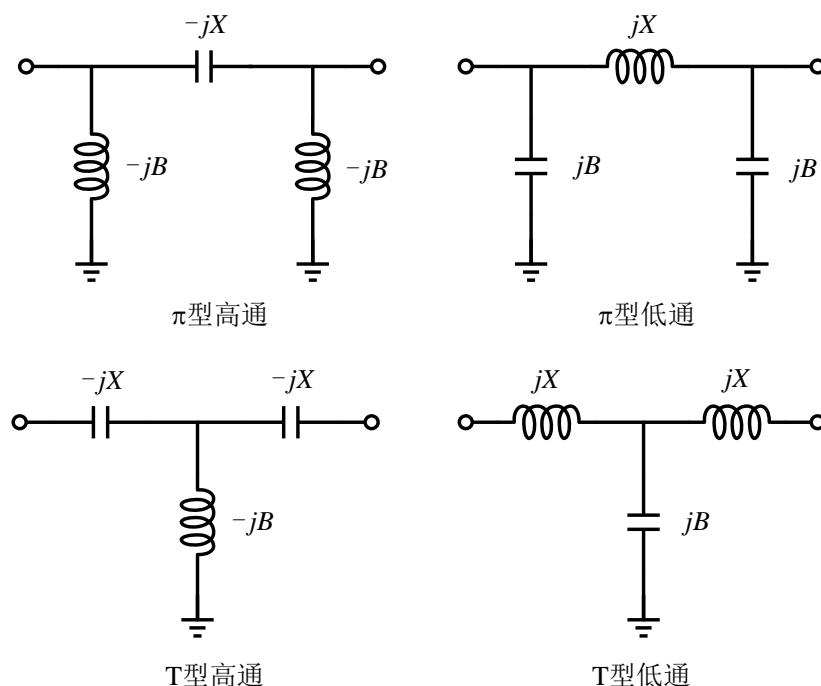


图 2.8 典型高低通滤波器结构

由于滤波器输入输出匹配, S_{11} 为 0, 由式(2.13)可以得到 x 与 b 的关系。式(2.12)可化简为:

$$S_{21} = \frac{1+b^2}{1-b^2+2jb} \quad (2.14)$$

通过同样的方法可以计算出 π 型高通滤波器的 S_{21} :

$$S_{21} = \frac{1+b^2}{1-b^2-2jb} \quad (2.15)$$

对比式(2.14)和式(2.15)可以发现, 两种网络的 S_{21} 仅在虚部的符号上有所区别, 即前向增益相同而相位不同。高低通式移相器通过开关选择要接入的网络即可实现信号相位的切换。由于电感和电容在片上集成时可以做的很大, 采用集总元件设计的高低通式移相器可用于低频信号的移相。

2.3.5 矢量合成移相器

矢量合成移相器通过对正交信号的幅度调制并叠加来实现移相, 矢量叠加示意图如图 2.9 所示。

矢量合成移相器首先将输入的单端信号转换成带正负的差分信号。差分信号又经过正交分解网络转换成两路幅度相等的正交信号。通过对正交两路差分信号的极性选择来对矢量合成的象限进行选择。通过对两路正交信号的幅度调制来对输出矢量的相位和幅度进行调整。矢量合成输出的相位和幅度分别为:

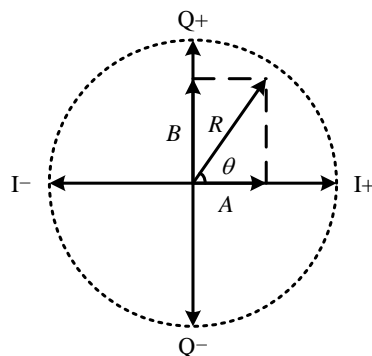


图 2.9 矢量叠加示意图

$$R = \sqrt{A^2 + B^2} \quad (2.16)$$

$$\theta = \tan^{-1} \frac{B}{A} \quad (2.17)$$

矢量合成移相器不仅可以对输出信号的相位进行调整，还可以改变其幅度大小。只要保证输出信号的幅度不变，改变两路正交信号的幅度比值即可完成输入信号的相位调制。

矢量合成移相器需要经过正交分解、增益控制、信号合成这三个步骤才能实现移相，每一步操作产生的偏差都会对最终输出的相位和幅度带来不好的影响。但是实现这些操作的电路都为宽带电路，非常适合用于宽带移相器的设计。此外，矢量合成移相器电路多为有源结构，不仅可以降低移相器尺寸，而且还大大降低了移相器对高性能无源器件的依赖。经过近些年的发展，矢量合成移相器在很多方面的性能已经大大超越其它结构的移相器。

2.4 本章小结

本章主要介绍了移相器的工作原理、主要指标以及几种常用结构移相器的实现方法。不难发现，移相器设计的目标都是在不改变输入信号幅度的情况下改变其相位。通过对几种常用结构移相器的分析，可以更全面的认识和理解移相器，为有源移相器的设计打下基础。

The top diagram is a block diagram of a vector modulation system. It starts with a '射频输入' (RF Input) connected to an '输入巴伦' (Input Balun). The balun has two outputs, 'IN+' and 'IN-', which feed into a '正交信号产生电路' (Quadrature Signal Generation Circuit). This circuit has four outputs: 'I+', 'I-', 'Q+', and 'Q-', which feed into a '矢量合成模块' (Vector Synthesis Module). The module has two outputs that feed into an '输出巴伦' (Output Balun), which finally produces the '射频输出' (RF Output).

The bottom diagram shows five circular constellation diagrams, each with a horizontal and vertical dashed axis.
 1. The first diagram shows a single vector pointing along the positive horizontal axis.
 2. The second diagram shows two vectors: one pointing along the positive horizontal axis and one pointing along the negative horizontal axis.
 3. The third diagram shows four vectors: one pointing along each of the positive and negative horizontal and vertical axes.
 4. The fourth diagram shows two vectors: one pointing into the first quadrant (positive horizontal, positive vertical) and one pointing into the third quadrant (negative horizontal, negative vertical).
 5. The fifth diagram shows two vectors: one pointing into the first quadrant and one pointing into the second quadrant (negative horizontal, positive vertical).

3.1 输入巴伦设计

The schematic diagram illustrates a 1.5-V, 10-GHz CMOS differential pair with a feedback network. The circuit is powered by a 1.5-V supply and ground. The input stage consists of a differential pair of NMOS transistors (M1, M2) biased by a current source (M4, M5) connected to BIAS2. The gates of M1 and M2 are driven by an RF input signal (RFIN) through a matching network (C1, L1, C2). The drains of M1 and M2 are connected to a feedback network consisting of a series combination of a resistor (R1), an inductor (L2), and a resistor (R2). This network is connected to the gates of a second differential pair of NMOS transistors (M8, M9). The gates of M8 and M9 are also biased by a current source (M6, M7) connected to BIAS3. The drains of M8 and M9 are connected to a load network consisting of a series combination of a resistor (R3), an inductor (L3), and a resistor (R4). The output signals (OUT- and OUT+) are taken from the drains of M8 and M9. The feedback network is designed to provide negative feedback to the input stage, improving the linearity and gain of the differential pair.

有源巴伦基本都是通过共栅放大器输出同相信号、共源放大器输出反相信号来实现差分信号的输出^[28]。有源巴伦结构如图 3.2 所示，它由三级电路构成。第一级由共源和共栅放大器构成^[29]，完成单端信号到差分信号的转换并实现输入匹配。第二级由共源放大器构成，用来驱动第三级电路。第三级为平衡缓冲电路^[30]，不仅可以降低差分信号的幅度和相位误差而且还具有一定的带负载能力。

3.1.1 输入匹配设计

简单共栅放大器电路结构及小信号等效如图 3.3 所示，其输入阻抗及增益^[31]：

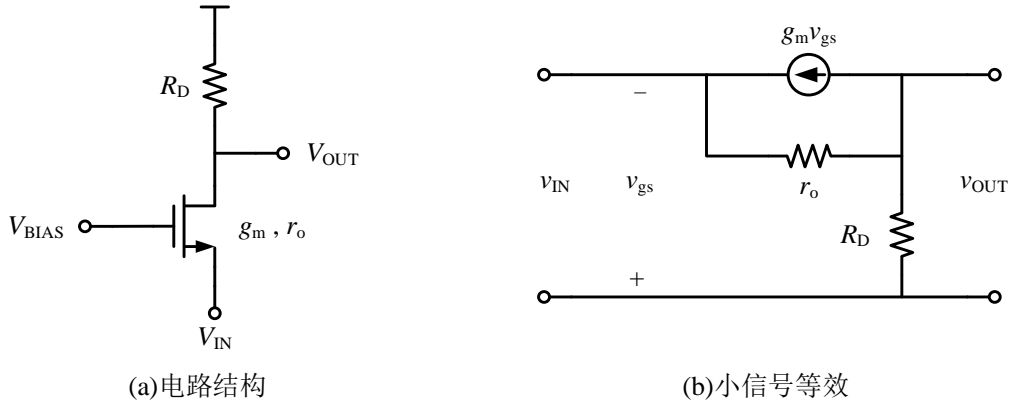


图 3.3 简单共栅放大器电路结构及小信号等效

$$R_{IN} = \frac{r_o + R_D}{1 + g_m r_o} \approx \frac{1}{g_m} \left(1 + \frac{R_D}{r_o} \right) \quad (3.1)$$

$$A_v = \frac{1 + g_m r_o}{r_o + R_D} R_D \approx g_m (r_o \parallel R_D) \quad (3.2)$$

式(3.1)、式(3.2)取近似值的条件为 $g_m r_o$ 远大于 1，即放大管本征增益远大于 1。近似条件下，共栅放大器增益公式与简单共源放大器一致。只要保证两种放大器负载相同，跨导一致，即可实现共栅与共源放大器的增益一致。在 MOS 管输出阻抗较大时，共栅放大器的输入阻抗接近 MOS 管跨导的倒数。

有源巴伦第一级放大器电路如图 3.4 所示，它由共源放大器和共栅放大器组成，其中 C1、C2 为隔直电容，从 M3 管看入的阻抗 Z_1 可视为阻抗为 $1/g_{m3}$ 的电阻与栅源电容的并联。M1 管在该电路中被设计为一个 MOS 二极管为输入提供一个实部阻抗，同时为第一级共栅放大器提供偏置电流，其阻抗将与 Z_1 并联。

在有些共栅放大器的设计中^[32]也会采用扼流电感替代 MOS 二极管，然而只有感抗较高的扼流电感才不会对匹配造成影响。本文设计的移相器工作频带为 6~18GHz。这意味着，需要一个在 6GHz 处感值很大的电感才不会对匹配造成影响。在本文的工艺条件

下,电感的感值会随着频率的变化而变化。对一个匝数 3 圈、线径 $8\mu\text{m}$ 、内径 $60\mu\text{m}$ 的电感进行仿真,电感的感值随频率变化曲线如图 3.5 所示。

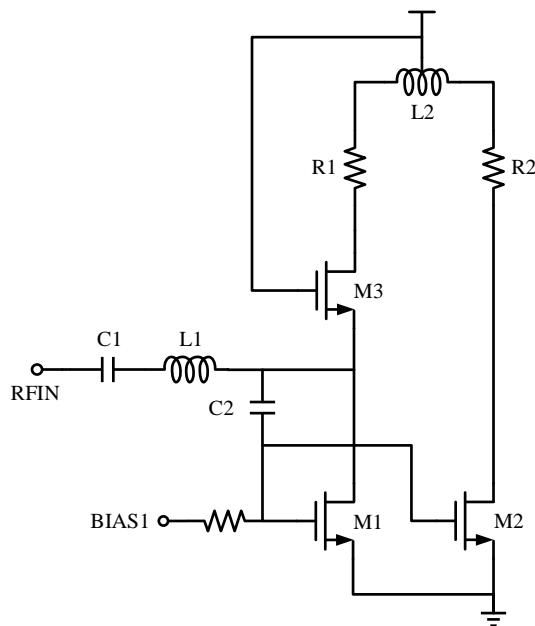


图 3.4 有源巴伦第一级放大器电路

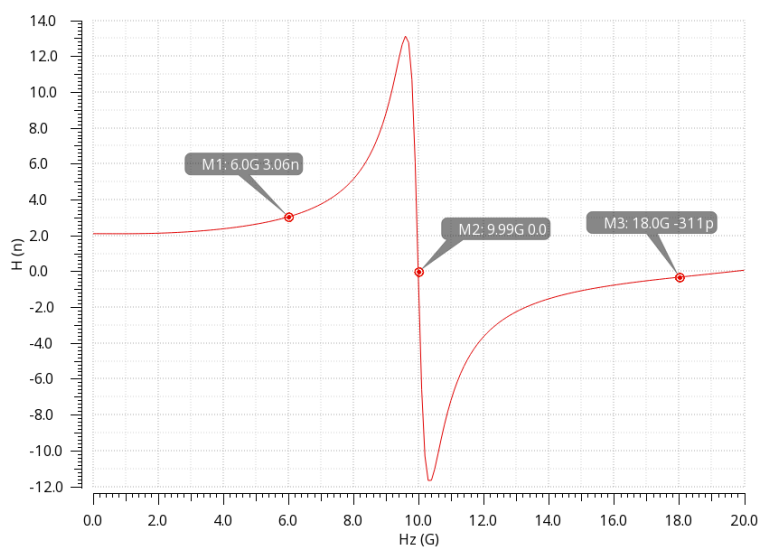


图 3.5 电感的感值随频率变化曲线

一个在 6GHz 仅有 3nH 的电感,其自谐振频率已经低于 18GHz。而自谐振频率不低于 18GHz 电感的感值又较小,明显会对输入匹配产生影响。因此采用扼流电感替代 MOS 二极管无法实现宽带匹配。

隔直电容通常采用大电容来实现,其本身的容抗可以忽略不计,但由它引起的对地寄生电容不能忽略。考虑其寄生电容的影响,第一级放大器输入匹配网络可等效一个 π 型匹配网络,等效输入匹配网络如图 3.6 所示。其中 $R_{\text{tot}} \approx 1/(g_{m3} + g_{m1} + g_{d1})$, C_{tot} 为 M1~M3 栅源电容、M1 漏源电容、M2 密勒电容以及 C2 寄生电容的并联。本文将电阻

R_{tot} 设置为 50 欧, 通过仿真得到 C_{tot} 大约为 120fF, 匹配网络 Q 值大约为 0.45, 可实现宽带匹配, 输入匹配 S_{11} 仿真结果如图 3.7 所示, 输入匹配 S_{11} 在工作频带内低于 -15.8dB 。

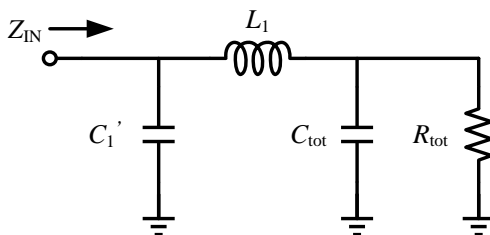


图 3.6 等效输入匹配网络

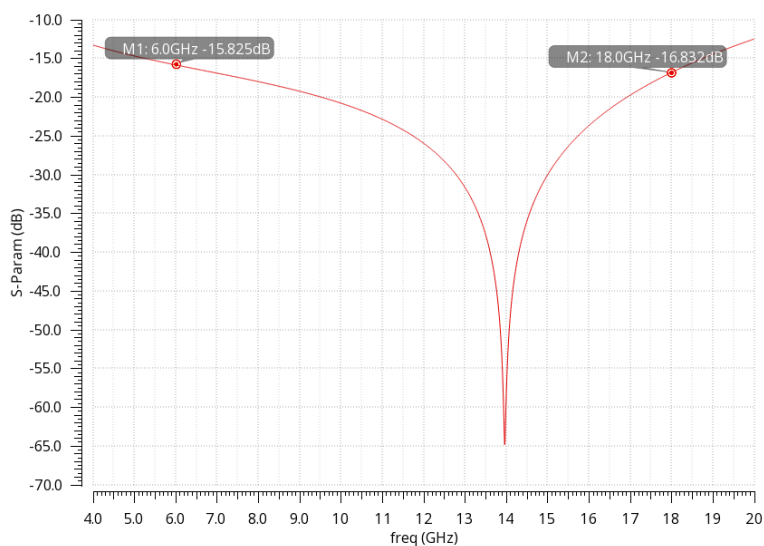


图 3.7 输入匹配 S_{11} 仿真结果

3.1.2 并联峰化技术

为了拓展带宽, 本文放大器基本都采用了并联峰化技术。以共源放大器为例, 并联峰化共源放大器如图 3.8 所示, 其漏极电阻串联了一个峰化电感。该放大器传递函数:

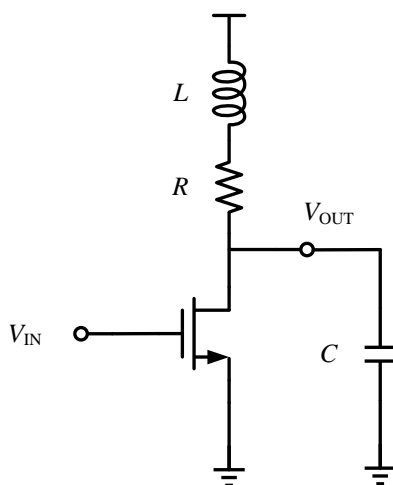


图 3.8 并联峰化共源放大器

$$H(s) = -g_m \left[(R + sL) \parallel \frac{1}{sC} \right] = -g_m R \frac{s(L/R) + 1}{s^2 LC + sRC + 1} \quad (3.3)$$

该传递函数存在两个极点和一个零点。当电感不存在时，即 L 值为 0，传递函数仅有一个极点，此时放大器 3dB 带宽 $\omega_0 = 1/RC$ 。并联峰化技术通过引入一个新的零点来对放大器带宽进行拓展。假设放大器加入峰化电感后 3dB 带宽为 ω_1 ，令 $m = R^2 C/L$ ，放大器 3dB 带宽扩展倍率^[33]：

$$\frac{\omega_1}{\omega_0} = \sqrt{\left(-\frac{m^2}{2} + m + 1 \right)} + \sqrt{\left(-\frac{m^2}{2} + m + 1 \right)^2 + m^2} \quad (3.4)$$

式(3.4)先增后减，当 m 取 $\sqrt{2}$ 有最大值 1.85。由此可知，并联峰化技术的带宽扩展能力存在极限，最大扩展至原带宽的 1.85 倍。如果放大器带宽在加入并联峰化技术后仍然不足以满足工作频带需求，那么只能通过降低漏极电阻或负载电容来增加带宽。

为了提供足够的输出驱动能力，有源巴伦第三级缓冲器采用了尺寸较大的 MOS 管来提升跨导，因此具有较大的输入电容。为了保证足够的输出增益，有源巴伦第一级放大电路的漏极电阻取值又较大。如果将第一级电路与第三级直接相连，有源巴伦整体的 3dB 带宽会大大降低。为此本文在第一级与第三级之间插入一个共源放大器，将第一级的漏极电阻与第三级的输入电容拆分到共源放大器的输入和输出端。在共源放大器的设计中，采用尺寸较小的 MOS 管与阻抗较低的漏极电阻可避免整体电路的带宽下降。

3.1.3 平衡缓冲器设计

为了降低第一级电路输出差分信号的相位和幅度误差，有源巴伦第三级电路采用了电容交叉耦合缓冲器^[34]。平衡缓冲器结构及小信号等效图如图 3.9 所示。

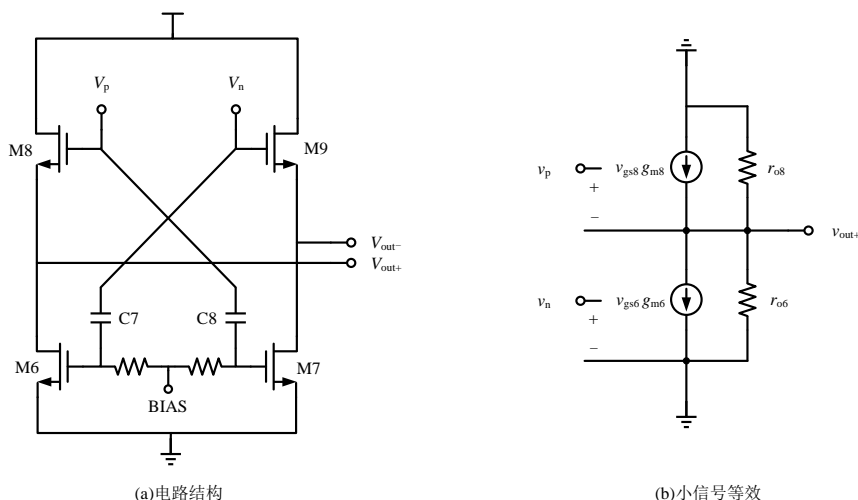


图 3.9 平衡缓冲器结构及小信号等效图

由小信号等效可以得到缓冲器输出电压：

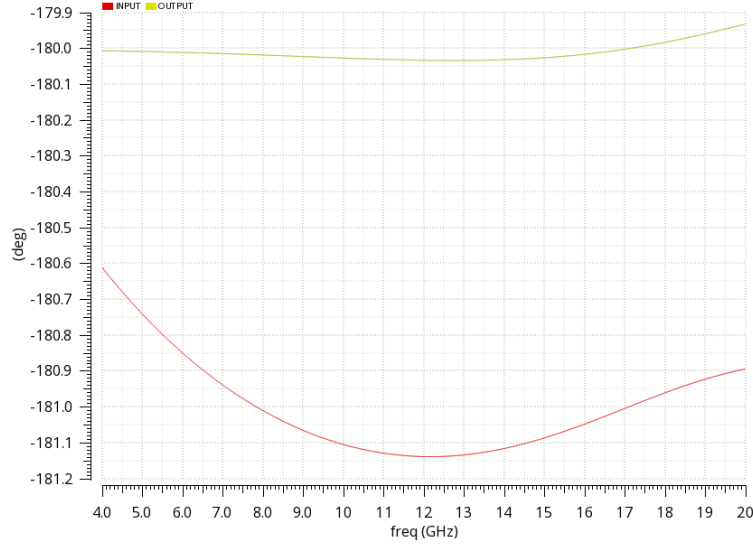
$$v_{out+} = \frac{g_{m8}v_p - g_{m6}v_n}{g_{m8} + 1/(r_{o6} \parallel r_{o8})} \quad (3.5)$$

$$v_{out-} = \frac{g_{m9}v_n - g_{m7}v_p}{g_{m9} + 1/(r_{o7} \parallel r_{o9})}$$

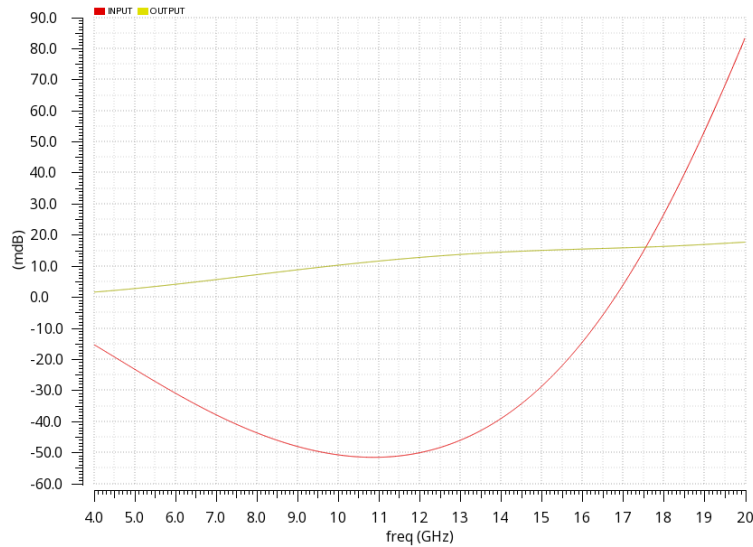
保证 M6~M9 跨导与输出电阻一致，则输出电压可简化为：

$$v_{out+} = -v_{out-} = \frac{g_m(v_p - v_n)}{g_m + 2/r_o} \quad (3.6)$$

平衡缓冲器输出电压幅度相同相位相反，且与输入信号的差分特性无关，因此可以降低最终输出差分信号的相位和幅度误差。



(a) 相位误差曲线



(b) 幅度误差曲线

图 3.10 平衡缓冲器输入与输出差分信号相位和幅度误差

平衡缓冲器输入与输出差分信号相位和幅度误差如图 3.10 所示。仿真结果显示，相位误差由最大的 1.15° 降低到 0.15° ，幅度误差由最大的 52mdB 降低到 16mdB，差分信号质量大大提高。

3.2 正交信号产生电路设计

正交信号产生电路将输入的差分信号转换成两路正交信号，对移相器相位误差和增益误差影响重大，是有源移相器最为关键的模块。目前常用结构有 LC 正交全通滤波器结构、RC 多相滤波器结构以及变压器结构^[35]。

3.2.1 正交全通滤波器

正交全通滤波器电路结构如图 3.11 所示，它由两路串联的 RLC 构成。

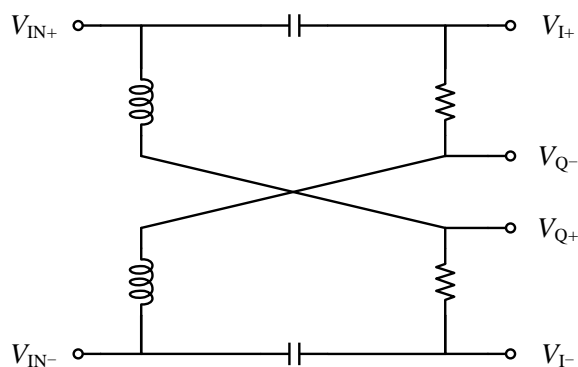


图 3.11 正交全通滤波器电路结构

正交全通滤波器电压输出公式：

$$\begin{aligned}
 V_{I+} &= \frac{R+sL}{R+sL+1/sC} V_{IN+} + \frac{1/sC}{R+sL+1/sC} V_{IN-} \\
 V_{I-} &= \frac{1/sC}{R+sL+1/sC} V_{IN+} + \frac{R+sL}{R+sL+1/sC} V_{IN-} \\
 V_{Q+} &= \frac{R+1/sC}{R+sL+1/sC} V_{IN+} + \frac{sL}{R+sL+1/sC} V_{IN-} \\
 V_{Q-} &= \frac{sL}{R+sL+1/sC} V_{IN+} + \frac{R+1/sC}{R+sL+1/sC} V_{IN-}
 \end{aligned} \tag{3.7}$$

令 $V_{IN+} = -V_{IN-} = V_0$ ， $Q = \sqrt{4L/CR^2}$ ， $\omega_0 = 1/\sqrt{LC}$ ，输出电压公式可化简为：

$$\begin{aligned}
V_{I+} &= + \frac{s^2 + \frac{2\omega_0}{Q}s - \omega_0^2}{s^2 + \frac{2\omega_0}{Q}s + \omega_0^2} V_0 \\
V_{I-} &= - \frac{s^2 + \frac{2\omega_0}{Q}s - \omega_0^2}{s^2 + \frac{2\omega_0}{Q}s + \omega_0^2} V_0 \\
V_{Q+} &= - \frac{s^2 - \frac{2\omega_0}{Q}s - \omega_0^2}{s^2 + \frac{2\omega_0}{Q}s + \omega_0^2} V_0 \\
V_{Q-} &= + \frac{s^2 - \frac{2\omega_0}{Q}s - \omega_0^2}{s^2 + \frac{2\omega_0}{Q}s + \omega_0^2} V_0
\end{aligned} \tag{3.8}$$

由式(3.8)可知, I/Q 两路信号在全频带内幅度一致, 相位不同。将 $j\omega$ 代入式(3.8)可以得到 I/Q 两路信号的相位差:

$$\varphi = \angle V_{I\pm} - \angle V_{Q\pm} = 2 \tan^{-1} \frac{2\omega\omega_0/Q}{\omega_0^2 + \omega^2} \tag{3.9}$$

当 $Q > 1$ 时, φ 始终小于 90° 。当 $Q = 1$ 时, I/Q 两路信号仅在 ω_0 处完全正交。当 $Q < 1$ 时, 存在两个 ω 值使得 I/Q 两路信号完全正交。通过计算可以得到两个正交频点分别为:

$$\begin{aligned}
\omega_1 &= \left(\frac{1}{Q} + \sqrt{\frac{1}{Q^2} - 1} \right) \omega_0 \\
\omega_2 &= \left(\frac{1}{Q} - \sqrt{\frac{1}{Q^2} - 1} \right) \omega_0
\end{aligned} \tag{3.10}$$

由式(3.9)、式(3.10)可知, Q 值越小, 正交频点的距离就越远, 相应地在 ω_0 处正交的相位误差也会越大。因此正交全通滤波器输出准确正交信号的带宽有限。为了进一步提高正交信号的频率范围, 人们又提出了具有 3 个完全正交频点的 SCQAF 结构^[36], SCQAF 正交信号发生电路结构如图 3.12 所示。

SCQAF 结构采用了 5 个电感, 在提高正交信号带宽的同时也大大增加了芯片的面积。在综合考虑芯片面积与相位误差等问题后, 本文并未采取该结构作为正交信号产生电路。

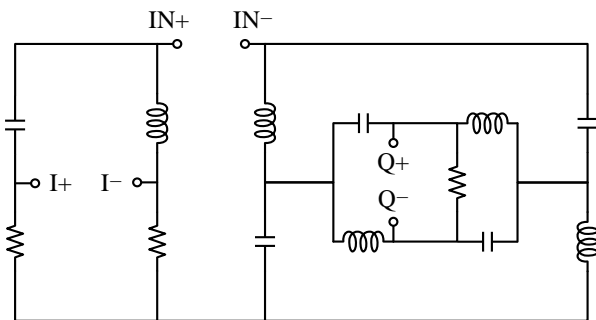


图 3.12 SCQAF 正交信号发生电路结构

3.2.2 变压器正交信号产生电路

变压器正交信号产生电路利用 3dB 耦合器直通端与耦合端相位相差 90° 的特性来实现正交信号的产生，其基本单元为一个变压器结构的 3dB 耦合器。变压器集总元件等效图如图 3.13 所示，其主次线圈绕线方向相同。如果变压器为片上集成的微带线结构，那么主次线圈之间还会存在一个耦合电容。在集总元件等效中可将该耦合电容等效到变压器的端口处。

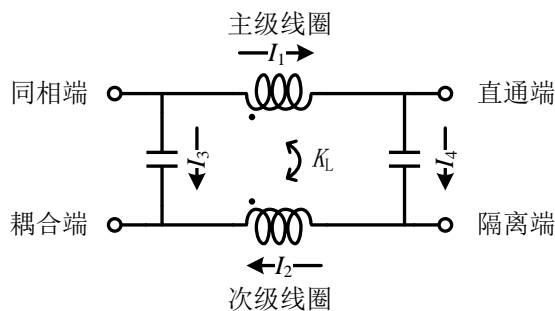


图 3.13 变压器集总元件等效图

在同相端加入一个激励信号后，主级线圈会产生一个向右的激励电流 I_1 ，次级线圈会感生出一个向左的感生电流 I_2 。而耦合电容也会产生出由主级线圈向次级线圈的耦合电流 I_3 、 I_4 。如果耦合电流 I_4 与感生电流 I_2 相等，那么隔离端将没有电流流出。此时，变压器便实现了 3dB 耦合器的功能。3dB 耦合器同相端的输入功率被平均分配到直通端与耦合端，而且耦合端与直通端输出信号相位相差 90° 。

单级变压器正交信号产生电路结构如图 3.14 所示，它由 4 个变压器结构的 3dB 耦合器构成，在没有 $\pm 90^\circ$ 信号输入时，B、C 两组变压器可以省略。单级变压器正交信号产生电路输入的正交信号即使存在相位和幅度的偏差，其输出的信号也依然为一个完全正交的信号。单级变压器正交信号产生电路矢量合成原理如图 3.15 所示，输入信号虽然存在相位偏差，但输出的信号依然为一个完全正交的信号。

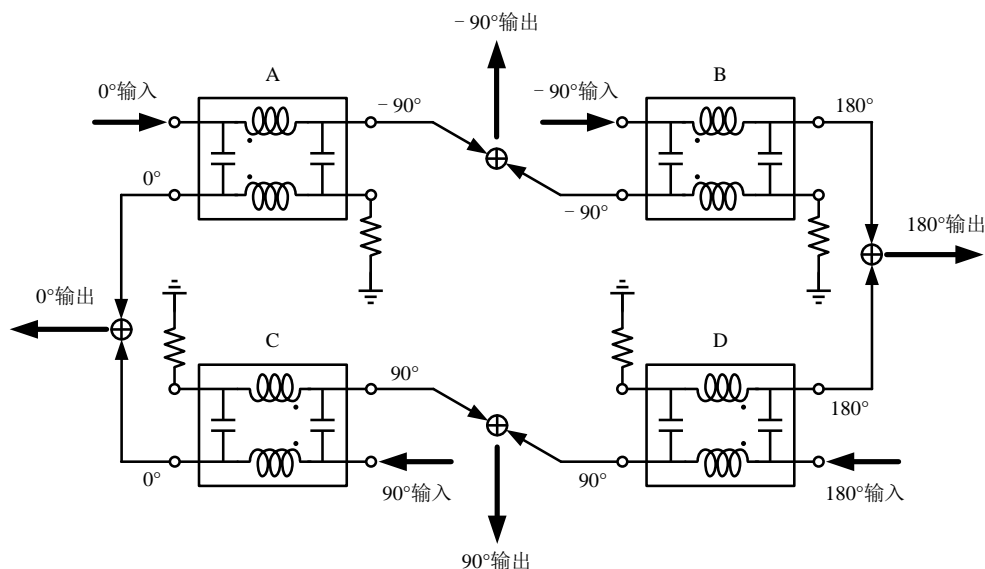


图 3.14 单级变压器正交信号产生电路结构

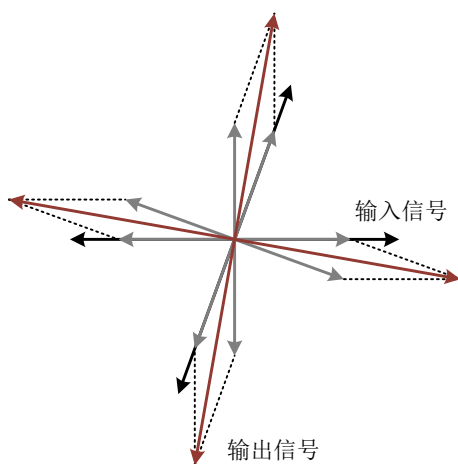


图 3.15 单级变压器正交信号产生电路矢量合成原理

由于 3dB 耦合器为窄带器件，单级变压器正交信号产生电路输出的正交信号仅有一个完全正交的频点。通过级联多个正交频点不同的变压器正交信号产生电路就可以使输出的信号在多个频点处完全正交，从而实现宽带正交信号的产生。文献[37]采用了三级级联结构，三个完全正交的频点分布在 2~24GHz 内。理论上，3dB 耦合器的耦合端与直通端分别得到了输入端的一半功率。仅考虑矢量合成的能量损耗，多级级联变压器正交产生电路与单级电路的插入损耗十分接近。

一个 3dB 耦合器由一个变压器构成，一级正交信号产生电路就需要 4 个 3dB 耦合器，三级结构就需要 10 个 3dB 耦合器。其中第一级电路不存在 $\pm 90^\circ$ 信号输入，所以只需要两个 3dB 耦合器。为了降低芯片面积，文献[37]将变压器进行了折叠，电路实际占用面积相当于 5 个变压器的面积。虽然变压器正交信号产生电路存在面积过大的问题，但是其损耗小、带宽大，在不考虑成本时依然不失为一种很好的选择。

3.2.3 多相滤波器

多相滤波器由 RC-CR 电路构成, 利用 RC 低通电路与 CR 高通电路输出信号的相位差来实现正交信号的产生。两种典型结构多相滤波器如图 3.16 所示, 其最大的区别就是其第一级 RC 电路的连接方式。

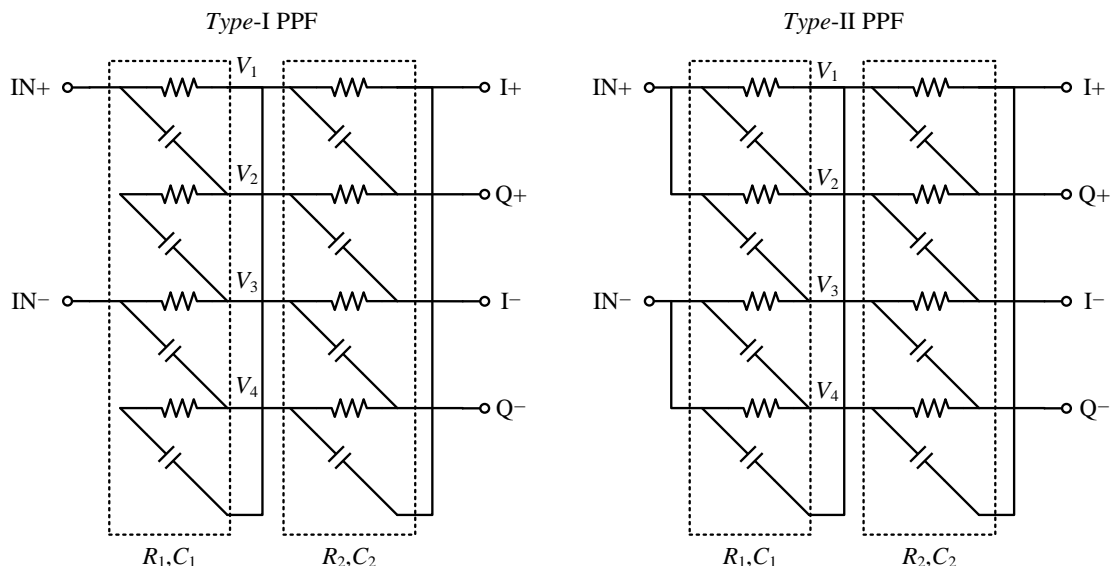


图 3.16 两种典型结构多相滤波器

对 Type-I 多相滤波器进行分析, 令 $V_{IN+} = -V_{IN-} = V_0$, 第一级输出电压公式:

$$\begin{aligned} V_1 &= -V_3 = \frac{1}{1 + sR_1C_1} V_0 \\ V_2 &= -V_4 = \frac{sR_1C_1}{1 + sR_1C_1} V_0 \end{aligned} \quad (3.11)$$

由式(3.11)可知, 正交两路信号在全频段相位相差 90° , 而幅度仅在频率 $1/R_1C_1$ 处相等。计算第二级输出电压公式:

$$\begin{aligned} V_{I+} &= + \frac{1 - s^2 R_1 R_2 C_1 C_2}{(1 + sR_1C_1)(1 + sR_2C_2)} V_0 \\ V_{I-} &= - \frac{1 - s^2 R_1 R_2 C_1 C_2}{(1 + sR_1C_1)(1 + sR_2C_2)} V_0 \\ V_{Q+} &= + \frac{s(R_1C_1 + R_2C_2)}{(1 + sR_1C_1)(1 + sR_2C_2)} V_0 \\ V_{Q-} &= - \frac{s(R_1C_1 + R_2C_2)}{(1 + sR_1C_1)(1 + sR_2C_2)} V_0 \end{aligned} \quad (3.12)$$

第二级输出信号同样在全频带内相位相差 90° , 而幅度相等的频点增加了一个 $1/R_2C_2$ 。因此二级结构 Type-I 多相滤波器可以在一定带宽内产生精度较高的正交信号。通过同样的方法可以写出 Type-II 多相滤波器电压输出函数:

$$\begin{aligned}
V_{I+} &= + \frac{(1 - s^2 R_1 R_2 C_1 C_2) - s(R_1 C_1 + R_2 C_2)}{(1 + s R_1 C_1)(1 + s R_2 C_2)} V_0 \\
V_{I-} &= - \frac{(1 - s^2 R_1 R_2 C_1 C_2) - s(R_1 C_1 + R_2 C_2)}{(1 + s R_1 C_1)(1 + s R_2 C_2)} V_0 \\
V_{Q+} &= + \frac{(1 - s^2 R_1 R_2 C_1 C_2) + s(R_1 C_1 + R_2 C_2)}{(1 + s R_1 C_1)(1 + s R_2 C_2)} V_0 \\
V_{Q-} &= - \frac{(1 - s^2 R_1 R_2 C_1 C_2) + s(R_1 C_1 + R_2 C_2)}{(1 + s R_1 C_1)(1 + s R_2 C_2)} V_0
\end{aligned} \tag{3.13}$$

由式(3.13)可知, *Type-II* 多相滤波器在全频带内幅度相等, 相位只有在频率 $1/R_1 C_1$ 、 $1/R_2 C_2$ 处相差精确的 90° 。

对比两种类型多相滤波器的传递函数, 它们各有特点。*Type-I* 多相滤波器保证了全频带相位正交, 而幅度仅在两个频点处一致。全频段内的幅度误差会全部转换成后级可变增益放大器的增益误差。考虑矢量合成特点, 相角接近 0° 、 90° 、 180° 、 270° 的矢量对可变增益放大器增益控制精度要求非常高, 一个很小的幅度偏差就会导致较大的相位变化。因此 *Type-I* 多相滤波器构成的有源移相器相位误差仅在两个完全正交的频点处较小, 而在其它频点处较大。*Type-II* 多相滤波器保证了全频带内幅度一致, 相位仅在两个频点处相差精确的 90° 。考虑矢量合成的特点, 正交信号的相位偏差会阶梯式分布到所有的移相状态中去。相角接近在 0° 和 180° 的相位误差最小, 相角接近 90° 和 270° 的相位误差最大, 并且接近正交信号的相位误差。由相位误差 RMS 计算公式可知, *Type-II* 多相滤波器构成的有源移相器在非完全正交的频点处相位误差也不会很大。简而言之, 矢量合成移相器的相位误差对正交信号的幅度偏差比较敏感而对正交信号的相位偏差不太敏感。

多相滤波器除了以上两种基本结构外, 还有一些其它改进结构。比如在 *Type-I* 多相滤波器的第一级虚地端接入额外的 RC-CR 电路引入一个新的正交频点来降低带宽内正交信号的幅度偏差^[38], 又或者是 *Type-M* 多相滤波器^[39]在第一级采用两种频点的 RC-CR 电路来提高带宽。这些改进结构的多相滤波器在全频带内既有相位偏差也有幅度偏差, 虽然产生的正交信号带宽较大, 但仍然不能有效的降低矢量合成移相器的相位误差。

因此本文正交信号产生电路采用了三级级联 *Type-II* 多相滤波器, 三级多相滤波器结构如图 3.17 所示。多相滤波器的插入损耗会随着级联数的增多而增加, 因此本文设计的多相滤波器存在插入损耗过大的问题。为了降低插入损耗, 文献[40]提出一种 LC 功

分电路来改善插入损耗。但是由于改进方案引入了电感，而且插入损耗改善效果并不明显，在权衡利弊之后本文并未采用。

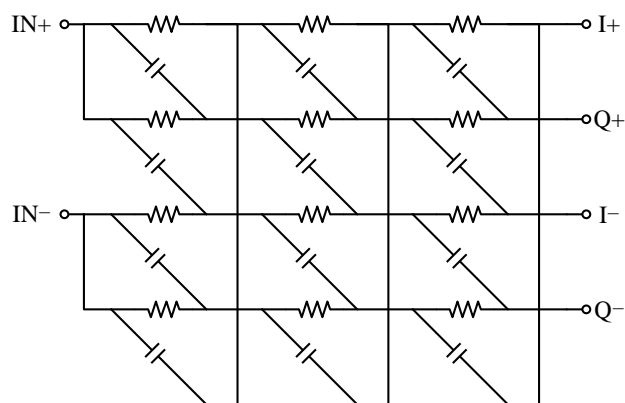


图 3.17 三级多相滤波器结构

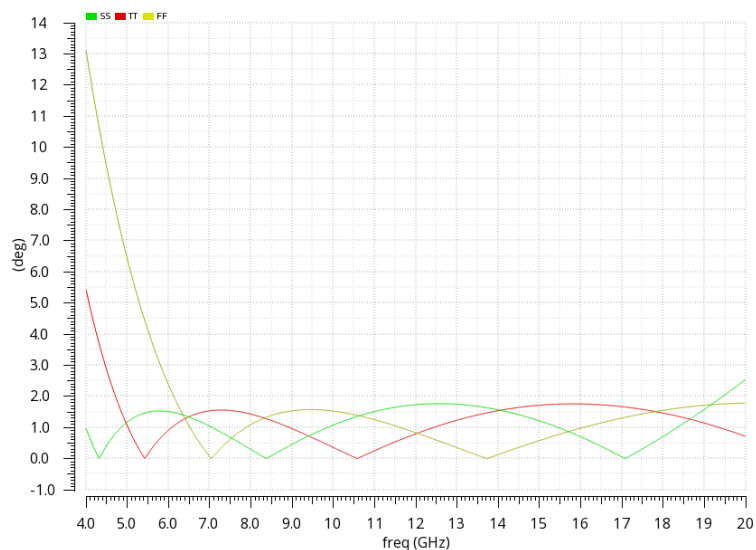


图 3.18 正交多相滤波器在不同工艺角下相位误差

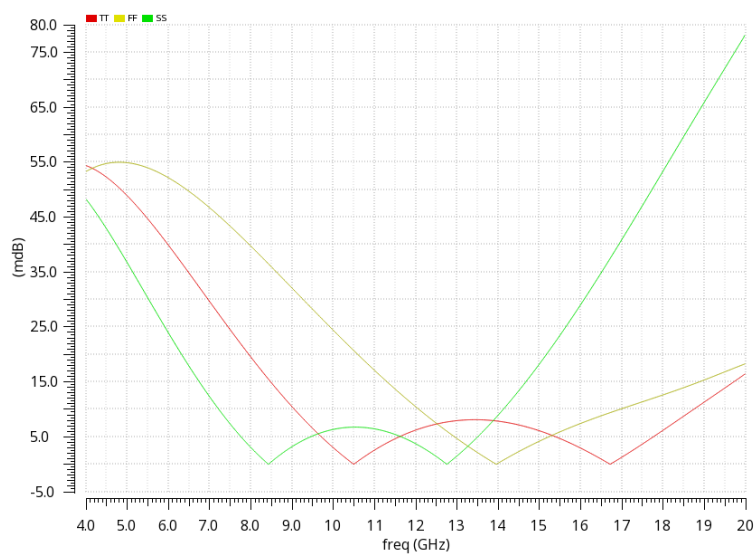


图 3.19 正交多相滤波器在不同工艺角下幅度误差

为了克服工艺角的影响，三级多相滤波器三个正交频点分布在 4G~22GHz 内，正交多相滤波器在不同工艺角下相位误差如图 3.18 所示，正交多相滤波器在不同工艺角下幅度误差如图 3.19 所示。在 6~18GHz 内，正交信号的相位误差低于 1.8° ，幅度误差低于 55mdB。

3.3 矢量合成单元的设计

矢量合成单元也是有源移相器核心电路之一。它由两路可变增益放大器构成，在完成两路正交信号的幅度调制后再对调制后的信号进行叠加以完成矢量的合成。矢量合成单元电路图如图 3.20 所示。

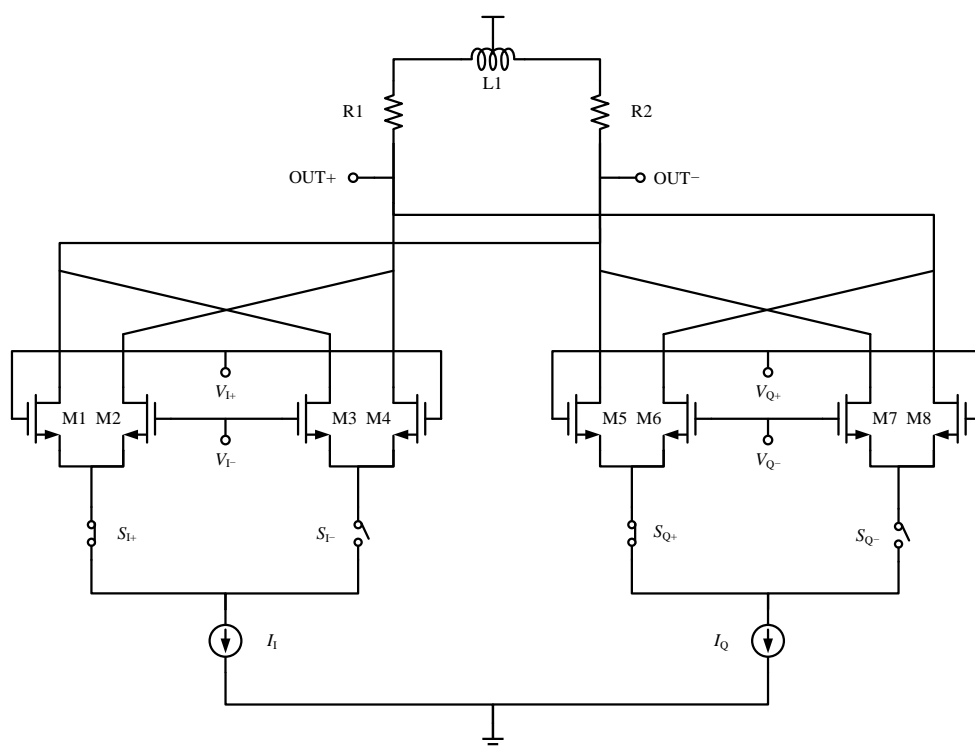


图 3.20 矢量合成单元电路图

可变增益放大器通常采用吉尔伯特单元来实现，通过改变吉尔伯特单元尾电流大小来改变增益。吉尔伯特单元由上下两层 NMOS 管构成，在本文的设计中将下一层 NMOS 管当作开关使用。通过开关 S_1 、 S_Q 可以对输入差分信号的极性进行选择，从而实现任意象限的矢量合成。两路差分的电压信号通过放大管转换成差分的电流信号，而两路吉尔伯特单元共用同一负载又可将差分的电流信号进行合成。合成后的电流信号通过负载转换成电压信号即可完成矢量的叠加输出。不考虑 MOS 管的二级效应，饱和状态下 MOS 管跨导为 $\sqrt{2KI}$ ，其中 $K = \mu_n C_{ox} \frac{W}{L}$ ，矢量合成单元电压输出公式：

$$v_{OUT} = (g_{m1}v_1 + g_{mQ}v_Q)Z_L = (v_1\sqrt{2KI_1} + v_Q\sqrt{2KI_Q})Z_L \quad (3.14)$$

假如 I/Q 信号完全正交，则式(3.14)可以写成：

$$v_{\text{OUT}} = \left(\sqrt{2KI_I} + j\sqrt{2KI_Q} \right) v_0 Z_L \quad (3.15)$$

由式(3.15)可以写出矢量合成模块输出增益和相位：

$$A_v = Z_L \sqrt{2K(I_I + I_Q)} \quad (3.16)$$

$$\theta = \tan^{-1} \sqrt{\frac{I_Q}{I_I}}$$

由式(3.16)可知，保证两路吉尔伯特单元尾电流之和不变，调节尾电流之比，即可实现矢量的相位改变而幅度不变。

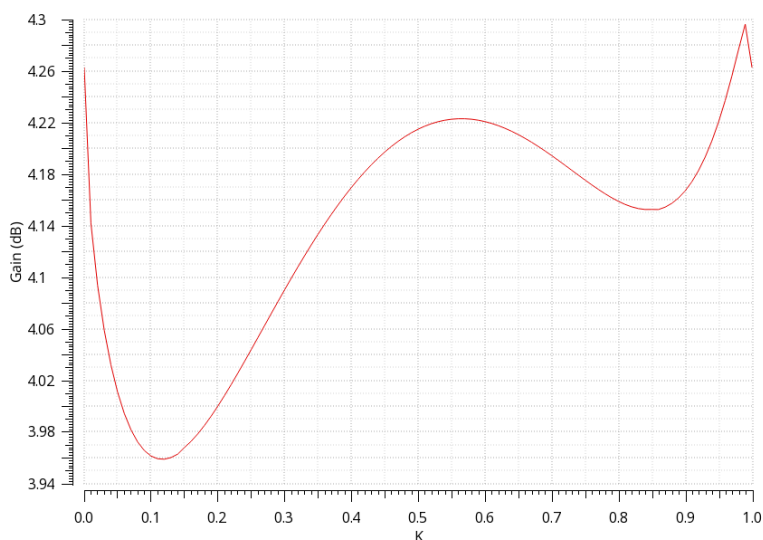


图 3.21 矢量合成单元输出增益随 K 的变化曲线

然而在实际的电路设计中，M1~M8 通常会采用短沟道 MOS 管来提高截止频率以增大工作带宽。考虑沟道调制效应带来的影响，输出增益公式会引入 MOS 管输出电阻，而且 MOS 管跨导也会略低于理想情况。也就是说，保证吉尔伯特单元尾电流之和不变依然不能保证矢量合成单元的输出增益不变。这就是本文有源移相器增益误差产生的主要原因。矢量合成单元输出增益随 K 的变化曲线如图 3.21 所示，其中 K 为 I 路电流占总电流的比例。随着电流比例的变化，增益会有大约 0.3dB 的波动。

3.4 输出巴伦设计

本文设计的输出巴伦电路如图 3.22 所示，它由两个尺寸相同的 NMOS 管构成。

由于共源放大管寄生电容存在密勒效应，因此 M1、M2 的输入电容并不相等。在吉尔伯特单元与输出巴伦级联时，为了降低负载不对称对移相的影响，本文在这两个模块

之间插入了一级平衡缓冲器。不考虑寄生电容的影响，输出巴伦交流电压公式及内阻公式：

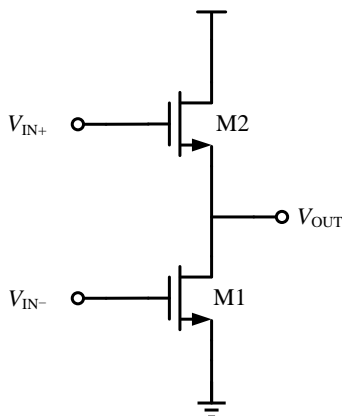


图 3.22 输出巴伦电路

$$v_{OUT} = \frac{g_m (v_{IN+} - v_{IN-})}{g_m + 2/r_o} \quad (3.17)$$

$$R_{OUT} = \frac{1}{g_m + 2/r_o}$$

输出匹配时，可将输出阻抗等效为 R_{OUT} 电阻与寄生电容的并联，通过串联电感和隔直电容可实现一个 π 型输出匹配，其中隔直电容的对地寄生电容参与了匹配网络的匹配。匹配时，有源巴伦输出幅度将略低于输入的单端电压幅度。

3.5 本章小结

本章对有源移相器射频信号通路中的电路进行了分析和设计。射频信号通路中，器件的寄生参数会对有源移相器的匹配及增益带宽产生重大影响。为了提高有源移相器的工作带宽，本文在输入巴伦的设计中采用了并联峰化技术，在多相滤波器的设计中采用了 3 级级联结构。结合矢量合成原理，本文在各模块的介绍中厘清了模块输出特性与有源移相器相位误差、增益误差之间的关系，通过原理分析为各模块器件参数的优化指明了方向。

第四章 数模转换电路设计

本章将对吉尔伯特单元尾电流产生电路进行分析和设计。选择合适的电流合成方式可以大大降低移相器的移相误差。电流产生电路通常采用电流镜构成的受控电流源来实现，基本电流镜电路结构如图 4.1 所示。

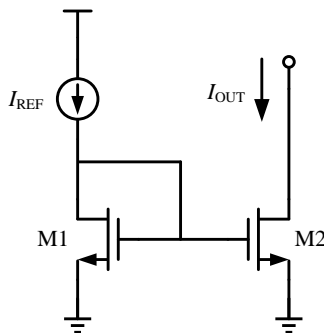


图 4.1 基本电流镜电路

不考虑沟道调制效应，M1 与 M2 的电流公式：

$$\begin{aligned} I_{\text{REF}} &= \frac{1}{2} \mu_n C_{\text{ox}} \left(\frac{W}{L} \right)_1 (V_{\text{GS1}} - V_{\text{th}})^2 \\ I_{\text{OUT}} &= \frac{1}{2} \mu_n C_{\text{ox}} \left(\frac{W}{L} \right)_2 (V_{\text{GS2}} - V_{\text{th}})^2 \end{aligned} \quad (4.1)$$

由于 M1 与 M2 栅极短接， $V_{\text{GS1}} = V_{\text{GS2}}$ ，输出电流公式：

$$I_{\text{OUT}} = \frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} I_{\text{REF}} \quad (4.2)$$

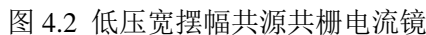
输出电流由参考电流与两个 MOS 管的尺寸决定，不受输出负载的影响，可以得到精确的控制。然而 MOS 管还存在二级效应，考虑 MOS 沟道调制效应，M1 与 M2 的电流公式：

$$\begin{aligned} I_{\text{REF}} &= \frac{1}{2} \mu_n C_{\text{ox}} \left(\frac{W}{L} \right)_1 (V_{\text{GS1}} - V_{\text{th}})^2 (1 + \lambda V_{\text{DS1}}) \\ I_{\text{OUT}} &= \frac{1}{2} \mu_n C_{\text{ox}} \left(\frac{W}{L} \right)_2 (V_{\text{GS2}} - V_{\text{th}})^2 (1 + \lambda V_{\text{DS2}}) \end{aligned} \quad (4.3)$$

此时输出电流与参考电流之比：

$$\frac{I_{\text{OUT}}}{I_{\text{REF}}} = \frac{\left(\frac{W}{L} \right)_2 (1 + \lambda V_{\text{DS2}})}{\left(\frac{W}{L} \right)_1 (1 + \lambda V_{\text{DS1}})} \quad (4.4)$$

在简单电流镜的分析中，电流镜匹配的前提条件是 MOS 管都工作在饱和区。而如果出现 M2 的漏极电压低于 $V_{GS2} - V_{th}$ ，那么 M2 将进入线性区，输出电流失去受控能力。因此电流镜还存在输出电压摆幅的问题，这在低压电路中非常关键。在图 4.2 的电流镜中，MOS 管全部工作在饱和区的条件为：



在简单电流镜的分析中，电流镜匹配的前提条件是 MOS 管都工作在饱和区。而如果出现 M2 的漏极电压低于 $V_{GS2} - V_{th}$ ，那么 M2 将进入线性区，输出电流失去受控能力。因此电流镜还存在输出电压摆幅的问题，这在低压电路中非常关键。在图 4.2 的电流镜中，MOS 管全部工作在饱和区的条件为：

通过调节 M5 栅源电压可对 M1 的漏源电压进行压缩，从而提高整体电路的输出摆幅。其最大的输出摆幅可以达到电源电压减去两倍的 M1 过驱动电压。假设参考电流与输出电流之比等于 M4 与 M2 尺寸之比，那么 M2、M4 的源极电压会非常接近。通过该方法可以强制让 M1 与 M3 的漏源电压相同，大大降低电流镜的失配。

34

由式(3.16)可知, 保证两路吉尔伯特单元尾电流之和不变, 调节尾电流之比, 即可实现矢量的相位改变而幅度不变。因此本文在尾电流的设计中, 将正交两路尾电流分别设计成 $I_0 + \Delta I$ 、 $I_0 - \Delta I$, 其中 ΔI 变化范围为 $0 \sim I_0$, 则输出相位公式:

$$\theta_1 = \tan^{-1} \sqrt{\frac{I_0 - \Delta I}{I_0 + \Delta I}} \quad (4.6)$$

由式(4.6)可知,相位的变化范围仅有 $0\sim 45^\circ$,为了实现 $0\sim 90^\circ$ 的移相,还需要对正交两路尾电流进行交换,此时输出的相位公式:

$$\theta_2 = \tan^{-1} \sqrt{\frac{I_0 + \Delta I}{I_0 - \Delta I}} \quad (4.7)$$

置换后，相位的变化范围变成了 $45^\circ \sim 90^\circ$ 。将这两种相位变化范围的电流源进行组合便可以实现 $0 \sim 90^\circ$ 的移相。吉尔伯特单元尾电流合成电路结构^[15]如图 4.3 所示，该电路所有晶体管尺寸一致。

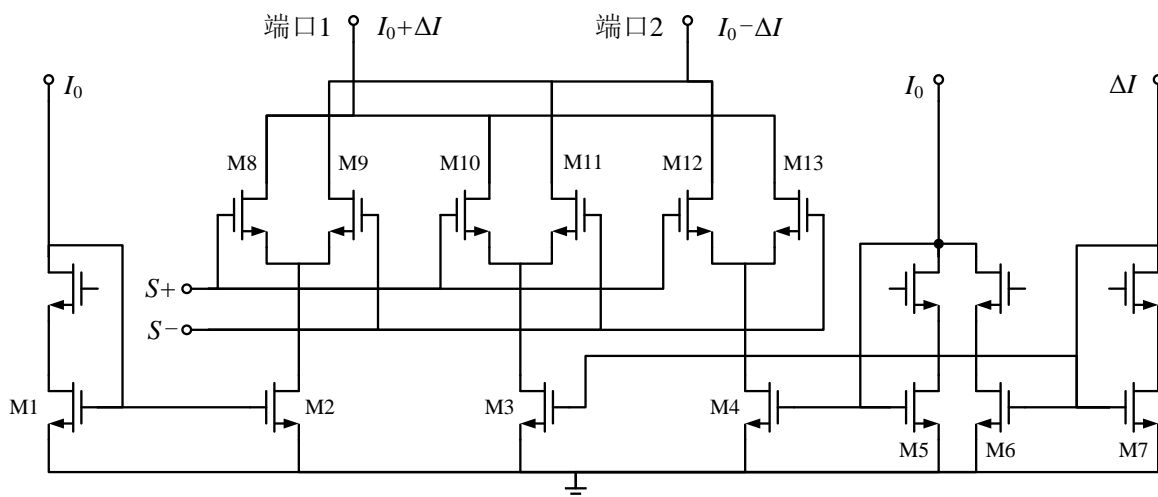


图 4.3 吉尔伯特单元尾电流合成电路结构

在图 4.3 中, S_+ 与 S_- 为一组反相的开关信号, 可以选择 M8~M13 左半边开启还是右半边开启。如果 M8、M10、M12 开启, 则 M2 与 M3 的电流便会在端口 1 合成, 端口 2 仅有 M4 的电流。如果 M9、M11、M13 开启, M2 与 M3 的电流会通过端口 2 输出, 而端口 1 电流变为 M4 的电流。因此通过开关切换便可以实现端口 1 和端口 2 电流置换的功能。M2 与 M1 共栅, M3 与 M7 共栅, M2 与 M3 电流分别为 I_0 、 ΔI 。将 M2、M3 支路电流合并便有了 $I_0 + \Delta I$ 电流。M5 与 M6 支路漏极短接, 总电流为 I_0 。而 M6 又与 M7 共栅, 电流为 ΔI 。于是 M5 中便得到了 $I_0 - \Delta I$ 电流, 之后又通过 M4 镜像输出。电流合成电路输出仿真结果如图 4.4 所示。

从图 4.4 的仿真结果可以发现, 当 ΔI 电流与 I_0 电流一致时, $I_0 - \Delta I$ 输出电流并不为 0。这是由于在图 4.3 电流镜的分析中, 一直默认所有晶体管都工作在饱和状态。然而当 $\Delta I = I_0$ 时, M5 电流趋于 0, M5 的工作状态将由饱和区进入亚阈值区, 其栅极电压也会相应降到开启电压以下。此时 M6 的漏极电压有可能会低于其过驱动电压, M6 进入线性区, 电流镜失配。温度越高, M5 的开启电压越低, M6 失配越严重, 最终导致输出的 $I_0 - \Delta I$ 泄漏电流越多。由式(3.16)可知, 泄漏电流的存在会导致输出相位的严重偏差。

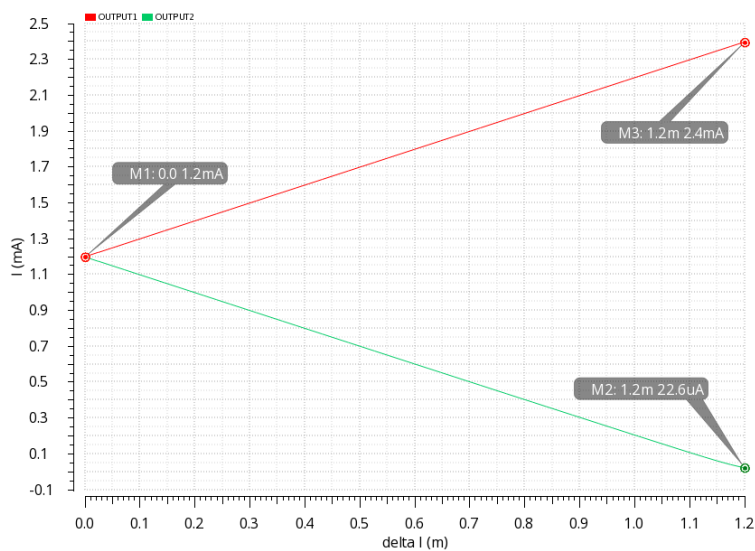


图 4.4 电流合成电路输出仿真结果

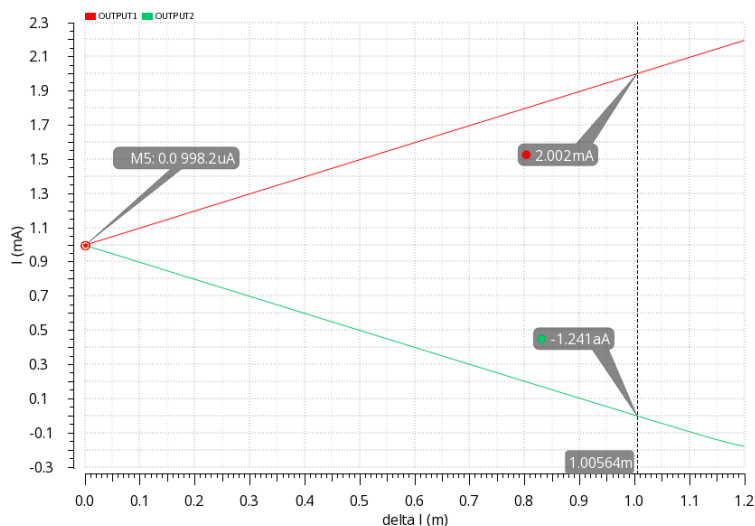


图 4.5 改进电流合成电路电流输出仿真结果

为了克服上述缺陷, 在电流合成电路输出端再加入两路由 PMOS 构成的电流源 I_e 。此时电流合成电路输出电流将由吉尔伯特单元与 PMOS 电流源共同获得, 吉尔伯特单元得到的电流分别为 $I_0 + \Delta I - I_e$ 、 $I_0 - \Delta I - I_e$ 。当 $\Delta I = I_0 - I_e$ 时, 吉尔伯特单元就得到了

一个完全为零的电流。加入 PMOS 电流镜后, ΔI 的变化范围变成了 $0 \sim (I_0 - I_e)$, 吉尔伯特单元得到的电流范围变成了 $0 \sim 2(I_0 - I_e)$ 。改进结构总消耗电流不变而输出的最大电流却变小了, 因此 I_e 的取值不宜过大。改进电流合成电路电流输出仿真结果如图 4.5 所示。当 $\Delta I = I_0 - I_e$ 时, $I_0 - \Delta I - I_e$ 输出电流几乎为 0。

4.2 数模转换电流阵列设计

在电流合成电路的设计中, 可变电流 ΔI 的实现方法也是一个值得考究的问题。最常见的方法是均匀量化, 将电流等分成 2^N 份, 电流的最小变化量为 $(I_0 - I_e)/2^N$, 提高数字位数即可提高电流精度。再对式(4.7)进行分析, 将 ΔI 视为自变量, 对相位进行求导:

$$\theta_2' = \frac{1}{I_0 - \Delta I} \quad (4.8)$$

当 ΔI 趋于 I_0 时, 相位变化率趋于无穷。也就是说, 移相角度接近 0° 、 90° 、 180° 、 270° 的相角对电流的精度要求最高, 而移相角度接近 45° 、 135° 、 225° 、 315° 的相角对电流的精度要求最低。本文设计的有源移相器为六位数控移相器, 移相步进为 5.625° , 当 ΔI 取 $0.98I_0$ 时相位刚好达到移相器的最小步长。也就是说, ΔI 的量化位数至少需要六位数字位才能够满足相位的最小步长要求。为了实现 $0 \sim 360^\circ$ 全范围移相, 移相控制位至少需要九位数字位才能够满足六位移相精度的最低要求。采用 8 倍的状态数去表达六位的移相状态, 而且仅仅只能满足最低的精度要求, 是非常不合理的。

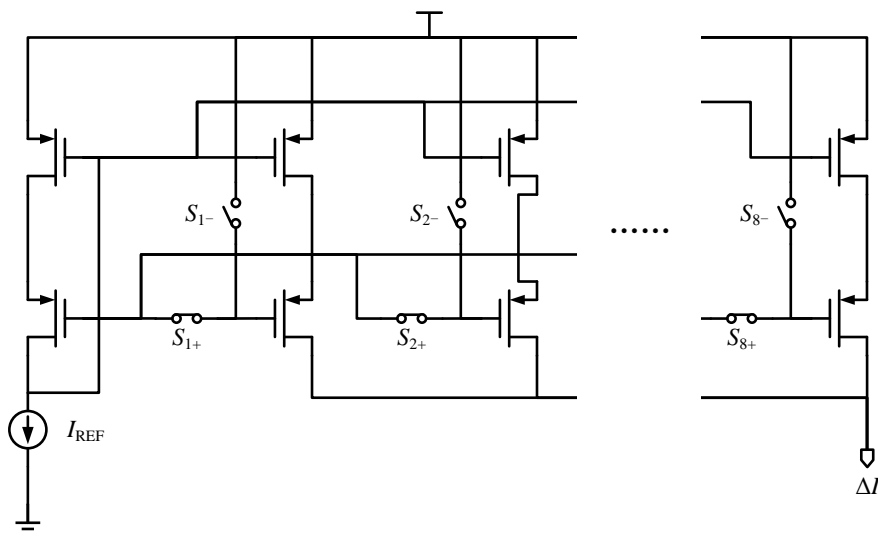


图 4.6 数模转换电流阵列电路图

为了降低电流偏差并提高数字状态利用率, 本文采用了电流与数字状态一一对应的方法, 通过调整晶体管尺寸来获得移相所需的电流。在吉尔伯特单元的设计中, 17 种尾电流即可完成 64 个移相状态的移相。在电流合成电路的设计中, 9 种 ΔI 即可实现 17 种

尾电流的输出。而 9 种不同电流又可以通过 8 种尺寸不同的 MOS 管来实现，其中电流为零的状态可通过关断所有 MOS 管来实现。数模转换电流阵列电路图如图 4.6 所示。

为了提高晶体管利用率， $S_1 \sim S_8$ 采用了逐步开启的方式来控制电流输出。以 $0 \sim 45^\circ$ 移相为例，表 4.1 为移相角度与开关状态的对应关系。

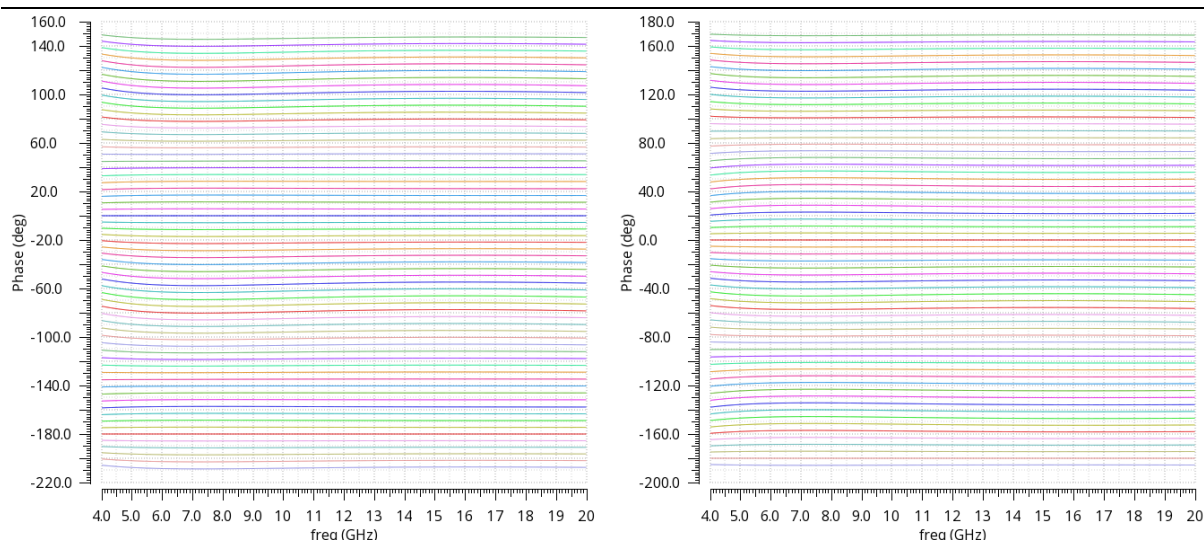
表 4.1 电流阵列移相角度与开关状态关系

θ	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
0°	1	1	1	1	1	1	1	1
5.625°	1	1	1	1	1	1	1	0
11.25°	1	1	1	1	1	1	0	0
16.875°	1	1	1	1	1	0	0	0
22.5°	1	1	1	1	0	0	0	0
28.125°	1	1	1	0	0	0	0	0
33.75°	1	1	0	0	0	0	0	0
39.375°	1	0	0	0	0	0	0	0
45°	0	0	0	0	0	0	0	0

4.3 逻辑编码电路设计

本文设计的有源移相器在 0° 、 90° 、 180° 、 270° 相位附近最容易产生相位偏差。尽管在电流合成电路以及数模转换电流阵列的设计中采用各种办法来降低相位误差，依然改变不了这几个相角在所有的移相中具有最大的相位误差。由相位误差 RMS 计算公式可知，如果以 0° 为移相参考态，那么所有移相的相位误差都会引入 0° 本身的相位偏差，最终导致相位误差 RMS 大增。而如果以偏差最小的 45° 为移相参考态，相位误差 RMS 结果大约可以下降一半。参考态为 0° 与 45° 相对相位输出曲线对比如图 4.7 所示。

为了方便，本文设计的数字编码电路将 45° 移相设为“000000”。假设输入的六位控制信号为 $ABCDEF$ ，则数模转换电流阵列的开关 $S_1 \sim S_8$ 、电流合成电路开关 S 、吉尔伯特单元开关 S_I 、 S_Q 与输入控制信号之间的逻辑关系为：

图 4.7 参考态为 0° 与 45° 相对相位输出曲线对比

$$\begin{aligned}
 S_1 &= A \oplus (B + C) \\
 S_Q &= A \oplus (BC) \\
 S &= B \\
 S_8 &= C + \overline{C} \cdot (D + E + F) \\
 S_7 &= C \cdot \overline{DEF} + \overline{C} \cdot (D + E) \\
 S_6 &= C \cdot \overline{DE} + \overline{C} \cdot (D + EF) \\
 S_5 &= C \cdot \overline{D(E + F)} + \overline{C} \cdot D \\
 S_4 &= C \cdot \overline{D} + \overline{C} \cdot D(E + F) \\
 S_3 &= C \cdot \overline{D + EF} + \overline{C} \cdot DE \\
 S_2 &= C \cdot \overline{D + E} + \overline{C} \cdot DEF \\
 S_1 &= C \cdot \overline{D + E + F}
 \end{aligned} \tag{4.9}$$

本文设计的逻辑编码电路由反相器、与非门、或非门、异或门以及传输门构成，通过合理简化、逻辑复用可以大大降低逻辑门的使用数量。

4.4 本章小结

本章对移相器数模转换电路进行了详细地分析和设计。数模转换电路包括电流合成电路、数模转换电流阵列以及逻辑编码电路。为了降低电流合成误差，电流合成电路、数模转换电流阵列都是以低压宽摆幅共源共栅电流镜为基础设计。在电流合成电路的设计中，通过输出端并联电流镜来降低泄漏电流，提高电流输出精度。数模转换电流阵列通过采用更精确的量化方法来提高电流精度。逻辑编码电路通过合理选择参考态来降低相位误差。每一个模块的设计都是以降低移相器相位误差为目标。

第五章 移相器整体电路设计及仿真

5.1 移相器整体电路设计

本文设计的有源移相器主要由输入有源巴伦、多相滤波器、吉尔伯特单元、输出巴伦、数模转换电路以及数字编码电路组成。输入巴伦将输入的单端信号转换为差分信号。多相滤波器可将输入的差分信号分解为两路幅度相等相位相差 90° 的正交信号。为了使输出的正交信号在 $6\sim 18\text{GHz}$ 内具有较低的相位和幅度误差，本文正交信号产生电路采用了三级多相滤波器。本文设计的矢量合成模块以吉尔伯特单元为基础，通过改变吉尔伯特单元尾电流大小对输入的正交信号进行幅度调制。输出巴伦将移相后的差分信号转换成所需的单端信号输出。数模转换电路将输入的数字信号转换成吉尔伯特单元所需的电流信号，实现数字到模拟的转换。有源移相器整体结构框图如图 5.1 所示。

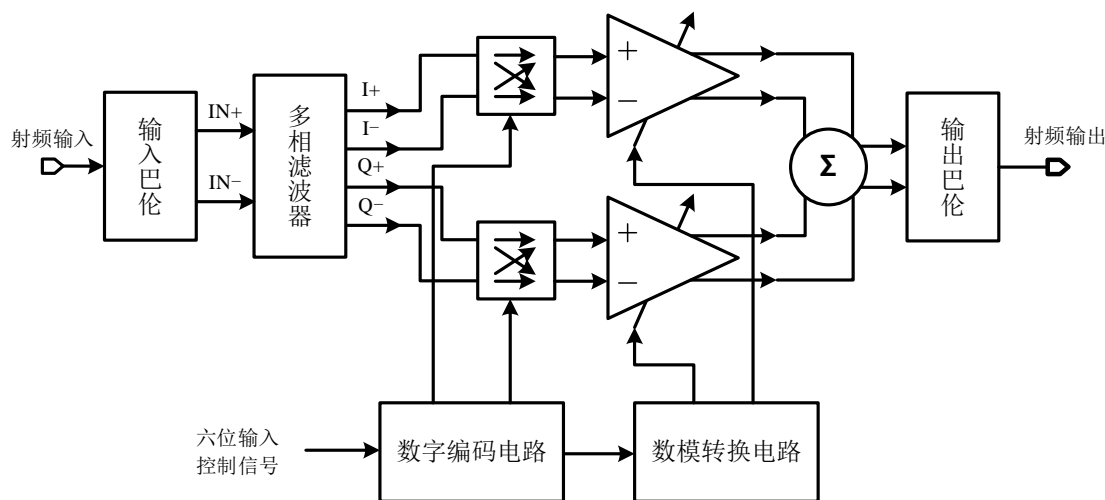


图 5.1 有源移相器整体结构框图

5.1.1 温度补偿分析与设计

本文设计的有源移相器需要在 $-40\sim 85^\circ\text{C}$ 温度范围内正常工作。一般来说，器件的性能会随着温度的变化而变化，这就导致移相器在不同的温度条件下性能也不尽相同。为了抑制温度导致的性能下降，移相器电路还需要采用各种手段来补偿温度变化带来的影响。首先介绍一下温度对移相器器件性能的影响情况：

- 1) MOS 管：MOS 管受温度影响最大，高低温性能差异明显。温度升高，沟道电子迁移率降低，开启电压下降。
- 2) 电阻：电阻分为多晶硅电阻、阱电阻以及扩散电阻。其中多晶硅电阻温度变化率最低、扩散电阻次之，阱电阻温度变化率最高。多晶硅电阻为负温度系数而阱电阻与扩

散电阻都为正温度系数。在射频电路中多采用多晶硅电阻，这是由于多晶硅电阻与衬底不接触，引入的噪声和寄生参数都较小。

- 3) 电感电容：电感电容都是由金属构成，其感值与容值基本都不会随着温度的变化而变化，然而金属的寄生电阻会随着温度升高而增加。因此温度仅对电感电容的 Q 值产生影响，温度越高， Q 值越低。

在输入巴伦的设计中，需要保证输入匹配、前向增益以及输出驱动能力不受温度影响。输入巴伦输入匹配网络的等效电阻包含共栅管跨导以及 MOS 二极管导纳，这两个参数受温度影响较大。如果共栅放大管静态电流不变，温度上升则等效电阻阻值上升。为了保持匹配不变，需要提高共栅放大管静态电流。另外，温度升高也会导致 MOS 管开启电压降低，因此偏置电压随温度的变化情况还需要通过仿真来确定。电流的提升会同时增加 MOS 管的跨导和 MOS 管输出导纳。MOS 管本征增益公式：

$$A_0 = \frac{g_m}{g_d} = \frac{\sqrt{2KI}}{\lambda I} = \sqrt{\frac{2K}{\lambda^2 I}} \quad (5.1)$$

本征增益是单管放大器增益所能达到的最大值，短沟道器件的本征增益一般在 5 到 10 之间。由式(5.1)可知，提高静态电流，MOS 管本征增益不增反降，其中 K 包含了电子迁移率。温度升高迁移率下降，MOS 管本征增益下降更快。也就是说，当单管放大器漏极电阻较大时，温度升高提高 MOS 管静态电流，放大器增益很有可能会下降。本文设计的输入巴伦第一级放大器只保证了输入匹配的稳定性，其增益会随着温度的升高而下降。而第二级共源放大器采用了低阻抗的漏极电阻，因此温度升高提高静态电流可以提高输出增益。第三级输出缓冲器增益由式(3.6)给出，温度升高，提升静态电流保证跨导不变，可以保证输出的电流驱动能力不变，整体电压增益略微下降。

在多相滤波器的设计中，只有电阻的温度变化会导致正交频点的偏移。因此采用温度系数最低的多晶硅电阻可降低温度的影响。为了降低频带内频点偏移对相位误差和幅度误差的影响，可以采用降低低频正交频点、提高高频正交频点的方法。虽然该方法会提高频带内整体的误差水平。

在矢量合成模块的设计中，需要保证正交两路尾电流的比例与相位的关系不随温度变化。本文采用了相位与电流一一对应的量化方式，数模转换电流阵列中 MOS 管尺寸决定了不同移相状态下正交两路尾电流比例。MOS 管尺寸与温度无关，即不同移相状态下正交两路尾电流的比例与温度无关。然而吉尔伯特单元增益却与温度有关。即使正交两路尾电流保持不变，温度升高正交两路的增益也会同时下降，矢量合成输出的相位

也会与温度上升前的相位有所区别。因此温度升高,同时提高正交两路尾电流的大小可抑制温度带来的相位变化。本文设计的数模转换电路采用了具有正温度系数的参考电流,相当于正交两路尾电流之和会随着温度的升高而增加。

在输出巴伦的设计中,需要保证输出阻抗不受温度影响。输出巴伦直流输出电阻由式(3.17)给出。在电流保持不变的情况下,温度升高输出电阻也将同时上升。因此输出巴伦的静态电流需要设计成一个正温度系数电流来维持输出电阻的恒定。

5.1.2 工艺角补偿分析与设计

为了提高芯片成品率,芯片设计过程中还需要考虑工艺偏移对芯片的影响。芯片的工艺偏移会对 MOS 管、电阻、电容等器件的性能产生影响。相对于 TT 工艺角,FF 工艺角电阻的阻值下降,电容的容值降低,MOS 管的寄生电容减小、开启电压减小。SS 工艺角的偏移方向与 FF 工艺角刚好相反。本文采用的 MOM 电容具有 10% 的工艺偏差,NPOLY 电阻具有 30% 工艺偏差,PPOLY 电阻具有 15% 工艺偏差,其中 PPOLY 方块电阻为 NPOLY 的三倍。在射频电路中,电阻和电容的工艺偏移都会对射频电路产生非常大的影响。有源电路可通过调节 MOS 管偏置来降低工艺偏移的影响,而无源电路却无法通过增加复杂的电路结构来降低影响。这是由于复杂的电路结构会带来更多的寄生参数和更多的不可控因素。因此射频芯片的抗工艺偏移能力一般都比较差。

在输入输出巴伦的设计中,需要尽可能保证输入输出匹配的稳定性。在输入输出的匹配网络中包含等效的实部电阻以及隔直电容的寄生电容。寄生电容的偏差一般不会很大,值得注意的是等效的实部电阻随工艺的变化。等效的实部电阻与 MOS 管跨导有关,工艺变化保证 MOS 管跨导不变即可保证输入输出匹配的稳定性。因此本文设计的偏置电路采用了具有一定抗工艺偏移能力的电流镜偏置。当工艺发生变化时,两个 MOS 管的开启电压向同一个方向偏移,而 MOS 管中的电流却可以保持不变。

在射频通路中,电阻的选择也是一个值得研究的问题。为了减小电阻接触孔对电阻阻值的影响,电阻的长度不宜过小。因此小电阻的实现方式不是通过降低电阻长度而是通过提高电阻宽度来实现的。为了获得更好的稳定性,选择工艺偏移较小的 PPOLY 电阻是一件理所当然的事。然而 PPOLY 电阻具有更高的方块电阻,在实现小电阻的同时会引入更多的寄生电容。因此本文设计的输入巴伦第二级放大器漏极电阻采用了 NPOLY 电阻,而其它阻值较大的电阻都采用了 PPOLY 电阻。

在多相滤波器的设计中,电阻电容的工艺偏移都会对正交频点产生影响。为了降低频带内频点偏移对相位误差和幅度误差的影响,可以采用降低低频正交频点、提高高频

正交频点的方法。在矢量合成模块的设计中,吉尔伯特单元本身就采用了恒定电流的偏置方式,不需要进行工艺补偿。

5.1.3 整体电路前仿真

1) DC 仿真

本文设计的有源移相器电源电压为 1.2V,典型工作电流为 30mA,不同移相状态、不同温度、不同工艺角工作电流不尽相同。温度和工艺角相同的情况下,移相状态为“000000”具有最小的工作电流,移相状态为“001000”具有最大的工作电流,最小与最大电流大约相差 2mA。其它条件一致时,温度越高工作电流越大。一般情况下,FF 工艺角 MOS 管泄漏电流更严重,工作电流也越大。为了使不同工艺角的工作电流趋于一致,本文采用的电流偏置在 SS 工艺角下输出的电流更高。有源移相器工作电流最大为 37.1mA,其中输入巴伦大约消耗了 13mA,矢量合成模块消耗了 2.2mA,数模转换电路消耗了 6mA,其它为偏置电路及缓冲器电流。

2) S 参数仿真

首先仿真的是输入输出匹配在不同温度和工艺角下的反射系数曲线,TT 工艺角下 -40°C 、 25°C 、 85°C 输入输出匹配如图 5.2 所示, 25°C 下 TT、FF、SS 工艺角输入输出匹配如图 5.3 所示,它们在工作频段内都低于 -14dB 。

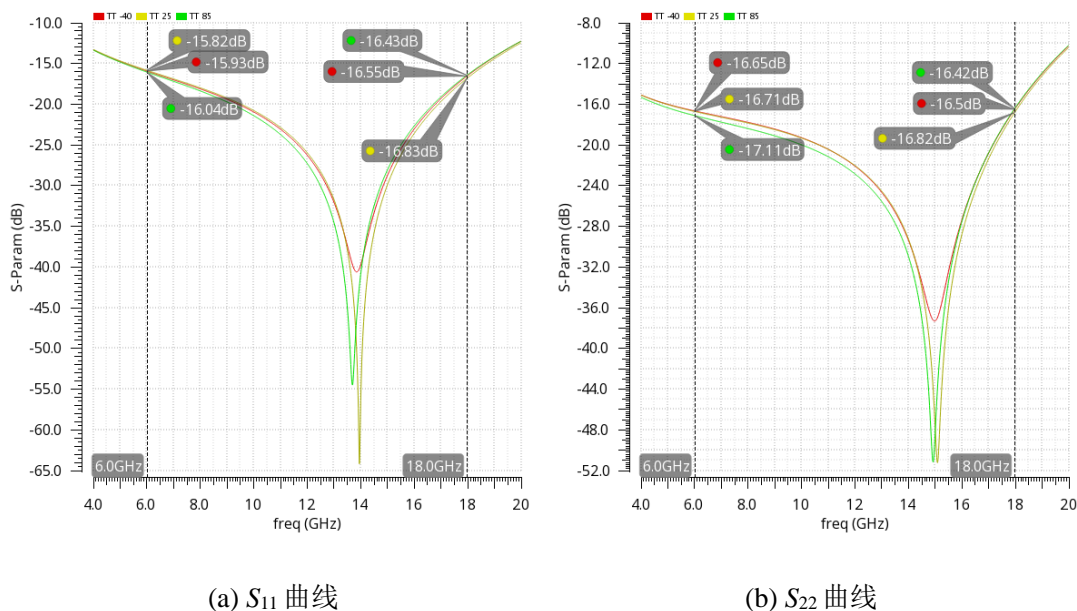


图 5.2 TT 工艺角下 -40°C 、 25°C 、 85°C 输入输出匹配

由图 5.2 可知,输入输出反射系数几乎不随温度变化。图 5.3 显示,输入输出反射系数随工艺角变化明显。产生这种变化的原因是因为工艺偏差会导致多种器件性能发生变化。除了主体电路的性能变化,偏置电路也会受到影响。

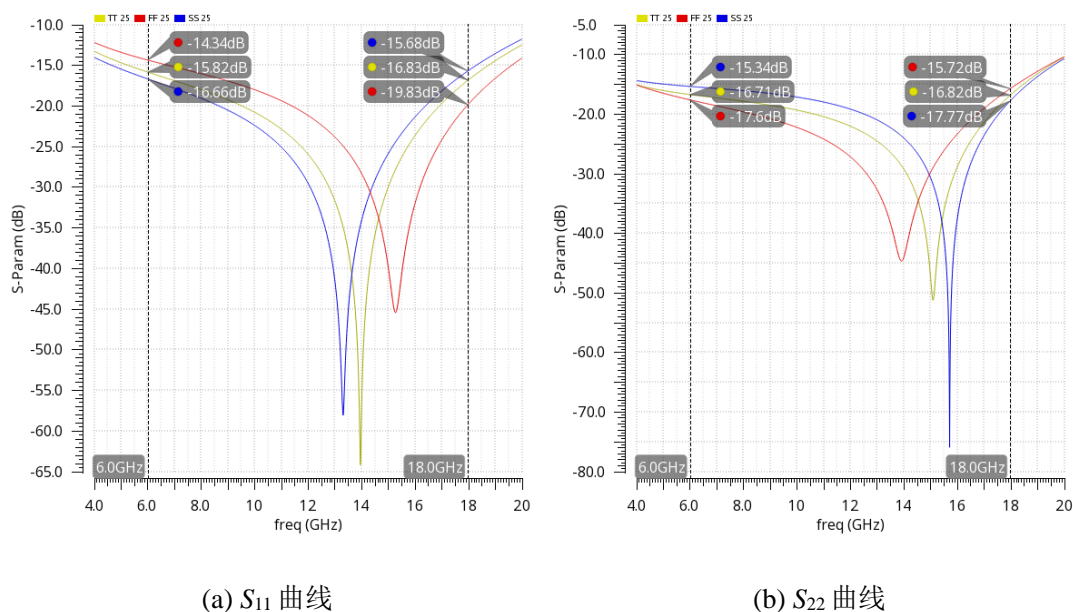


图 5.3 25°C 下 TT、FF、SS 工艺角输入输出匹配

接下来仿真的是移相器整体增益，TT 工艺角下 -40°C、25°C、85°C 移相器增益如图 5.4 所示。25°C 整体增益在 -1dB~1dB 之间，高低温存在 ± 1.5 dB 的变化。25°C 下 TT、FF、SS 工艺角移相器增益如图 5.5 所示。高频增益都接近 0dB，低频增益存在 6dB 的增益变化。

对比图 5.4 和图 5.5 可以发现，温度会导致移相器全频段增益同时变化，而工艺角变化对低频增益影响较大。这是由于温度变化会导致 MOS 管跨导变化，进而引起全频段增益变化。而工艺偏移对放大器漏极电阻影响较大，这不仅改变了电阻与并联峰化电感的比例而且也影响了放大器的低频增益。在各模块的设计中，增益的温度补偿仅由一个放大器完成，补偿效果不佳。

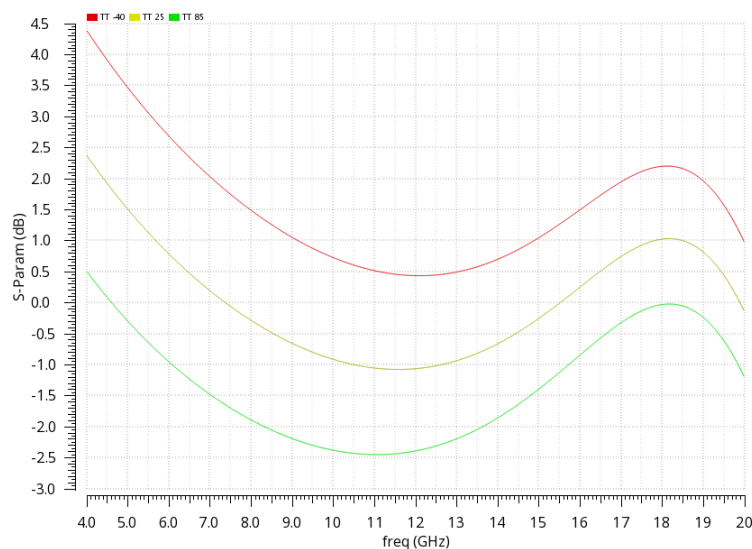


图 5.4 TT 工艺角下 -40°C、25°C、85°C 移相器增益

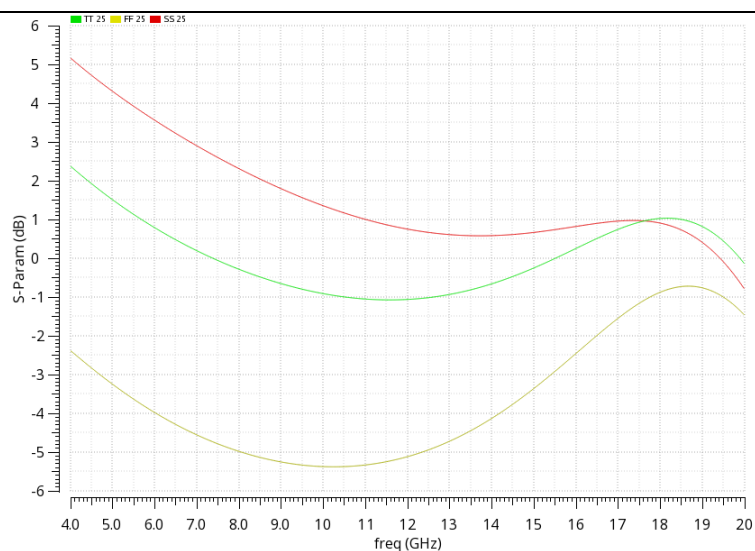
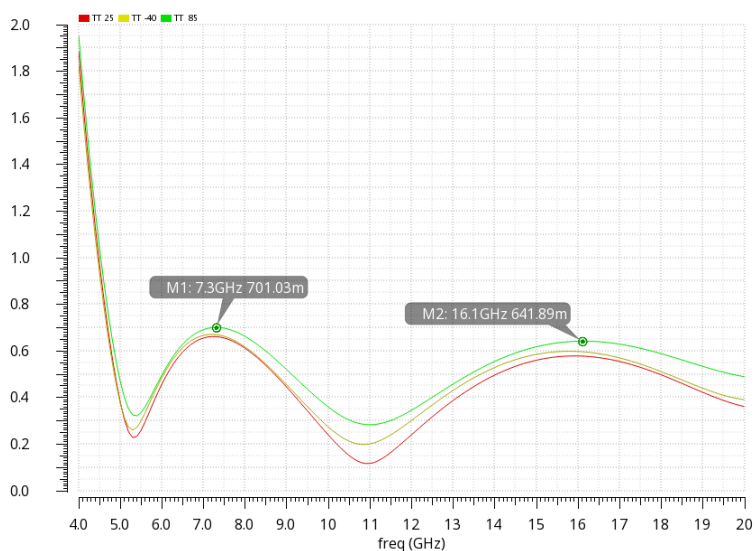
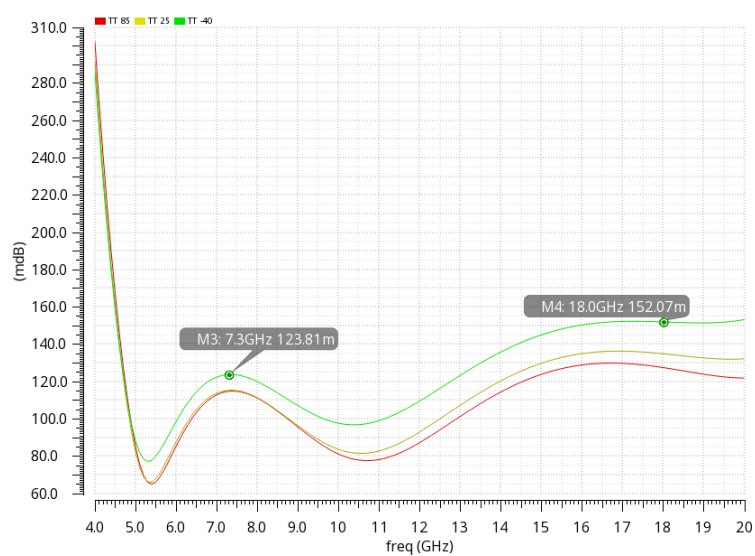


图 5.5 25°C下 TT、FF、SS 工艺角移相器增益



(a) 相位误差曲线

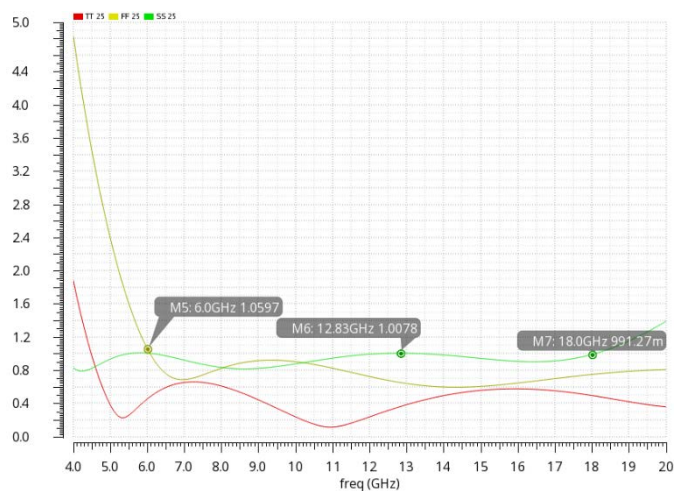


(b) 增益误差曲线

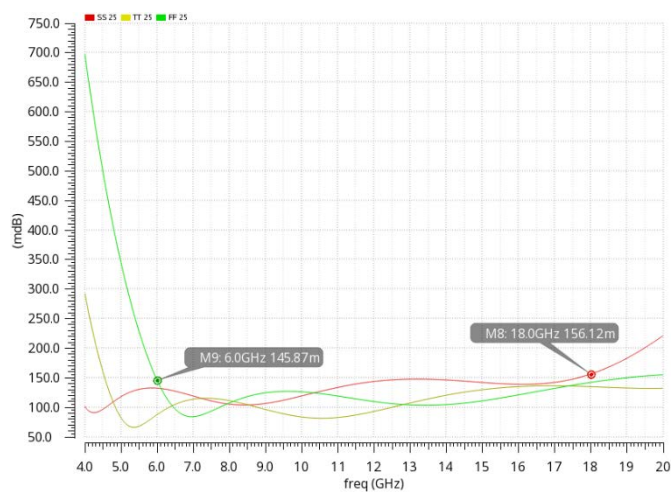
图 5.6 TT 工艺角下-40°C、25°C、85°C相位和增益误差曲线

3) 移相特性仿真

相位误差和增益误差是移相器最为关键的两个指标,TT 工艺角下 -40°C 、 25°C 、 85°C 相位和增益误差曲线如图 5.6 所示,工作频带内相位误差低于 0.7° ,增益误差低于 0.15dB 。 25°C 下 TT、FF、SS 相位和增益误差曲线如图 5.7 所示,工作频带内相位误差低于 1° ,增益误差低于 0.15dB 。



(a) 相位误差曲线



(b) 增益误差曲线

图 5.7 25°C 下 TT、FF、SS 相位和增益误差曲线

从图 5.6、5.7 可以看出,本文设计的移相器移相误差和增益误差受温度影响较小,受工艺偏移影响较大。工艺偏差会导致矢量合成模块放大管特性发生变化,正交两路尾电流比例与相位对应关系也会发生变化,最终导致移相误差整体上升。

4) 前仿真结果汇总

表 5.1 为本文移相器前仿真结果与指标对比。由表可知,有源移相器前仿真结果在全温度全工艺角下全部达到指标要求。

表 5.1 移相器前仿真结果与指标对比

指标	工艺角	温度(°C)	$S_{11}(\text{dB})$	$S_{22}(\text{dB})$	$S_{21}(\text{dB})$	相位误差 RMS(°)	增益误差 RMS(dB)
要求	——	-40~85	<-10	<-10	——	<3	<1
前仿真结果	TT	-40	<-15.9	<-16.5	0.4~2.7	<0.67	<0.15
		25	<-15.8	<-16.7	-1.1~1.0	<0.66	<0.14
		85	<-16.0	<-16.4	-2.4~-0.3	<0.70	<0.13
	FF	-40	<-14.0	<-15.2	-5.5~-1.8	<1.00	<0.15
		25	<-14.3	<-15.7	-5.3~-0.9	<1.06	<0.14
		85	<-14.9	<-15.6	-5.6~-0.5	<0.99	<0.13
	SS	-40	<-15.1	<-15.2	3.2~6.2	<1.09	<0.18
		25	<-15.3	<-15.6	0.9~3.5	<1.01	<0.15
		85	<-15.6	<-15.9	-1.5~0.7	<1.14	<0.15

5.2 移相器版图设计

版图描述了电路器件在晶圆上的图案、分布以及连接方式，是电路在物理层面的一种表现形式。相比于原理图的设计，版图的设计还需要考虑器件的排布以及金属连接线的布局。在射频电路的设计中，金属连接线的寄生电感、寄生电容、寄生电阻都会电路的性能产生非常大的影响，合理的规避或利用这些寄生参数可大大提高射频芯片的性能。

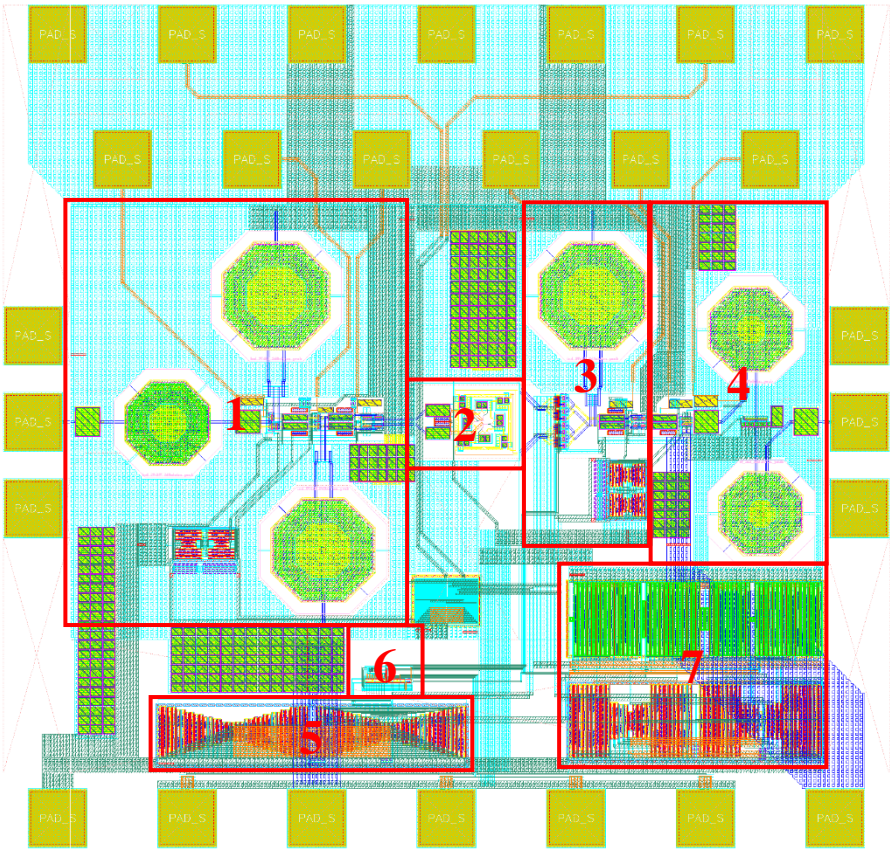


图 5.8 有源移相器整体版图

表 5.2 移相器版图标号与模块对应关系

1	有源巴伦
2	多相滤波器
3	吉尔伯特单元
4	输出巴伦及缓冲电路
5	数模转换电流阵列
6	数字编码电路
7	电流合成电路

本文设计的有源移相器整体版图如图 5.8 所示，表 5.2 为移相器版图标号与模块对应关系。整体布局较为紧凑，带焊盘的芯片面积为 $1200\mu\text{m} \times 1100\mu\text{m}$ ，核心面积为 $970\mu\text{m} \times 720\mu\text{m}$ 。射频信号自左向右流通。主信号通路器件与模拟电路器件距离较远，这样布局可以降低射频信号对模拟电路的影响。

本文移相器采用半键合测试方案，射频的输入输出端口都采用 GSG 探针接出，而其它端口则采用键合线连接至外部。然而键合线的寄生电感会在芯片电源与地焊盘之间引入一个较大的虚部阻抗。为了降低键合线电感对射频电路的影响，射频电路的电源和地之间还需要加入片上滤波电容来短路键合线电感。片上滤波电容的自谐振频率需要精心设计，其阻抗只有在自谐振频点附近较低。多种自谐振频率电容并联可有效提高电源在工作频带内的稳定性。整个版图覆盖了大面积的底层金属与顶层金属作为芯片的地平面，这样不仅可以大大降低地平面的寄生电阻，而且还能有效屏蔽芯片外部的干扰。此外电源线上的寄生电阻会降低 MOS 管可获得的最高电压，有必要采用宽金属或多层结构布线来降低电源线上的寄生电阻。

在原理图的设计中，器件的连接都为理想连接线。而在版图的设计中，任意金属线的寄生参数都会对原电路产生影响。采用高层金属对射频信号进行布线，低层金属对模拟信号进行布线，可以将射频与模拟的相互干扰降到最低。高层金属与衬底的距离较远，可有效降低射频信号线与衬底的耦合。射频信号线的宽度和长度都不宜过大，宽度过大会引入更多的寄生电容，而长度过长则会引入较大的寄生电感。将需要互联的射频器件尽量靠近可以大大降低射频信号的走线长度。如果金属长线无法避免，此时就需要将金属长线合理安排到电路节点中，将寄生电感对电路性能的影响降到最低。本文设计的电路采用了大量差分结构，差分信号线靠近可提高电路的抗干扰能力，相应也会引入较大的耦合电容。为了降低耦合电容的影响，差分信号线的线距采用了两倍线宽。为了使正

交信号的幅度和相位不受版图寄生的影响，正交信号线全部采用等长的连接线。多相滤波器采用中心对称结构^[41]可使正交信号连接线的长度趋于一致。在模拟信号的布线中，金属的寄生电阻对电路的影响较大。在电流镜的设计中，将需要匹配的 MOS 管靠近放置，将金属长线安排在电流镜输入输出端口可大大降低金属寄生电阻对电流镜的影响。

除了考虑金属线寄生参数的影响外，版图的设计还需要考虑器件的匹配，其对降低工艺偏移影响至关重要。在电流镜偏置的设计中，将 MOS 二极管与需要偏置的 MOS 管靠近放置可以使得两者的栅源电压在发生工艺偏移时同步变化，最终使得电路的工作电流恒定不变。在输入输出巴伦以及吉尔伯特单元的设计中，将差分电路靠近放置可以将工艺偏移对差分特性的影响降到最低。在电流镜的设计中，将参考电流支路 MOS 管置于中心位置，输出电流支路 MOS 管拆分成偶数个分别置于两端可大大降低工艺偏移产生的失配。

此外，版图设计还需要注意一些工艺特性对电路的影响。在光刻过程中，光的衍射和反射会影响电阻、MOS 管、电容等器件的图案精度，采用 dummy 单元可有效降低图案偏差带来工艺偏差。射频电路对干扰及噪声非常敏感，在射频器件周围加入保护环和金属屏蔽层可以大大降低衬底噪声及干扰信号的影响。MOS 管寄生的 PN 结存在导通的可能，将 PMOS 管和 NMOS 管分开放置并添加保护环隔离可有效防止闩锁效应的发生。在等离子体刻蚀时，金属长线会收集电荷，金属长线 with MOS 管栅极相连极易导致 MOS 管击穿。为了避免天线效应的发生，可将金属长线断开并用上层金属重新连接。

5.3 移相器路场混合仿真

在版图设计完成后，还需要将版图的寄生参数提取并代入原理图电路，通过后仿真对版图进行验证。但是 Cadence 仿真工具只能提取金属连接线的寄生电阻和电容，并不能提取寄生电感。不完整的寄生参数会导致后仿真性能与真实性能存在差异，这种差异在 10G 以上的射频电路中表现得尤其明显。为了得到更加精确的仿真结果，本文采用了 ADS Momentum 与 Spectre RF 混合仿真方法，通过 ADS 电磁场仿真提取金属连接线完整的寄生参数。为了模拟芯片的真实测试环境，仿真的电源和地都加入了大约 1nH 的理想电感。

5.3.1 DC 仿真

为了提高移相器整体增益，吉尔伯特单元尾电流在路场混合仿真时进行了重新调整，最大电流由原来的 2.2mA 增至 3.6mA。电路的总电流相应也有了进一步提升，典型工作电流由原来的 30mA 增至 35mA，最大工作电流由原来的 37mA 增至 45mA。工作电流

最大时, 输入巴伦的电流消耗为 15.6mA, 矢量合成模块的电流消耗为 3.6mA, 数模转换电路的电流消耗为 8.5mA。总体电流的提升有助于移相器整体增益的提高。

5.3.2 S 参数仿真

TT 工艺角 25°C S 参数仿真曲线如图 5.9 所示, 其中输入输出匹配反射系数都低于 -14dB, 前向增益 S_{21} 在 -6.9dB~-5.2dB 之间。相比于前仿真结果, 输入输出匹配性能略微下降, 整体增益也下降了 6dB。

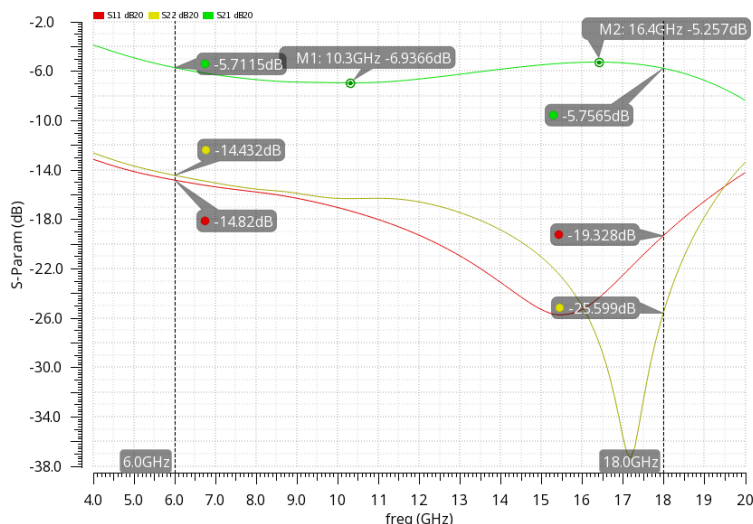


图 5.9 TT 工艺角 25°C S 参数仿真曲线

在路场混合仿真电路中, 大量的寄生电容不仅会对匹配产生严重的影响而且会大大降低放大器 3dB 带宽。通过调整器件参数并将寄生电容等效合并到匹配网络可对移相器的输入输出匹配进行重新优化。在并联峰化技术的分析中提到, 放大器的 3dB 带宽在 RC 确定的情况下由峰化带来的提升有限。在负载电容提升的情况下, 放大器 3dB 带宽的提升只能通过降低放大器漏极电阻才能实现。漏极电阻的降低又会导致整体增益的降低, 这就是本文路场混合仿真增益下降的主要原因。

5.3.3 移相特性仿真

TT 工艺角 25°C 移相器相位误差和增益误差曲线如图 5.10 所示。从图 5.10 可以看出, 移相器相位误差相比于前仿真有明显上升, 最大误差由原来的 0.7° 上升到 0.98°, 这种现象产生的原因是多方面的。首先, 在版图设计时, 输入巴伦的峰化电感及电源连接线都是从主信号通路的一侧接入。非对称连接线的寄生电阻和寄生电容都会导致差分电路性能的差别, 最终导致差分信号的相位和幅度误差同步提升。其次, 多相滤波器版图尽管采用了中心对称结构, 但这并不能保证正交两路信号通路的寄生参数完全一致。寄生参数的差别会大大降低正交信号输出的质量。此外, 矢量合成单元版图的不对称也会

对相位误差造成影响。这些因素全都叠加在一起，最终导致路场混合仿真相位误差快速上升。路场混合仿真时，通过不断调整各模块的器件参数尽可能提高每一个模块的性能才能尽可能缓和相位误差的上升趋势。另外大量的寄生参数也会导致吉尔伯特单元尾电流比例与相位的关系发生变化，重新调整数模转换电流阵列 MOS 管尺寸可以降低由数模转换电路引入的相位误差。

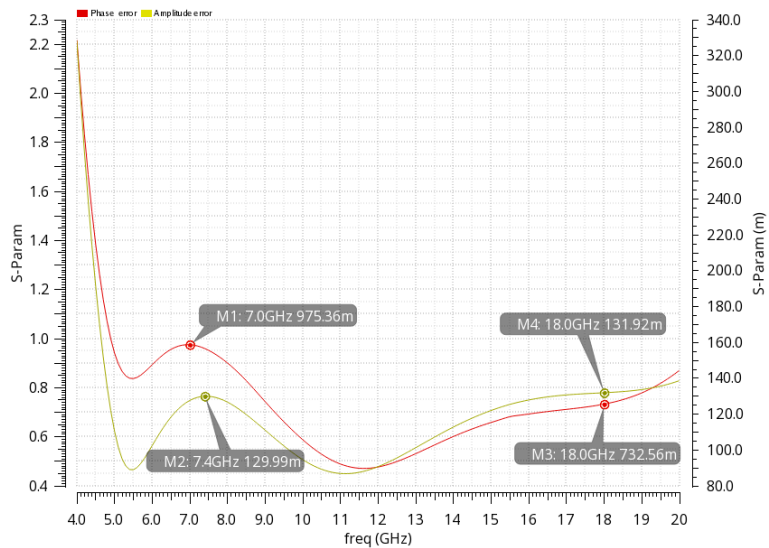


图 5.10 TT 工艺角 25℃移相器相位误差和增益误差曲线

5.3.4 路场混合仿真结果汇总

表 5.3 为本文移相器路场混合仿真结果与指标对比。

表 5.3 移相器路场混合仿真结果与指标对比

指标	工艺角	温度(°C)	S ₁₁ (dB)	S ₂₂ (dB)	S ₂₁ (dB)	相位误差 RMS(°)	增益误差 RMS(dB)
要求	——	-40~85	<-10	<-10	——	<3	<1
路场混合仿真结果	TT	-40	<-14.9	<-14.4	-4.8~-3.5	<1.00	<0.15
		25	<-14.8	<-14.4	-6.9~-5.2	<0.98	<0.13
		85	<-14.9	<-14.7	-8.9~-7.0	<1.04	<0.14
	FF	-40	<-13.5	<-14.8	-9.4~-6.0	<1.26	<0.16
		25	<-13.8	<-14.9	-10.3~-5.8	<1.30	<0.16
		85	<-14.2	<-15.1	-11.4~-6.2	<1.35	<0.17
	SS	-40	<-15.7	<-13.6	-4.3~-0.4	<1.62	<0.19
		25	<-15.4	<-13.7	-7.1~-3.5	<1.50	<0.17
		85	<-15.3	<-14.2	-10.0~-6.9	<1.76	<0.17

由表 5.3 可知，本文设计的有源移相器在全温度全工艺角下全部达到指标要求。相位误差和增益误差在 SS 工艺角下表现最差，相位误差 RMS 最大达到了 1.76°，而增益误差 RMS 最大达到了 0.19dB，与 TT 工艺角仿真结果差距明显。这种结果产生的原因

一是因为本文采用的 40nm CMOS 工艺在不同工艺角下器件性能差距较大，二是在电路优化时很难同时兼顾 FF 与 SS 工艺角工艺偏差对电路的影响。工艺节点越是先进的工艺其工艺偏差也会越明显，相应芯片的成品率也会越低。

5.4 本章小结

本章主要介绍了移相器整体电路设计、版图设计以及仿真优化方法，并在最后给出了完整的仿真结果。根据前两个章节的原理介绍，本章给出了移相器抗温度变化和抗工艺偏移的优化方法。通过合理调节偏置电流的大小，可将移相器性能随温度和工艺角变化的范围压缩到最低。在版图设计中，每一条金属线的寄生参数都会电路的性能产生影响。通过对比前仿真和路场混合仿真结果，可以很好的反应版图设计存在的问题。

第六章 总结与展望

6.1 总结

相控阵系统相较于传统的机械式雷达系统具有扫描速度快,扫描方向灵活、抗干扰能力强,可靠性高等优点。凭借着这些优势,相控阵系统不仅在军事方面得到了大量的应用而且在民用方面也获得了人们认可。移相器作为相控阵系统中关键模块对相控阵系统至关重要,一个具有低移相误差、低插入损耗、低成本且高集成度、高可靠性的移相器正成为当前移相器研究的热点。

本文基于 40nm CMOS 工艺设计的 6~18GHz 有源移相器具有带宽大、移相精度高、成本低、功耗低等优点。该移相器采用了矢量合成结构,主要由输入巴伦、正交信号产生电路、矢量合成模块、数模转换电路、输出巴伦等模块构成。矢量合成结构具有非常高的自由度和灵活性,通过对各模块结构的选择可以很好的满足不同频率、不同功耗、不同成本的应用需求。

为了拥有更高的增益以及实现更好的输入匹配,本文采用了有源结构巴伦作为移相器输入级。有源巴伦的输入匹配由一个简单的 π 型网络构成,通过仿真验证该匹配网络具有良好的宽带匹配能力。有源巴伦由两级放大电路和一级缓冲电路构成,其中缓冲电路不仅可以提供足够的输出驱动能力而且还能大大抑制差分信号的相位和幅度误差。

正交信号产生电路有多种结构可供选择——多相滤波器结构、全通滤波器结构、变压器结构。多相滤波器结构由电阻电容构成,结构简单、实现成本低、但插入损耗较大。全通滤波器由电感电容以及电阻构成,插入损耗较低、占用面积较大。而变压器结构由多级级联的 3dB 耦合器构成,每一个 3dB 耦合器都是一个基本结构的变压器。变压器结构具有插入损耗低、带宽大、面积大等特点。在综合考虑各结构的优缺点之后,本文选择了最容易实现、面积最小的多相滤波器结构作为本文设计的正交信号产生电路。

矢量合成模块由吉尔伯特单元构成。吉尔伯特单元放大管的沟道调制是本文移相器增益误差产生的主要来源。通过优化吉尔伯特单元放大管的尺寸可以将移相器增益误差控制在较低的水平。

本文设计的数模转换电路采用了电流与相位一一对应的量化方式,一种移相状态对应着一种电流大小。在电流合成电路的设计中,通过开关替换加减电流镜输出的位置巧妙得将 64 个移相状态所需的电流简化到了八种重复的电流状态。本文通过对电流合成电路缺陷的改进,大大提高了数模转换电路电流的输出精度。

版图的设计是移相器设计工作中的一个重要环节。本文设计的移相器工作频率相对较高，寄生参数对电路的性能的影响相对较大，不合理的版图设计会大大降低移相器的整体性能。为了提高后仿真的精度，本文采用了 ADS Momentum 与 Spectre RF 混合仿真方法。经过仿真验证，本文设计的移相器在全温度全工艺角下全部满足指标要求。

6.2 展望

本文设计的有源移相器还存在很多不足之处，这些不足还需要在后续的设计中不断改进和优化。以下是对这些不足之处的几点总结：

- 1) 本文设计的输入有源巴伦增益存在明显的不足，而采用有源结构的目的是为了提
高移相器的整体增益并抑制噪声。简单结构的放大器虽然有助于工作带宽的提高但
并不利于增益的提升。在后续设计中还需要对有源巴伦结构进行改进，通过增加电
源电压、采用共源共栅结构、提高工作电流、增加 MOS 管尺寸等方法来增加有源巴
伦的增益。
- 2) 三级多相滤波器存在插入损耗过大的问题，本文为了尽量降低移相器相位误差而忽
略了插入损耗这一指标。较大的插入损耗尽管能通过增加补偿放大器来弥补，但这
样不仅会增加 SOC 芯片的面积而且也会提高系统的整体功耗。选用多相滤波器结构
就是为了降低芯片面积从而降低成本，但是额外的放大器不仅没有给 SOC 芯片带来
更低的生产成本反而带来了更高的功耗。在后续的改进中，可以采用低插入损耗的
全通滤波器结构或变压器结构来替换多相滤波器结构。哪一种结构更具有优势还需
要在后续的工作中加以验证。
- 3) 在矢量合成模块的设计中，过分关注移相器的增益误差而忽略矢量合成模块的增益
是本文设计的一大不足之处。提高吉尔伯特单元放大管尺寸虽然有利于增益的提高，
但这也会大大增加矢量合成模块带来的增益波动。在后续的改进中，还需要折中考
虑增益误差与整体增益的关系。
- 4) 在数模转换电路的设计中，采用六位数字控制位对相位进行调节，虽然可以大大提
高移相器的易用性，但也会限制移相器相位精度的进一步提升。为了提高移相精度，
在后续改进中还有必要增加冗余的控制位来对输出相位进行校准。

本文设计的有源移相器已通过仿真验证并进入流片测试环节。由于时间有限，芯片测试工作尚未开展。在后续的工作中，还需要对流片后的芯片进行测试以找出设计中可能存在的问题和不足。

参考文献

- [1] L. Stark, Microwave theory of phased-array antennas—A review[J], in Proceedings of the IEEE, vol. 62, no. 12, pp. 1661-1701, Dec. 1974.
- [2] M. M. R. Esmael, M. Ayman, K. Gooda, M. A. Y. Abdalla and M. Mobarak, 10.5-14.5GHz four-channel phased array receiver in 0.13- μm CMOS technology[C], 2016 IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Austin, TX, 2016, pp. 60-63.
- [3] Lei Guo, Keping Long, Kumudu Munasinghe, Xuetao Wei. MULTI-HOP RELAYING IN 5G: FROM RESEARCH TO SYSTEMS, STANDARDS, AND APPLICATIONS[J]. 中国通信, 2016, 13(10): 6-7.
- [4] H. P. Forstner et al., A 77GHz 4-channel automotive radar transceiver in SiGe[C], 2008 IEEE Radio Frequency Integrated Circuits Symposium, Atlanta, GA, 2008, pp. 233-236.
- [5] J. Tsai, C. Liu and J. Lin, A 12 GHz 6-bit switch-type phase shifter MMIC[C], 2014 44th European Microwave Conference, Rome, Italy, 2014, pp. 1916-1919.
- [6] K. Koh and G. M. Rebeiz, 0.13- μm CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays[J], in IEEE Journal of Solid-State Circuits, vol. 42, no. 11, pp. 2535-2546, Nov. 2007.
- [7] F. Reggia and E. G. Spencer, A New Technique in Ferrite Phase Shifting for Beam Scanning of Microwave Antennas[J], in Proceedings of the IRE, vol. 45, no. 11, pp. 1510-1517, Nov. 1957.
- [8] J. F. White, A Diode Phase Shifter for Array Antennas[C], PTG/MTT International Symposium Digest, Long Island, NY, USA, 1964, pp. 181-185.
- [9] M. E. Davis, Integrated Diode Phase-Shifter Elements for an X-Band Phased-Array Antenna (Short Papers)[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 23, no. 12, pp. 1080-1084, Dec. 1975.
- [10] C. Andricos, I. Bahl and E. Griffin, C-Band 6-Bit GaAs Monolithic Phase Shifter[C], Microwave and Millimeter-Wave Monolithic Circuits, Dallas, TX, USA, 1985, pp. 8-9.
- [11] Dong-Woo Kang, Hui Dong Lee, Chung-Hwan Kim and Songcheol Hong, Ku-band MMIC phase shifter using a parallel resonator with 0.18- μm CMOS technology[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 54, no. 1, pp. 294-301, Jan. 2006.

- [12] K. Koh and G. M. Rebeiz, An X- and Ku-Band 8-Element Phased-Array Receiver in 0.18- μm SiGe BiCMOS Technology[J], in IEEE Journal of Solid-State Circuits, vol. 43, no. 6, pp. 1360-1371, June 2008.
- [13] K. Koh and G. M. Rebeiz, A 6–18 GHz 5-bit active phase shifter[C], 2010 IEEE MTT-S International Microwave Symposium, Anaheim, CA, 2010, pp. 792-795.
- [14] W. Shin and G. M. Rebeiz, 60 GHz active phase shifter using an optimized quadrature all-pass network in 45nm CMOS[C], 2012 IEEE/MTT-S International Microwave Symposium Digest, Montreal, QC, 2012, pp. 1-3.
- [15] E. V. Balashov and I. A. Rumyantsev, A fully integrated 6-bit vector-sum phase shifter in 0.18 μm CMOS[C], 2015 International Siberian Conference on Control and Communications (SIBCON), Omsk, 2015, pp. 1-5.
- [16] T. Li, J. S. Park and H. Wang, A 2–24GHz 360° full-span differential vector modulator phase rotator with transformer-based poly-phase quadrature network[C], 2015 IEEE Custom Integrated Circuits Conference (CICC), San Jose, CA, 2015, pp. 1-4.
- [17] E. V. Balashov and I. A. Rumyantsev, An unbalanced transformerless vector-sum phase shifter architecture[C], 2016 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW), St. Petersburg, 2016, pp. 491-494.
- [18] 陈昌铭,李巍,李宁.一种新型 X 波段 5bit 本振移相器设计[J].复旦学报(自然科学版),2015,54(02):156-167.
- [19] 段宗明,马强,王晓东,唐小兰,林福江.200-800MHz 6-Bit CMOS 有源移相器设计[J].中国集成电路,2015,24(10):37-42.
- [20] Jiexiong Liang, Wei Li, Jintao Hu and Lai He, A 6–18GHz vector-sum 6-bit active phase shifter[C], 2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Hangzhou, 2016, pp. 1537-1539.
- [21] J. Hu, W. Li, L. He, S. Liu, Y. Xu and J. Gong, A 65nm CMOS 6–18 GHz full 360° 6-bit phase shifter[C], 2018 IEEE 18th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Anaheim, CA, 2018, pp. 51-53.
- [22] Z. Duan, Y. Wang, W. Lv, Y. Dai and F. Lin, A 6-bit CMOS Active Phase Shifter for Ku-Band Phased Arrays[J], in IEEE Microwave and Wireless Components Letters, vol. 28, no. 7, pp. 615-617, July 2018.

- [23] Y. Yao, Z. Li, G. Cheng, L. Luo, W. He and Q. Li, A 6-bit Active Phase Shifter for X- and Ku-band Phased Arrays[C], 2018 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Beijing, China, 2018, pp. 124-125.
- [24] T. Huang, L. Jeevananthan, S. Ituah, G. Chen, M. Nezhad-Ahmadi and S. Safavi-Naeini, A Miniaturized 0.13- μm BiCMOS Reflective-Type Phase Shifter for K-Band Phased Arrays (Invited)[C], 2019 IEEE International Symposium on Circuits and Systems (ISCAS), Sapporo, Japan, 2019, pp. 1-5.
- [25] David M. Pozar, 张肇仪. 微波工程(第三版)[M]. 北京: 电子工业出版社, 2015, 6:158.
- [26] Y. Lin, J. Lee, S. Huang, C. Wang, C. Wang and S. Lu, Design and Analysis of a 21–29-GHz Ultra-Wideband Receiver Front-End in 0.18- μm CMOS Technology[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 8, pp. 2590-2604, Aug. 2012.
- [27] H. Wei, C. Meng, K. Tsung and G. Huang, 12~18 GHz resistive mixer with a miniature Marchand Balun using standard CMOS process[C], 2009 Asia Pacific Microwave Conference, Singapore, 2009, pp. 2312-2315.
- [28] H. Wang, J. Cheng, J. Zhong, T. Huang and J. Tsai, A 2-30 GHz ring mixer with active baluns in 0.18- μm CMOS technology for vital sign detection application[C], 2015 European Microwave Conference (EuMC), Paris, 2015, pp. 901-904.
- [29] E. Badr, H. Shawkey, Y. Ismail and A. Zekry, Wideband inductorless CMOS RF front-end for LTE receivers[C], 2017 IEEE International Conference on IC Design and Technology (ICICDT), Austin, TX, USA, 2017, pp. 1-4.
- [30] X. Zhang, L. Yang and F. Huang, A 0.3–6GHz broadband noise cancelling low noise amplifier[C], 2016 International Conference on Integrated Circuits and Microsystems (ICICM), Chengdu, China, 2016, pp. 144-148.
- [31] 毕查德·拉扎维, 陈贵灿. 模拟 CMOS 集成电路设计(第 2 版)[M]. 西安: 西安交通大学出版社, 2018:72-73.
- [32] M. Shin, Y. Lee, C. Lee and D. Lee, A wideband noise-cancelling CG-CS LNA with transformer source coupling[C], 2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Seoul, 2017, pp. 177-179.
- [33] 李智群, 王志功. 射频集成电路与系统[M]. 北京: 科学出版社, 2008:185.

- [34]Z. Li, L. Sun and L. Huang, A high-gain low-power balun-LNA for 6–9GHz UWB system[C], 2013 Asia-Pacific Microwave Conference Proceedings (APMC), Seoul, 2013, pp. 264-266.
- [35]J. S. Park and H. Wang, A passive quadrature generation scheme for integrated RF systems[C], 2013 IEEE International Wireless Symposium (IWS), Beijing, China, 2013, pp. 1-4.
- [36]A. Asodeh and M. Atarodi, A Full 360°Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 6, pp. 1626-1634, June 2012.
- [37]J. S. Park and H. Wang, A Transformer-Based Poly-Phase Network for Ultra-Broadband Quadrature Signal Generation[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 63, no. 12, pp. 4444-4457, Dec. 2015.
- [38]X. Xiang, W. Gai, L. Shi, A. He and K. Sheng, An 8–12GHz 0.92° Phase Error Quadrature Clock Generator Based on Two-Stage Poly Phase Filter with Intermediate Point Compensation[C], 2019 IEEE International Symposium on Circuits and Systems (ISCAS), Sapporo, Japan, 2019, pp. 1-5.
- [39]Y. Huang, H. Jeon, Y. Yoon, W. Woo, C. Lee and J. S. Kenney, An Ultra-Compact, Linearly-Controlled Variable Phase Shifter Designed With a Novel RC Poly-Phase Filter[J], in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 2, pp. 301-310, Feb. 2012.
- [40]T. Fujiwara and M. Shimozawa, Broadband and Highly Accurate X-Band Vector-Sum Phase Shifter Using LC-Type Power Splitter[C], 2018 13th European Microwave Integrated Circuits Conference (EuMIC), Madrid, 2018, pp. 122-125.
- [41]L. E. Milner, J. T. Harvey, L. T. Hall and M. E. Parker, A polyphase RC filter implemented in ring configuration for a SiGe millimetre-wave receiver[C], 2016 IEEE 2nd Australian Microwave Symposium (AMS), Adelaide, SA, 2016, pp. 15-16.

致谢

时光匆匆，岁月如梭。考研的生活还历历在目，然而现在却又要离开学校，步入社会。三年的研究生生涯相对我全部的校园生活来说虽然非常短暂，但它却是对我影响最为深远的，这三年的时光让我体验到了与以前完全不一样的学习方式。在这三年里，我学到了很多专业知识，获得了很多科研经验，也结识了很多老师与同学。在此，我要向在这三年里给予我关心和帮助的老师与同学表达最诚挚的感谢。

首先，我要感谢我的导师李智群教授。李老师不仅为我提供了良好的科研条件，还在生活和学习上给予了我很多关心和帮助。在科研工作中，李老师一丝不苟的精神一直影响和激励着我，让我始终保持着对科研的极大热情。在这三年里李老师不仅传授了我很多专业知识，还教会我很多做人做事的道理，让我获益匪浅。

其次我要感谢姚艳、李振南、王晓伟、陈伯凡等博士，感谢博士师兄师姐们在科研工作中给予我无私的帮助和指导，让我这个初学者在科研工作伊始快速进入状态。

再次，我要感谢同届的每一位同学，周领、底京浩、方兆昱、万嘉鹏、李佳俊、陈东。我们互相督促，互相学习，一起娱乐，共同成长，为我枯燥的科研工作增添了很多色彩，让我的生活充满了温暖与快乐。

最后我要感谢我的父母，不管在物质上还是在精神上都给予了我无限的支持。不管是我名落孙山还是金榜题名，他们都一直在我身边给我鼓励为我喝彩。

攻读硕士期间发表的论文

[1] 石伟,李智群.基于 40nm CMOS 工艺 6~18GHz 6bit 有源移相器设计[C].东南大学校庆研究生报告会,2020.

