

CMOS 太赫兹无线收发机 关键技术研究

Research on Key Techniques of CMOS Terahertz Wireless Transceivers

一级学科：电子科学与技术

学科专业：微电子学与固体电子学

作者姓名：刘一波

指导教师：毛陆虹 教授

天津大学电气自动化与信息工程学院

二零一九年六月

摘要

太赫兹技术在通信、雷达成像、安全检测、医学诊断和光谱分析等方面具有很大的应用潜力。在无线通信领域，太赫兹频段更多的宽带资源、更小的信号波长、独特的信道传输特性使太赫兹通信系统在卫星通信，近距离超高速数据传输，芯片上、芯片间、计算机集群间的无线网络等方面都具有很广阔的应用前景。本文针对采用 CMOS 工艺实现的太赫兹无线收发机关键技术展开研究，采用 TSMC 40 nm CMOS 工艺，对放大器、射频前端、振荡器、锁相环和收发机等电路与系统分别进行了设计，并均完成了单独的流片验证工作。本文主要完成了如下工作：

1. 太赫兹放大器设计。本文提出并采用了晶体管互连线版图优化技术、中和技术、基于耦合传输线的宽带匹配技术，有效提高了放大器的增益和稳定性，扩展了放大器的带宽。基于上述技术，本文实现了太赫兹宽带放大器的设计，放大器采用差分结构，共具有四个增益级。根据流片、测试结果，放大器能够达到 10.1 dB 的增益，35 GHz 的 3 dB 带宽，带宽范围能够覆盖 185 GHz~220 GHz。

2. 收发机射频前端设计。本文提出了太赫兹收发机双向化单片集成技术，采用收发开关实现了太赫兹双向收发机射频前端。根据流片、测试结果，本文实现的收发机射频前端的接收模式能达到 10.5 dB 的增益，34.8 GHz 的 3 dB 带宽；发射模式能够实现 9.6 dB 的增益与 32.8 GHz 的 3 dB 带宽。该收发机射频前端的实现，论证了在太赫兹频段，实现收发机单片集成，并共用输入、输出天线接口的可行性，有效降低通信系统的成本。

3. 太赫兹振荡器设计。本文论述了在太赫兹频段适用的各类倍频技术，并采用基于变压器的谐波倍频器实现了太赫兹压控振荡器的设计。根据流片、测试结果，压控振荡器输出频率范围为 181.9 GHz ~ 191.5 GHz，在 195.5 GHz 频点的输出功率为 -7.26 dBm，相位噪声能达到 -97.2 dBc/Hz@10 MHz。

4. 锁相环设计。本文对分布式高阶无源网络的原理与特性展开研究，并具体介绍了注入锁定技术。利用分布式高阶无源网络，实现了压控振荡器工作频率的提升和注入锁定分频器锁定范围的扩展。基于上述技术，本文具体实现了 U 波段锁相环的设计。锁相环振荡器的输出频率范围为 46.75 GHz ~ 54.9 GHz。输出功率能够达到 2.64 dBm，并可实现 -91.76 dBc/Hz@1 MHz 的相位噪声性能。锁相环具有两路输出，可以通过自混频倍频技术实现三倍频输出，也可以支持二次混频的收发机应用操作，能够为收发机系统提供较为稳定的本振信号，为 QPSK 等更复杂的调制方式的实现奠定基础。

5. 收发机系统。本文论述了太赫兹 OOK 收发机的各类调制技术，并提出了 Cascode 倍频调制技术，实现更高的开关隔离度和更快的响应速度。本文采用 40 nm CMOS 工艺，实现了一款 G 波段 OOK 调制的收发机系统。收发机系统实现了发射机、接收机单片集成并共用输入、输出接口。收发机在发射模式下可以达到 1.28 dBm 的最大输出功率，平均开关隔离度能够达到 25 dB。收发机系统可以支持 10 Gb/s 数据率的数据通信。

关键词：

CMOS；太赫兹；无线收发机；宽带放大器；双向收发机前端；振荡器；锁相环

Abstract

Terahertz (THz) technology has drawn increasing attention in recent years due to their potential in wireless communications, radar imaging systems, safety monitoring systems, medical diagnosis, and spectroscopic analysis. Communication systems in terahertz frequency band have much potential to realize satellite communications, data transmission with ultra-high data rate between a short range, and the wireless network on one chip, among chips or among computer clusters, due to its wider available frequency band, shorter wavelengths of the signals, and unique channel characteristics. In this dissertation, the key techniques of CMOS terahertz wireless transceivers are studied. The design and the tape-out with TSMC 40 nm CMOS processing is realized to demonstrate the techniques proposed in this dissertation.

The main contributions of this dissertation are summarized as follows.

1. To realize a THz wideband amplifier, the layout optimization technique of the transistors, neutralization techniques, and the wideband matching technique based on coupled transmission lines are proposed. These techniques boost the power gain, improve the stability, and extend the wideband of the amplifiers. A four-stage differential wideband amplifier operating in THz frequency band is presented. Measured results show that the amplifier achieves a peak gain of 10.1 dB and a 3-dB bandwidth of 35 GHz ranging from 185 GHz to 220 GHz.

2. This dissertation presents a wideband bidirectional transceiver front-end with a transmit/receive (T/R) switch. The front-end in the transmitter (TX) mode achieves a measured 3-dB bandwidth of 32.8 GHz with a peak gain of 9.6 dB and a simulated saturated output power of 3.0 dBm, while the receiver (RX) mode features a measured 3-dB bandwidth of 34.8 GHz with a maximum gain of 10.5 dB and a simulated minimum noise figure (NF) of 10.8 dB. The implementation of the bidirectional transceiver front-end demonstrates the feasibility to integrate the transmitter and receiver with a single on-chip antenna in THz frequency band, which considerably reduces the cost of the total system.

3. This dissertation proposes many frequency multiplication techniques to realize a higher frequency signal output in the design of the oscillators. A voltage-controlled oscillator (VCO) with transformer-based push–push frequency doubler is presented. The proposed VCO achieves a measured continuous tuning range from 181.9 to 195.5 GHz. The

measured output power at 195.5 GHz is -7.26 dBm and the phase noise at 10 MHz offset is -97.18 dBc/Hz.

4. A high-order distributed passive network is analysed in this dissertation. The injection locking technique is also introduced in this dissertation. The high-order distributed passive network is utilized to boost the operating frequency of the oscillator and expand the locking range of the injection lock frequency divider. A U-band phase-locked loop (PLL) is realized based on the techniques mentioned above. The PLL achieves a measured locking range of 8.15 GHz (16%) from 46.75 GHz to 54.9 GHz. The measured phase noise is -91.76 dBc/Hz at 1 MHz offset frequency from 46.75 GHz carrier. Integrating with a frequency doubler, the proposed U-band PLL can provide a clear and stable local oscillation signal for the transceivers with coherent modulation schemes operating at millimeter-wave (mm-wave) and sub-terahertz (sub-THz) frequency band.

5. This dissertation proposes many modulation techniques in the design of the on-off keying (OOK) transceiver. A novel modulation technique with the cascode frequency doubler topology is presented to achieve a higher on-off isolation and a faster response speed for a higher data rate. A G-band OOK bidirectional transceiver is realized in 40 nm CMOS. The transceiver integrates the transmitter and the receiver in a single chip with a common input/output port. The transceiver can achieve a maximum output power of 1.28 dBm, and a 25 dB on-off power ratio. The transceiver can realize 10 Gb/s bit rate data communications.

Keywords: CMOS; Terahertz; wireless transceiver; wideband amplifier; bidirectional transceiver front-end; Oscillator; phase-locked loop (PLL)

目录

第 1 章 引言	1
1.1 研究背景	1
1.1.1 概述	1
1.1.2 行业研究现状	4
1.1.3 主要技术挑战	7
1.2 论文主要贡献	8
1.3 论文结构及内容安排	10
第 2 章 基于耦合传输线的太赫兹宽带放大器设计	13
2.1 本章引论	13
2.2 有源器件互连线版图优化	14
2.3 放大器中和技术	16
2.3.1 单端放大器中和技术	16
2.3.2 差分放大器中和技术	19
2.4 基于耦合传输线的宽带匹配技术	21
2.5 太赫兹宽带放大器	26
2.6 芯片测试结果	27
2.6.1 测试结果	27
2.6.2 性能对比与分析	28
2.7 小结	29
第 3 章 太赫兹双向宽带收发机射频前端设计	31
3.1 本章引论	31
3.2 太赫兹收发开关	31
3.2.1 开关晶体管模型及衬底悬空技术	32
3.2.2 收发开关拓扑结构	33
3.3 宽带双向太赫兹收发机射频前端	35
3.3.1 系统架构	35
3.3.2 放大器设计	36
3.3.3 收发开关设计	36
3.4 芯片测试结果	38
3.4.1 测试结果	38

3.4.2 性能对比与分析	41
3.5 小结	42
第 4 章 基于变压器谐波倍频器的太赫兹压控振荡器设计	43
4.1 本章引论	43
4.2 太赫兹振荡器倍频技术	43
4.2.1 基于晶体管非线性的谐波叠加倍频技术	44
4.2.2 基于高阶谐振网络的谐波倍频技术	49
4.2.3 自混频倍频技术	52
4.3 基于变压器谐波倍频器的太赫兹压控振荡器	54
4.3.1 压控振荡器电路结构	54
4.3.2 基于 DiCAD 的振荡器频率调节	55
4.3.3 基于变压器的 push-push 倍频器	57
4.4 芯片测试结果	58
4.4.1 测试结果	58
4.4.2 性能对比与分析	60
4.5 小结	61
第 5 章 基于分布式无源网络的锁相环设计	63
5.1 本章引论	63
5.2 分布式高阶无源网络	64
5.2.1 谐振频率	65
5.2.2 品质因数	66
5.2.3 高阶特性	68
5.3 注入锁定分频技术	69
5.3.1 注入锁定的基本原理	69
5.3.2 注入锁定分频器	72
5.3.3 注入锁定分频器的优化	73
5.4 采用分布式无源网络的锁相环	77
5.4.1 系统架构	77
5.4.2 压控振荡器	78
5.4.3 注入锁定分频器	80
5.4.4 锁相环中的其余电路	82
5.5 芯片测试结果	86
5.5.1 测试结果	86
5.5.2 性能对比与分析	90

5.6 小结·····	91
第 6 章 G 波段 CMOS OOK 双向收发机·····	93
6.1 本章引论·····	93
6.2 系统架构·····	94
6.3 OOK 发射机设计·····	95
6.3.1 OOK 调制技术·····	95
6.3.2 Cascode 倍频调制器·····	101
6.4 OOK 接收机设计·····	104
6.4.1 解调器设计·····	104
6.4.2 基带放大器设计·····	107
6.5 芯片测试结果·····	110
6.5.1 发射模式测试·····	110
6.5.2 接收模式测试·····	112
6.5.3 性能对比与分析·····	113
6.6 小结·····	114
第 7 章 总结与未来工作展望·····	115
7.1 论文工作总结·····	115
7.2 进一步工作展望·····	116
参考文献·····	119
在学期间发表的学术论文与研究成果·····	131
致谢·····	133

第1章 引言

1.1 研究背景

1.1.1 概述

集成电路和无线通信技术的迅猛发展使人们的生活发生了巨大的改变。全球定位系统（Global Positioning System, GPS）、无线局域网（Wireless Local Area Networks, WLAN）、全球数字移动通信系统（Global System for Mobile Communications, GSM）、蓝牙（Bluetooth）、近距离无线通信（Near Field Communication, NFC）、雷达系统（Radar systems）等无线通信技术的应用，已经渗透到了人们生活的方方面面。计算机、手机等电子设备处理器性能的持续提升，存储器容量的不断增大，促使人们对无线传输数据率的需求越来越高。此外，无线通信应用种类上的不断丰富以及数量上的爆炸式增长，使得有限的信道越来越拥挤，我们在通过更复杂的技术提高信道利用率的同时，也在不断开辟新的信道资源。

在电磁波谱中，太赫兹（Terahertz, THz）频段的范围从 100 GHz ~ 10 THz，对应真空中的波长范围为 3 mm ~ 0.03 mm，位于传统的微波频段与红外之间，属于电子学技术和光学技术的过渡区域。太赫兹波具有与微波、可见光不同的特性，因此在通信^[1, 2]、雷达成像^[3]、安全检测^[4]、医学诊断^[5, 6]和光谱分析^[7]等方面具有很大的应用潜力。但是，由于缺乏有效的信号产生和检测手段，太赫兹频段长期没有受到充分的关注，成为人类在通信领域最后一块未被充分开发的频谱区域。

在无线通信领域，太赫兹波具有许多独特的特征。

（1）太赫兹波具有更多的带宽资源。与微波和毫米波通信相比，太赫兹波具有更宽的频带范围，可以容纳更多的信道，并且能够提供更高的数据率。太赫兹波通信可达到甚至远超过 10 Gb/s 的数据传输速率^[8, 9]，比目前的宽带无线通信快上几百倍甚至上千倍，在单位时间内传递信息的能力更强，是更好的宽带信息载体。

（2）太赫兹信号波长更小。在频率较低的射频、毫米波通信系统中，电感、传输线等结构通常会消耗很大的面积。太赫兹信号波长小，因此太赫兹频率的电路能够用更小的面积实现。另外，太赫兹天线也可以做得更小，片上集成天线的成本更低。天线孔径的缩小，也有利于使波束更窄，获得更强的方向性，从而提高信号的定向传输特性。

（3）太赫兹波具有独特的信道传输特性。首先，与可见光相比，太赫兹频段的

信号能够穿透悬浮颗粒或烟尘,对烟、雾和灰尘等恶劣的环境具有更强的适应能力。此外,太赫兹频段的信号在空气中传播的过程中,会因为大气层的吸收出现幅度衰减。大气层能够阻挡大部分的宇宙辐射,只有一小部分能够透过大气层到达地球表面,例如臭氧层中的臭氧,就对紫外线有明显的吸收效果。大气中对于太赫兹波的吸收主要源自于氧气和水。各频段的电磁波在大气中的衰减情况如图 1-1 所示^[10]。从图中可以看出,电磁波在 120 GHz 和 180 GHz 有两个吸收峰,140 GHz 和 220 GHz 则存在两个传播窗口。因此,对于雷达等应用,需要在信号的传播路径上减小电磁波的衰减,因此其工作频率通常定在传播窗口附近。超近距离的太赫兹通信也可以利用吸收峰,再加上太赫兹天线良好的定向传输特性,可以提高数据传输的安全性,且能够减少太赫兹通信终端之间的干扰,有利于获得更为纯净的信道,方便太赫兹通信系统的网络布局。

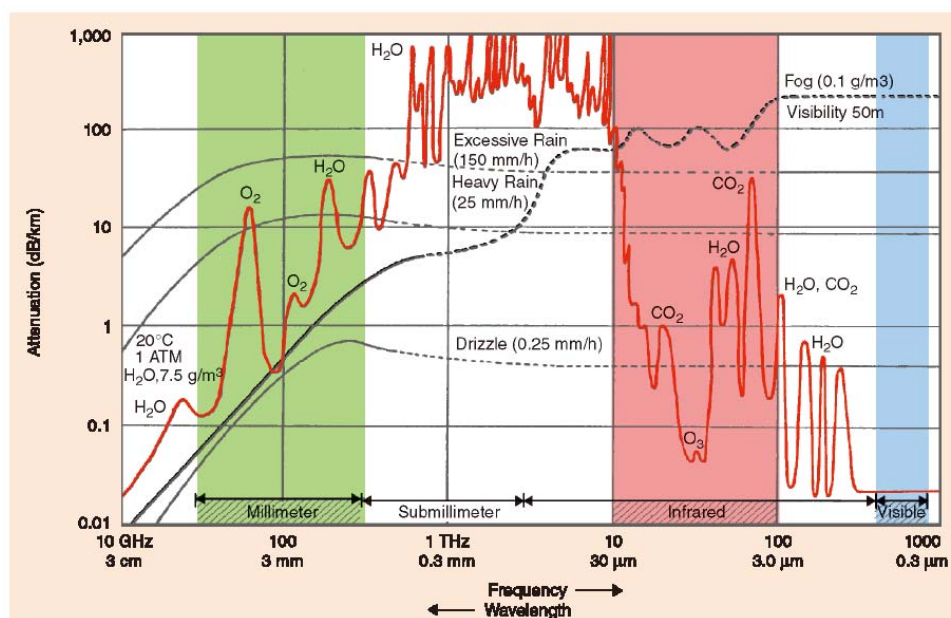


图 1-1 各频段电磁波在大气中的衰减^[10]

由于上述特征,太赫兹通信系统具有广阔的应用前景。

(1) 卫星通信。大气中的氧气和水会对太赫兹波有较强的衰减作用,随着海拔的升高,空气越来越稀薄,尤其在对流层之上,水蒸气含量几乎为零,此时很宽的频率范围内的太赫兹波不会因大气的作用而衰减。同时,卫星通信需要很高的传输数据率,采用太赫兹信号能够充分满足。此外,由于大气对太赫兹信号的衰减,卫星通信的信号与地表有很好的物理隔离,卫星通信信号不会对地表通信造成影响。

(2) 近距离超高速数据传输。无人驾驶、人工智能 (Artificial Intelligence, AI)、超高清视频 (Ultra High Definition Television, UHD TV)、虚拟现实 (Virtual Reality, VR) 等新的技术均需要很高的数据率和响应速度的支持。如此高的数据率与响应速度要

求,采用已有的传统通信技术甚至毫米波通信技术都难以满足,太赫兹通信系统将成为解决这一问题的方案。在较短的通信距离内,太赫兹通信系统也具有取代无线局域网和蓝牙技术的潜力^[11]。此外,也可以采用太赫兹通信取代传输线,作为便携性存储器(移动硬盘等)与计算机之间、移动设备与存储设备之间进行数据交换的媒介。

(3) 片上无线网络,芯片间、计算机集群间互连。

通过片上网络(Network-on-chip, NoC)可以在单片集成大量嵌入式模块。随着模块之间交换的数据量增加,采用传统的平面金属互连线会导致更高的功率损耗,且因为信号频率增加后会在互连线的负载端出现多次反射效应,影响信号的传输效率。无线片上网络(Wireless Network-on-chip, WiNOC)^[12]的提出,成为解决这一问题的方案。分层无线片上网络架构如图1-2所示^[13],嵌入式集群之内采用连线连接,并通过开关辅助配置,集群之间具有宽带长距离传输需求的信号通路通过无线互连的方式实现。

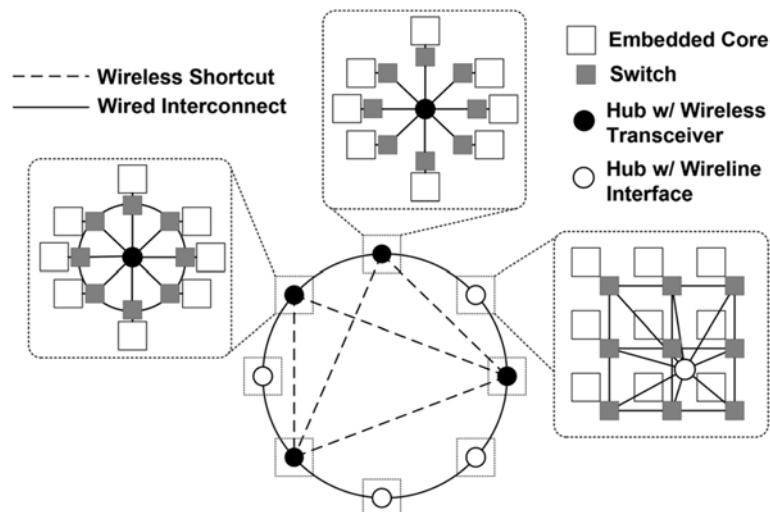


图 1-2 分层无线片上网络^[13]

传统的芯片之间的互连通常通过封装和互连线完成,封装焊盘的寄生电容和互连线的电感,在数据率很高的情况下会对传输速度、带宽、信号的完整性等性能^[14]产生限制。光互连由于需要特殊的光学器件和光电转换设备,难以在硅基材料上制作,无法与芯片上的其余模块实现单片集成。因此可以采用太赫兹通信系统实现芯片间的互连,完成宽频带、高数据率的芯片间传输^[15]。此外,与连线互连相比,采用太赫兹通信实现的芯片间的互连还具有可动态配置的优势,每个芯片相当于一个收发终端,可以通过芯片间收发机的配置、选通等操作,实现芯片间连接关系的动态变化。

由于太赫兹频段处于电子技术和光技术的过渡区域,我们可以从光学技术出发,研究将其频率降低到太赫兹频率的方法;也可以从电子学的技术出发,研究将信号提高到太赫兹频率的手段。不论从哪个方向展开研究,都需要克服在各自的领域面临的

巨大挑战。近十几年来,光学技术和电子学技术都在飞速发展。光学方面,飞秒激光技术的快速发展,推动了脉冲太赫兹光源的产生,使人们看到了这一频段范围的应用前景,引发了太赫兹频段研究的热潮。但是,采用光学手段所需要的光学器件、工具、设备、仪器等,都不可避免地面临着技术难度大、价格昂贵、体积大、运行与维护成本高等诸多问题。在电子学方面,集成电路最早对太赫兹频段进行研究的工艺都是基于 GaAs、InP 等 III-V 族工艺,与硅基工艺相比,采用 III-V 族化合物工艺制作的器件具有更快的速度、更好的噪声性能以及更强的电流驱动能力。但是,III-V 族工艺成本过高,而且与现在使用最为广泛的 CMOS 工艺无法兼容,这严重限制了太赫兹应用的推广。太赫兹通信系统如果能够采用 CMOS 工艺实现,在降低太赫兹电路成本的同时,可以利用 CMOS 工艺高集成度的优势,将太赫兹射频前端电路与模拟基带、数字处理电路等部分实现片上集成,从而使芯片系统结构紧凑、功能完整,且能够大幅度缩减产品成本,有助于应用的推广和产业化发展。

硅基 CMOS 器件的工作频率,通常都要受到截止频率(f_T)或最大振荡频率(f_{max})的制约。当器件的工作频率接近极限频率时,工作性能及可靠性等会恶化。但是,工艺技术不断发展使得器件尺寸缩小,更小尺寸晶体管的截止频率逐渐接近甚至达到太赫兹的频率范围。从目前的工艺制程发展情况来看,采用 CMOS 工艺实现的太赫兹电路,尽管与频率较低的射频电路或毫米波通信系统相比,在某些性能方面存在较大差距。但是仍然能够通过对器件的非理想效应进行建模和优化,对电路和版图进行精心的设计,采用新的结构和技术手段,在太赫兹频段采用 CMOS 工艺实现较为完整的通信系统。

1.1.2 行业研究现状

由于 CMOS 工艺在太赫兹频段的性能限制,CMOS 太赫兹通信电路与系统的研究开展较晚。但是随着工艺制程的不断发展,CMOS 工艺逐渐具备了在太赫兹频段工作的潜力。并且伴随着 K 波段(18 GHz~26.5 GHz),Ka 波段(26.5 GHz~40 GHz),U 波段(40 GHz~60 GHz)乃至在 60 GHz 附近的 V 波段(50 GHz~75 GHz)相关电路、系统的技术相继成熟,研究者们已经能够在相应的频段实现性能较好、功能全面、结构复杂的集成电路系统^[16-18],我们逐渐将目光投向更高更广阔的频段蓝海。CMOS 太赫兹电路与系统的研究成为热点的趋势越来越明显,在 ISSCC、RFIC、A-SSCC、VLSI、ISCAS 等在集成电路设计领域影响力较大的学术会议中,关于 CMOS 工艺实现的太赫兹集成电路模块与系统的报道逐渐增多,内容覆盖了器件建模、片上天线、电路模块、电路系统等各个方面,近年甚至有会议专门开辟单独的分会集中展示与讨论太赫兹频段的最新进展。随着越来越多的研究机构和研究人員开始从事太赫兹频段集成电路的研究,ISSCC 等顶尖会议已经不再开辟单独的模块,而直接将相关的

报道归到了常规的讨论收发机电路与系统的单元。这说明经过了多年的探索和努力,太赫兹频段的通信应用已经得到了半导体通信领域的重视与认可,并被纳入了主流通信领域。相信在不久的将来,成熟、可靠的 CMOS 太赫兹通信系统就会出现在世人面前,对人类科技的发展做出有力的支持和巨大的贡献。

CMOS 器件及建模方面,国际上目前已报道的有源器件模型主要针对毫米波频段^[19,20],模型的准确性通常采用较为复杂的解嵌技术验证^[21,22]。Kenneth K.O 在美国佛罗里达大学期间,对肖特基二极管在太赫兹频段的特性进行了建模,并实现了太赫兹频段首个肖特基二极管倍频器^[23],而后又采用肖特基二极管实现了功率检测^[1,24]等功能。无源器件方面,受益于电磁场仿真技术的发展,电磁场仿真工具可以对无源器件和互连线进行较为准确的仿真,解嵌技术^[25]和流片结果都验证了电磁场仿真的准确性。在毫米波段,已经有较多的对无源器件的建模^[26-28]和论述,有助于了解无源器件的性能。我们可以通过设计,更好地利用无源器件实现预期的作用,并且能够验证理论建模的准确性。然而太赫兹频段,无源器件的特性模型较少,我们通常需要根据无源器件在毫米波频段的特征进行类推,并借助电磁场仿真工具验证。

太赫兹天线方面,由于太赫兹通信系统中难以采用传统的封装方式将信号引到片外,太赫兹天线更适宜在芯片上集成。现在德克萨斯大学达拉斯分校的 Kenneth K.O、加州大学欧文分校的 Payam Heydari、加州大学伯克利分校的 Ali M. Niknejad 等分别在片上实现了平面贴片天线^[29]、偶极天线^[30]、环形天线^[31,32]等常用的天线结构,均可用于太赫兹通信。加州理工学院的 Ali Hajimiri 等采用 45 nm SOI 工艺实现了 4×4 片上天线阵列^[33],以达到更好的方向性和更高的各向等效辐射功率(EIRP)等性能。比利时鲁汶大学的 Patrick Reynaert 组近期采用 3D 打印技术,在片上集成的天线馈电线上直接打印了金属镀膜喇叭天线,显著提高了太赫兹天线的 EIRP 性能。

太赫兹集成电路模块方面,国际上已经有一些具有代表性的研究机构和课题组采用 CMOS 工艺针对太赫兹源、放大器以及其他模块进行了探索和研究。Kenneth K.O 所指导的课题组中,Changhua Cao、Eunyoung Seok 等在 100 GHz 以上的频段实现了基频振荡器^[34]和 push-push 振荡器^[35]。加州大学洛杉矶分校的 Mau-Chung Frank Chang 组也在同时期以太赫兹信号源为切入点开始了 CMOS 太赫兹电路的积累工作,并提出了频率选择负阻增强技术,提升振荡器的振荡频率^[36-39]。加州大学 Omeed Momeni 组则基于太赫兹波在传输线上的特点实现倍频振荡器^[40-43]。在放大器方面,Mau-Chung Frank Chang 组^[44-46]、Omeed Momeni 组^[47,48]等国际范围内在 CMOS 太赫兹领域较为领先的课题组也都完成了太赫兹放大器电路的技术积累。混频器方面,由于太赫兹频段混频器模块难以单独测试,混频器的实现通常在整个系统中进行报道。太赫兹频段的混频器通常也采用基尔伯特混频器等较为经典的结构^[49],设计难点在

于需要通过匹配网络完成较宽频带内的匹配,从而在带内实现较为平坦的转换增益。由于过宽的带宽需求和有源器件的性能衰退,太赫兹混频器通常难以具有正的转换增益。也可以采用无源混频器方案,加州大学圣地亚哥分校 Gabriel M. Rebeiz 等实现了 150 GHz 附近的双平衡无源混频器^[50],转换增益为-12 dB。

在对太赫兹电路模块进行了较为充分的探索后,CMOS 太赫兹通信系统的研究取得了很好的进展。2012 年,美国加州大学伯克利分校的 Ali M. Niknejad 等人已经在 260 GHz 频率实现了用于芯片互连的 OOK 调制收发机系统^[51],系统通信数据率达到了 10 Gb/s。随后,加州大学欧文分校的 Payam Heydari 组^[30]与圣何塞州立大学的 S. Ardalan 组^[15]也先后实现了 210 GHz 频率的 OOK 调制收发机系统。为了进一步提高数据传输效率, Ali M. Niknejad 组也在太赫兹频段先后尝试了 BPSK、QPSK 等较为复杂的调制方式^[31, 32, 52],使最高数据率可以达到 16 Gb/s。加州大学圣地亚哥分校的 Gabriel M. Rebeiz 等人也实现了 155 GHz 频率的 QPSK 收发机^[53],使数据率达到了 20 Gb/s。采用 CMOS 工艺实现的太赫兹收发机系统中,目前的最高数据率报道来自 ISSCC,2016 年,日本广岛大学的 Minoru Fujishima 组采用 40 nm CMOS 工艺在 300 GHz 频段实现了 32-QAM 调制发射机^[54],发射机能够达到 6 通道共 105 Gb/s 的传输数据率。在 2019 年的 ISSCC 上, Minoru Fujishima 组又实现了 300 GHz 频带的单片收发机系统^[55],采用 16-QAM 调制,能够实现 80 Gb/s 的数据率传输。

国内也有很多高校和研究院所在从事太赫兹频段相关技术的研究工作,经过了一段时间的技术积累,也都取得了可喜的成果^[56]。但这些报道大多基于光学或基于 III-V 族半导体等特殊材料和工艺实现,例如采用量子级联激光器 (quantum cascade laser, QCL) 实现的太赫兹通信系统^[57],采用了 InP 高电子迁移率晶体管 (high-electron mobility transistor, HEMT) 单片微波集成电路 (Monolithic Microwave Integrated Circuit, MMIC) 实现的太赫兹通信系统^[58, 59],以及采用石墨烯与半导体的复合结构实现的太赫兹调制器和通信系统^[60, 61]。而采用 CMOS 工艺实现的太赫兹通信电路与系统方面,目前国内还处于技术积累阶段,已在 JSSC、TMTT、TCAS 等国际高水平期刊和 ISSCC、ASSCC、ISCAS 等国际顶级会议上报道的成果还比较少^[49, 62]。美国、日本等发达国家在 CMOS 太赫兹集成电路领域处于领先地位,我国尚处于追赶状态^[63]。

CMOS 太赫兹电路与通信系统的相关研究在国际上已经得到了飞速的发展,也逐渐引起了国内研究者的关注。但是,目前对 CMOS 太赫兹通信领域的研究工作仍然处于前期的探索、基础性研究和技术积累阶段,能够开展相关研究并取得较好成果的课题组也并没有形成规模,所报道的成果都存在各方面的缺陷。因此,我们可以说,CMOS 太赫兹电路的研究工作还有很长一段路要走。但是从近些年的发展趋势来看,该领域正在吸引越来越多的先进的研究团队,会得到越来越丰富的资源的支持,越来越多优秀的研究人员也将投入进来。我们可以预见,太赫兹技术在未来会有

更大的发展潜力,太赫兹系统将会朝实用化、产品化、集成化方向发展,最终能够使各行各业,都能够享受到由太赫兹技术带来的便利。

1.1.3 主要技术挑战

尽管国际上对 CMOS 太赫兹通信电路与系统的研究已经取得了一定的进展,但是如此高的工作频率必然会使太赫兹通信电路的研究任务更为复杂与艰巨。目前能够从事该方向研究的课题组仍然非常有限,与毫米波频段的研究相比,采用 CMOS 工艺从事太赫兹频段研究的课题组数量和规模方面都存在很大差距。采用 CMOS 工艺实现太赫兹通信电路与系统需要面临诸多技术挑战:

(1) 工作频率升高带来的器件模型失准和性能衰退。对于晶体管等有源器件来说,太赫兹频段接近器件的截止频率,在如此高的频率上,晶体管本身难以获得足够的增益。此外,晶体管互连线的寄生效应也会随着工作频率的升高加剧,导致晶体管性能进一步恶化。随着晶体管尺寸的减小,晶体管的电源电压逐渐降低,而阈值电压逐渐升高,工艺角波动明显增加,许多常见的电路结构难以保证所有器件在全工艺角下均能配置在合适的工作区,因此在设计过程中,需要考虑低电压方案,且对电路的鲁棒性提出更高的要求。由芯片代工厂提供的晶体管模型通常无法在 30 GHz 以上做到足够准确,晶体管模型的失准为电路设计带来了更多的不确定性,也会影响流片的成功率。

无源器件方面,在太赫兹频率下,由于趋肤效应和衬底耦合效应,无源器件的品质因子急速下降,由无源互连线等引入的损耗明显增加。在毫米波频段得到了广泛应用的变压器等具有相对复杂结构的元件自谐振频率相对较低,在太赫兹频段下工作性能随工艺波动变化剧烈,并且准确仿真难度较大,会导致仿真与流片之间存在较大偏差。

(2) 器件性能衰退导致电路设计指标折衷现象加剧。集成电路设计通常需要在多个指标之间做出权衡,牺牲一些性能换取其他的电路功能或特性。在频率较低的电路设计情况中,由于晶体管能够提供足够的增益,通常可以通过较为简单的方式实现设计指标。然而当电路进入到太赫兹频率,晶体管提供的增益有限,无源器件的性能又严重恶化,能够提供给设计者进行折衷的空间变得非常狭窄。以放大器为例,太赫兹通信系统要求放大器必须具有极大的带宽,实现宽带匹配通常需要以增益为代价,为了获得更高的增益,太赫兹放大器不得不采用三级、四级甚至更多的增益级实现目标。增益级的增多也增加了电路的功耗、设计复杂度并降低了电路的可靠性。在太赫兹振荡器中,为了实现更高的频率,提供负阻的晶体管尺寸通常会设置得很小,然而低 Q 值的谐振网络又需要晶体管提供足够的负阻保证起振条件,因此才会出现太赫兹倍频器,来缓和振荡频率与环路增益之间的矛盾。然而倍频器却使得太赫兹振荡信

号输出功率降低,为电路性能指标的实现增加了新的折衷。因此在太赫兹频段,系统的规划要更为合理,在工艺受限的情况下,更好地分配有限的性能资源。电路的设计也要更为精细,通过新的技术和手段,提升电路在太赫兹频率下的工作性能。

(3) 太赫兹通信系统对数据率的要求提高了电路的设计难度。太赫兹通信系统具有很高的数据率要求,因此需要前端电路具有足够宽的带宽,同时也需要基带电路具有足够快的响应速度。以 QPSK 调制的 180 GHz 收发机系统为例,若想实现 20 GHz 的单边数据带宽,接收机中, LNA 的频带范围是 160 GHz~200 GHz, 中心频率为 180 GHz 的信号与 120 GHz 的本振信号进行第一次下混频,而后再与 60 GHz 的本振信号完成第二次下混频。第一级下混频器与第二级下混频器的级间匹配范围为 40 GHz~80 GHz, 在 60 GHz 附近实现如此宽的匹配带宽具有极大的技术难度。在经过两次下混频后,基带电路也要能够处理频率高达 20 GHz 的信号。发射机也面临同样的问题,高达 20 GHz 的基带电路采用常规的数字、模拟电路都难以满足要求。传统通信系统中的基带处理方案在如此高的频率上也难以实现。

(4) 系统集成过程也要面临很大的挑战。太赫兹频率下器件模型失真、受工艺偏差波动大等因素,导致太赫兹电路的仿真与流片之间可能存在较大的偏差。不同电路模块偏差情况不尽相同,毫米波频段可以给各个电路模块分别添加开关电容阵列、开关电阻阵列等,通过数字控制位调节电路的实际参数,但是太赫兹频段由于开关的非理想特性,开关电容和开关电阻难以实现足够的调节范围,并且这些额外的电路结构也会使电路性能的恶化更为明显。因此将各个电路模块进行级联时,为了保证各个模块能够协同工作,需要尽量增加模块能够正常工作的频率范围,例如放大器要有更宽的带宽, VCO 要有更大调节范围,注入锁定分频器要有更宽的锁定范围,这些额外的要求又会增加电路模块的设计难度。

此外,模块在进行级联时,也会因为级联匹配网络等结构引入插入损耗,甚至对电路原有的设计特性造成较大改变。这也是太赫兹单片集成可共用天线的双向收发机难以实现的原因之一。因此除了在电路模块的设计中需要进行迭代外,电路模块之间级联的设计也需要迭代,甚至还要对已经完成设计的电路模块重新进行迭代调整。

1.2 论文主要贡献

面对上文提到的 CMOS 太赫兹通信系统设计中面临的诸多挑战,本文对 CMOS 太赫兹无线收发机关键技术进行了研究。基于所提出的关键技术,本文对放大器、射频前端、振荡器、锁相环和收发机等电路与系统进行了设计,并均采用 TSMC 40 nm CMOS 工艺完成了单独的流片验证工作。本论文的主要贡献有:

(1) 放大器设计方面:首先,针对晶体管互连线的寄生效应,提出了一种有源

器件互连线版图优化方案, 该方案能够有效降低晶体管互连线寄生效应对晶体管性能的恶化, 显著提高了晶体管的截止频率。然后, 利用较为直观的方式总结了太赫兹放大器设计中所用的中和技术, 该技术能够有效提高放大器电路的增益和稳定性, 广泛应用于各类太赫兹放大器电路中。第三, 提出了耦合传输线的无源网络结构, 并具体论述了耦合传输线的匹配特性, 提出了基于耦合传输线的宽带匹配技术, 有效拓展放大器的匹配带宽。基于上述技术, 具体实现了太赫兹宽带放大器并完成流片验证, 根据测试结果, 放大器能够实现 35 GHz 的 3 dB 带宽, 带宽范围能够覆盖 185 GHz~220 GHz, 与现阶段同类报道相比, 具有明显优势。

(2) 射频前端方面: 本文提出了一种收发机射频前端双向化实施方案, 实现了双向收发机射频前端设计, 完成了单独的流片验证。该收发机射频前端的实现, 论证了在太赫兹频段, 将接收机与发射机实现片上集成, 并共用输入、输出天线接口的可行性, 有利于收发机实现单片集成并降低成本。

(3) 振荡器设计方面: 较为详尽地论述了在太赫兹频段适用的各类倍频技术, 并具体就基于变压器的谐波倍频太赫兹压控振荡器的设计过程展开介绍, 并完成了单独的流片验证, 振荡器能够实现 181.9 GHz~195.5 GHz 的频率调节范围, 在综合性能指数与输出功率等方面, 均取得了较好的表现。

(4) 锁相环设计方面: 具体论述了一种分布式高阶无源网络, 并具体介绍了注入锁定技术。利用高阶无源网络, 实现了振荡器频率的提升和注入锁定分频器锁定范围的扩展。基于上述技术, 具体实现了 U 波段锁相环的设计, 并进行了单独的流片与测试工作。根据测试结果, 锁相环的锁定范围为 46.75 GHz~54.9 GHz, 具体性能表现与当前报道的国际先进水平相当。本文实现的锁相环, 可以通过自混频倍频技术实现三倍频输出, 也可以支持二次混频的收发机应用操作, 能够为收发机系统提供较为稳定的本振信号, 为 QPSK 等更复杂的调制方式的实现奠定基础。

(5) 收发机系统方面: 论述了太赫兹 OOK 收发机的各类调制技术, 并提出了一种 Cascode 倍频调制技术, 实现更高的开关隔离度和更快的响应速度。以上面所述的各种太赫兹电路设计的关键技术为基础, 采用 TSMC 40 nm CMOS 工艺, 实现了一款 G 波段 OOK 调制的收发机系统。OOK 双向收发机实现了发射机与接收机单片集成, 并共用输入、输出接口, 发射机和接收机可以共用一套天线, 极大程度地节省了芯片的面积。收发开关对发射机的饱和输出功率、接收机的放大器增益等性能都会带来影响, 在集成了收发开关后, 收发机整体性能仍然能够达到现阶段见诸报道的国际先进水平。

1.3 论文结构及内容安排

本论文各章按照 CMOS 太赫兹收发机系统的电路模块与系统架构进行安排，在各章中具体介绍对应电路在设计过程中所用到的关键技术。各章介绍的电路模块或系统、对应技术和关联章节在图 1-3 中进行汇总。

章节	介绍电路	关键技术和主要贡献	关联章节	单独流片
第 2 章	放大器	<ul style="list-style-type: none"> • 互联线版图优化技术 • 放大器中和技术 • 基于耦合传输线的宽带匹配技术 		✓
第 3 章	双向射频前端	<ul style="list-style-type: none"> • 射频前端双向化技术——收发开关的分析与应用 	第 2 章	✓
第 4 章	振荡器	<ul style="list-style-type: none"> • 振荡器倍频技术 		✓
第 5 章	锁相环	<ul style="list-style-type: none"> • 分布式高阶无源网络的分析和应用 • 注入锁定技术 	第 4 章	✓
第 6 章	OOK 收发机	<ul style="list-style-type: none"> • 发射机调制技术 • 接收机解调及宽带基带放大技术 	第 3 章 第 4 章	✓

图 1-3 本文各章对应电路模块及关键技术和贡献汇总

论文的结构组织与内容安排如下：

第 1 章，首先介绍了论文的研究背景、CMOS 太赫兹通信系统发展的现状和 CMOS 太赫兹电路设计中面临的主要技术挑战。然后介绍了本文的主要贡献和创新点，以及论文结构和内容安排。

第 2 章，主要介绍了太赫兹宽带放大器的设计。首先介绍了太赫兹宽带放大器设计中的关键技术：针对太赫兹频段有源器件性能衰退提出的有源器件互连线版图优化技术、放大器中和技术，针对无源器件及太赫兹放大器的宽带性能要求提出的基于耦合传输线的宽带匹配技术。而后介绍了利用上述技术具体实现的宽带放大器的电路实现、流片测试结果以及性能对比与分析。

第 3 章，主要介绍了太赫兹双向宽带收发机射频前端的实现方法。在第 2 章的基础上，介绍了太赫兹收发开关的设计方法，采用收发开关实现射频前端的双向化功能。而后具体介绍了所实现的双向射频前端电路结构、流片测试结果以及性能对比与分析。

第 4 章, 主要介绍了太赫兹振荡器的设计。首先介绍了太赫兹倍频技术, 并具体介绍了基于 push-push 谐波倍频技术实现的太赫兹振荡器的设计过程、电路结构、流片测试结果以及性能对比与分析。

第 5 章, 主要介绍在太赫兹收发机系统中能够应用到的锁相环的设计。首先就分布式高阶无源网络进行了分析, 然后介绍了注入锁定分频技术。基于上述分析和技术, 该章就所实现的锁相环的电路结构进行了具体介绍, 并给出了流片测试结果以及性能对比与分析。

第 6 章, 主要介绍基于 CMOS 工艺的 G 波段 OOK 双向收发机系统。本章首先介绍了实现的 OOK 收发机的系统架构, 并分别就发射机与接收机的设计展开讨论。在发射机设计部分, 介绍了 OOK 调制技术, 并论述了 Cascode 倍频调制器的电路结构和工作原理。在接收机设计部分, 介绍了 OOK 解调器和基带放大器的电路结构和设计考虑。同样, 在该章的最后, 给出了芯片的流片测试结果和性能对比与分析。

第 7 章对本论文的工作进行了总结, 并对进一步的研究工作进行了展望。

第2章 基于耦合传输线的太赫兹宽带放大器设计

2.1 本章引论

在通信系统中,我们对具体电路的设计工作通常从最基本的放大器开始。作为电路系统的基本模块,放大器广泛应用在需要对信号进行放大的各个场合。在接收链路中,低噪声放大器(Low Noise Amplifier, LNA)需要提供足够的增益来降低链路中后续各级模块的噪声对信号的影响;在发射链路中,功率放大器(Power Amplifier, PA)要提供足够的输出功率将信号发射出去;作为一些模块的中间级,缓冲级放大器(Buffer)保证了信号的单向性,不仅为上一级电路提供相对稳定的输出负载,使上一级电路稳定工作,而且还能够提供增益,保证下一级电路可以被足够幅度的信号驱动。

放大器最重要的几个设计指标包括:功率增益、稳定性、带宽、功耗、应对工艺/电压/温度波动的鲁棒性等。对于LNA和PA等具有特定功能的放大器,还需要分别关注它们的噪声系数、线性度等指标。这些指标都显著影响整个收发机系统的性能。

然而,随着电路工作频率上升到了太赫兹频段,放大器的设计难度显著提高。有源器件方面,晶体管的工作频率接近它们的截止频率,晶体管难以提供足够的增益,并且难以保证放大器的稳定性;更小沟道长度的晶体管,工艺波动更大,电源电压更低却具有更高的阈值电压,为了保证电路的鲁棒性,并使电路能够处于正常的偏置状态,电路设计中只能采用低电压方案,这也限制了电路拓扑结构的选择。无源器件方面,芯片代工厂通常无法提供太赫兹频段的无源器件模型,因此在设计和仿真过程中,通常需要采用电磁场仿真进行建模,增加了迭代的难度。此外,许多无源器件的性能在太赫兹频段也大幅度降低。随着信号波长变短,器件的分布式寄生效应更为明显,在电路设计中,也只能选择更简单的电路结构,这也降低了设计的自由度,加剧了指标之间的折衷。

为了解决上述问题,本章在太赫兹频段的放大器设计中,针对有源器件采用了互连线版图优化技术和放大器中和技术。针对无源器件,对耦合传输线结构进行了分析,并利用耦合传输线实现了宽带匹配技术。课题基于上述技术完成了放大器的设计工作,并采用TSMC 40 nm CMOS工艺进行了单独的流片验证。本章实现的放大器能够在足够宽的带宽内实现一定的增益并能够保证足够的稳定性。本章所讨论的放大器设计关键技术广泛应用于LNA、PA与Buffer的设计当中,并在第三章双向射频前端、第五章锁相环与第六章OOK无线收发芯片中使用。

2.2 有源器件互连线版图优化

随着电路的工作频率升高，信号波长减小，互连线对电路的寄生效应会逐渐增加。以晶体管为例，管子栅-漏之间的寄生电容(C_{GD})、栅-源之间的寄生电容(C_{GS})、源-漏之间的寄生电容(C_{DS})、互连线与衬底之间的寄生电容等，在工作频率较低时，几乎可以忽略，在数字电路、模拟电路、较低频段的射频电路设计中，通常直接调用芯片代工厂提供的器件版图，完成设计。然而在太赫兹频段，上述提到的由器件互连线带来的寄生无法忽略，过大的电容会恶化器件的工作性能，因此在设计过程中，需要对有源器件的互连线进行优化。此外，管子的栅极寄生电阻(R_G)也会降低有源器件的增益，在对器件互连线版图进行优化的过程中，也要尽量采用更小的栅极寄生电阻的方案。

芯片代工厂（台积电）提供的 40 nm CMOS 工艺射频 NMOS 管版图如图 2-1 所示。射频 NMOS 管中，栅极的两端均通过第一层金属（M1）连接在一起，栅极互连线在晶体管的一端汇合并引出。在晶体管的另一端，漏极信号通过第二层金属（M2）连接出来。源极通过第二层金属（M2），从管子的一端引出，在本文实际的放大器设计中，NMOS 管的源端直接接在由 M2 构成的地平面上。

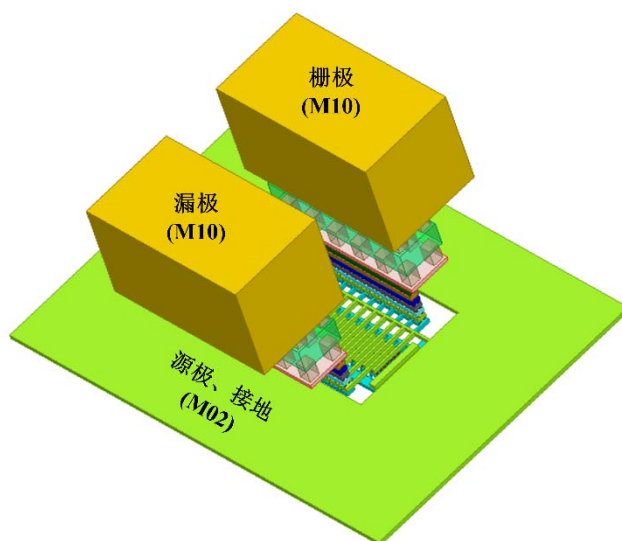


图 2-1 芯片代工厂（台积电）提供的射频 NMOS 版图互连线

在工作频率大于 60 GHz 的放大器设计中，已经有一些通过优化有源器件版图提升电路性能的讨论。为了减小栅-漏电容 (C_{GD})，外部信号通过顶层金属引到漏极，增加栅极和源极到漏极的距离^[30]。此外，多指结构布线可以用来降低栅极的寄生电阻^[30]。然而，在确定了晶体管的宽度后，栅极指数越多，每个指的宽度越小，寄生电

阻越小,而更多的栅指数量会增加栅极引出接口的面积,进而增加栅极到衬底的寄生电容^[64]。因此,当确定了晶体管的栅宽,在选择栅极插指数量时,需要综合考虑寄生电阻和寄生电容影响,在增益特性与频率特性中进行权衡,找到最优值。此外,栅极节点从栅的两端引出^[65],在多晶硅栅与金属的连接处可以采用双排通孔^[66]等方式,都有助于减小栅极的寄生电阻。

为了减小射频信号到衬底的耦合,同时也方便电源、地的走线,减少因金属线寄生串联电阻导致的在电源走线上的压降,在整体电路版图中,采用底层金属(M1)充当电源走线,采用第二层金属(M2)作为地平面。

本文提出的有源器件版图优化方案如图2-2所示。晶体管的栅极从两侧引出,并通过双排通孔连接到M1上以减小寄生电阻。栅极网络从晶体管的左侧引出,使管子的布线更加紧凑,且减少栅极引出接口对衬底的耦合电容。漏极通过通孔在管子上直接通到第八层金属(M8)并连接出来,不仅可以缩短漏极信号通路,减小寄生电阻,而且也减小了漏极到衬底、漏极到栅极的寄生电容(C_{GD})。源极从晶体管的两侧通过M2引出,且直接接到地平面上,与图2-1的源极连线单侧引出的布线方式相比,两侧引出的源极互连线寄生电阻减半,且接在地平面的源极连线在栅极和漏极之间形成了隔离,进一步降低栅-漏寄生电容(C_{GD})。

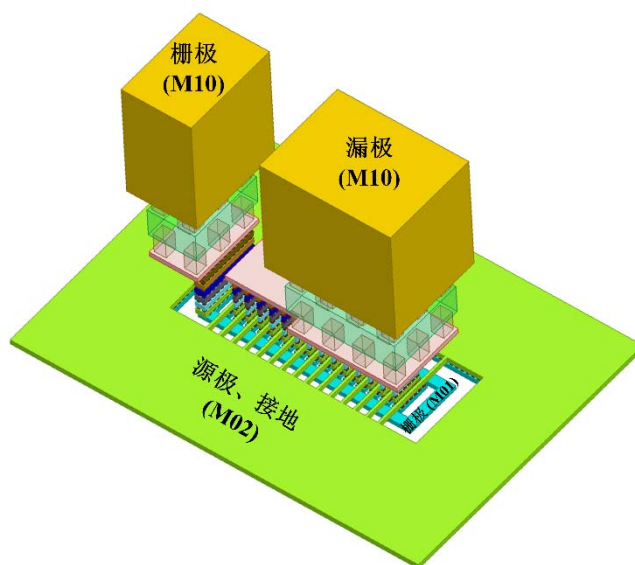


图2-2 本文提出的NMOS版图互连线布局

为了了解晶体管互连线版图优化的效果,我们对晶体管、晶体管与互连线优化前后的相关性能进行了仿真对比。主要对比的指标为晶体管的最高振荡频率(f_{\max}),即晶体管的功率增益下降为1的频率。器件的寄生环境比较复杂,在放大器的设计当中,我们通常认为,晶体管的最高振荡频率能够综合表征各类寄生的总体效果。

晶体管模型采用代工厂提供的工艺流程设计工具（PDK）中的 BSIM4+M1 参数模型，模型包括晶体管的本征属性和底层金属（M1）的寄生特性。互连线采用电磁场仿真工具（HFSS）进行电磁场仿真，提取 S 参数网表文件，导入到仿真环境中完成仿真。被仿真的晶体管尺寸为： $28 \times 1 \mu\text{m}/40 \text{ nm}$ ，源极与漏极之间的电压为 0.9 V ，通过扫描栅极与漏极之间的电压（ V_{GS} ），比较不同偏置电压下晶体管的最高振荡频率（ f_{max} ）变化。

NMOS 管的最高振荡频率（ f_{max} ）随 V_{GS} 的变化曲线如图 2-3 所示。为了更好地了解晶体管的直流特性，图 2-3 中还提供了所采用尺寸的晶体管在不同偏置电压下的电流密度曲线。从图中可以看出，BSIM4+M1 晶体管模型最高振荡频率可以达到 401 GHz 。把互连线的寄生考虑进来后，晶体管的最高振荡频率有所下降。代工厂提供的同等尺寸的射频管能够达到最高的 f_{max} 为 291.6 GHz ，而采用版图优化互连线的晶体管能够达到最高的 f_{max} 为 332.9 GHz 。与代工厂原有的布线方案相比，优化后的版图将 f_{max} 提升了 14%。

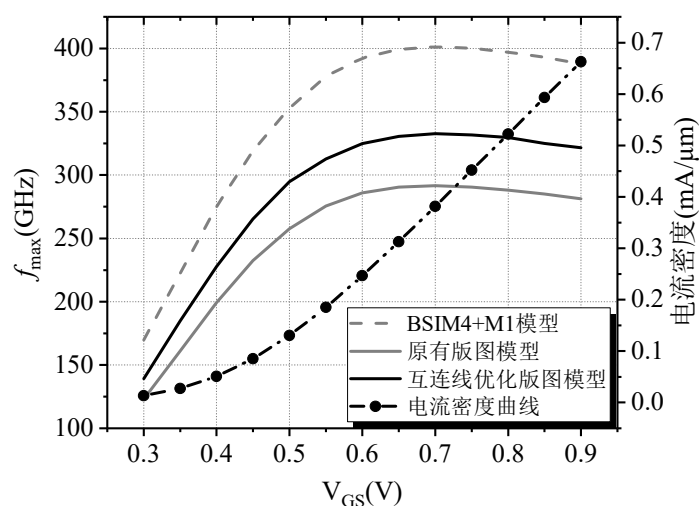


图 2-3 晶体管最高振荡频率仿真对比

2.3 放大器中和技术

2.3.1 单端放大器中和技术

晶体管的增益会随着它的工作频率的提高而降低，当晶体管的工作频率达到它的最大振荡频率（ f_{max} ）时，它的功率增益下降为 1。对于大部分电路应用来说，当晶体管工作频率超过 f_{max} 的一半后，都难以获得足够的增益满足应用需求。例如，采用传统的共源极结构的放大器，晶体管的增益难以达到 3 dB 以上，这对于电路设计来说是无法接受的。因为阻抗匹配网络等无源网络带来的寄生会造成插入损耗，放大

器对带宽的需求也会通过降低增益来折衷，单级 3 dB 的晶体管增益无法满足放大器设计的需求。以^[67]为例，报道中采用了三级共源放大器，在 150 GHz 频率附近仅获得了 8.2 dB 的增益。

在放大器设计中，晶体管可获得的最大功率增益（ G_{\max} ）能够直观地表征晶体管能够获得增益的能力。可获得的最大功率增益（ G_{\max} ）是指，当晶体管输入、输出同时与源及负载达到共轭匹配的情况下，能够获得的增益。假设二端口网络无条件稳定，采用 Y 参数， G_{\max} 可被定义为^[68]：

$$G_{\max} = \frac{|Y_{21} - Y_{12}|^2}{4 \operatorname{Re}\{Y_{11}\} \operatorname{Re}\{Y_{22}\} - \operatorname{Re}\{Y_{12}\} \operatorname{Re}\{Y_{21}\}} \quad (2-1)$$

通过栅极电阻（ R_G ）、栅-漏电容（ C_{GD} ）、晶体管的截止频率（ f_T ）、晶体管的工作频率（ f ）定义 G_{\max} 的形式为^[68]：

$$G_{\max} \approx \frac{f_T}{8\pi f^2 R_G C_{GD}} \quad (2-2)$$

从(2-2)我们能够看到，晶体管的 R_G 和 C_{GD} 都会对 G_{\max} 造成影响。

其中， C_{GD} 的主要来源包括：晶体管版图中栅极与漏极对衬底的寄生电容，栅极与漏极互连线之间的寄生电容。我们可以通过第 2.2 节论述的版图优化技术减少后者，然而，前者仍然对晶体管的高频性能造成了很大的影响，且后者无法完全消除。如图 2-4 所示，晶体管栅极和漏极之间的寄生电容，在晶体管的输入、输出端形成了负反馈，漏极的输出信号通过寄生电容流回了晶体管的栅极，不仅降低了晶体管增益，并且会使晶体管在高工作频率下出现不稳定状态。

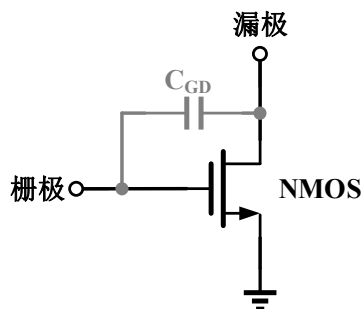


图 2-4 NMOS 管的 C_{GD} 寄生模型

对于单端放大器来说，可以在晶体管的栅极和漏极之间添加电感（ L_{GD} ）^[47, 68]，如图 2-5 所示。通过设置电感的值，使 L_{GD} 与 C_{GD} 在工作频率处谐振，由 C_{GD} 引入的负反馈路径在工作频率附近呈现高阻，即利用 L_{GD} 中和掉 C_{GD} 的影响，实现晶体管的单向化，提高输出到输入的隔离度，从而改善晶体管的稳定性，并提升晶体管的增益。

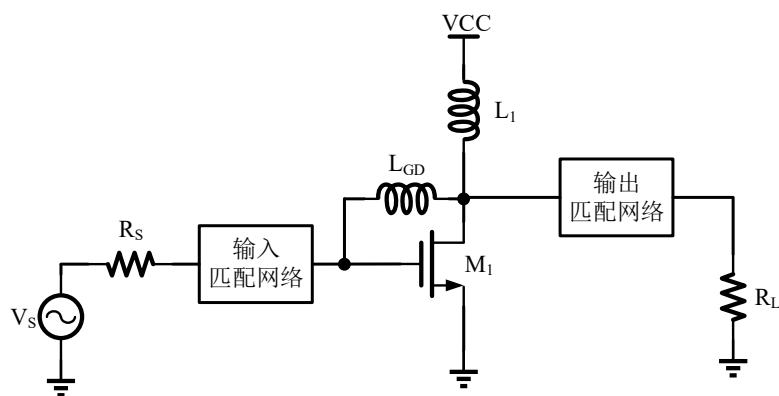


图 2-5 采用电感中和技术的单端共源极放大器核心电路

当频率提高时,可以采用传输线替代电感^[69],使电路版图更加紧凑。传输线也可以通过调节开关增加可调性^[70],应对工艺波动、晶体管模型不准确、晶体管失配、负载阻抗失配等的影响,通过对传输线进行调节,电路能够配置在最好的工作状态。

然而,采用电感中和技术存在的主要问题是,中和电感 L_{GD} 将放大器晶体管的输入电压偏置在了电源电压,使晶体管工作的电流密度无法调节,偏置在电源电压的晶体管消耗了过多的直流功耗,并且偏离了具有最佳放大特性的状态。为了解决这一问题,可以采用耦合传输线的结构^[71],如图 2-6 所示。首先,与变压器类似,耦合传输线的初级传输线与次级传输线之间的互感,可以起到中和电感的作用;其次,耦合传输线使晶体管的栅极与漏极直流分离,可以分别配置电压;最后,耦合传输线也可以参与输入、输出阻抗匹配,提高了电路的紧凑性。采用这样的结构,文献^[71]中实现了四级共源极单端放大器结构,能够工作在 142 GHz 频率附近,获得了 18.5 dB 的增益,直流功耗只有 7.9 mW。

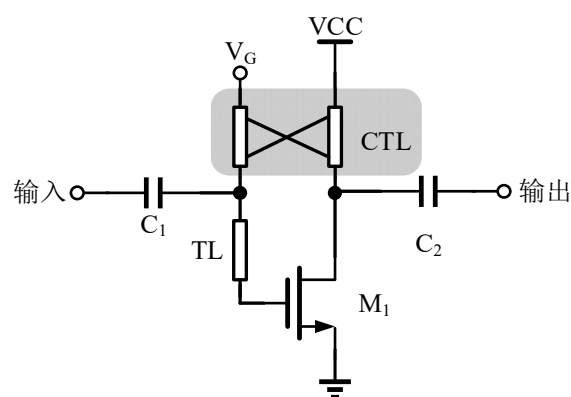


图 2-6 采用耦合传输线中和技术的单端共源极放大器核心电路

在太赫兹放大器设计中,由于电路的工作频率很高,传输线的长度会大大减小。对于单端放大器,采用耦合传输线的中和技术设计简便,且能在较低功耗的情况下获

得很好的增益特性。因此,基于耦合传输线的单端中和技术可以广泛应用于低噪声放大器(LNA)、功率放大器(PA)、缓冲级放大器链路(Buffer)等多种应用当中。

2.3.2 差分放大器中和技术

在差分放大器设计中,通常采用交叉耦合电容的方式中和 C_{GD} 。在差分放大管的栅极和漏极之间交叉连接一对电容(C_{neu}),中和放大管栅极与漏极之间的寄生电容(C_{GD})引入的反馈作用,实现提高放大器增益与稳定性的效果^[72, 73]。采用交叉耦合电容中和技术的差分电路原理图如图2-7所示。

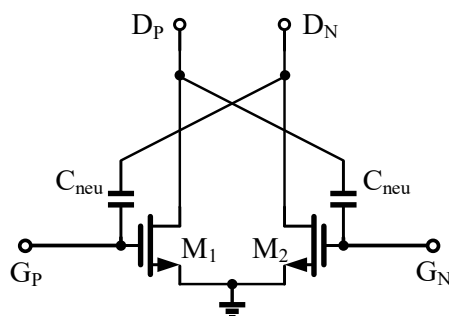


图 2-7 采用交叉耦合电容中和技术的差分共源极放大器核心电路

在实际设计过程中,在确定了放大器晶体管尺寸,并完成晶体管互连线版图优化和仿真后,可以按照以下流程,完成中和电容值的确定及实际版图的设计。

(1) 按照图2-7连接电路(注意:图2-7中省略了直流偏置,实际设计时要根据实际情况配置偏置),在工作频带的中心频点处做S参数仿真,其中晶体管有源部分取后仿反提结果,互连线部分取电磁场仿真结果。对中和电容值进行扫描,输出可获得最大功率增益(G_{max})和稳定系数(K_f)。

以 $12 \times 1 \mu\text{m} / 40 \text{ nm}$ 尺寸的晶体管为例,在200 GHz频点处,对中和电容值进行扫描,输出结果如图2-8所示。从图中可以看出,在单一频点上,随着中和电容值的增加,稳定系数(K_f)曲线会出现一个峰值,在峰值处, C_{GD} 完全被中和掉,放大器实现单向化,对应图2-8中 $C_{neu} = 3.3 \text{ fF}$,此时的 G_{max} 能够达到7.7 dB。 G_{max} 曲线会出现两个峰值,在峰值上的 $K_f = 1$,即临界稳定状态。在实际设计中,中和电容在 G_{max} 的两个峰值中间取值,即可保证 $K_f > 1$ 。

为了实现电路单向化,充分保证放大器稳定性,中和电容通常取 K_f 最高值时对应的电容值。但是通过图2-8可以看到,在整个 $K_f > 1$ 的电容取值区间内, K_f 最高点所对应的 G_{max} 是最低的,因此为了获得更高的增益,可以采用过中和的方法^[30],实际采用的中和电容大于 K_f 最高值时的电容值。由于工艺波动的存在,根据代工厂提供的相关参数,所用工艺实际流片的电容可能存在最大10%的偏差,在采用过中和

技术时,要为工艺波动留出余量。例如对应图 2-8 的情况,我们可以采用 3.8 fF 的中和电容,牺牲一定的稳定性,使单级放大器最大功率增益提高 0.7 dB。由于图 2-8 所用的管子尺寸较小,过中和技术的效果并不是十分显著,对于较大尺寸的管子,过中和技术可以提高单级最大功率增益达到几个 dB。

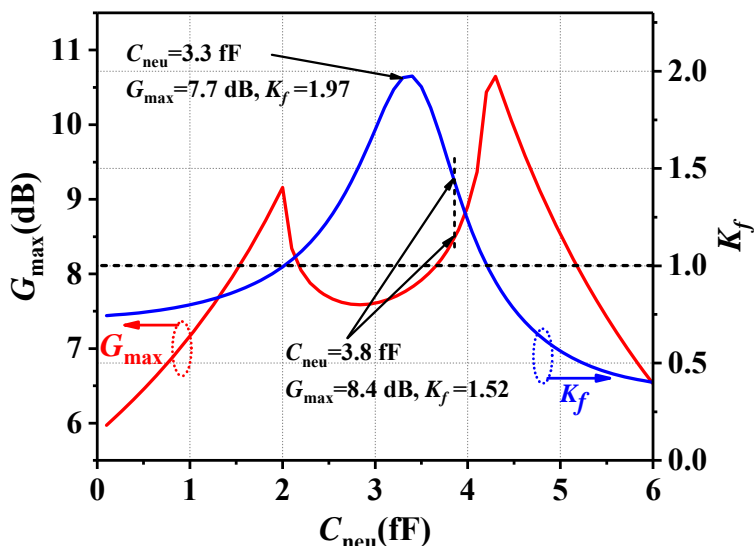


图 2-8 中和电容扫描结果

(2) 确定中和电容值后,在工作频带附近对频率进行扫描,观察 Y_{12} 虚部。如果中和电容取值合适,放大器能够实现较好的单向化效果, Y_{12} 的虚部应该在 0 附近。

根据之前所述的分析,中和技术主要通过使 C_{GD} 被中和,使放大器实现单向化从而起到提升稳定性和增益的效果。 C_{GD} 可以通过 Y_{12} 的虚部来表征。

$$C_{GD}(fF) = \frac{\text{Im}\{Y_{12}\}}{2\pi f} \times 10^{15} \quad (2-3)$$

因此可以通过观察 Y_{12} 的虚部在各频率下的变化了解中和技术实施的效果。

(3) 根据中和电容值,完成实际电容版图的设计与连接,将实际电容及交叉互连线通过电磁场仿真后,带入电路仿真环境,观察 Y_{12} 虚部的曲线变化。由于实际电容版图、互连线等会引入额外的寄生,实际版图电磁场仿真后 Y_{12} 虚部曲线与模型仿真相比,可能发生一定的偏移,需要根据偏移情况,对电容、互连线的版图进行迭代调整,直至完成设计。

为了能够更精确地对晶体管的寄生电容进行中和,也可以采用与放大管相同尺寸的晶体管作为中和电容^[74]。采用交叉耦合电容的中和技术由于其明确的设计思想,通过较为简单的方法,实现提高晶体管增益、提高电路稳定性等效果,被广泛应用于 60 GHz 以上甚至太赫兹频段的差分 LNA^[75]、PA^[76]等电路模块的设计。

2.4 基于耦合传输线的宽带匹配技术

正如本章引论所述,太赫兹频段的放大器除了要解决增益问题外,另外一个要面临的问题是对带宽的需求。首先,从实际应用角度来说,太赫兹频段常常用于高数据率传输,因此收发机系统需要足够的带宽。作为收发机系统的重要组成部分,放大器的带宽要不低于甚至高于收发机系统所需要的带宽。其次,由于 CMOS 电路在太赫兹频段会存在一定的模型失准,尽管能够借助电磁场仿真工具对无源器件进行仿真,但是有源器件的仿真参数、电磁场仿真的基本参数等信息,都还是依赖芯片代工厂提供的参数,而这些参数是在较低频率下经过测试得到的,当电路的工作频率提高到太赫兹频段,都会存在一定程度的模型失准。因此在设计过程中,要为仿真偏差与工艺波动留有作足够的余量。然而在实际设计过程中,带宽与增益往往存在折衷关系,获得宽带往往会以牺牲增益为代价。

在毫米波频段,已经出现了大量使用变压器作为无源匹配网络的报道^[77-79]。与片上电感相比,变压器匹配网络具有很多优势和新的特点。首先,采用变压器匹配,能够大大节省芯片面积。此外,作为高阶谐振网络,变压器能够引入更多的设计参数从而提高设计的自由度^[28]。为了解决变压器级间匹配出现的带内波动问题,也有很多对变压器结构进行优化的技术^[80, 81]。但是,随着电路的工作频率提高到 100 GHz 以上的太赫兹频段,基于变压器的匹配网络也面临着一些问题。首先,变压器的自谐振频率较低。电感性无源器件在超过自谐振频率的一半甚至接近自谐振频率时,感值会随着频率波动发生剧烈变化,对应同一个频点,工艺波动导致的走线尺寸变化,在自谐振频率附近也会导致感性器件性能的剧烈变化,这样的变化为电路设计增加了不确定性,削弱了电路随工艺波动的鲁棒性。此外,自谐振频率附近电感的 Q 值很低,也会恶化电路性能。其次,变压器的结构较为复杂,在设计过程中难以准确全面表征变压器的性能参数,尤其是在太赫兹频段设计中,采用变压器结构大多数情况会出现模型仿真结果与电磁场仿真结果偏差较大的情况,增加了设计的复杂性和迭代次数。最后,在太赫兹频段匹配网络所需要的无源器件电感值往往较小,采用变压器结构难以实现。

因此,当放大器的工作频段进入到太赫兹频段,可以采用耦合传输线替代变压器完成级间匹配^[82]。本文所实现的电路所采用的耦合传输线结构如图 2-9 所示。为了获得高 Q 值,耦合传输线使用工艺提供的第 10 层金属 (M10),金属厚度 3.5 μm 。金属宽度为 5.4 μm ,使传输线的特征阻抗约为 50 Ω 。耦合传输线的主要参数包括初级电感(L_{pri}),次级电感(L_{sec})和耦合系数(k)。电感的大小由传输线长度($l_{\text{pri}}+l_{\text{s1}}, l_{\text{sec}}+l_{\text{s2}}$)决定,耦合系数由传输线耦合端长度($l_{\text{pri}}, l_{\text{sec}}$)和耦合传输线距离(s)决定。上一级放大器晶体管的漏极作为传输线匹配网络的输入端,从 Port 1 端口接入,下一级放大

器晶体管的栅极作为传输线匹配网络的输出端，连接到传输线的 Port 2 端口。去耦电容 (C_{ground}) 为传输线提供交流地。电源 (V_{CC}) 及偏置 (V_{GS}) 可以从传输线的馈电端接入，偏置也可以直接通过串联电阻连接到晶体管的栅极。

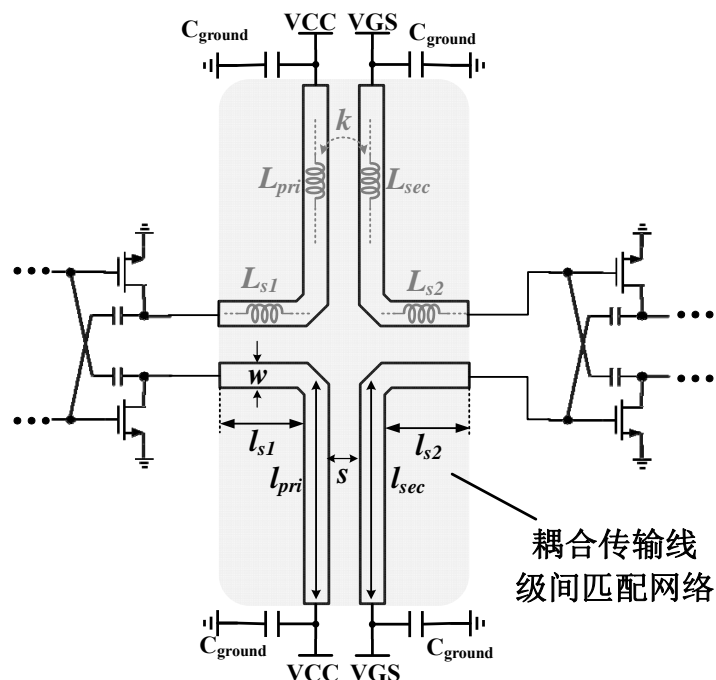


图 2-9 耦合传输线结构及参数

与变压器相比，耦合传输线具有更高的自谐振频率。图 2-10 是在实际放大器设计中应用的变压器和耦合传输线初级线圈的电感值随频率变化的曲线。

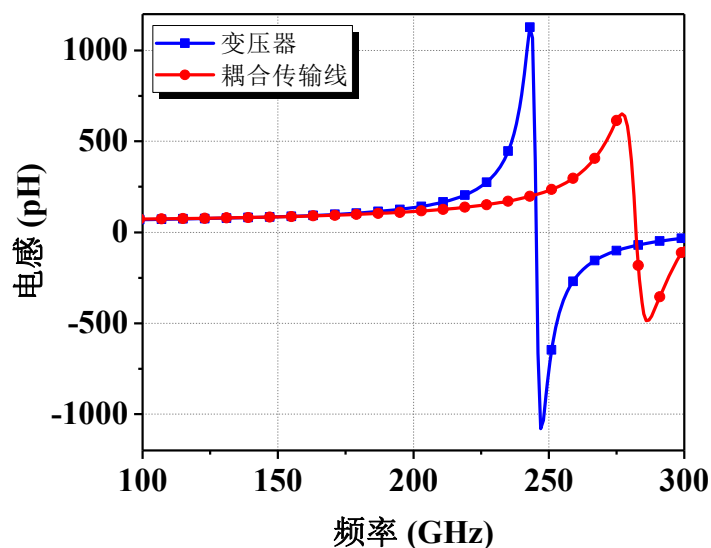


图 2-10 变压器与耦合传输线初级电感值的比较

从图中可以看出,在频率低于 150 GHz 时,二者电感值随频率变化不大,均在 85 pH 左右。所使用的变压器自谐振频率约为 240 GHz,在工作频率超过 200 GHz 之后,电感值随频率增加很快提升,在这种状态下工作的感性元件是不可靠的。而图中所用的耦合传输线结构的自谐振频率超过了 250 GHz,在 200 GHz 附近时电感值随频率变化更为平稳,工作状态更为稳定。

此外,耦合传输线结构简单。一方面,结构更为简单的耦合传输线更容易被准确建模,从模型仿真到电磁场仿真的过程中偏差较小,减小了迭代次数,从而降低设计难度。另一方面,耦合传输线简单的结构,也使得其在太赫兹频段的仿真准确性高于变压器,从而减小了后仿与实际流片后芯片测试之间的偏差。

耦合传输线的单侧等效电路如图 2-11 所示。等效电路中, R_1 、 R_2 表示耦合传输线初级、次级端口的等效并联电阻,由晶体管的并联电阻、传输线的串联电阻等构成; C_1 、 C_2 分别代表从耦合传输线两个端口看过去的等效电容,由晶体管的寄生电容、传输线的分布式电容等构成。

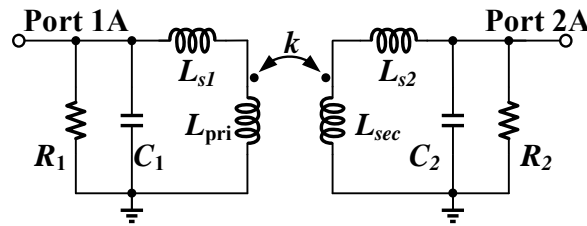


图 2-11 耦合传输线单侧等效电路

耦合传输线等效电路可以进一步进行等效成如图 2-12 的形式。

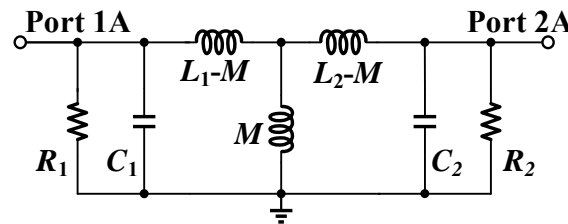


图 2-12 耦合传输线单侧等效电路

其中, M 是耦合传输线初级电感与次级电感的互感, M 的值可以表示为:

$$M = k \cdot \sqrt{L_{pri} \cdot L_{sec}} \quad (2-4)$$

$$L_1 = L_{s1} + L_{pri} \quad (2-5)$$

$$L_2 = L_{s2} + L_{sec} \quad (2-6)$$

在考虑了二端口网络输入、输出等效阻抗后，可以用 Z_{21} 表征匹配网络的匹配特性。 Z_{21} 可被定义为：

$$Z_{21}(dB\Omega) = 20 \log \left(\frac{V_2}{I_1} \right) \bigg|_{i_2=0} \quad (2-7)$$

为了简化模型，假设 $L_{pri} = L_{sec} = L_c$ ， $L_{s1} = L_{s2} = L_s$ ， $L_s + L_c = L$ ，则图 2-11 以及图 2-12 中的等效电路的 Z_{21} 可以表示为：

$$Z_{21}(s) = \frac{skL_c}{s^4 C_1 C_2 (L^2 - k^2 L_c^2) + s^3 \left(\frac{C_1}{R_2} + \frac{C_2}{R_1} \right) (L^2 - k^2 L_c^2) + s^2 [(C_1 + C_2)L + \frac{L^2 - k^2 L_c^2}{R_1 R_2}] + s \left(\frac{1}{R_1} + \frac{1}{R_2} \right) L + 1} \quad (2-8)$$

上式中， $s = j\omega$ 。从(2-8)我们可以看出，耦合传输线构成的匹配网络是一个高阶网络， Z_{21} 具有多个极点，可以利用这一特性实现宽带匹配的效果。图 2-13、图 2-14、图 2-15 分别是随着耦合系数 k 、串联电感 L_s 、耦合电感 L_c 的变化，通过(2-8)计算出的 Z_{21} 曲线的变化情况。

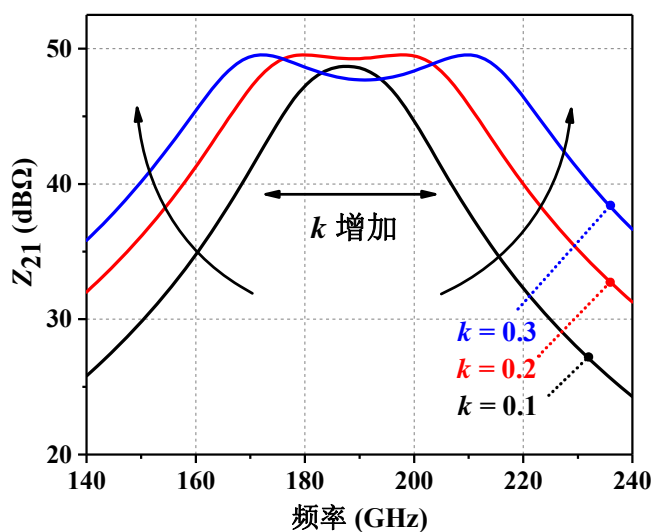
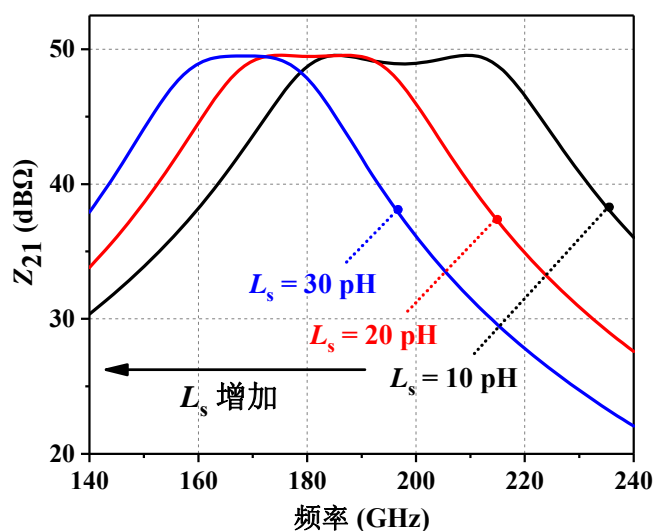
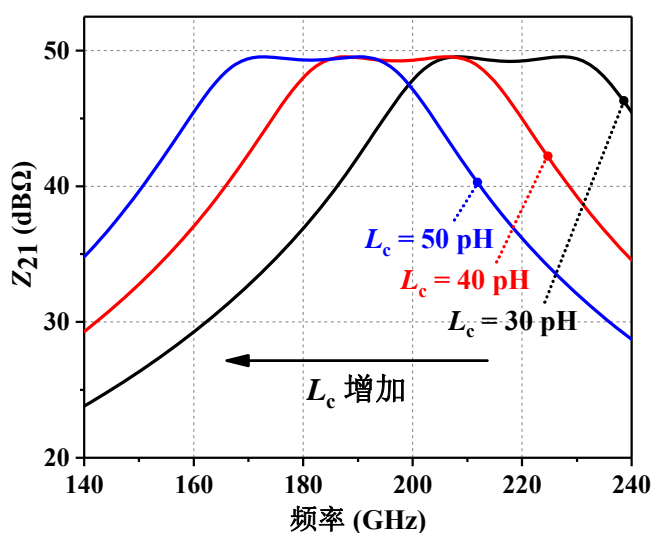


图 2-13 耦合传输线匹配网络随 k 变化频率特性变化曲线

从图 2-13 可以看出，随着 k 的增加，在 Z_{21} 的曲线上出现了两个峰值，并且逐渐分离，因而能够实现更宽的匹配范围。图 2-14 显示，随着 L_s 的增加，耦合传输线的匹配频率降低，且匹配带宽收窄。图 2-15 则表明，随着 L_c 的增加，耦合传输线匹配频率降低，匹配带宽变化情况不大。

图 2-14 耦合传输线匹配网络随 L_s 变化频率特性变化曲线图 2-15 耦合传输线匹配网络随 L_c 变化频率特性变化曲线

为了获得足够的增益，太赫兹放大器往往由三级或更多增益级组成，级间匹配网络也至少有两级。对于多级级间匹配，首先我们可以通过上述耦合传输线的高阶匹配特性，展宽每一级的匹配带宽。然而，从图 2-13 至图 2-15 中我们能够发现，单级宽带匹配网络存在一定的带内波动，随着两个峰值的分离，带内波动情况变得更剧烈。随着级间匹配网络级数增加，单级匹配网络的带内波动叠加，恶化级联后放大器的带内平坦度。

当放大器的级数达到或超过三级，则至少有两级级间匹配网络，我们可以采用多级交错式宽带级间匹配技术，如图 2-16 所示。首先，利用耦合传输线的高阶匹配特性，将每一级级间匹配网络的匹配带宽展宽。然后，将每一级匹配网络的中心频率合理地错开，在优化带内平坦度的同时，进一步拓展级联匹配带宽。多级交错式宽带级

间匹配技术需要综合考虑多级级间匹配的影响，匹配和优化的过程是多级同时展开，对无源器件的仿真精度有较高要求。上文所述的耦合传输线具有较高的仿真精度，从而能够满足多级交错式级间匹配技术对仿真精度的要求。

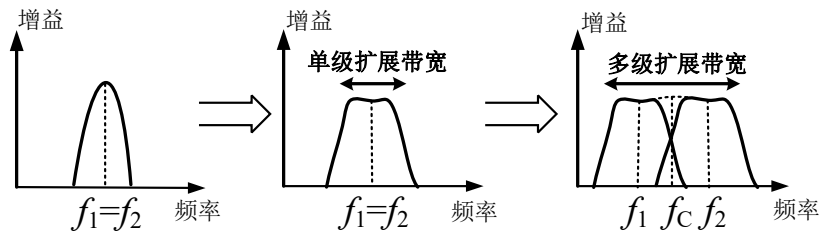


图 2-16 基于耦合传输线的宽带级间匹配技术示意图

2.5 太赫兹宽带放大器

利用上述提到的放大器设计技术，本文采用 TSMC 40 nm CMOS 工艺实现了太赫兹宽带放大器设计，电路结构如图 2-17 所示。

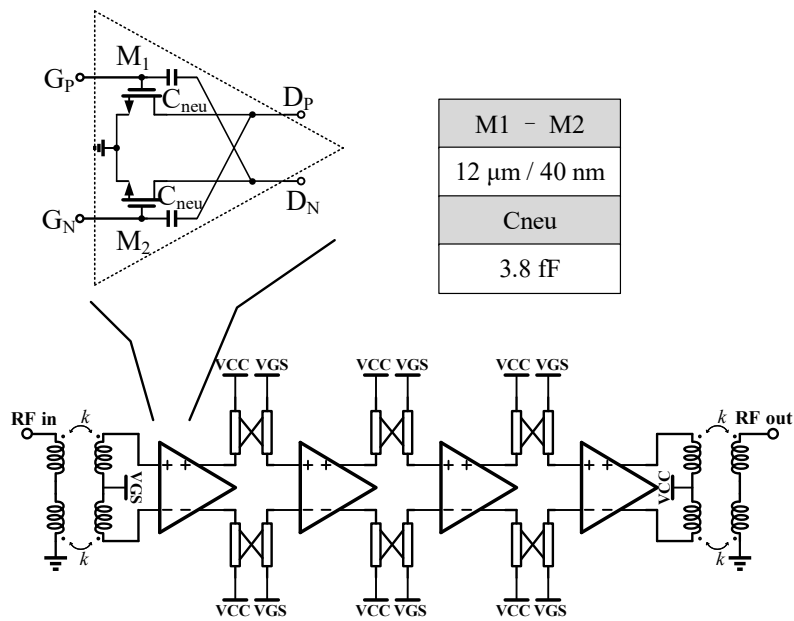


图 2-17 太赫兹宽带放大器电路图

为了获得足够的增益，放大器采用四级差分共源极结构。四级放大器所采用的晶体管尺寸均为 $12\times1\text{ }\mu\text{m}/40\text{ nm}$ 。晶体管版图采用了互连线版图优化技术减小互连线寄生，提高晶体管的工作性能。差分放大器单元采用交叉耦合电容过中和技术，中和电容值为 3.8 fF，提高放大器的增益和稳定性。放大器级间匹配采用耦合传输线完成，并利用交错式宽带匹配技术，实现了宽带匹配效果。输入、输出通过巴伦（Balun）实现单端-差分转换功能，并完成阻抗匹配。

2.6 芯片测试结果

2.6.1 测试结果

课题采用 TSMC 40 nm CMOS 工艺，对 2.5 节所述放大器进行了单独的流片工作，芯片照片如图 2-18 所示。整个放大器的核心部分尺寸为 $0.5\text{ mm} \times 0.25\text{ mm}$ ，包含直流焊盘和 GSG 信号焊盘总的芯片面积为 $0.6\text{ mm} \times 0.5\text{ mm}$ 。

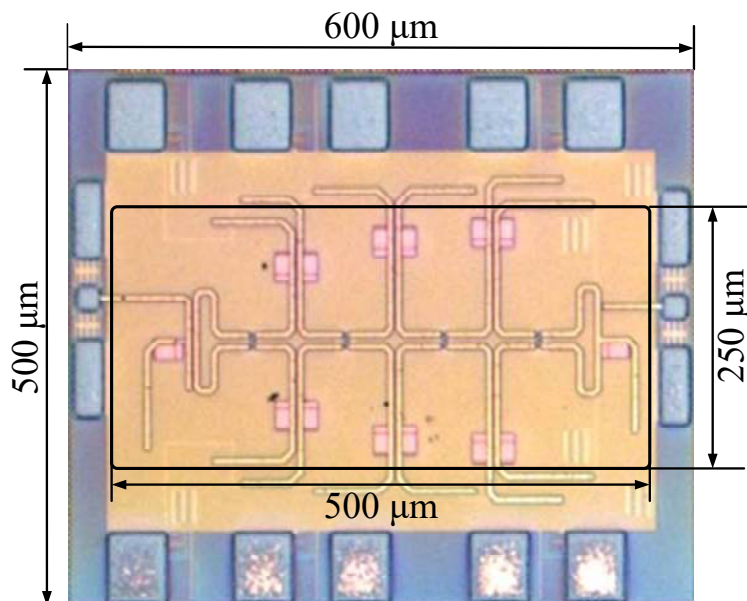


图 2-18 太赫兹宽带放大器芯片照片

芯片的直流偏置采用绑定线连接到 PCB 上，高频信号采用 Cascade I220-S-GSG-50-BT 探针（测试频率范围为 $140\text{ GHz} \sim 220\text{ GHz}$ ）与芯片完成连接。放大器的电源电压（VCC）为 0.9 V ，偏置电压（VGS）为 0.7 V ，直流功耗为 54.5 mW 。放大器的 S 参数特性采用 Agilent N5247A PNA-X 网络分析仪与 VDI WR-5.1 扩频模块进行测试。

S 参数测试结果如图 2-19 所示。从图中我们可以看出，放大器能够达到的最大增益为 10.1 dB ， 3 dB 带宽范围是 $185\text{ GHz} \sim 220\text{ GHz}$ ，实现了 35 GHz 的带宽范围。

在测试频率范围内，得到的芯片的稳定系数（ K 参数）如图 2-20 所示。最小的稳定系数为 11.3 ，所在频率为 220 GHz ，放大器能够在测试频带范围内实现无条件稳定。

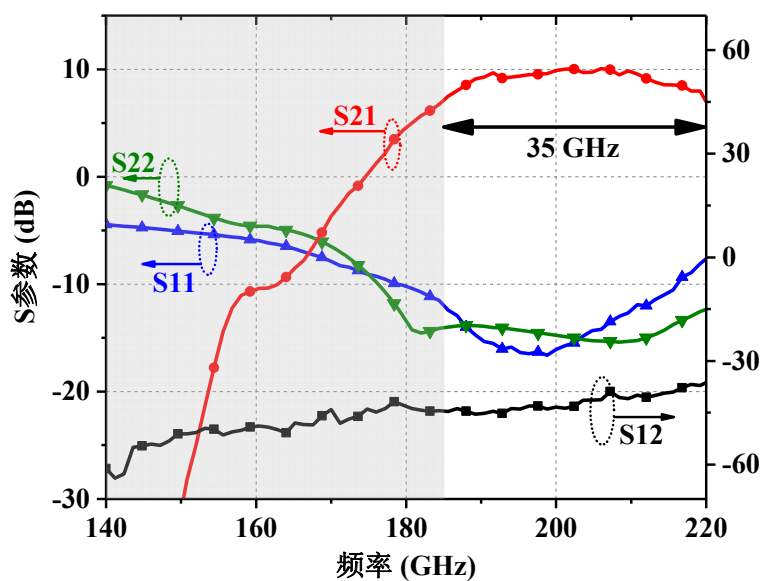


图 2-19 太赫兹宽带放大器 S 参数测试结果

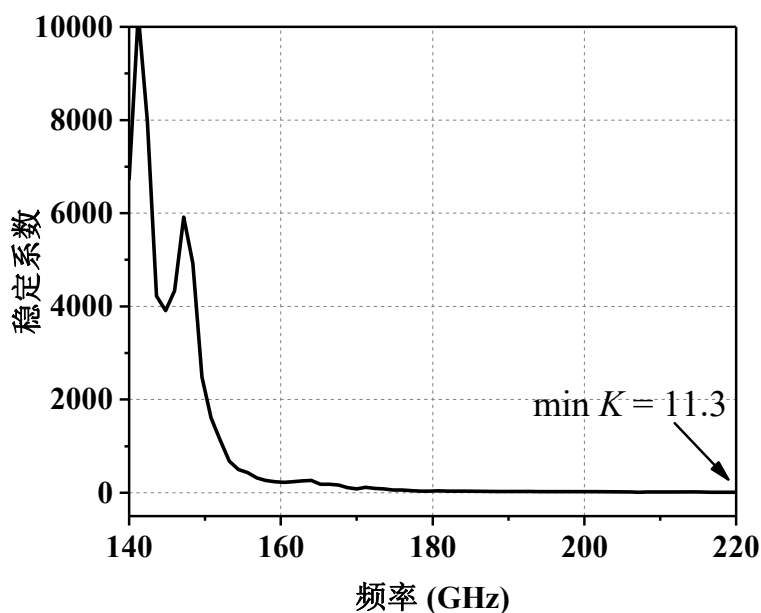


图 2-20 太赫兹宽带放大器稳定性测试结果

2.6.2 性能对比与分析

本章实现的太赫兹宽带放大器的性能在表 2-1 中进行了汇总，并与目前国际先进成果进行了对比。通过对比分析可以看到，本章所实现的放大器具有相对较宽的带宽，仅次于文献^[82]中实现的放大器。当然，放大器的增益可以通过继续增加放大器的级数提高，不过更多的增益级，会消耗更高的功耗。

表 2-1 G 波段及邻近频段 CMOS 放大器性能对比表

指标	本工作	2014 JSSC ^[30]	2014 EL ^[71]	2014 ICECS ^[73]	2015 RFIC ^[82]	2018 ASP-DAC ^[83]
工艺(nm)	40	32	65	40	40	65
拓扑结构	差分	差分	单端	差分	单端	单端
级数	4	7	4	3	8	4
中心频率(GHz)	205	210	142	160	160	245
增益(dB)	10.1	18	18.5	11.6	15	12.4
3 dB 带宽(GHz)	35	>15	>3.4	24	41	29.7
功耗(mW)	54.5	44.5	7.9	42	117	23.8

2.7 小结

本章详细讨论了太赫兹频段放大器设计过程中面临的挑战。为了克服这些困难,具体介绍了放大器设计过程中的几个关键技术:有源器件互连线版图优化、放大器中和技术和基于耦合传输线的宽带匹配技术。基于所提出的多项技术,本文采用 TSMC 40 nm CMOS 工艺实现了一个 3 dB 带宽为 35 GHz、工作频率覆盖 185 GHz~220 GHz 的四级差分宽带增益放大器。该放大器功率增益为 10.1 dB,放大器电路核心部分所占面积为 0.5 mm×0.25 mm,在 0.9 V 的电压下,放大器消耗 54.5 mW 的电流。本章所提出的诸项放大器设计技术,可以广泛应用到太赫兹频段的 LNA、PA、Buffer 等放大器电路设计当中。

第3章 太赫兹双向宽带收发机射频前端设计

3.1 本章引论

与毫米波频段或更低频段的信号相比,太赫兹频段信号的波长已经大幅度缩短。因此,在太赫兹频段的无线通信系统设计中,可以在芯片上集成天线^[30]。但是即便如此,分别为发射机和接收机各自安排天线需要占用更多的面积。在收发机系统设计中,发射机和接收机可以通过收发开关在同一颗芯片上集成,并共用一个天线,极大程度地降低天线对芯片面积的消耗,特别是对于那些需要形成阵列的收发机系统。

本章实现的收发机射频前端包括三个主要部分:收发开关、低噪声放大器(LNA)和功率放大器(PA)。放大器需要满足太赫兹频段收发机所要求的宽带性能,并需要克服由高工作频率带来的设计困难,获得足够的增益,其中功率放大器还有线性度的设计要求。收发开关可以采用单刀双掷开关实现,在100 GHz以上的工作频段内,已经有很多单刀双掷开关设计取得了很好的性能^[84-86],但是却鲜有应用于双向收发机射频前端的报道。本章实现了太赫兹频段单刀双掷收发开关,并将其与宽带放大器(LNA、PA)共同构成宽带双向收发机射频前端,验证了接收机、发射机在同一芯片上集成并共用天线的可行性。

对于放大器设计的关键技术,我们在第二章已经进行了讨论,本章将重点围绕收发开关的设计技术展开讨论。本章首先对收发开关的设计模型、拓扑结构和设计方法等进行分析讨论,然后具体介绍收发机射频前端的设计情况。本章实现的宽带双向太赫兹收发机射频前端已经完成了单独的流片验证,并将其应用到了第六章的OOK无线收发芯片当中。收发机射频前端具体的测试结果和性能比较分析,也将在本章进行介绍。

3.2 太赫兹收发开关

作为放大器与外界(天线或测试探针)的共同接口,收发开关可以采用单刀双掷开关实现。对于导通的通路,我们希望收发开关对信号的损耗尽可能小;对于关断的通路,我们希望开关具有足够的隔离度,避免其对导通通路造成影响;同时,考虑到放大器的宽带特性,收发开关也需要在足够宽的频带内很好地实现阻抗匹配。因此,在收发开关的设计中,需要考虑三个主要的指标:匹配带宽、插入损耗(IL)和隔离度。

本节将具体介绍太赫兹频段收发开关的设计过程和设计思想。首先,对太赫兹频率下处于开、关状态的晶体管进行分析,了解开关晶体管的工作特征;然后,对收发开关的各类拓扑结构进行阐述,并根据具体系统要求选择合适的拓扑结构方案;最后,针对所选择的拓扑结构,对收发开关模块进行建模,分析其匹配特性。

3.2.1 开关晶体管模型及衬底悬空技术

首先关注晶体管的衬底寄生。NMOS 晶体管的剖面图如图 3-1 所示。在晶体管的源、漏与衬底之间存在 PN 结二极管 (D_{JS} 、 D_{JD})。管子的衬底通常由体端接到地,以保证源极和漏极与衬底之间的二极管始终保持在 PN 结反偏状态。

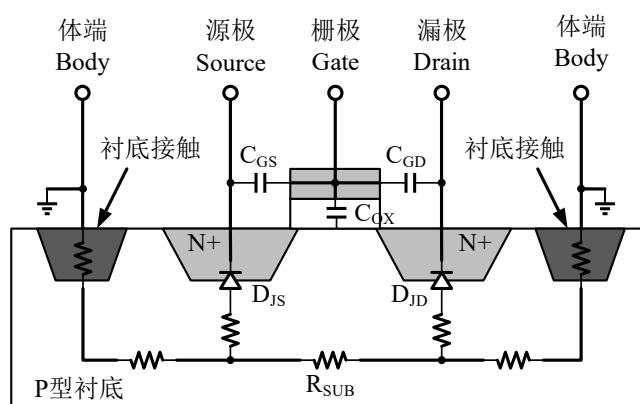
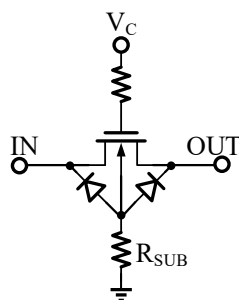


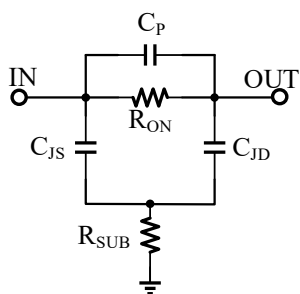
图 3-1 NMOS 晶体管剖面图

NMOS 晶体管衬底寄生等效模型如图 3-2(a)所示。图中, V_C 表示从栅极接入的控制电压,通过将 V_C 设置为高电位或低电位将晶体管设置在开启(ON)或关断(OFF)状态。晶体管的漏极和源极到衬底之间的 PN 结在反偏状态下表现为寄生电容 (C_{JS} 、 C_{JD}),衬底寄生电阻为 R_{SUB} 。在晶体管处于开启状态时,晶体管等效模型如图 3-2(b)所示,晶体管主要体现出开启电阻 (R_{ON}) 的性质。 C_P 是开启状态下晶体管的寄生电容,与 R_{ON} 相比, C_P 的作用较小,在较低频率下可以忽略不计。但是在太赫兹频率下, C_P 的影响力逐渐增大,使晶体管导通时的阻抗特性随频率出现波动。在晶体管关断时,等效模型如图 3-2(c)所示,此时晶体管主要体现为关断电容 (C_{OFF}) 的性质。从图 3-2(b)和 3-2(c)中,我们能够看到,在晶体管开关的输入、输出级都存在寄生结电容。衬底提供的寄生电阻 R_{SUB} 有限,晶体管开关导通时,高频的输入、输出信号通过结电容通向了地,插入损耗提高,恶化开关性能。

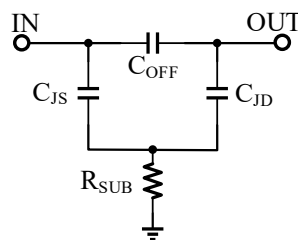
此外,在大信号输入的情况下,随着输入功率不断增加,输入信号的电位可能低于地,从而使结二极管开启,信号到地之间出现低阻通路,恶化晶体管开关的传输性能,使晶体管开关的线性度受到限制,无法满足功率放大器的输出级对高输出功率的需求。



(a) NMOS 晶体管衬底寄生等效模型



(b)晶体管开启状态 (ON) 等效模型



(c)晶体管关断状态 (OFF) 等效模型

图 3-2 NMOS 晶体管衬底寄生等效模型

可以利用衬底悬空技术^[87, 88], 在体端串联足够大的电阻后再接地, 通过提高衬底到地的电阻 (R_{SUB}), 减小结二极管对开关管性能的影响。即便在输入信号足够大时二极管开启的情况下, 由于 R_{SUB} 足够大, 信号到地通路的阻抗仍为高阻, 能够有效改善晶体管由于衬底二极管效应导致的性能恶化, 减小晶体管导通时的插入损耗, 改善开关晶体管的线性度。

为了减小开关导通时的寄生电阻, 降低开关的插入损耗, 晶体管尺寸通常会取到较大的值, 而这样会增加开关关断时的寄生电容, 从而恶化开关的隔离度。随着频率的提高, 晶体管寄生效应逐渐加强, R_{ON} 和 C_{OFF} 之间的折衷更为明显。因此, 简单的晶体管开关无法满足设计需求, 需要更为复杂的拓扑结构, 实现较好的性能指标。

3.2.2 收发开关拓扑结构

首先考虑单刀单掷开关 (SPST) 的结构。在数字电路和低频电路中, 通常将开关管直接串联到信号通路中, 如图 3-3(a), 通过控制栅极电压控制管子的开启和关断。然而, 在射频电路中, 尤其信号频率高于 60 GHz 甚至 100 GHz 以上, 由于晶体管的寄生效应, 管子的开启和关断状态都不那么理想。由于 R_{ON} 的存在, 晶体管开启也会对信号有一定程度的损耗; 由于 C_{OFF} 的存在, 晶体管甚至难以关断高频信号通路。

在高频开关设计中, 通常采用分流开关 (shunt switch)。单分流开关实现方式如图 3-3(b)所示^[89]。开关处于导通状态时, 管子断开, 管子的 C_{OFF} 与电感 (或传输线)

在信号频率谐振, 呈现高阻, 信号从输入端流入输出端, 开关的插入损耗主要由 C_{OFF} 与电感 (或传输线) 构成的谐振网络的 Q 值影响; 开关处于关断状态时, 晶体管导通, 晶体管的宽度取值较宽, 能够形成从输入到地的低阻通路, 开关的隔离度主要由低阻通路的 R_{ON} 限制。与串联开关相比, 单分流开关能够获得更好的插入损耗和隔离度性能, 但是匹配带宽相对较窄。

双分流开关结构如图 3-3(c) 所示^[90]。在开关导通时, 开关管断开, 晶体管的 C_{OFF} 与串联电感构成 π 型匹配网络 (等效电路分析将在后续部分展开), 能够获得更宽的匹配范围; 开关断开时, 开关管导通到地, 与单分流开关相比, 多了一路 R_{ON} , 容易实现更低阻的到地通路, 从而提高隔离度。

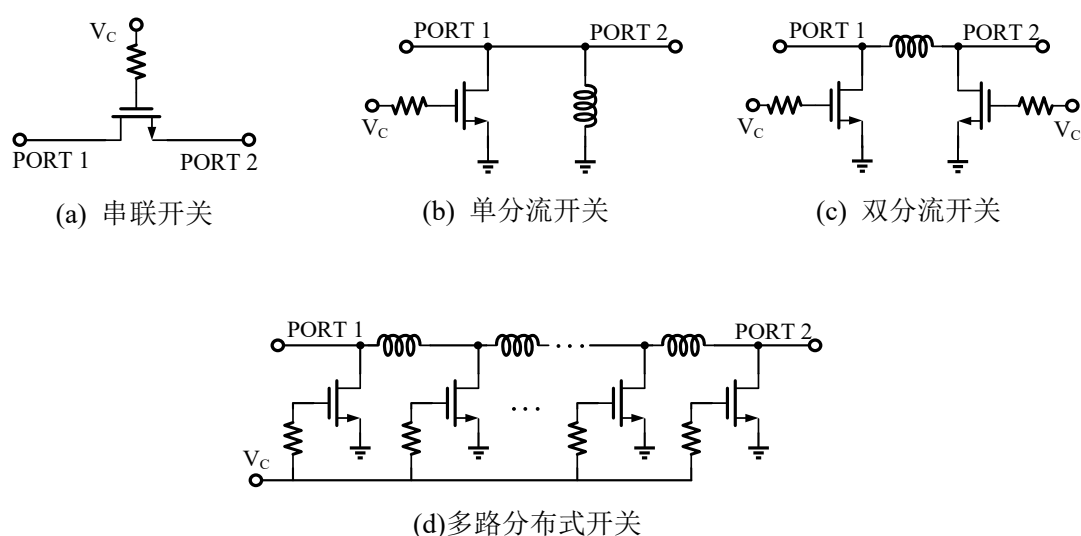


图 3-3 单刀单掷 (SPST) 开关拓扑结构

既然更多的分流开关管能够提高隔离度, 如图 3-3(d) 采用多路分布式分流开关结构^[91]。但是与双分流开关相比, 多分流开关的串联电感 (或传输线) 的寄生电阻更多, 使插入损耗增加。且更多的电感或传输线需要消耗过大的面积。出于实际设计成本与性能的考虑, 本课题所选择的拓扑结构是双分流开关结构。

两个单刀单掷开关通过变压器^[92, 93]或 $\lambda/4$ 传输线^[84]完成阻抗变换, 最终连接到输入输出 PAD 或天线, 连接框图如图 3-4 所示。

随着收发开关工作频率提高, $\lambda/4$ 传输线的长度缩短, 对于太赫兹频段收发开关来说, 采用如图 3-4(b) 所示的传输线取代变压器等结构, 更为合适。 $\lambda/4$ 传输线主要起到阻抗变换的作用, 当开关断开, 单刀单掷开关形成到地的低阻通路, 通过 $\lambda/4$ 传输线后形成到地高阻通路, 保证大部分信号流向另一侧闭合通路, 提高 PORT 2 和 PORT 3 之间的隔离度。

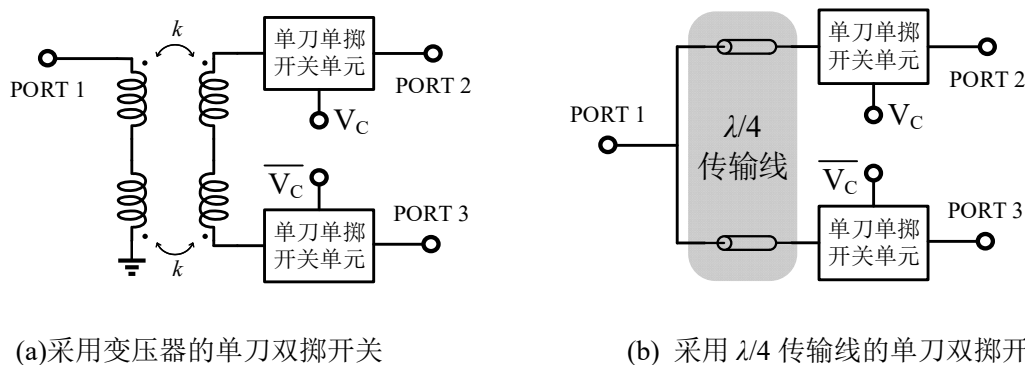


图 3-4 单刀双掷开关连接框图

通过电磁场仿真软件,在根据工艺所建立的电磁场仿真环境中,对传输线的长度进行扫描,最终得到 G 波段 (140 GHz ~ 220 GHz) 范围的 $\lambda/4$ 传输线的长度大约在 210 μm 左右。

3.3 宽带双向太赫兹收发机射频前端

3.3.1 系统架构

本章实现的宽带双向太赫兹收发机射频前端系统框图如图 3-5 所示。PA 的输出和 LNA 的输入与单刀双掷收发开关连接并完成匹配。发射和接收模式可以通过控制收发开关上的控制电压完成切换。同时,放大器的工作状态也可以通过调节放大器的偏置电压进行切换:在发射模式下,PA 偏置在预设的工作偏置电压下,而 LNA 的偏置电压设置为 0,使 LNA 关断;在接收模式下,LNA 的偏置电压设置在工作电压,而 PA 则通过调整偏置电压到 0 关断,从而进一步提高两条信号通路之间的隔离度。

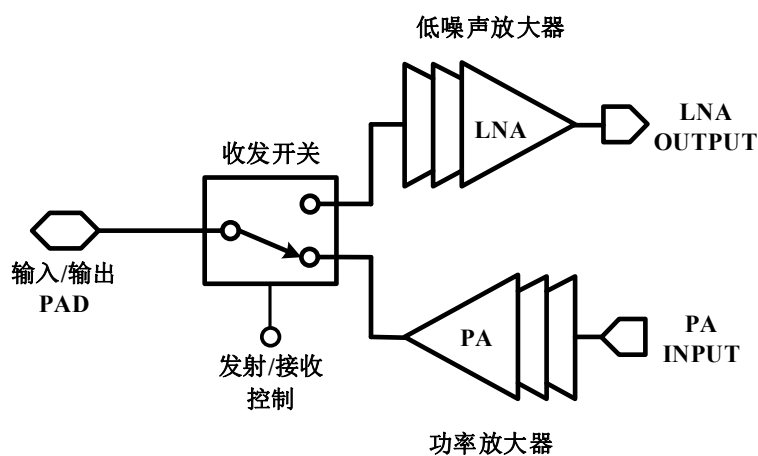


图 3-5 宽带双向太赫兹收发机射频前端系统框图

3.3.2 放大器设计

低噪声放大器（LNA）与功率放大器（PA）均采用第二章所述的太赫兹放大器关键技术：晶体管布线通过互连线版图优化技术降低寄生，提升晶体管性能；放大单元采用中和技术增加增益并提高稳定性；放大器级间匹配采用耦合传输线宽带匹配技术实现宽带匹配的效果。

LNA 和 PA 使用相同的拓扑结构，均采用五级差分共源极结构实现，电路框图如图 3-6 所示。放大器的输入信号通过输入巴伦实现单端信号到差分信号的转换，同时实现阻抗匹配功能。为了实现足够的增益，差分信号经过五级增益级放大。LNA 的晶体管尺寸均为 $12\ \mu\text{m}/40\ \text{nm}$ ，增益级采用过中和技术，以获得更高的增益。PA 前三级增益级尺寸为 $12\ \mu\text{m}/40\ \text{nm}$ ，第四级驱动级尺寸为 $18\ \mu\text{m}/40\ \text{nm}$ ，最后一级输出级尺寸为 $36\ \mu\text{m}/40\ \text{nm}$ ，以获得更高的输出功率。PA 的增益级采用过中和技术，而驱动级和输出级采用中和技术，中和电容设置在稳定系数最高值处，以保证放大器在大信号的工作状态下具有充分的稳定性。最终，信号通过输出巴伦实现差分信号向单端信号的转换，并将阻抗匹配至 $50\ \Omega$ 。

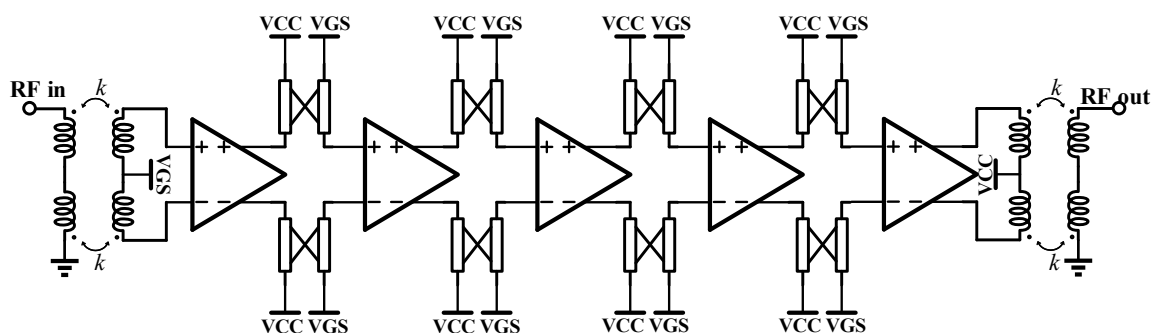
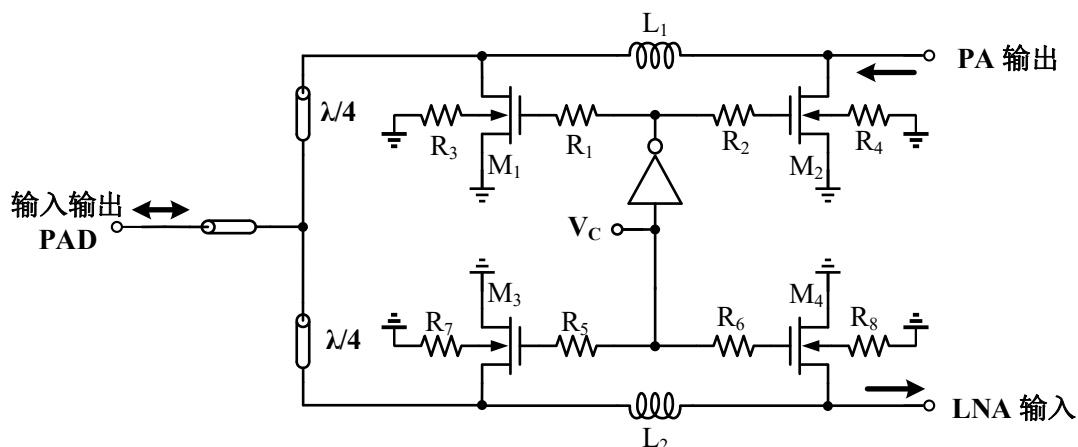


图 3-6 射频前端中 LNA、PA 的电路结构

3.3.3 收发开关设计

太赫兹收发开关作为发射机功率放大器的输出级与接收机低噪声放大器的输入级，需要具有足够宽的匹配宽度，避免限制收发机的链路带宽。上文提到的双分流开关结构因为能够构成 π 型匹配网络，为阻抗匹配设计增加了自由度，提升了匹配灵活度，更容易实现宽带匹配的效果。采用 $\lambda/4$ 传输线的双分流单刀双掷开关原理图如图 3-7 所示。分流开关应用了衬底悬空技术，晶体管的体端通过大电阻（ R_3 、 R_4 、 R_7 、 R_8 ）后连接到地平面。

图 3-7 采用 $\lambda/4$ 传输线的双分流单刀双掷开关原理图

以发射模式为例，模式控制电压 $V_C = 0.9V$ （电源电压），上面的发射通路开启，同时下面的接收通路被关断。发射模式的等效阻抗网络如图 3-8 所示。其中， C_{PAD} 是输入、输出焊盘与地平面之间的寄生电容，在做阻抗匹配的过程中，也需要考虑进去。

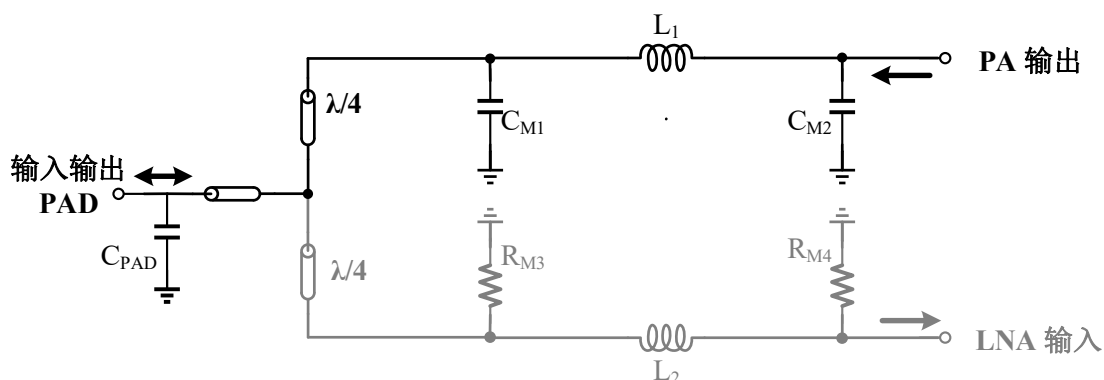


图 3-8 双掷开关发射模式等效阻抗网络

M_1 和 M_2 表现出关断电容的性质 (C_{M1} 、 C_{M2})，与串联电感 (L_1) 共同构成 π 型匹配网络，在开启通路上与传输线共同实现阻抗匹配。 M_3 和 M_4 主要体现开启电阻的性质 (R_{M3} 、 R_{M4})，提供到地的低阻通路，经过 $\lambda/4$ 传输线的阻抗变换，体现出高阻性能，阻止信号流入，增加隔离度。

无源器件与互连线作为无源网络，在设计过程中采用电磁场仿真工具完成建模和仿真。实现的单刀双掷收发开关的插入损耗和隔离度性能仿真结果如图 3-9 所示。根据仿真结果，收发开关在 183.8 GHz 频率处实现的最小插入损耗为 2.1 dB。在发射模式和接收模式下，插入损耗曲线在整个 G 波段内平坦度较高，变化幅度不到 2 dB。隔离度在 140 GHz~220 GHz 的范围内，均大于 24 dB。在射频前端的工作频率范围内（178 GHz~220 GHz），单刀双掷收发开关最小插入损耗为 2.1 dB，最小隔离度为 27 dB。

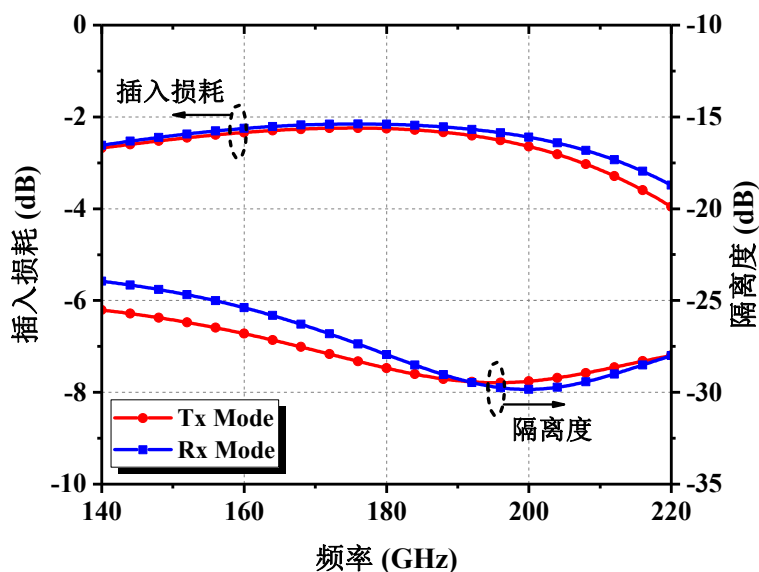


图 3-9 SPDT 收发开关在 G 波段插入损耗和隔离度性能仿真结果

3.4 芯片测试结果

3.4.1 测试结果

课题采用 TSMC 40 nm CMOS 工艺，对 3.3 节所述收发机射频前端进行了单独的流片工作，芯片照片如图 3-10 所示。收发机射频前端包含直流焊盘和 GSG 信号焊盘总的芯片面积为 $0.91\text{ mm} \times 0.87\text{ mm}$ 。

芯片的直流偏置采用绑定线连接到 PCB 上，高频信号采用 Cascade I220-S-GSG-50-BT 探针（测试频率范围为 140 GHz~220 GHz）与芯片完成连接。射频前端的电源电压（VCC）为 0.9 V，射频前端的小信号特性采用 Agilent N5247A PNA-X 网络分析仪与 VDI WR-5.1 扩频模块进行测试。

接收模式下，LNA 的偏置电压（VGS）为 0.7 V，直流功耗为 42.6 mW。小信号测试及仿真结果如图 3-11 所示。接收机（开关+LNA）在 200 GHz 频率实现最大增益为 10.5 dB，3 dB 带宽范围从 186.6 GHz 至 218.4 GHz，3 dB 带宽为 34.8 GHz。通过测试结果和仿真结果对比可以看出，仿真与测试的一致性较好，出现了一些频率偏移和增益下降，主要是因为代工厂提供的有源器件模型在太赫兹频段存在偏差。因为在太赫兹频段，缺乏必要的测试仪器和校准设备，噪声系数只能通过仿真获得，仿真得到的最小噪声系数为 10.8 dB，所在频率为 200.2 GHz。

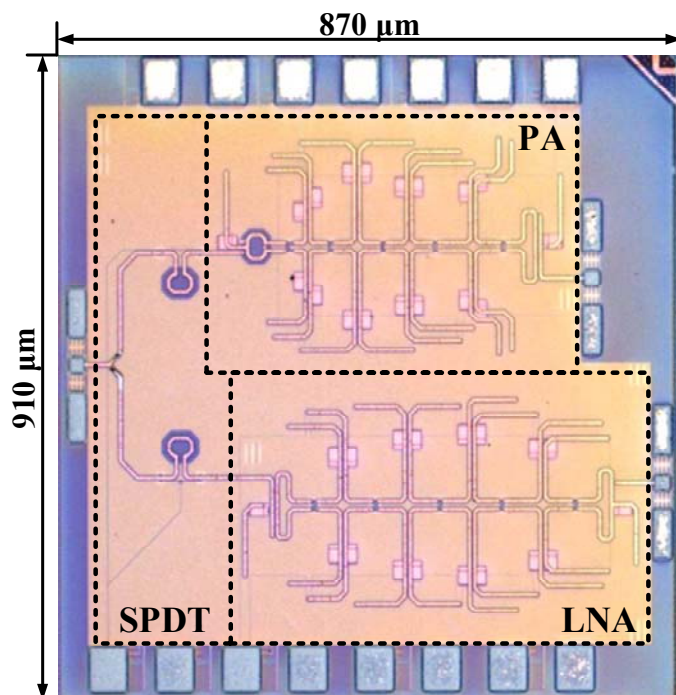


图 3-10 太赫兹宽带双向收发机射频前端芯片照片

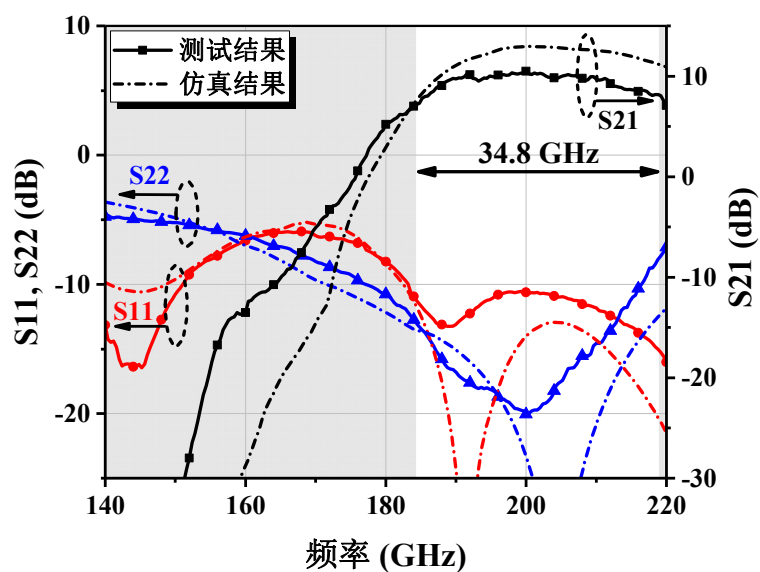


图 3-11 接收模式（开关+LNA）测试及仿真结果

发射模式下，PA 的偏置电压（VGS）为 0.65 V，直流功耗为 51.8 mW。小信号测试结果及仿真结果如图 3-12 所示。PA 与收发开关级联，在 195 GHz 处能够达到 9.6 dB 的最大增益，3 dB 带宽范围从 178.0 GHz 至 210.8 GHz，实现的 3 dB 带宽为 32.8 GHz。通过测试结果和仿真结果对比可以看出，仿真与测试的一致性较好，出现了一些频率偏移和增益下降，主要是因为代工厂提供的有源器件模型在太赫兹频段存在偏差。

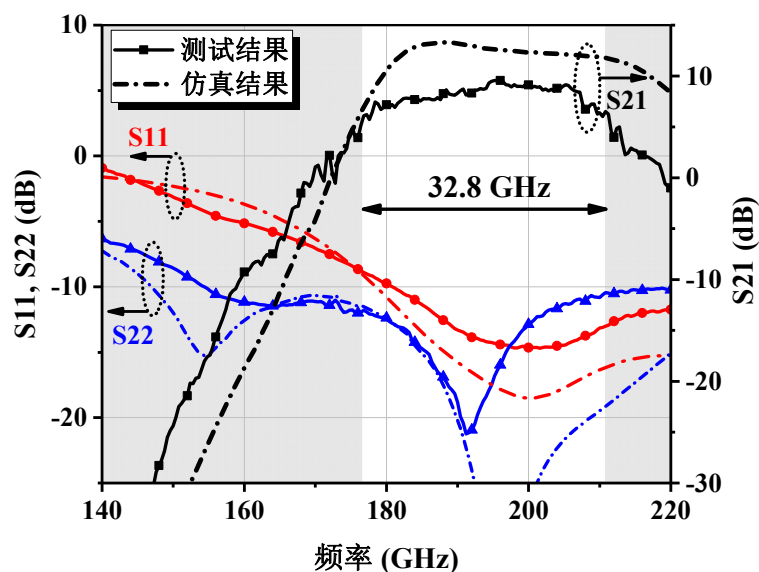


图 3-12 发射模式（开关+PA）测试及仿真结果

同样因为在太赫兹频段缺少必要的测试与校准设备，发射链路的大信号特性难以通过测试得到。为了了解发射链路的大信号特性，在此呈现仿真结果。PA 级联收发开关在 195 GHz 频点处的增益与输出功率随输入功率变化的仿真曲线如图 3-13 所示。从图中可以看出，发射模式射频前端在 195 GHz 频点处的饱和输出功率为 3.0 dBm，输出 1 dB 压缩点功率为-4.3 dBm。

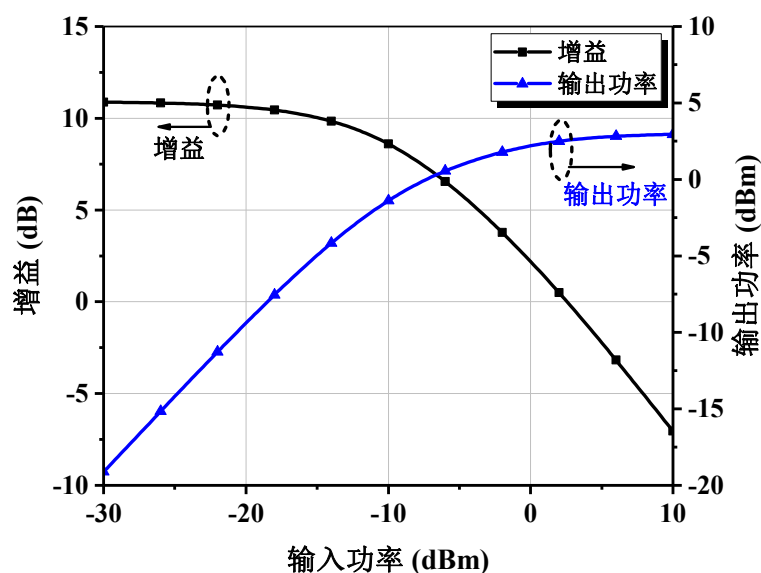


图 3-13 发射模式输出功率仿真结果

3.4.2 性能对比与分析

表 3-1 G 波段放大器性能对比

指标	本工作		2014 JSSC ^[30]		2014 ICECS ^[73]	2016 MWCL ^[69]
工艺	40 nm		32 nm ²		40 nm	90 nm
电源电压(V)	0.9		1.0		1.0	0.9
集成模块	LNA+ SPDT	PA+ SPDT	LNA	PA	PA	PA
中心频率 (GHz)	200	195	210	210	160	205
增益(dB)	10.5	9.6	18	15	11.6	10.5
3 dB 带宽(GHz)	34.8	32.8	>15	>14	24	10
噪声系数(dB)	10.8 ¹	/	11	/	/	/
饱和输出功率 (dBm)	/	3.0 ¹	/	4.6	4.1	-1.6
功耗(mW)	42.6	51.8	44.5	40	42	39.1

¹ 仿真结果;² SOI CMOS 工艺, 其余未标注为体硅工艺

表 3-2 G 波段及邻近频段单刀双掷开关性能对比

指标	本工作	2012 MWCL ^[84]	2015 IMS ^[85]	2015 TTST ^[86]
工艺	40 nm	45 nm ²	32 nm ²	65 nm
拓扑结构	$\lambda/4$ TL+ Double Shunt FETs	$\lambda/4$ TL+ Double Shunt FETs	$\lambda/4$ TL+ Single Shunt FET	Switchable Resonator
频率范围 (GHz)	178 ~ 220	140 ~ 220	110 ~ 170	220 ~ 285
插入损耗 (<i>IL</i>) (dB)	2.1 ~ 4.0 ¹	3.0 ~ 4.5	2.6 ~ 4.0	4.2 ~ 5.0
隔离度 (<i>ISO</i>) (dB)	27 ~ 30 ¹	20 ~ 30	20 ~ 22	17 ~ 19
FOM ³	13.6 ¹	8.3	8.1	4.3

¹ 仿真结果;² SOI CMOS 工艺, 其余未标注为体硅工艺;³ 综合性能指数 (Figure of Merit, FOM) ^[94]

$$FOM = |ISO(dB) / IL(dB)| \quad @ \text{ minimum } IL \text{ frequency} \quad (3-1)$$

本章实现的宽带双向太赫兹收发机射频前端的性能在表 3-1 和表 3-2 中进行了汇总,并与目前国际先进成果进行了对比。由表 3-1 可见,本章实现的放大器与收发开关级联,仍然具有很宽的带宽性能,并且能够提供一定的增益。在实际放大器设计中,如果需要更高增益的放大器,可以通过进一步增加增益级的方式达到指标要求。收发开关的性能方面,由于插入损耗、隔离度等指标存在折衷关系,性能综合指数(FOM)能够综合考虑不同指标的作用。从表 3-2 可以看出,本章实现的收发开关,与其他国际上已发表的成果相比,具有更好的综合性能。

3.5 小结

本章实现了宽带双向太赫兹收发机射频前端。射频前端采用 TSMC 40 nm CMOS 工艺进行设计,利用单刀双掷收发开关将 LNA、PA 片上集成。单刀双掷收发开关具有较宽的匹配带宽,较低的插入损耗,较高的隔离度,并且在工作频带内匹配曲线平坦。射频前端工作频段能够覆盖 186.6 GHz~210.8 GHz,并具有较好的增益、噪声系数、线性度等性能。收发开关与放大器的集成,双向收发机射频前端的实现,论证了在太赫兹频段,将接收机与发射机实现片上集成,并共用输入、输出天线接口的可行性。

第4章 基于变压器谐波倍频器的太赫兹压控振荡器设计

4.1 本章引论

对于太赫兹收发机系统来说,不论是应用于通信还是应用于雷达,都需要太赫兹频段的振荡信号。压控振荡器(Voltage Controlled Oscillator, VCO)能够为系统提供可调节的振荡信号,是收发机系统的重要组成部分,也是系统设计中的难点之一。

工作在太赫兹频段的电感、可变电容器等无源器件品质因子(Quality Factor, Q)较低,晶体管在接近它的截止频率时性能恶化,这些因素都给太赫兹频段的VCO设计带来了巨大的挑战。因而,在太赫兹频段难以实现同时具备宽调节范围、大输出功率、好的相位噪声性能的VCO。

由于SiGe BiCMOS等工艺具有优越的高频特性,可以实现180 GHz频率附近的基频VCO并具有很好的性能^[95-97]。随着CMOS工艺的发展,晶体管的截止频率提高到200 GHz以上,一些采用CMOS工艺实现的基频振荡器也可以工作在150 GHz以上^[98, 99]。为了提高振荡器的振荡频率,提供环路增益的晶体管尺寸不能太大,为起振条件提供的环路增益有限,同时,无源器件的尺寸也非常小,这也限制了VCO的调节范围。

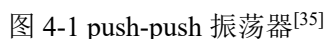
为了优化振荡器的性能,克服有源器件与无源器件在高工作频率下的性能衰退,在太赫兹频段通常使用倍频技术,使基频振荡器工作在较低的频率,产生的振荡信号通过倍频得到太赫兹频率的信号输出。III-V族工艺可以通过各类倍频技术实现更高频率的信号输出^[100-102], CMOS工艺的振荡器也因为倍频技术的使用获得更好的性能和更多的设计空间。

本章重点讨论VCO设计中的各类倍频技术,课题完成了基于变压器谐波倍频器的太赫兹压控振荡器设计和单独流片验证工作。VCO的流片测试结果和性能比较分析,也将在本章进行介绍。本章所实现的VCO也应用到了第六章的OOK无线收发芯片当中。

4.2 太赫兹振荡器倍频技术

在太赫兹频段的CMOS压控振荡器设计中,倍频技术作为关键技术之一,将在本节进行介绍。在太赫兹频段,常见的倍频技术包括谐波倍频技术和自混频倍频技术,本节将对这两种倍频技术的基本原理和实现方式进行介绍。

在振荡器电路中, 流入晶体管栅极的振荡信号具有很大的摆幅, 这会使晶体管出现明显的非线性效应, 晶体管漏极电流包含了栅极信号的各次谐波分量。以常见的 LC 振荡器为例, 交叉耦合对管漏极差分输出电流的基频分量相位相反, 二次谐波分量相位相同, 因此在差分电路的共模点, 基频分量相互抵消, 二次谐波分量相互叠加, 因而能够得到基频信号的二倍频输出, 这就是 push-push 振荡器的基本原理。如图 4-1 所示是采用了 $0.13\text{ }\mu\text{m}$ CMOS 工艺的 push-push 振荡器^[35]。基频振荡器的振荡频率 f_0 为 96 GHz, 在共模节点处得到了 192 GHz 的 $2f_0$ 频率输出。输出信号通过匹配网络和滤波器 (图中采用传输线实现) 完成输出端到负载之间在 $2f_0$ 频率处的阻抗匹配, 进一步抑制共模节点的基频信号。



在三级环形振荡器中，我们可以得到幅度相同三路本振信号。这三路本振信号的基频分量、二次谐波分量、三次谐波分量相位差分别为 120° 、 240° 和 360° (0°)。三路基频分量和二次谐波分量叠加后都可以相互抵消，而三路三次谐波分量叠加，即可形成三倍频输出。我们可以根据这一特点，实现 **triple-push** 振荡器^[40, 106]，使 CMOS 振荡器的输出频率进一步提高。正交振荡器可以输出四路幅度相同、相位相差 90°

的正交信号。通过谐波叠加的方式, 我们可以实现 quadruple-push 振荡器, 得到四倍频信号输出^[107]。甚至 N 级环形振荡器可以获得 N 路相位相差 $360^\circ/N$ 的本振信号, 通过谐波叠加的方式, 可以采用 N -push 的方式获得 N 倍频输出。

在 LC 振荡器中, 与基频分量相比, 二次谐波分量的比重仍然很小, 采用 push-push 倍频器得到的二次谐波分量有限。例如, 图 4-1 所实现的振荡器中, 二倍频输出功率只有 -25 dBm, 对于本振信号来说, 这样的幅度是远远不够的。为了提高输出功率, 可以采用多路振荡器进行功率叠加^[42, 66, 108]。如图 4-2 所示, 三路交叉耦合对管形成三个增益单元, 三路振荡器的 push-push 信号叠加, 实现更大的输出功率。此外, 三个增益单元的寄生电容在传输线上分布式排列, 分布式无源网络使三个增益单元的电容总的等效电容更小。可变电容只集中在中间级, 可变电容占总电容的比例增大, 能够增加 VCO 的频率调节范围。

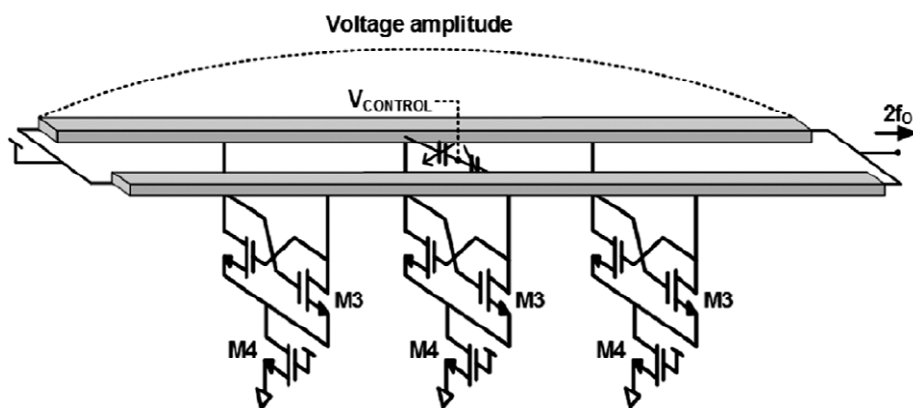


图 4-2 采用分布式增益单元叠加的 push-push 振荡器^[108]

多路振荡器功率叠加, 以电路功耗为代价, 通过增加振荡源的数量提高功率, 却依然没有解决振荡器中高次谐波分量所占比例较小的问题, 而占比最高的基频分量相互抵消了, 存在大量的能量浪费。

因此, 本课题采用的谐波倍频技术, 将基频振荡信号输入给偏置在最优电压的倍频管上, 由倍频管的非线性效应产生更大占比的高次谐波, 获得更高的输出功率。倍频器结构如图 4-3 所示, 图中, 变压器 (TF₁) 的初级线圈 (L_{pri}) 作为基频振荡器 LC 谐振网络的电感, 因此初级线圈共源极接到电源。变压器将差分基频振荡信号传递给倍频管 (M₁、M₂)。倍频管偏置在电压 V_{GS1}, 以获得最大的二次谐波分量。在差分倍频管漏极共源节点上, 差分基频信号相互抵消, 同相的二次谐波信号相互叠加, 通过阻抗匹配网络 (L₁、C₁), 输出给下一级电路。

为了提高倍频器的输出功率, 我们针对变压器的设计参数、倍频管的偏置电压进行优化。

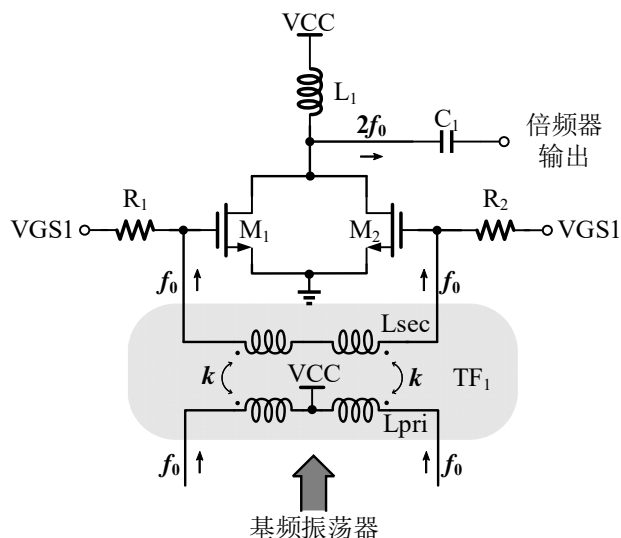


图 4-3 基于变压器的 push-push 谐波倍频器

首先，变压器作为基频振荡器 LC 谐振网络的一部分，电感值由振荡器的振荡频率决定。变压器单侧等效电路如图 4-4 所示。

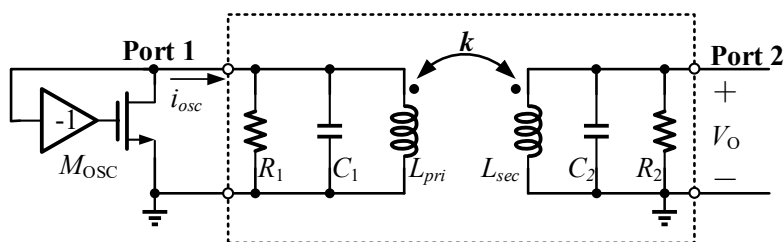


图 4-4 变压器单侧等效电路

图中， C_1 、 R_1 、 C_2 、 R_2 分别代表变压器两端的寄生电容和等效电阻。变压器输出端的电压 V_O 可以表示为：

$$V_O = Z_{21}(s) \cdot i_{osc} \quad (4-1)$$

为了分析方便，假设 $C_1=C_2=C$ ， $R_1=R_2=R$ ， $L_{pri}=L_{sec}=L$ ，变压器的等效电路可被简化为如图 4-5 所示。

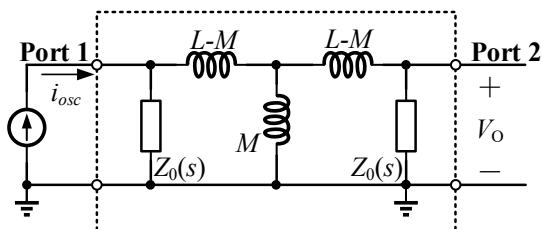


图 4-5 变压器等效模型

图 4-5 中, M 表示初级线圈与次级线圈的互感,

$$M = k \cdot \sqrt{L_1 \cdot L_2} = k \cdot L \Big|_{L_1=L_2} \quad (4-2)$$

$$Z_0(s) = \frac{R}{1 + sCR} \quad (4-3)$$

则 $Z_{21}(s)$ 可表示为:

$$Z_{21}(s) = \frac{skLR^2}{s^4(1-k^2)L^2C^2R^2 + 2s^3(1-k^2)L^2CR + s^2[(1-k^2)L^2 + 2LCR^2] + 2sLR + R^2} \quad (4-4)$$

从(4-4)中, 我们可以看出, 变压器的传输函数 $Z_{21}(s)$ 随着耦合系数 k 的增加而增加。因此, 为了使基频信号更多地传输到倍频管的栅极, 变压器初级线圈和次级线圈的距离应该取工艺所允许的最小值。

在图 4-3 所示的倍频器中, 二次谐波是由倍频管产生, 而不是 VCO 自身产生的, 倍频管可以通过适当的偏置, 提高二次谐波分量。通过调节偏置电压, 我们可以确定 push-push 倍频晶体管的导通角 θ , 使二次谐波分量的占比达到最大。晶体管输出电流 (I_D) 随输入电压 (V_G) 的变化关系如图 4-6 所示, 晶体管的偏置电压为 V_{bias} , 当输入信号的电压降到阈值电压 (V_{TH}) 之下, 晶体管会被关断。

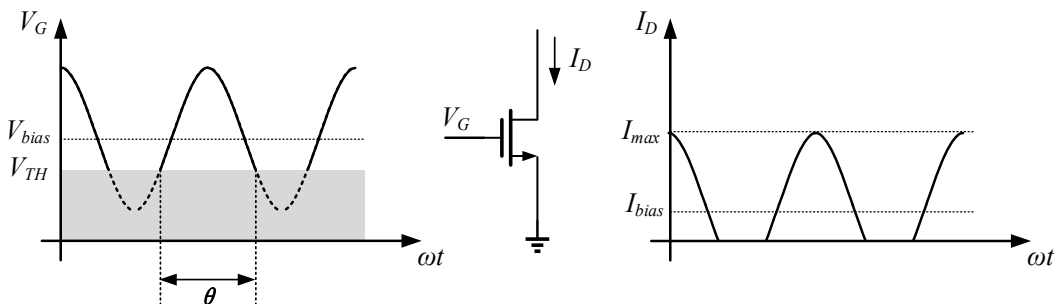


图 4-6 push-push 倍频管输入电源与输出电流的关系

晶体管的导通角为 θ , 则晶体管的输出电流 (I_D) 可以表示为:

$$I_D(\omega t) = \begin{cases} I_{bias} + (I_{max} - I_{bias}) \cos \omega t & -\frac{\theta}{2} < \omega t < \frac{\theta}{2} \\ 0 & -\pi < \omega t < -\frac{\theta}{2}, \frac{\theta}{2} < \omega t < \pi \end{cases} \quad (4-5)$$

为了更直观地观察输出电流的频率特性, 对(4-5)进行傅里叶变换, 变换后的 N 次谐波分量可以表示为:

$$I_N = \frac{1}{\pi} \cdot \frac{I_{\max}}{1 - \left(\cos \frac{\theta}{2}\right)} \int_{-\frac{\theta}{2}}^{\frac{\theta}{2}} \left(\cos \alpha - \cos \frac{\theta}{2} \right) \cos(N\alpha) d\alpha \quad (4-6)$$

通过(4-6)，我们可以进一步得到 N 次谐波分量 (I_N) 占最大输出电流 (I_{\max}) 的比例关系：

$$\frac{I_N}{I_{\max}} = \begin{cases} \frac{\theta - \sin \theta}{2\pi(1 - \cos \frac{\theta}{2})}, & N=1 \\ \frac{2\sin^3\left(\frac{\theta}{2}\right)}{3\pi\left(1 - \cos \frac{\theta}{2}\right)}, & N=2 \\ \frac{\sin \theta(1 - \cos \theta)}{6\pi(1 - \cos \frac{\theta}{2})}, & N=3 \end{cases} \quad (4-7)$$

导通角 θ 在 0 到 360° 范围内变化，由(4-7)绘制的 I_N/I_{\max} 曲线如图 4-7 所示。

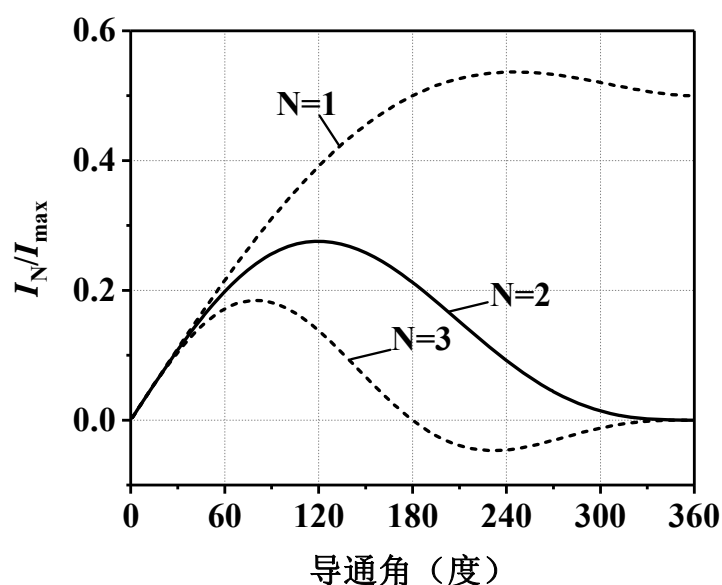


图 4-7 I_N/I_{\max} 曲线随导通角 θ 变化曲线 ($N=1,2,3$)

从图 4-7 中可以看出，当导通角设置在 120° 时，可以获得二次谐波分量最大的输出占比。

通过调整导通角在三次谐波分量占比最大处，并将输出阻抗匹配网络设置在三倍频附近，相似的倍频器结构也可以获得较高输出功率的三倍频输出^[52, 109]。此外，triple-push 倍频技术，也可以通过设置环形振荡器晶体管偏置，获得更大的三次谐波输出分量^[110]。

4.2.2 基于高阶谐振网络的谐波倍频技术

常见的 LC 振荡器如图 4-8 所示。 C_1 、 R_1 、 C_2 、 R_2 分别代表交叉耦合对管 (M_1 、 M_2) 和输出缓冲级放大器的寄生电容和负载电阻。放大器单侧阻抗可以等效为 RLC 并联等效网络。其中,

$$C = C_1 + C_2 \quad (4-8)$$

$$R = \frac{R_1 R_2}{R_1 + R_2} \quad (4-9)$$

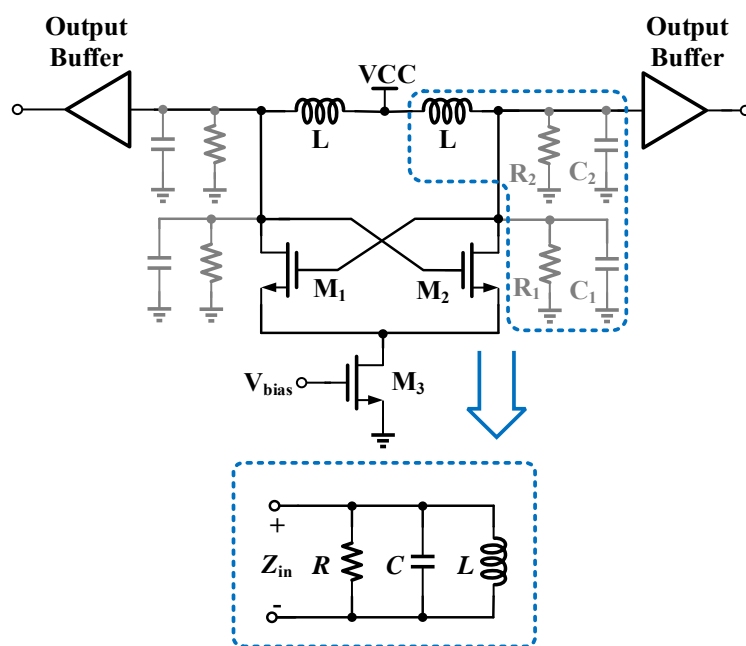


图 4-8 LC 振荡器及其负载等效 RLC 网络

则并联 RLC 网络的输入阻抗可以表示为:

$$Z_{in,PRLC} = \frac{sRL}{s^2RLC + sL + R} \quad (4-10)$$

并联 RLC 网络的输入阻抗的频率响应曲线如图 4-9 所示。从图中我们可以看到，在振荡器的振荡频率 (f_{osc})，幅度曲线出现了一个峰值，此时相位为 0。

$$f_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad (4-11)$$

振荡器的振荡频率由 L 和 C 决定，RLC 并联网路的 Q 值由 R 决定。随着 R 的提高， Q 值升高， Z_{in} 曲线的幅度升高，相位曲线也更为陡峭。我们通常认为， Q 值越高的谐振网络，在谐振频率具有更高的阻抗，具有更好的选频特性，实现的振荡器相噪性能越好。

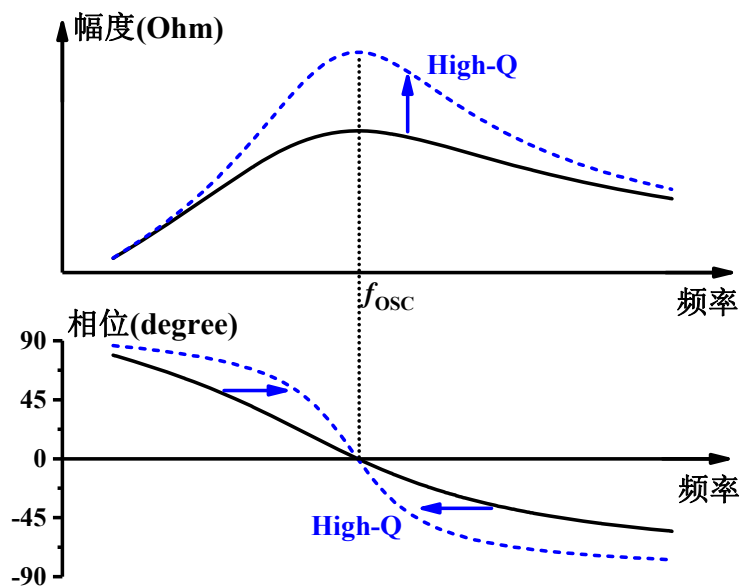


图 4-9 RLC 网络阻抗频率响应曲线

而对于一些高阶网络，例如电感电容分布式网络、变压器、耦合传输线等结构，它们的阻抗特性往往存在多个极点。我们可以将变压器等高阶网络替代 LC 谐振腔，作为振荡器的负载谐振网络，例如图 4-10 所示。图中给出了一个采用变压器实现的高阶振荡器结构，其中频率调节（开关电容阵列、可变电容器等）结构未标出。交叉耦合对管 M_1 、 M_2 为振荡器提供负阻，晶体管的输入（栅极）与输出（漏极）通过变压器 TF_1 交叉连接。在更高频率的太赫兹应用下，也可以采用耦合传输线实现。偏置电压 (V_G) 可以在初级线圈中间抽头给到管子的栅极，省掉了尾电流管，可以去除由尾电流管引入的噪声，优化振荡器的相噪性能，同时方便为晶体管选择合适的导通角。

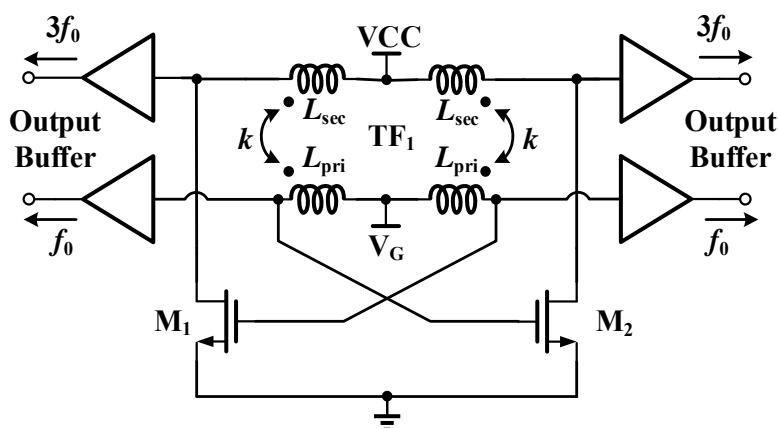


图 4-10 采用高阶谐振网络的振荡器原理图

将图 4-10 所示的振荡器单侧谐振网络等效为图 4-11 所示。

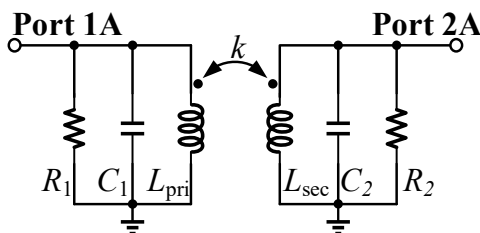


图 4-11 振荡器谐振网络单侧等效电路

其中， R_1 、 C_1 是从变压器初级线圈看入的等效电阻和寄生电容，具体由 M_1/M_2 的栅极阻抗、基频输出缓冲级放大器（Output Buffer）的输入阻抗和 TF_1 初级线圈的寄生组成。同理， R_2 、 C_2 是从变压器次级线圈看入的等效电阻和寄生电容，具体由 M_1/M_2 的漏极阻抗、三倍频输出缓冲级放大器（Output Buffer）的输入阻抗和 TF_1 次级线圈的寄生组成。上述等效电路的阻抗特性可通过 Z_{11} 来表征。为了更好地进行推导，上述等效电路可以进一步等效成图 4-12 的形式。

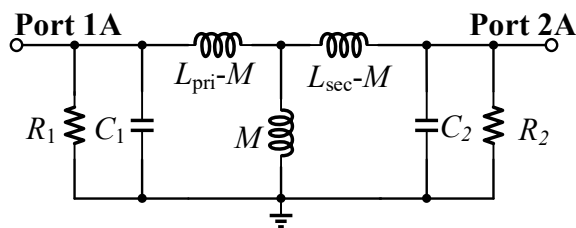


图 4-12 振荡器谐振网络单侧等效电路

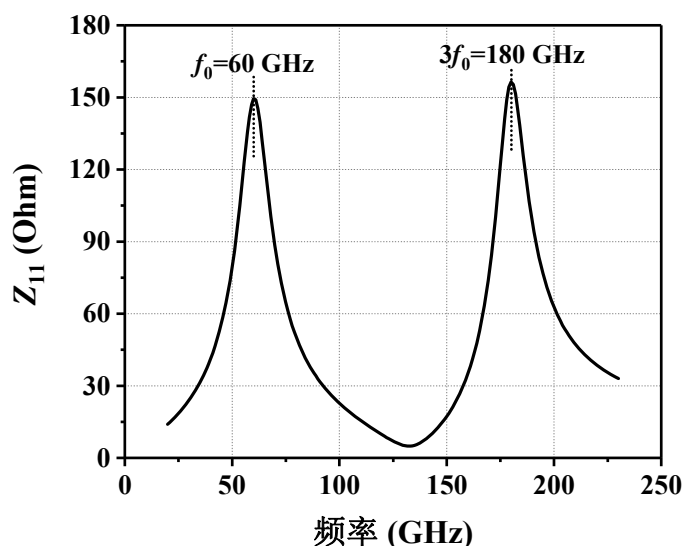
其中， M 表示初级线圈与次级线圈的互感：

$$M = k \cdot \sqrt{L_{pri} \cdot L_{sec}} \quad (4-12)$$

Z_{11} 可以表示为：

$$\frac{s^3(1-k^2)L_1L_2C_2 + s^2 \frac{(1-k^2)L_1L_2}{R_2} + sL_1}{s^4(1-k^2)L_1L_2C_1C_2 + s^3(1-k^2)L_1L_2\left(\frac{C_1}{R_2} + \frac{C_2}{R_1}\right) + s^2[(C_1L_1 + C_2L_2) + \frac{(1-k^2)L_1L_2}{R_1R_2}] + s\left(\frac{L_1}{R_1} + \frac{L_2}{R_2}\right) + 1} \quad (4-13)$$

作为高阶谐振网络，阻抗频率响应存在多个极点，在 Z_{11} 阻抗频率响应曲线上，我们可以观察到两个峰值，通过调节谐振网络的参数到合适的值，可以曲线上的两个谐振峰分别处于 f_0 和 $3f_0$ 的位置，如图 4-13 所示。两个谐振峰的幅度大致相同，即可在振荡器负阻对管的漏极观察到基频和三次谐波频率叠加的信号曲线^[111]。

图 4-13 振荡器高阶谐振网络 Z_{11} 频率响应幅度曲线

我们可以从变压器的初级线圈得到基频信号输出，从次级线圈得到基频与三次谐波叠加的信号输出。通过输出缓冲级放大器与阻抗匹配网络对目标频率的放大、滤波，分别得到基频、三次谐波输出信号。

采用高阶谐波网络的谐波倍频技术，能够实现振荡器振荡频率的三倍频输出，而不需要额外的电路结构。这一技术近期在毫米波段被采用并获得了很好的性能^[111]，然而在太赫兹频段的振荡器中还未见报道。相信由变压器或耦合传输线构成的高阶谐振网络所具有的特性会得到更多的重视和开发，这种不需要额外电路结构的谐波倍频技术会成为太赫兹频段谐波倍频器的新的研究方向。

4.2.3 自混频倍频技术

4.2.1 节已经介绍过了采用 push-push 倍频技术能够实现二倍频本振输出，我们可以通过无源混频器，将 VCO 产生的基频信号与 push-push 倍频器产生的二次谐波信号进行混频，得到三倍频输出。自混频倍频技术的框图如图 4-14 所示。

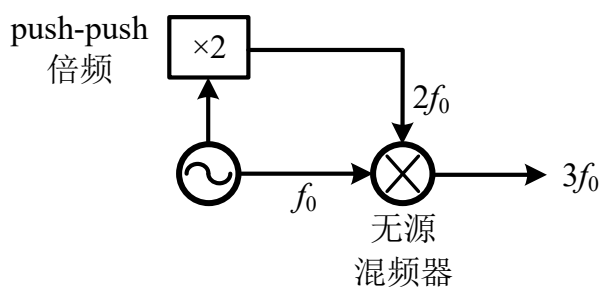


图 4-14 自混频倍频技术框图

采用自混频技术实现的电路结构如图 4-15 所示。图中, M_1 、 M_2 为 VCO 的交叉耦合对管, 为振荡器提供负阻。 M_3 为 VCO 提供电流偏置, VB_VCO 是尾电流源的偏置电压。 L_1 、 L_2 为 VCO 的谐振电感, C_{VAR} 为 VCO 的可变电容器, 电路的开关电容阵列未画出。 L_3 为馈电电感, 一方面与 L_1 、 L_2 共同构成 VCO 的谐振网络的一部分, 对 VCO 的振荡频率有一定的影响; 另一方面, 作为 M_4 、 M_5 源极共模点引出的电感, 通过阻抗匹配, 在二倍频频率处应该呈现高阻特性。 L_3 在实际设计中, 也可以采用二倍频对应的 $\lambda/4$ 传输线实现。 M_4 、 M_5 为无源混频器的混频管, 通过 R_B 偏置在 VB_Mixer 电压下。VCO 产生的基频振荡信号 (LO 、 \overline{LO}) 加在混频管的栅极, 并通过隔直电容进行隔直; 经过 push-push 产生的二次谐波信号从混频管的源极注入, 在混频器中完成混频。 L_4 、 L_5 实现阻抗匹配功能。最终形成的三次谐波信号 ($VOUTP$ 、 $VOUTN$) 经过输出级缓冲器进行放大和滤波后输出。

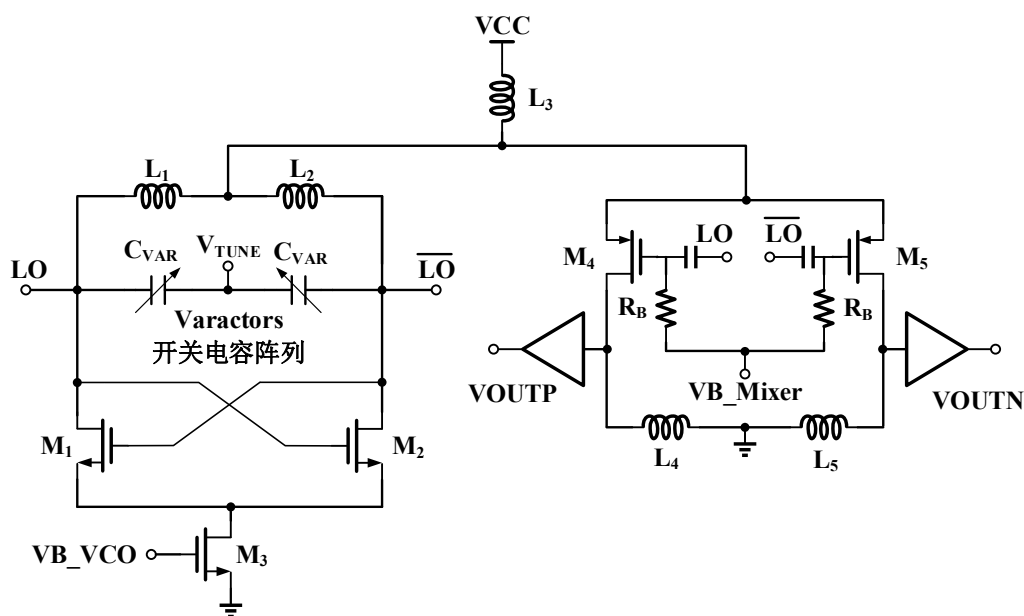


图 4-15 基于自混频技术的倍频振荡器电路图

在毫米波频段, 已经有采用自混频技术的报道^[112], 并取得了较好的性能。但是, 在太赫兹频段, 由于电路实现难度更大, 且测试成本更高, 暂无相应文献。然而与 4.2.1 节提到的 triple-push 技术, 4.2.2 节提出的高阶谐振网络谐波倍频技术相比, 自混频技术将 push-push 技术与混频器结合, 实施难度更小, 鲁棒性更强, 是一种更为简单实用的三倍频方案。

4.3 基于变压器谐波倍频器的太赫兹压控振荡器

4.3.1 压控振荡器电路结构

本章实现的 VCO 电路图如图 4-16 所示。交叉耦合对管 M_1 、 M_2 为 VCO 提供足够的负阻，为了提高振荡器的输出摆幅，并且改善振荡器的相噪性能，该振荡器去掉了尾电流源结构。振荡频率通过可变电容器进行调节。为了实现更宽的调节范围，同时尽量减小振荡器性能的恶化，6 位数字控制人工电介质（Digital Controlled Artificial Dielectric, DiCAD）差分传输线取代了开关电容阵列完成频率的粗调工作。DiCAD 的相关内容将在接下来的 4.3.2 进行介绍。

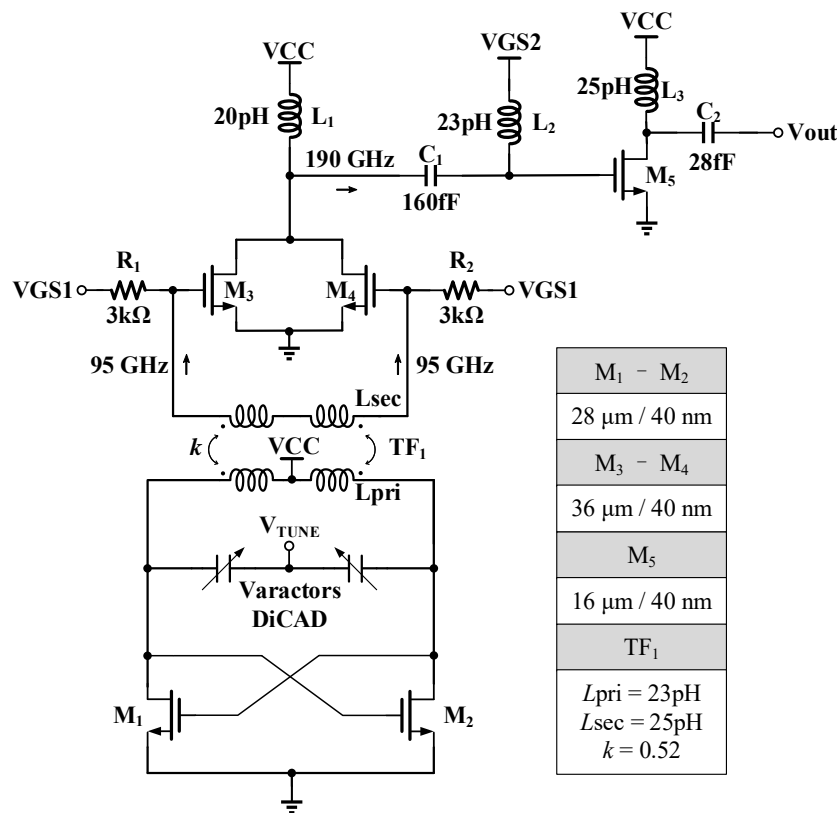


图 4-16 基于变压器谐波倍频器的太赫兹压控振荡器电路图

利用 4.2 节分析的谐波叠加倍频技术，95 GHz 的差分基频信号通过变压器加载到 push-push 倍频管的栅极。变压器采用顶层厚金属实现，以提高谐振网络的 Q 值，获得更好的相噪性能。为了提高信号传输效率，初级线圈与次级线圈间距设置为工艺允许的最小值。push-push 晶体管 (M_3 、 M_4) 被偏置在 0.4V (V_{GS1}) 以获得最大的二次谐波分量。190 GHz 的二次谐波信号从倍频管共模节点引出，通过阻抗匹配网络 (L_1 、 C_1 、 L_2) 滤波、输出缓冲级 (M_5) 放大，最终经过输出匹配网络 (L_3 、 C_2) 匹配至 50 Ω 。

4.3.2 基于 DiCAD 的振荡器频率调节

数字控制人工电介质（Digital Controlled Artificial Dielectric，DiCAD）开关差分传输线基本结构如图 4-17 所示。

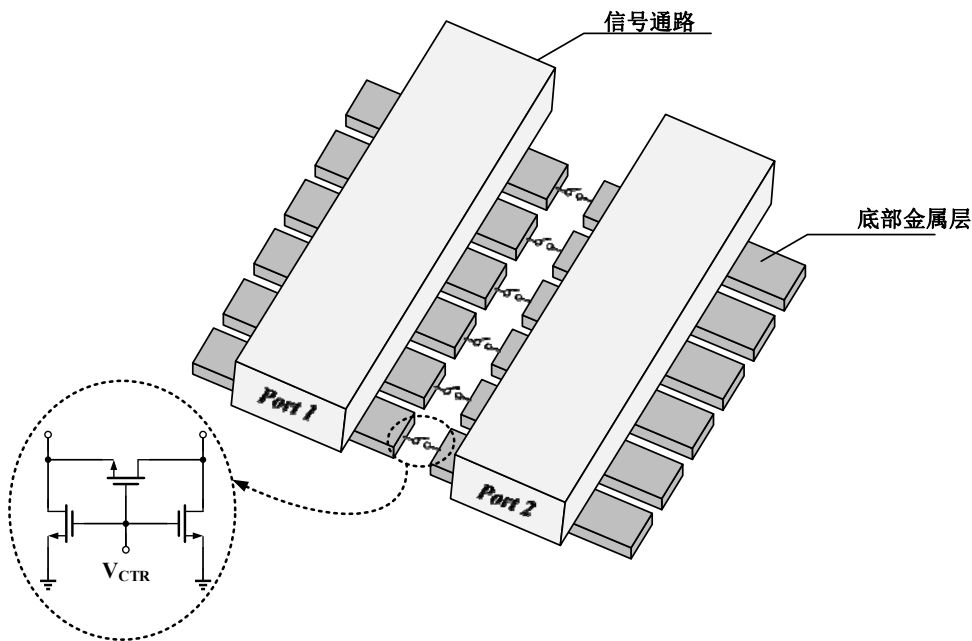


图 4-17 DiCAD 开关差分传输线 3D 图

DiCAD 开关差分传输线主要由三部分组成：由上层金属构成的差分传输线，由底层金属构成的底部金属层，以及在底部金属层之间连接的由数字配置位控制的开关。DiCAD 开关差分传输线侧视图如图 4-18 所示。

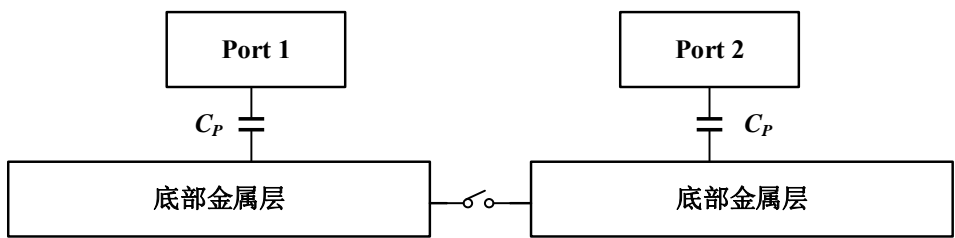
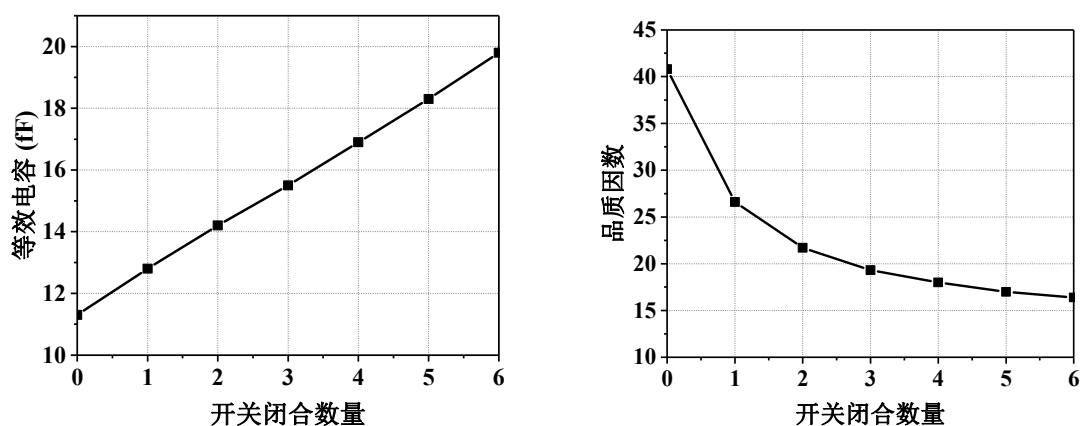


图 4-18 DiCAD 开关差分传输线侧视图

顶部传输线和底部金属层之间的电容（ C_P ）由两层金属之间的氧化层形成。当控制电压为高电平，开关闭合时，底部金属层被短路， C_P 就被连接到 Port 1 和 Port 2 之间。当控制电压为低电平，开关断开时，底部金属层悬空。Port 1 和 Port 2 之间的电容就在这两个状态之间切换。在本章所实现的 VCO 中，采用 DiCAD 开关差分传输线替代传统的开关电容阵列，因为与前者相比，后者仿真精度较差，并且更容易受到工艺波动的影响。

本文采用的 DiCAD 开关差分传输线，顶部传输线由工艺提供的最厚 ($3.5\ \mu\text{m}$) 顶层金属 M10 实现，形成差分信号通路，底层金属层为 M9，厚度为 $0.85\ \mu\text{m}$ 。与 3.2 节讨论的开关管模型相同，开关管的尺寸选择依然要考虑太赫兹工作频率下开关开启电阻和关断电容之间的折衷。对于大尺寸的开关管，管子闭合时的寄生电阻小，引入到谐振腔中的电阻更小，谐振腔 Q 值更高，然而在管子断开时的寄生电容也会更大，限制了 VCO 的调节范围。同理，小尺寸的晶体管断开时寄生电容小，VCO 具有更宽的调节范围，然而在它闭合时的寄生电阻偏大，使谐振网络的 Q 值降低，甚至会导致振荡器的环路增益过低，影响起振条件。在考虑了上述折衷后，本文采用的开关尺寸为 $5\ \mu\text{m}/40\ \text{nm}$ 。

在设计过程中，差分传输线和底部金属层作为无源器件，采用 HFSS 进行仿真，而控制开关阵列则由 Cadence Spectre 完成后仿反提寄生。在 VCO 的基频工作频率 ($95\ \text{GHz}$) 下，仿真结果如图 4-19 所示。图 4-19(a)反映了随着开关闭合数量的改变，等效电容的变化曲线。电容从 $11.3\ \text{fF}$ 线性变化到 $19.8\ \text{fF}$ ，变化步长为 $1.4\ \text{fF}$ 。图 4-19(b)显示了随着开关闭合数量的改变，DiCAD 开关差分传输线 Q 值的变化情况，我们能够看出，随着开关闭合数量的增加，谐振网络中引入的开关串联电阻增加， Q 值从 40.8 逐渐降低到了 16.4 。



(a)等效电容变化曲线

(b)品质因数变化曲线

图 4-19 在 $95\ \text{GHz}$ 频点，随开关闭合数量变化，DiCAD 仿真参数

本章实现的 VCO 所用的变容管 (Varactors) 控制电压在 $0\sim 1.8\ \text{V}$ 之间变化时，电容的变化范围是 $3.1\ \text{fF}\sim 1.2\ \text{fF}$ ， $1.9\ \text{fF}$ 的调节幅度大于 DiCAD 粗调的步长，确保能够覆盖全部调节范围内的频点，防止因工艺波动导致调节范围出现盲区。 Q 值变化范围是 $3.9\sim 10.8$ 。

4.3.3 基于变压器的 push-push 倍频器

本章实现的倍频器所用的变压器结构如图 4-20 所示。为了提高无源网络的 Q 值，变压器采用 $3.5\ \mu\text{m}$ 的顶层金属（M10），和 $0.85\ \mu\text{m}$ 厚的第九层金属（M9）。内部的线圈与振荡器交叉耦合对管的漏极相连，线圈的共模节点连接到电源上。外部的线圈与 push-push 倍频管的栅极相连。内外线圈的线宽均为 $6\ \mu\text{m}$ ，内外线圈的间距为 $2\ \mu\text{m}$ ，即工艺允许的顶层金属最小距离。变压器内圈与外圈半径分别为 $15\ \mu\text{m}$ 和 $23\ \mu\text{m}$ 。

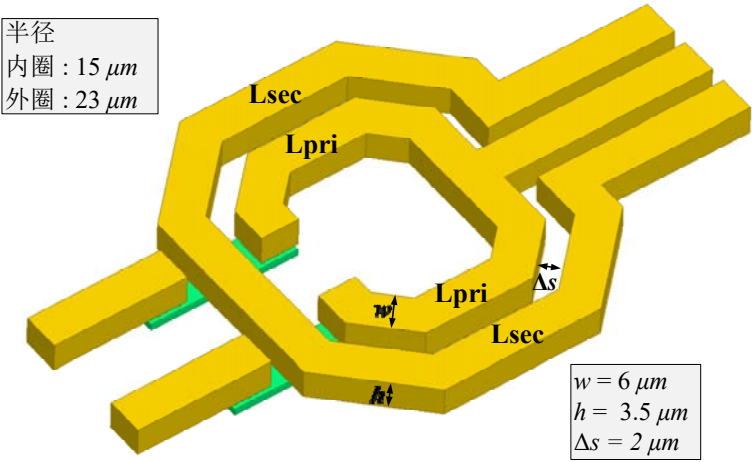


图 4-20 变压器结构示意图

变压器采用 HFSS 完成了电磁场仿真，仿真的电感、 Q 值、耦合系数随频率的变化如图 4-21 所示。

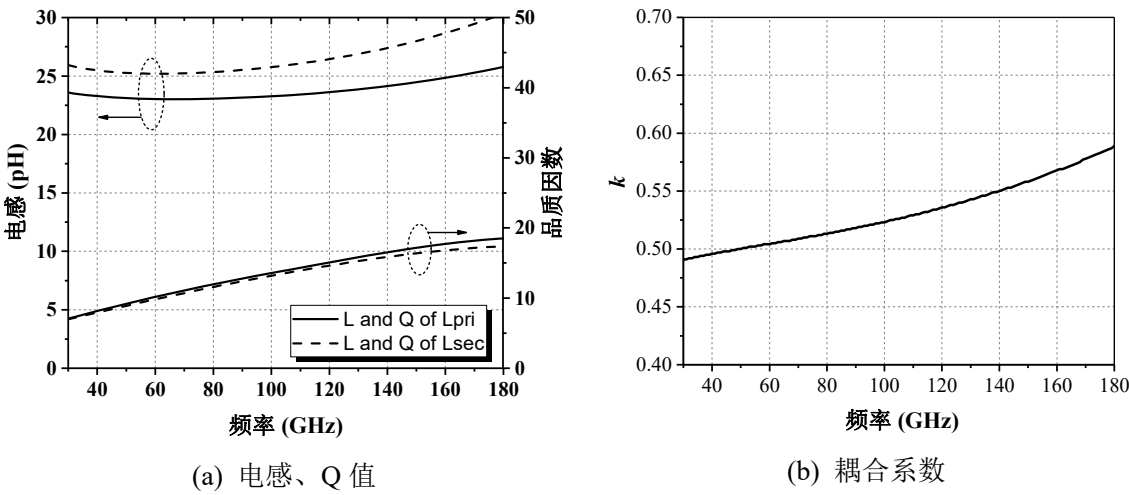


图 4-21 变压器电磁场仿真结果

从图中可以看出,在工作频率即 95 GHz 附近,初级线圈与次级线圈感值分别为 23 pH 和 25 pH, Q 值约为 13, 变压器的耦合系数为 0.52。

正如本章 4.2 节所述,为了产生更高占比的二次谐波信号,二次谐波信号由倍频管产生,且偏置在导通角为 120° 的偏置电压下。晶体管尺寸的选择也需要面临一些折衷。随着晶体管尺寸的增加,二次谐波输出功率提高,但是晶体管的寄生电容也会增加,作为 VCO 的负载之一,负载电容的增加会限制 VCO 的调节范围。考虑到信号输出功率与 VCO 调节范围之间的折衷,本章所实现的 push-push 倍频器晶体管尺寸为 $36\ \mu\text{m}/40\ \text{nm}$ 。

4.4 芯片测试结果

4.4.1 测试结果

本章采用 TSMC 40 nm CMOS 工艺实现的基于变压器谐波倍频器的太赫兹压控振荡器芯片照片如图 4-22 所示。芯片包含 VCO 核心电路、直流焊盘和 GSG 信号焊盘,总面积为 $0.43\ \text{mm} \times 0.39\ \text{mm}$ 。

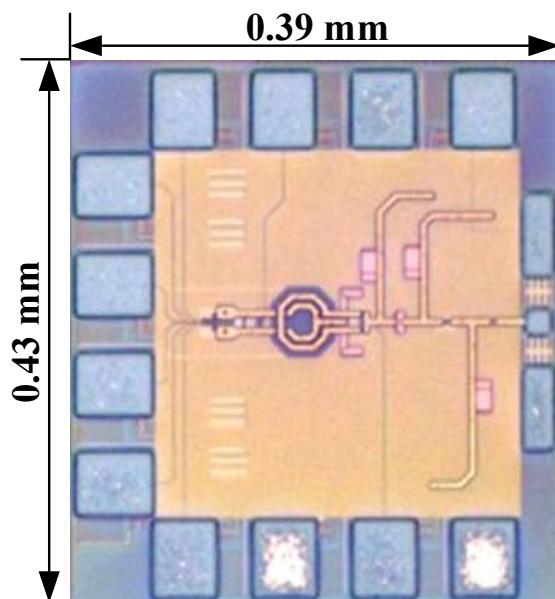


图 4-22 基于变压器谐波倍频器的太赫兹压控振荡器芯片照片

芯片电源电压为 0.9 V, 倍频管偏置电压为 0.4 V, 输出缓冲级偏置电压为 0.7 V, 电源及直流偏置均采用绑定线与 PCB 相连, 通过 PCB 由片外提供, 消耗的直流功耗为 57.6 mW, VCO 核心电路模块消耗的直流功耗为 43.2 mW。芯片的测试环境装配图如图 4-23 所示。VCO 信号输出通过 I220-S-GSG-50-BT 探针连入波导最终连接到

VDI WR5.1 扩频模块上。探针与波导在测试频率附近约有 2.7 dB 的插入损耗。测试信号与安捷伦 E8257D 信号源在扩频模块中进行混频，扩频模块将测试信号与输入振荡信号的六次谐波进行下混频，最终形成基带输出信号。谐波混频器在测试频率附近的插入损耗约为 18 dB。基带输出信号在安捷伦 E4440A 频谱分析仪中读取。

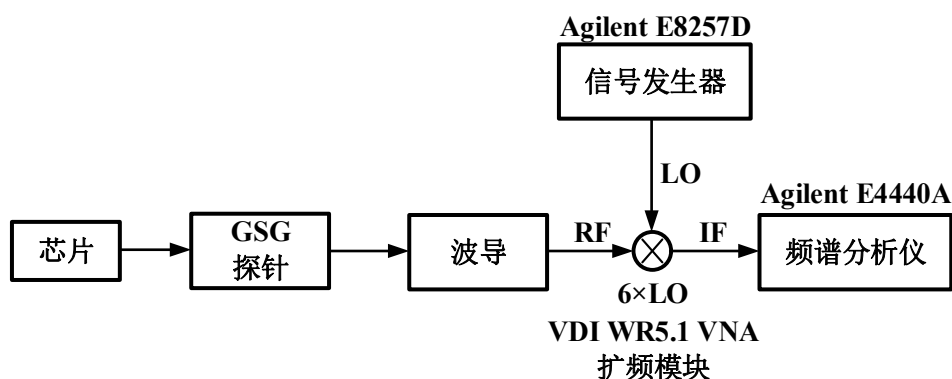


图 4-23 太赫兹振荡器测试环境

DiCAD 开关控制位均为“OFF”，VCO 的调节电压为 1.8V 时，VCO 振荡在最高频率，此时频谱仪观察到的中频信号如图 4-24 所示。本振输入频率为 32.53 GHz，可以计算出，VCO 的振荡频率为 195.5 GHz，补偿了仪器的插入损耗后计算得到的 VCO 的输出功率为 -7.26 dBm。

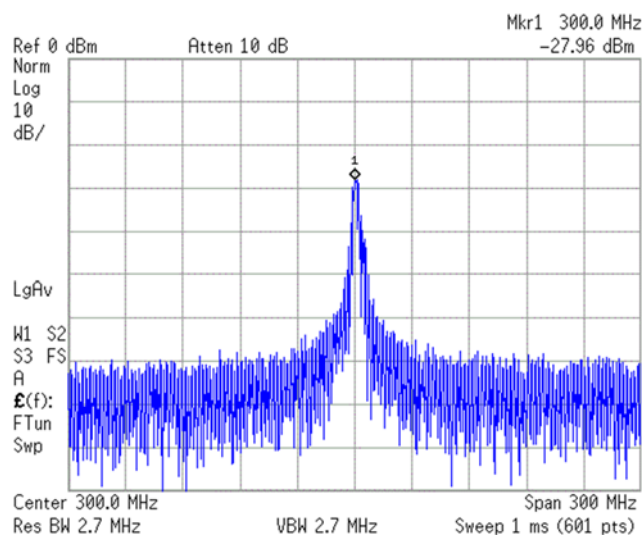


图 4-24 VCO 调节至最高振荡频率的中频输出频谱图

VCO 调节至最高振荡频率时的相噪图如图 4-25 所示。由于太赫兹振荡器频率调节范围较宽， K_{vco} 很大，振荡器的带内振荡情况随温度、偏置电压的波动影响很大，太赫兹频率的 VCO 较为有参考意义的相噪性能，大多观察其在 10 MHz 频偏处的相位噪声。从图 4-25 中可以看出，在 10 MHz 频偏处的相噪为 -97.18 dBc/Hz。

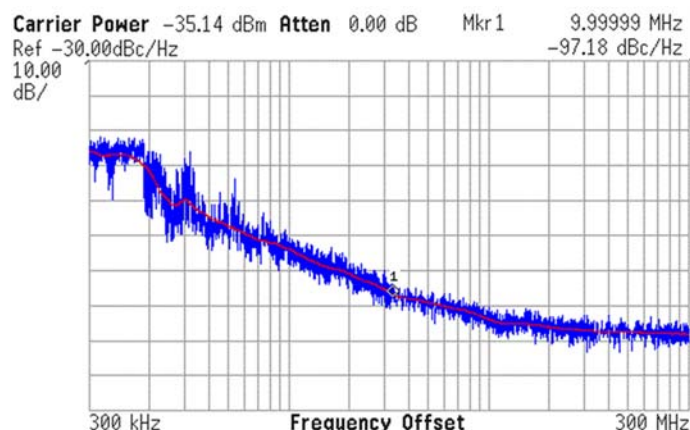


图 4-25 VCO 在 195.5 GHz 处的相位噪声

VCO 能够在 181.9 GHz~195.5 GHz 之间进行调节,频率调节范围达到了 7.16%。DiCAD 各个控制位下的频率调节范围如图 4-26 所示,可以看出, VCO 能够覆盖调节范围内的各个频点,无调节盲区。

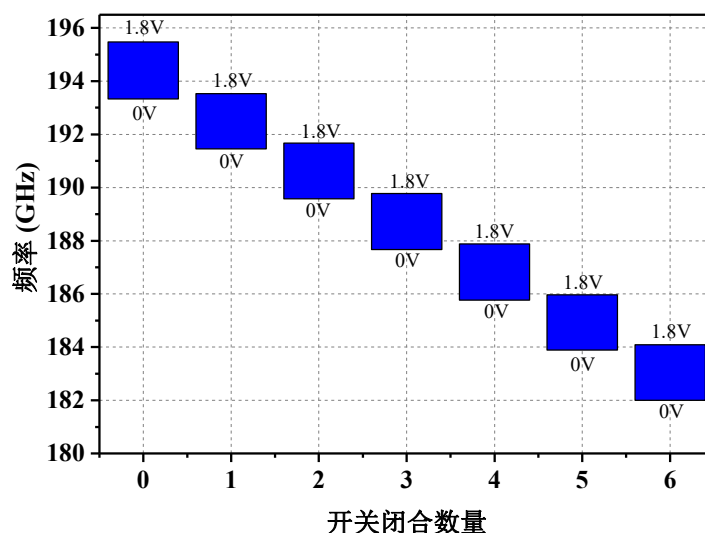


图 4-26 VCO 频率调节范围

4.4.2 性能对比与分析

本章实现的基于变压器谐波倍频器的太赫兹压控振荡器的性能在表 4-1 中进行了汇总,并与目前国际先进成果进行了对比。

VCO 的设计过程中,振荡频率、调节范围、输出功率、相位噪声、功耗等各项指标之间也存在权衡关系。为了很好地对各项指标进行综合比较,综合性能指数 (FOM^T) 被定义如下^[113]:

$$FOM^T = -L\{\Delta f\} + 20 \log \frac{f_{osc}}{\Delta f} - 10 \log \frac{P_{DC,core}}{1mW} + 20 \log \left(\frac{FTR}{10\%} \right) \quad (4-14)$$

式(4-14)中, f_{osc} 和 Δf 分别表示振荡器的工作频率和相噪性能考察中的频偏频率, 均以 Hz 为单位。 $L\{\Delta f\}$ 是在 Δf 频偏处的相位噪声, 单位为 dBc/Hz。 $P_{DC,core}$ 是振荡器核心部分的直流功耗, 单位为 mW。 FTR 是采用百分比表示的频率调节范围。

此外, 因为太赫兹频段的振荡器形成负阻的交叉耦合对管尺寸的选择受到很大的限制, 晶体管寄生效应和无源器件的低品质因数都影响了振荡器的环路增益, 振荡器难以获得很大的输出功率。为了驱动后面连接的电路, 振荡器的输出端需要增加缓冲级放大器进行放大。如第 2 章所述, 太赫兹频段的振荡信号使用放大器进行放大的实施难度较大, 且需要消耗更高的功耗。因此, 太赫兹振荡器设计中, 输出功率也是要重点考虑的指标之一。

从表 4-1 的对比中可以看出, 本文实现的压控振荡器在综合性能指数与输出功率等方面, 均取得了较好的表现。

表 4-1 G 波段及邻近频段太赫兹振荡器性能对比

指标	本工作	2015 AICSP ^[98]	2013 EMC ^[114]	2015 TMTT ^[108]	2013 JSSC ^[66]
工艺	40 nm	65 nm	65 nm	65 nm	65 nm
拓扑结构	Push-push	基频	Push-push	Push-push	Triple-push
频率 (GHz)	181.9~195.5	174.9~178.9	159.2~168.8	151.0~175.0	288
调节范围(%)	7.16	2.3	5.8	14	/
相位噪声	-97.2 dBc/Hz @10 MHz	-94 dBc/Hz @10 MHz	-73 dBc/Hz @5 MHz	-91.3 dBc/Hz @1 MHz	-87 dBc/Hz @1 MHz
输出功率 (dBm)	-7.26	-13.15	+1	-14.5	-1.5
功耗 (mW)	57.6	21.8	88	33	275
FOM ^T	163.7	152.9	133.4	182.9	/

4.5 小结

本章介绍了太赫兹振荡器的倍频技术, 并就较为常用的非线性谐波叠加倍频技术与近期报道并取得较好性能的基于高阶网络的谐波倍频技术展开了较为详细的理论分析。本章采用 TSMC 40 nm CMOS 工艺, 实现了基于变压器谐波倍频器的太赫兹压控振荡器, 振荡器能够达到 7.16% 的频率调节范围, 在 195.5 GHz 频点的输出功率为 -7.26 dBm。与其他相近频段的太赫兹振荡器相比, 本文实现的振荡器综合性能指数与输出功率等方面, 均取得了较好的表现。

第5章 基于分布式无源网络的锁相环设计

5.1 本章引论

在太赫兹通信系统中,我们能够通过振荡器产生振荡信号并通过倍频器将信号提高到目标频率。然而,由于太赫兹频段 VCO 的调节范围较宽, K_{VCO} 很大,振荡信号容易受到外界温度、偏置等环境影响,振荡器的带内性能较差。对于采用 OOK 调制的通信系统来说,调制方式较为简单,且对振荡器带内波动不敏感,可以采用振荡器直接提供本振信号^[30, 62]。然而对于采用 QPSK 等较为复杂的调制方式的通信系统,以及太赫兹雷达等其他应用系统来说, VCO 难以满足系统对本振时钟的性能要求,已实现的收发机报道中通常采用外灌时钟并在片内倍频的方案解决^[31, 32],并没有完成片内产生本振信号的工作。为了在片内产生更为纯净、稳定的本振信号,需要通过锁相环(Phase-Locked Loops, PLL)的反馈环路实现。

在较低的工作频率下,锁相环技术的工作机制和工作原理基本清晰,分析与建模等理论也臻于完善^[115, 116]。整数型锁相环的基本组成模块包括 VCO、分频器、鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器等。随着目标输出频率的提高,PFD、CP、环路滤波器等的工作频率变化不大,可以按照原有的技术手段完成设计,然而 VCO 和与 VCO 直接相连的分频器等电路模块则需要工作在很高的频率下,为锁相环的设计带来了挑战。

首先从电路模块角度考虑, VCO 和分频器具有更高的工作频率。倍频器的提出和采用,可以有效降低 VCO 的工作频率,对应的分频器工作频率也会降低,太赫兹频段倍频器的基本原理和相关技术已经在 4.2 节进行了介绍。此外,我们也可以对 VCO 等具有高工作频率的电路模块进行优化(例如本章 5.2 节介绍的针对无源网络的优化技术),并且采用在更高频率适用的新的分频手段和理论(例如本章 5.3 节介绍的注入锁定技术),应对 VCO 和分频器的频率挑战。

由于倍频器的提出, PLL 在频率分配方面也具有一定的灵活性。以 150 GHz 的目标本振信号为例,如果不采用倍频器,可以让 VCO 直接工作在 PLL 的输出频率上, VCO 和第一级分频器都将工作在 100 GHz 以上^[117], VCO 难以在 150 GHz 达到更好的性能,且分频器的功能实现难度也显著增加。也可以利用 push-push 倍频器实现二倍频^[118-120],实现 75 GHz 的锁相环与 2 倍频的组合。或者利用三倍频的方案^[121],实现 50 GHz 的锁相环与 3 倍频的组合,进一步降低 VCO 和分频器的设计难度。当然,也可以采用 37.5 GHz 锁相环与 4 倍频的组合, 50 GHz 与 100 GHz 两次上变频,

37.5 GHz 与 112.5 GHz 两次上变频等方案，实现 150 GHz 本振信号输出的功能。

综合考虑 VCO、分频器的设计难度与倍频器的倍频效率，本章实现的 PLL 将 VCO 的工作频率定在了 U 频段（40 GHz~60 GHz），约为 50 GHz 左右，并能通过本文 4.3 节所述的电路结构产生 100 GHz 左右的二次谐波信号。

本章首先介绍分布式高阶无源网络特性，然后重点讨论注入锁定技术和注入锁定分频器的结构和优化，最终完成了采用分布式无源网络的锁相环。锁相环进行了单独的流片验证工作，测试结果和性能比较也将在本章进行介绍。本章 PLL 的两路输出可以通过 4.2.3 节所述的自混频倍频技术实现三倍频输出，也可以支持二次混频的收发机应用操作，能够为收发机系统提供较为稳定的本振信号，为 QPSK 等更复杂的调制方式的实现奠定基础。

5.2 分布式高阶无源网络

在 4.2.2 节已经介绍了常见的 LC 振荡器谐振网络的阻抗特性，并介绍了变压器构成的高阶谐振网络的阻抗特性。本节将介绍一种分布式高阶无源网络，并进一步展开探讨高阶无源网络的特性。

分布式 LC 振荡器如图 5-1 所示。缓冲级放大器 (Buffer) 连接在了电感的中间，将图 4-8 中的电感 L 分成了两部分 (L_1 、 L_2)。分布式 LC 谐振网络的单侧等效电路也在图 5-1 中予以展示。

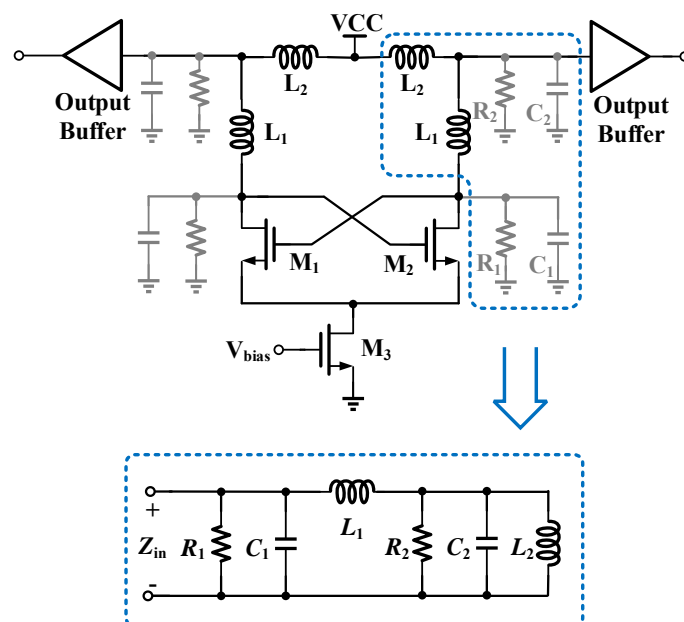


图 5-1 分布式 LC 振荡器及其负载等效 RLC 网络

分布式 RLC 网络的输入阻抗特性可以表示为：

$$Z_{11}(s) = \frac{s^3 L_1 L_2 C_2 + s^2 L_1 L_2 \frac{1}{R_2} + s(L_1 + L_2)}{s^4 L_1 L_2 C_1 C_2 + s^3 \left(\frac{L_1 L_2 C_2}{R_1} + \frac{L_1 L_2 C_1}{R_2} \right) + s^2 [(L_1 + L_2) C_1 + \frac{L_1 L_2}{R_1 R_2} + L_2 C_2] + s \left(\frac{L_1 + L_2}{R_1} + \frac{L_2}{R_2} \right) + 1} \quad (5-1)$$

上式中, $s = j\omega$ 。

从(5-1)中我们可以看出, 分布式 RLC 谐振网络也是一个高阶谐振网络。与传统的 LC 谐振网络相比, 分布式谐振网络具有三个主要特性:

(1) 提高谐振频率。相同的晶体管尺寸、无源器件尺寸, 以分布式网络作为谐振腔的振荡器能够实现更高的振荡频率。

(2) 提高谐振网络的品质因数。输出缓冲级放大器的等效阻抗(图 5-1 中的 R_2)对谐振腔 Q 值的影响降低, 从而提高谐振腔的 Q 值。

(3) 高阶阻抗特性。首先, 高阶谐振网络的阻抗曲线 (Z_{11}) 会出现两个峰值, 4.2.2 章所述的基于高阶谐振网络的谐波倍频技术, 就是利用这样的特点达到倍频的效果。其次, 在两个谐振峰较近时, 可以通过开关和增益单元, 使振荡在某一个谐振峰上的振荡器的振荡频率在两个谐振峰处切换, 采用这样的方式进一步提高振荡器的频率调节范围。此外, 高阶谐振网络的传输特性曲线 (Z_{21}) 也会出现两个峰值, 当两个峰值较近时, 相位曲线在 0° 会出现一段较为平坦的区域, 可以利用这样的相位特性提高注入锁定分频器的锁定范围, 注入锁定技术将在 5.3 节进行介绍。

5.2.1 谐振频率

为了直观地了解高阶谐振网络的频率特性, 我们可以尝试将图 5-1 所示的分布式网络进行简化。首先, 谐振网络的谐振频率与 R_1 、 R_2 无关, 在讨论谐振频率时, 我们可以将式(5-1)中的 R_1 、 R_2 省略, 只考虑电容和电感的影响。 Z_{11} 可以进一步简化成如下形式:

$$Z_{11,1}(s) = \frac{s^3 L_1 L_2 C_2 + s(L_1 + L_2)}{s^4 L_1 L_2 C_1 C_2 + s^2 (L_1 C_1 + L_2 C_1 + L_2 C_2) + 1} \quad (5-2)$$

上式中, $s = j\omega$ 。

式子(5-2)中的 Z_{11} 的极点处频率即为振荡器的振荡频率, 可表示为:

$$f_{osc} \approx \frac{1}{2\pi\sqrt{(L_1 + L_2)(C_1 + C_2)}} = \frac{1}{2\pi\sqrt{LC}} \quad (5-3)$$

由(5-3)可以大致估算出, 谐振频率主要由低阶参量决定, 高阶参量的影响较小, 在讨论谐振频率时, 可以忽略 (5-2)中分子上的三阶项、分母上的四阶项。式(5-2)可以进一步简化为:

$$Z_{11,2}(s) = \frac{s(L_1 + L_2)}{s^2(L_1C_1 + L_2C_1 + L_2C_2) + 1} \quad (5-4)$$

并联 LC 谐振网络的阻抗特性可以表示为：

$$Z_{11,pLC}(s) = \frac{sL}{s^2LC + 1} \quad (5-5)$$

分布式高阶无源网络去掉了与谐振频率无关的电阻项和对频率影响较小的高阶项后，可以简化到与并联 LC 网络类似的形式(5-4)，如图 5-2 所示。

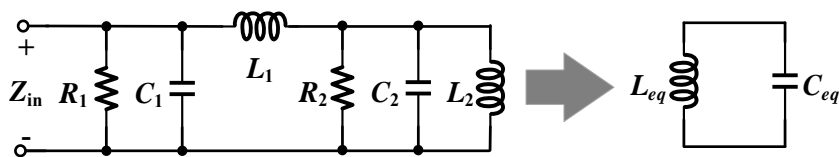


图 5-2 分布式 RLC 高阶网络简化等效示意图

通过(5-4)和(5-5)的比对，我们可以计算出简化后的等效电感和等效电容：

$$L_{eq} = L_1 + L_2 \quad (5-6)$$

$$C_{eq} = \frac{L_1C_1 + L_2C_1 + L_2C_2}{L_1 + L_2} = C_1 + \frac{L_2}{L_1 + L_2}C_2 \quad (5-7)$$

与章节 4.2.2 中的传统 LC 振荡器相比，在保持原有电路器件尺寸的情况下，采用图 5-1 所示的分布式高阶网络，由输出缓冲级放大器（Buffer）带来的寄生电容的影响减小，因而可以获得更高的谐振频率。电感 L_2 占总电感（ $L_1 + L_2$ ）的比例越小，振荡器能够振荡在越高的频率上。

这条性质对于太赫兹频段的振荡器设计来说是非常有意义的，因为通常的振荡器设计中，为了提高振荡器的振荡频率，不得不限制输出负载的尺寸。在不改变既有器件尺寸的情况下，通过将输出缓冲级放大器向上移动到电感中间，即可减小输出级负载对振荡器寄生电容的影响，从而提高振荡器的振荡频率，换取更多的设计空间。

5.2.2 品质因数

在研究谐振频率时，我们按照如图 5-2 所示的方式，将图 5-1 中的高阶无源网络简化成了并联 LC 网络，以比较电感、电容的变化。同理，在研究谐振网络的品质因数时，我们可以如图 5-3 所示，将高阶无源网络等效成并联 RLC 网络后进行观察。

首先，我们忽略高阶项，只保留一阶项和二阶项，式(5-1)被简化为如下形式：

$$Z_{11,3}(s) = \frac{s(L_1 + L_2)}{s^2[(L_1 + L_2)C_1 + \frac{L_1L_2}{R_1R_2} + L_2C_2] + s(\frac{L_1 + L_2}{R_1} + \frac{L_2}{R_2}) + 1} \quad (5-8)$$

并联 RLC 的等效输入阻抗可以被写为:

$$Z_{11,PRLC}(s) = \frac{sL}{s^2LC + sL\frac{1}{R} + 1} \quad (5-9)$$

将(5-8)和(5-9)进行比对, 等效电感和等效电容的形式与(5-6)和(5-7)相同, 等效电阻可以表示为:

$$R_{eq} = \frac{R_1 R_2}{\frac{L_2}{L_1 + L_2} R_1 + R_2} = \frac{R_1 \times (\frac{L_1 + L_2}{L_2}) R_2}{R_1 + (\frac{L_1 + L_2}{L_2}) R_2} > \frac{R_1 R_2}{R_1 + R_2} \quad (5-10)$$

通过式(5-10)我们可以看出, 输出缓冲级放大器的负载电阻 (R_2) 对整个谐振网络的影响被削弱, 并且随着 L_1 占总电感比重的增加, R_2 的影响被进一步减弱。

以本章所实现的振荡器工作频率为例, 在 U 波段 (40 GHz ~ 60 GHz), 晶体管的等效电阻和电感的寄生电阻对谐振网络的影响很小, 因此, 在 U 波段的分布式无源网络是高 Q 网络, 谐振主要体现出章节 5.2.1 和章节 5.2.2 所述的低阶特性。

图 5-3 呈现了高 Q 值分布式无源网络的阻抗特性。为方便比较, 与分布式无源网络具有相同 R 、 L 和 C 参数的传统并联 RLC 网络的阻抗特性也在图 5-3 中予以显示。首先, 我们能够看到, 与传统并联 RLC 网络相比, 分布式无源网络的谐振频率和品质因数都有了明显的增加。其次, 谐振频率和品质因数都随着 L_1 占总电感比重的增加而进一步增加。

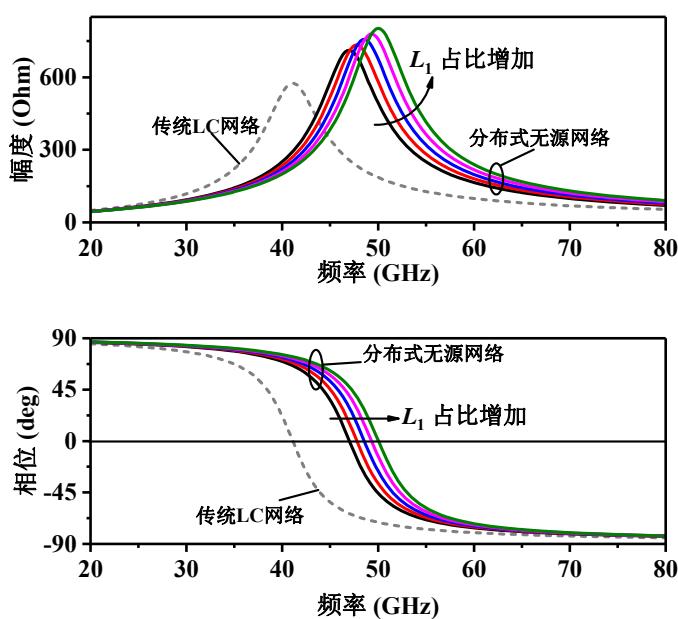


图 5-3 高 Q 值分布式无源网络阻抗特性

5.2.3 高阶特性

根据式(5-1)，分布式无源网络是一个四阶网络。高阶无源网络中的一些特性可以广泛应用于压控振荡器^[122, 123]、倍频器^[111, 124]与注入锁定分频器^[125, 126]的设计当中。

首先，高阶谐振腔可以通过调节设计参数，使阻抗特性在频率响应的曲线上出现多个谐振峰值。当两个谐振峰值距离较近时，可以形成一个双模 VCO，即振荡器具有两个不同的工作模式。通过选择不同的增益单元，调节 VCO 振荡在不同的频率，相当于使 VCO 多出了一倍的调节频带，从而提高 VCO 的频率调节范围^[122, 123]。如果两个谐振峰的频率呈现倍数关系，如图 4-13，即可使 VCO 的输出包含基频和三次谐波分量，从而实现高阶谐振网络倍频器^[111, 124]。

随着电路工作频率的提高，作为负载的谐振网络 Q 值下降，此外，注入锁定分频器中注入管也会降低谐振网络的 Q 值，在注入锁定分频器中，尤其是太赫兹频率的应用中，分布式高阶无源网络出现了低 Q 值网络的特性。式(5-1)中，考虑电阻的影响，考虑高阶项的影响，低 Q 值分布式无源网络的阻抗特性情况如图 5-4 所示。

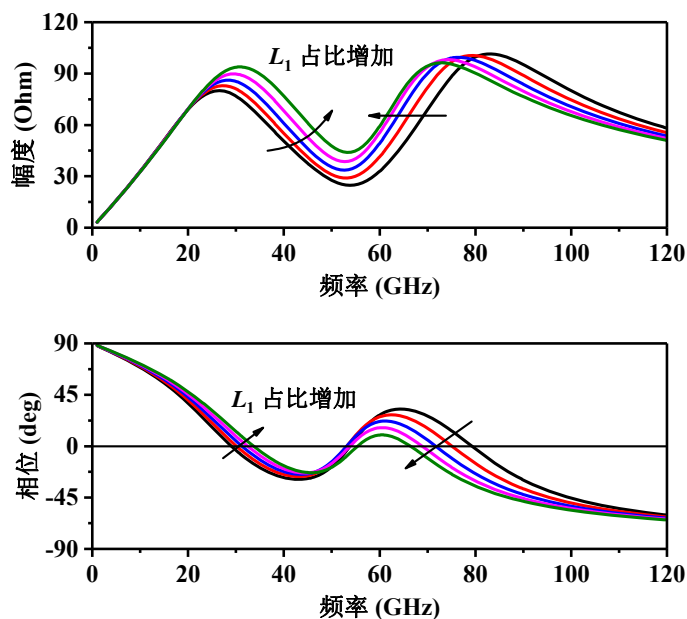


图 5-4 低 Q 值分布式无源网络阻抗特性

值得注意的是，阻抗特性的频率响应中，两个谐振频率之间的相位在 0 度附近出现了较为平坦的区域，这一特性可以被用于注入锁定分频器中。注入锁定技术将在下一节进行介绍。

5.3 注入锁定分频技术

在物理学中,存在一种现象叫做“受迫振动”,某振荡系统具有某种固有频率(f_0),当它通过某种方式受到外界另外一个振荡源(频率为 f_1)的周期性影响时,该振荡系统的振荡频率会偏离其固有频率,以 f_1 的频率振动。特殊地,外加的驱动干扰源与该振荡系统频率相同,即 $f_0=f_1$ 时,会发生共振现象。

在电路系统中,也会发生类似的现象,利用这种现象产生的注入锁定技术,能够广泛应用于许多电路当中,例如:分频器、倍频器、正交信号发生器、具有特定性能的振荡器等。

在毫米波频段以及太赫兹频段的 PLL 设计当中,需要对 VCO 进行分频。传统的电流驱动模式(Current Mode Logic, CML)分频器、Miller 分频器、多模分频器(Multi-Modulus Divider, MMD)等,无法胜任 30 GHz 以上的分频功能,因此,大多采用注入锁定分频器完成对毫米波频段甚至太赫兹频段的振荡信号的分频。注入锁定分频器适用于高工作频率的电路,但是它只在一定频率范围内工作,工作的频率范围即锁定范围,因此对于注入锁定分频器的优化,大多针对拓展锁定范围展开。

本节首先对注入锁定技术的基本原理进行分析,然后具体介绍基本的注入锁定分频器结构和设计考虑,最后具体讨论几种注入锁定分频器的优化方法。

5.3.1 注入锁定的基本原理

我们首先通过振荡器环路分析注入锁定的基本原理^[127],如图 5-5 所示。

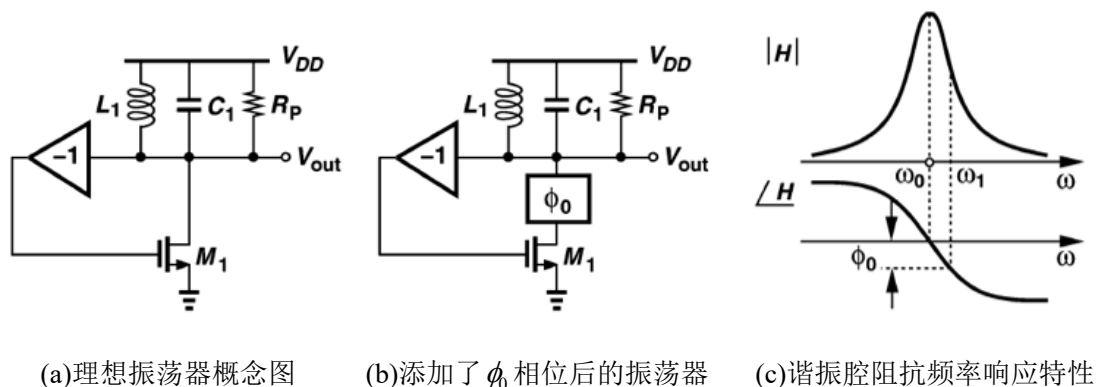


图 5-5 注入锁定原理阐释图^[127]

如图 5-5(a)是一个理想振荡器的概念图,理想的增益单元为谐振回路提供一个 360° 的相移,振荡器谐振腔的谐振频率为:

$$\omega_0 = \frac{1}{\sqrt{L_1 C_1}} \quad (5-11)$$

在自然振荡状态下，振荡器的环路相移为 360° ，谐振腔本身不提供相移，振荡器在谐振腔的谐振频率 ω_0 处振荡。

如果此时给振荡器增加一个额外的相移 ϕ_0 ，如图 5-5(b) 所示，这个额外的相移会使原来的振荡器在 ω_0 频率处的环路相移不再是 360° ，因此无法在 ω_0 频率起振。为了使环路重新回到 360° 的相移条件，谐振腔要贡献出 $-\phi_0$ 的相移，此时振荡器的振荡频率变为了 ω_1 ，如图 5-5(c) 所示。

理想情况下，增益单元和晶体管 M_1 不产生相移，整个振荡器的输出电压 V_{OUT} 和 M_1 的漏电流 I_{osc} 保持相同的相位关系。我们通过在 M_1 的漏端添加一个正弦电流 I_{inj} ，该电流的振荡频率为 ω_{inj} ，如图 5-6 所示。通过选择这个电流的幅度和频率，就可以如图 5-5(b) 那样给振荡器增加一个 ϕ_0 的相移，那么振荡器就会脱离原有的振荡频率 ω_0 ，并在 ω_{inj} 处振荡，即发生了注入锁定。

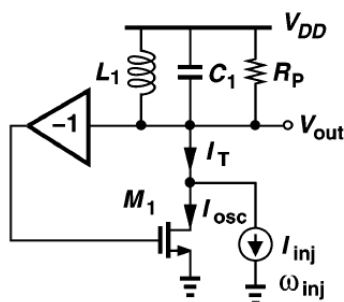


图 5-6 注入锁定状态的电流关系图^[127]

在注入锁定的状态下，振荡器的工作电流为 I_{osc} 。我们引入的注入电流 I_{inj} ，它的作用是给振荡器提供 ϕ_0 的相移，从而使振荡器在 ω_{inj} 处振荡。这两个电流的合电流表示为 I_T 。从相位角度来讲， I_T 包含了由谐振腔贡献的 $-\phi_0$ 的相移，在电流矢量图中， I_T 相对 I_{osc} 顺时针旋转 ϕ_0 。振荡器以 ω_{inj} 的频率振荡，因此 I_{osc} 和 I_{inj} 具有共同的频率，但是从图 5-7(a) 的电流矢量图中可以看出，二者具有 θ 的相位差。

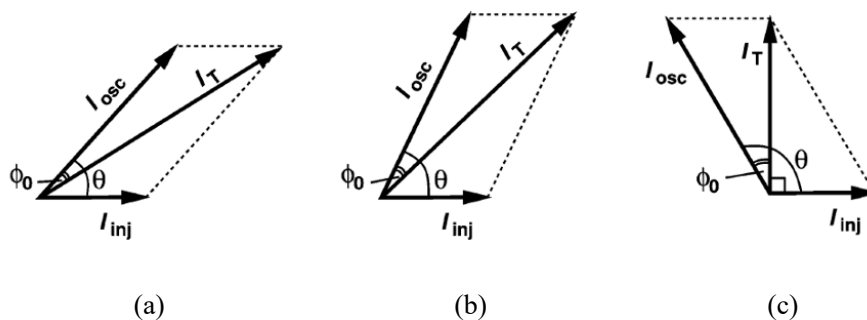


图 5-7 注入锁定状态的电流矢量图^[127]

接下来对出现注入锁定现象的注入电流条件进行讨论。

首先考虑注入频率变化。当注入频率 ω_{inj} 偏离振荡器的自由振荡频率 ω_0 时，注入电流对振荡器引入的相移 ϕ_0 增加，谐振腔贡献的负的相移就会逐渐增加，在电流矢量图中， I_{osc} 逆时针转动， I_{osc} 与 I_T 的相位差增加，如图 5-7(a)到图 5-7(b)的变化。

由正弦定理和余弦定理，可以推出：

$$\sin \phi_0 = \frac{I_{inj}}{I_T} \sin \theta = \frac{I_{inj} \sin \theta}{\sqrt{I_{osc}^2 + I_{inj}^2 + 2I_{osc}I_{inj} \cos \theta}} \quad (5-12)$$

当注入电流 I_{inj} 对振荡器引入的相移 ϕ_0 达到最大时，如图 5-7(c)所示，在注入锁定状态下，合电流 I_T 与注入电流 I_{inj} 存在 90° 的相位差。此时：

$$\cos \theta = -\frac{I_{inj}}{I_{osc}}, \sin \phi_{0,\max} = \frac{I_{inj}}{I_{osc}} \quad (5-13)$$

注入锁定范围的边缘，自由振荡频率与注入频率的关系为^[127]：

$$\omega_0 - \omega_{inj} = \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{osc}^2}}} \quad (5-14)$$

这个最大的频率偏差定义为单边锁定范围，表示为 ω_L ，整体注入锁定范围为 $\omega_0 \pm \omega_L$ 。

其次，观察注入电流幅度 I_{inj} 对锁定范围的影响。注入锁定范围与注入电流幅度有关，如果注入电流幅度减小，保持注入频率和振荡器自由振荡频率的偏差不变，则对振荡器引入的相移 ϕ_0 不变。矢量图中，在 I_{inj} 的幅度减小后，为了使 I_{osc} 与 I_T 的夹角保持在 ϕ_0 不变， I_{osc} 需要逆时针旋转，因此电路就会更靠近锁定范围的边缘。

此外，还可以通过 Miller 模型对注入锁定的基本原理进行分析^[115, 128]。如图 5-8 为 Miller 模型的简单框图。其中， v_I 和 v_O 分别表示频率为 ω_I 和 ω_O 的输入与输出信号。

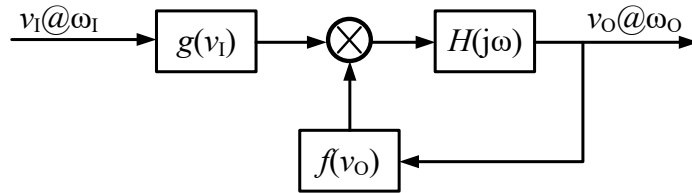


图 5-8 Miller 模型系统框图

注入信号 v_I 经过非线性函数 $g(v_I)$ 后，与输出的反馈非线性函数 $f(v_O)$ 在混频器中进行混频，而后经过线性滤波器 $H(j\omega)$ 进行滤波，该滤波器能够滤除所有 ω_O 以外的频率成分。

对于这样的反馈环路,如果输入信号为 0,只要环路满足巴克豪森(Barkhausen)判据,环路即可构成一个自由振荡器。如果加上注入信号,经过混频器后的输出,包含 ω_I 和 ω_O 各种线性叠加组合的频率分量,所有的频率组合可表示为 $|n\omega_I + m\omega_O|$ 。如果 n 、 m 取得某些值,使得 $|n\omega_I + m\omega_O| = \omega_O$,则该项的混频项会出现在最后的输出端。为满足巴克豪森(Barkhausen)判据,整个环路相移必须为 2π 的整数倍,环路会通过改变谐振网络的频率即 ω_O ,来适应判据所要求的相位条件,因此环路振荡频率会跟踪信号的输入频率 ω_I ,最终注入锁定。但是,如果 ω_I 与环路的自由振荡频率太远,或注入幅度过小,谐振回路的相位调节功能有限,则无法调节到满足判据,从而无法实现注入锁定。

当设置电路中的相关参数,使注入频率 $\omega_I = 2\omega_O$ 时,并通过设计谐振网络使振荡器自由振荡频率在 ω_O 附近, $n=1, m=-1$ 满足 $|n\omega_I + m\omega_O| = \omega_O$ 成立,环路的输出频率 ω_O 被锁定在 ω_I 的一半,即完成了注入锁定二分频的功能,这就是注入锁定分频器的基本原理。

5.3.2 注入锁定分频器

通过对注入锁定的基本原理的论述,我们能够总结出采用注入锁定分频器对输入信号实现二分频的基本步骤:首先完成振荡器,振荡器的自由振荡频率在输出频率附近,即注入频率的一半附近;然后将输入信号通过一些方式注入到振荡器中,验证注入锁定分频器的基本功能的实现情况;最后,根据具体指标对分频器进行优化和调整。

最早提出的注入锁定分频器实现的方式如图 5-9 所示,信号通过振荡器的尾电流源注入到振荡器中^[128]。

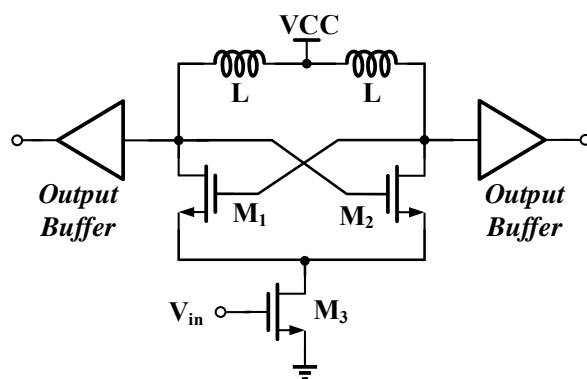


图 5-9 尾电流源注入锁定分频器

图 5-9 中的注入管由晶体管 M_3 承担, M_3 同时具有两个作用:为振荡器提供电流偏置;为振荡器注入信号。为了给振荡器提供足够的电流偏置,同时增加注入强度,

注入管的尺寸通常选取较大的值,但是这样管子的栅极电容就为上一级 VCO 带来了更大的电容负载,限制上一级 VCO 的工作频率。此外,尾电流源晶体管到地之间的寄生电容也会为高频注入信号引入一个较大的交流通路,降低了注入效率。最后,太赫兹频段的振荡器可能会去掉尾电流源,因此,尾电流源的注入方案逐渐被直接注入替代。

直接注入锁定分频器,电路结构如图 5-10 所示,将注入信号通过额外的晶体管直接连在振荡器内,而不通过尾电流源实现,从而避免注入信号在尾电流源中的损耗。注入管不再同时为电路提供偏置电流,因此注入管的尺寸也不必选得太大,可以通过 NMOS 管或 PMOS 管实现,也可以利用差分信号分别添加给 NMOS 管和 PMOS 管以实现更好的注入效率^[129]。与电子相比,空穴迁移率较低,PMOS 管作为注入管在高频注入锁定分频器中的性能相比较差,因此更多采用 NMOS 管作为注入管。

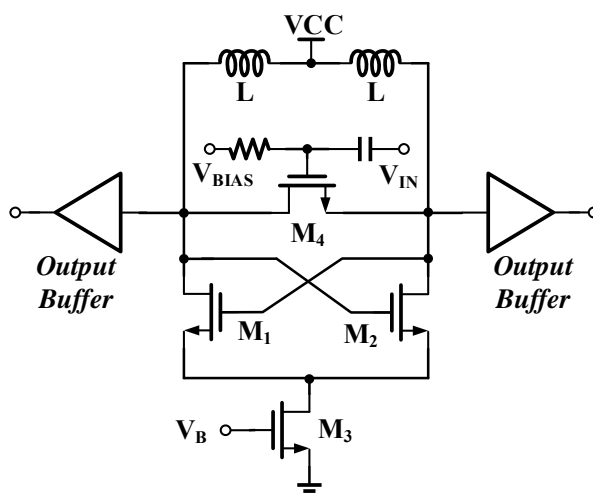


图 5-10 直接注入锁定分频器

5.3.3 注入锁定分频器的优化

上文已经提到,有限的注入锁定范围是注入锁定分频器的主要问题。过窄的注入锁定范围会影响电路的鲁棒性,为多模块级联搭建的系统功能的实现增加不确定性。尤其是在毫米波甚至太赫兹频率电路设计中,与较低频率的射频电路相比,器件的模型准确性较低,导致后仿与流片的偏差较大,为了保证系统能够实现基本功能并且达到更好的指标,注入锁定范围要远大于 VCO 的调节范围,为可能发生的工艺偏差和模型失准导致的频率偏差留有足够的余量。

从(5-14)中,我们可以得出:

$$\omega_L \propto \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}} \quad (5-15)$$

根据第 5.3.1 节对注入锁定基本原理的论述以及(5-15)我们能够看出,影响注入锁定范围的因素主要有两个部分:注入给振荡器的信号强度、无源谐振网络的相关特征。

因此,对注入锁定分频器的优化主要以扩展注入锁定范围为目标,大致分为两个方向:第一,优化注入锁定器件,通过对注入器件进行建模,针对影响注入效率的效应进行优化,在注入信号幅度不变的情况下,通过提高注入效率,展宽注入锁定范围;第二,从谐振网络入手,通过展宽谐振网络选频特性,拓宽注入锁定范围。

我们还可以从相移角度对注入锁定范围形成更为直观的理解,如图 5-11 所示。图 5-11(a)为注入锁定分频器无源谐振网络输入阻抗频率响应的相位曲线。振荡器在 ω_0 处自由振荡。针对某一特定的注入信号强度与注入效率,谐振腔能够提供的最大相移为 $\angle Z_{L,\omega(\max)}$,注入锁定范围用阴影部分表示。

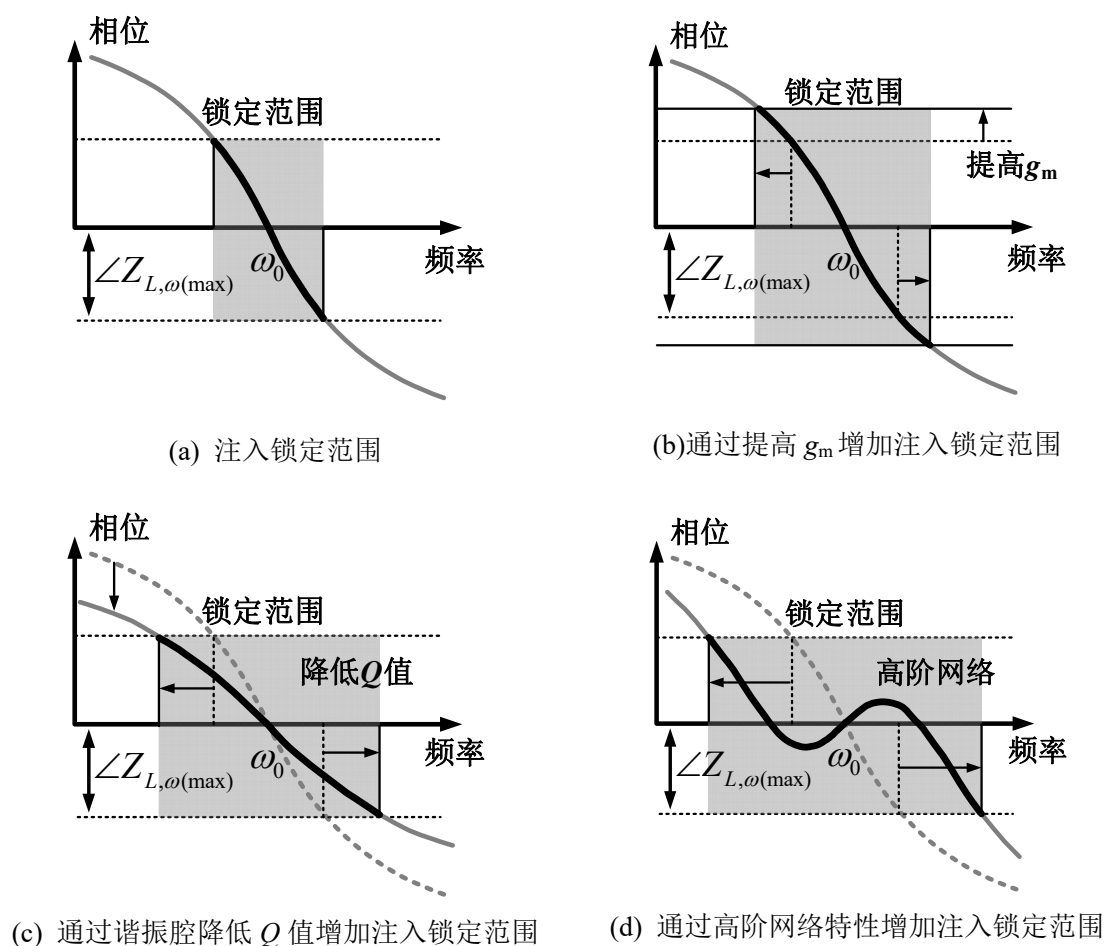


图 5-11 从相位角度理解注入锁定范围

5.3.3.1 针对注入器件的建模及优化

针对注入器件的优化方面,以 NMOS 管为例,通过对注入管进行建模^[130],得到

注入管的相关参数对注入锁定范围的影响，可以表示为：

$$\Delta\omega_{in} = \frac{2g_m}{C} = 2\omega_0^2 Lg_m \quad (5-16)$$

其中， g_m 表示注入管的等效跨导， C 表示注入管源极和漏极之间的电容负载。

由(5-16)可以看到，可以通过对注入管的尺寸和工作状态进行优化，以提高注入管的等效跨导^[131]：适当增加注入管尺寸，并且使晶体管的过驱动电压 V_{ov} 在合适的范围内取较大的值，有助于提高等效跨导，进而提高注入效率。

根据 5.3.1 节对注入锁定原理进行分析中使用的 Miller 模型对注入管进行建模，可以将注入管看作一个混频器，注入器件到地的寄生电容 C_d ，会影响注入管的等效跨导，进而限制注入锁定范围。因此，可以给注入器件串联电感 L_s ^[132]，选择合适的 L_s 值，使其和 C_d 在工作频率附近谐振，以减小 C_d 的作用效果，从而增加注入管源端的电压摆幅，提高注入效率进而增加注入锁定范围，如图 5-12 所示。

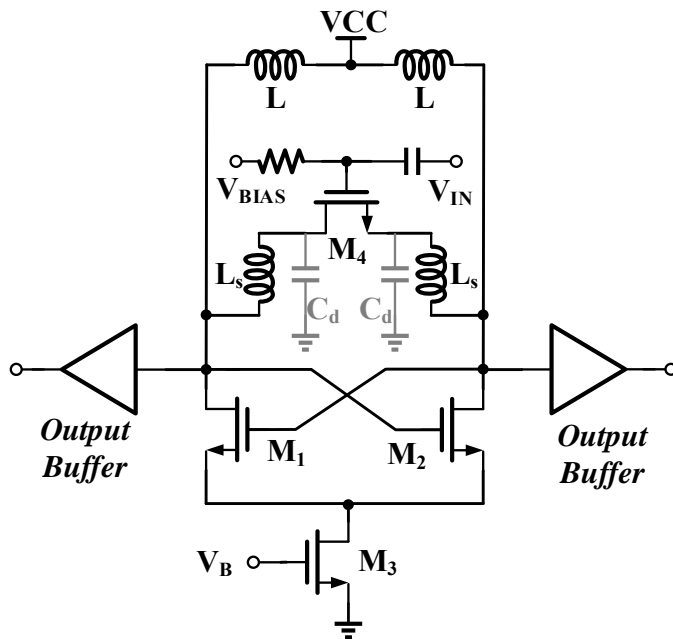


图 5-12 注入管串联电感与注入管寄生电容谐振

此外，由式(5-16)可以看出，减小注入器件源极和漏极之间的等效负载电容，也有助于提高分频器的注入锁定范围。这种优化技术可以通过对无源谐振网络的优化实现，一方面，在 LC 谐振腔中适当减小电容所占的比例，因此在分频器中往往没有额外添加的固定电容，谐振腔中含有的电容成分只由晶体管等元器件的寄生电容承担。在去掉了固定电容后，还可以采用第 5.5.1 节论述的高阶网络的谐振频率特性进一步减小输出缓冲级放大器输入负载对谐振网络的影响，达到减小负载电容的效果。由式(5-7)可以说明，本文所分析的如图 5-1 所示的分布式无源网络，能够有效减小谐

振网络的负载电容, 增加注入锁定范围。其他的谐振网络, 例如 π 形电感^[133]构成的无源谐振网络, 也可以产生同样的效果。

不论是增加注入管的等效跨导 g_m , 提高注入效率, 在提供给注入管的信号幅度不变的情况下, 提高注入到振荡器中的信号强度, 还是优化无源谐振网络, 都是通过提高谐振腔能够提供的最大相移, 展宽注入锁定范围, 如图 5-11(b)所示。

5.3.3.2 针对谐振网络的建模及优化

对谐振网络的优化方面, 首先可以给分频器中增加可变电容器 (Varactors) 和开关电容阵列, 调节振荡器的自由振荡频率, 将分频器中的可变电容器以及开关电容阵列与产生注入信号的 VCO 中的可变电容器和开关电容阵列关联, 分频器的自由振荡频率随注入频率的变化而变化, 拓宽注入锁定范围^[134]。然而, 可变电容器及开关电容阵列的引入会影响分频器振荡器的性能, 会给整个 PLL 环路引入额外的噪声来源, 也会增加 PLL 系统设计的复杂度。

从(5-15)中我们也可以看出, 注入锁定范围与谐振网络的品质因数 (Q) 有关。当谐振回路品质因数高时, 谐振回路对混频后的信号的选频特性越好, 对频带以外信号的衰减作用越强, 注入锁定范围越窄。因此可以采用低 Q 值的 LC 谐振网络降低谐振腔的选频特性^[135], 获得更宽的注入锁定范围, 如图 5-11(c)所示。然而谐振腔的 Q 值降低, 会使振荡器无源网络给环路增益带来的损耗增加, 为了保证振荡器的起振条件, 需要更大的交叉耦合对管尺寸, 引入更多的寄生电容, 对分频器的工作频率形成限制。此外, 为了提供更多的环路增益, 也需要高的偏置电流, 使注入锁定分频器的功耗增加。况且, 降低谐振腔 Q 值的方式获得的相位变化平坦程度有限, 对注入锁定范围的改善并不够明显。

不过我们可以从低 Q 值降低谐振网络的选频特性得到启发, 如图 5-11(d)所示的情况, 如果能够使无源网络的频率特性呈现在 0 度相移附近出现一段较为平坦的相移平台, 则可以显著增加注入锁定分频器的锁定范围。许多高阶谐振网络, 如变压器^[126, 136, 137], 可以形成四阶谐振网络, 在输入阻抗频率响应的相移特性中, 可以呈现这一现象, 通过设置相移平台实现扩宽锁定范围的效果, 如图 5-13 所示。

本文在 5.2.3 节也论述了分布式无源网络的高阶特性, 同样可以产生这样的相移特性。尤其是在太赫兹频率段, 随着频率提高, 无源器件的 Q 值降低, 注入管也会为谐振网络引入寄生电阻, 在太赫兹频段, 图 5-1 中的无源谐振网络可以看做低 Q 值分布式网络, 利用相移平台的特征, 可以展宽锁定范围。

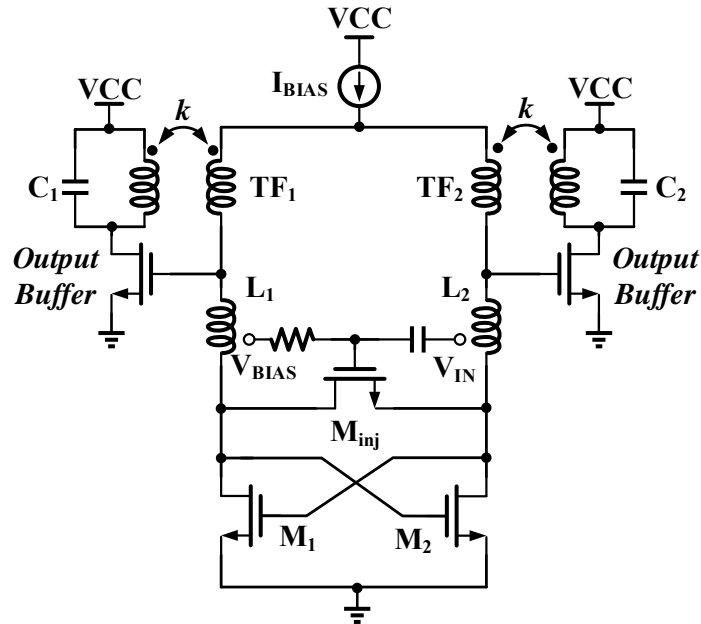


图 5-13 利用变压器高阶特性的注入锁定分频器

5.4 采用分布式无源网络的锁相环

5.4.1 系统架构

本章实现的锁相环系统架构如图 5-14 所示，是一个整数型模拟锁相环。由压控振荡器（VCO）、倍频器、两级注入锁定分频器（ILFD）、三级级联的电流驱动模式分频器（CML）、多模分频器（MMD）、鉴频鉴相器（PFD）、电荷泵（CP）、环路滤波器和缓冲级放大器与巴伦等单元组成。

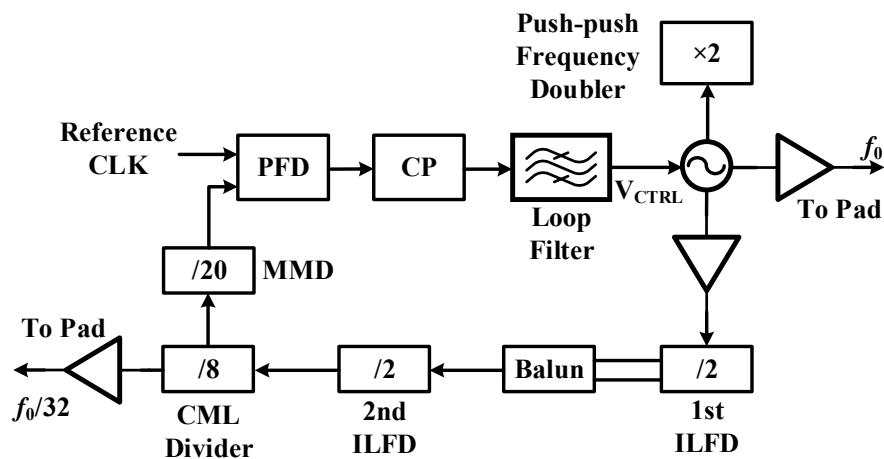


图 5-14 锁相环系统结构

VCO 产生多路信号输出, 首先, 信号通过倍频器实现倍频, 由于倍频频率约为 100 GHz, 暂无测试条件, 因此倍频器的输出并未留有测试端口, 但是倍频器作为 VCO 的负载, 予以保留。第二, VCO 产生的本振信号通过缓冲级放大器后, 由 GSG PAD 引出, 可以通过探针获取信号, 完成测量。最后, VCO 的输出信号经过输出缓冲级放大器放大后, 作为注入信号, 提供给分频系列完成分频工作。

分频系列首先将注入信号通过第一级注入锁定分频器完成二分频, 输出的差分信号通过巴伦进行差分转单端的操作后, 注入给第二级注入锁定分频器。第二级分频器的输出信号流入三级级联 CML 分频器中, 经过 32 分频的信号通过缓冲级放大器输出给低频测试接口。可以从低频测试接口测试本振信号 32 分频后约 1.6 GHz 的较低频率的信号输出, 方便在采用探针进行高频测试前, 进行调试和测试工作。分频系列的最后一个部分, 是采用数字标准单元实现的多模分频器, 可以实现 8~23 的连续可调分频比。

经过分频后的时钟信号与外灌的参考时钟在鉴频鉴相器中进行比较, 完成鉴相。鉴频鉴相器将鉴相结果输入给电荷泵, 最终转变为电流信号给环路滤波器中的积分电容充放电。环路滤波器与 VCO 的可变电容器的控制电位相连, 完成对 VCO 的调节工作。

本节后续部分将对所实现的 PLL 中的压控振荡器、注入锁定分频器等部分进行展开介绍, 鉴频鉴相器与电荷泵等电路由于工作频率与较低频率的锁相环大致相同, 原理、功能、实现方式、设计考虑等也都已经较为成熟, 在本文不做赘述。

5.4.2 压控振荡器

作为 PLL 的重要组成部分, VCO 对 PLL 的相位噪声、锁定频率等诸多重要指标有关键性的影响。由于本文 VCO 中倍频器的输出频率无法采用现有的测试设备进行测试, 倍频器输出并没有安排测试接口。但是倍频器会对 VCO 的工作频率及工作性能产生影响, 因此倍频器及其缓冲级放大器与输出匹配等电路结构均完成了设计并作为 VCO 的负载安排在电路当中。

本章实现的 VCO 结构如图 5-15 所示。VCO 的基本原理、结构及设计思路与第 4 章所实现的 VCO 相似, 相同的部分在此不多赘述。为了提高 VCO 中电感的 Q 值, 在本章中的 VCO 与倍频器之间的变压器设计中, 外部的初级线圈线宽为 $20\text{ }\mu\text{m}$, 内部的次级线圈线宽仍为 $6\text{ }\mu\text{m}$ 。

为了验证本章第 2 节所述的理论, VCO 的输出缓冲级放大器从电感线圈中间引出, 使无源谐振网络形成分布式结构。在这里, 主要利用了分布式无源网络的频率特性, 通过减小输出缓冲级放大器寄生电容的影响, 获得更高的频率。与传统的电感不同, 图 5-15 所示的谐振网络的电感用变压器取代。变压器线圈之间的作用并非仅有

简单的相邻线圈之间的耦合，因此这样的结构使分布式无源网络的模型变得更为复杂。然而，由于在 VCO 的设计中，倍频器仅作为 VCO 的负载，在对 VCO 进行参数调节和优化的过程中并不改变，因此我们可以将倍频器及变压器的次级线圈对谐振网络的影响都等效进 VCO 的负载电容和等效电阻当中。

当输出缓冲级放大器分别接在图 5-15 中的 A、B、C 点，我们可以通过后仿比较分布式无源网络的作用效果。有源部分采用 Cadence Spectre 提取寄生网表，变压器、互连线、电容等部分均采用 HFSS 完成参数的提取。我们对后仿结果中的频率调节范围、VCO 本振输出缓冲级放大器在阻抗匹配后的最大输出功率、完成了输出匹配后的倍频器的最大输出功率这三个指标进行比较。比较的结果如表 5-1 所示。

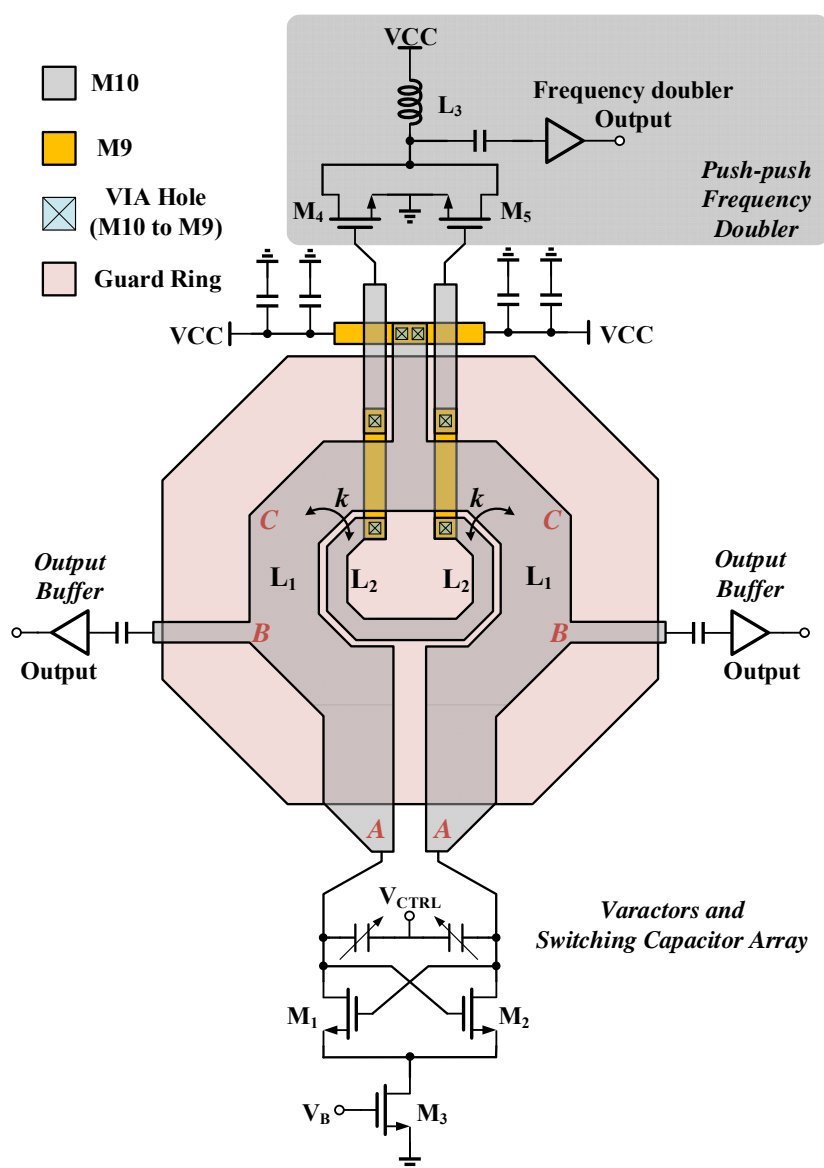


图 5-15 VCO 及 push-push 倍频器原理图

表 5-1 信号输出节点分别在 A、B、C 点的 VCO 后仿真性能比较

性能指标	A	B	C
工作频率范围 (GHz)	44.3 ~ 50.1	47.1 ~ 55.4	48.7 ~ 58.2
调节范围 (GHz)	5.8	8.3	9.5
基频输出功率(dBm)	0.92	-1.96	-4.88
倍频器二次谐波输出功率(dBm)	-7.52	-8.02	-8.20

从表 5-1 中我们能够看出, 分布式网络的确能够提高振荡器的振荡频率, 并且通过减小输出缓冲级放大器寄生电容的作用, 降低谐振网络的固有电容, 从而提高振荡器的频率调节范围。然而, 随着输出节点接近振荡器的共模点, 输出功率会逐渐降低。因此, 出于对工作频率、调节范围与输出功率的权衡, 如图 5-15 所示, 本文的 VCO 输出节点选取在 B 点。

5.4.3 注入锁定分频器

本章实现的 PLL 中, 由于第一级注入锁定分频器的输入频率约为 50 GHz, 在 PLL 环路中, 工作于较高的频率状态。为了获得更好的性能, 我们采用了分布式无源谐振网络, 以实现 5.2.1 节中所述的提高谐振频率和 5.3.3 节中所述的提高锁定范围的作用。注入锁定分频器原理图如图 5-16 所示。

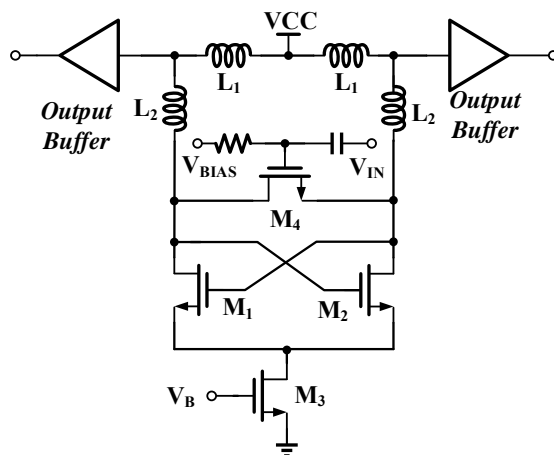


图 5-16 采用分布式无源谐振网络的注入锁定分频器 (第一级注入锁定分频器)

首先, 注入锁定分频器采用直接注入的方式, 通过注入管 M_4 完成 VCO 输出本振信号的注入。注入锁定分频器的自由振荡频率为 26 GHz, 输出缓冲级放大器从电感 L_1 与 L_2 的中间引出, 使整个无源谐振网络形成如图 5-1 所示的高阶无源谐振网络。当注入信号频率接近分频器自由振荡频率的二倍时, 分频器即可锁定在注入频率

的二分频处，实现注入锁定功能。

为了了解设计的注入锁定分频器的性能，我们对注入锁定分频器的注入锁定范围随输入功率的变化进行了仿真。为了比较采用分布式谐振网络与采用传统的 LC 谐振网络相比性能的变化，我们对两种分频器均进行了仿真。传统的 LC 谐振网络的注入锁定分频器将图 5-16 中的输出缓冲级放大器移至电感 L_2 的末端，与交叉耦合对管的漏极相连。两种分频器除了输出缓冲级放大器连接位置不同外，其余参数均相同。有源部分的仿真采用 Cadence Spectre 仿真工具提取寄生参数进行仿真，电感及互连线等无源部分整体通过电磁场仿真工具（HFSS）完成仿真。

第一级注入锁定分频器的仿真结果如图 5-17 所示。首先，我们能够看出，采用分布式无源网络的注入锁定分频器锁定范围高于采用传统的 LC 谐振网络实现的分频器。其次，采用传统 LC 谐振网络的注入锁定分频器在输入功率为 0 dBm 时的锁定范围是 39.7 GHz ~ 55.9 GHz，能够覆盖 16.2 GHz 的频率范围；采用分布式无源网络的注入锁定分频器在输入功率为 0 dBm 时的锁定范围是 42.5 GHz ~ 61.8 GHz，能够覆盖 19.3 GHz 的频率范围，与传统的结构相比，采用分布式无源网络将锁定范围展宽了约 3 GHz。

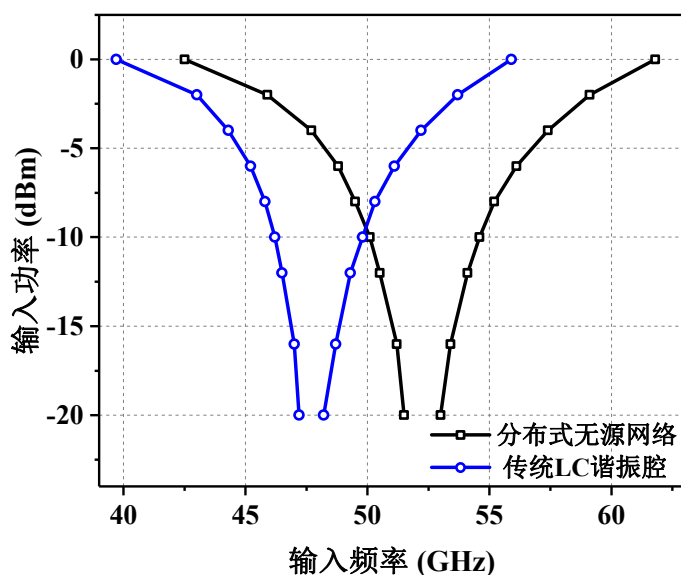


图 5-17 第一级注入锁定分频器锁定范围及比较

VCO 的输出频率范围为 47.1 GHz ~ 55.4 GHz，基频输出功率为 -1.96 dBm。第一级注入锁定分频器在输入功率为 -2 dBm 时的锁定范围为 45.9 GHz ~ 59.1 GHz，能够完全覆盖 VCO 的所有工作频率并留有足够的余量，保证级联后系统的功能实现。

两级分频器的级联部分，较为简单且直接的方案是：第一级分频器的单路输出直接注入给第二级分频器。然而，为了提高注入给第二级注入锁定分频器的信号强度，以获得更大的注入锁定范围，我们将第一级注入锁定分频器的差分输出通过 Balun 转

换成单端信号，同时完成了级间阻抗匹配，而后再注入给第二级注入锁定分频器，注入强度能够达到 0 dBm 以上。

经过了一级分频器完成了二分频后，第二级注入锁定分频器的输入频率在 26 GHz 附近，在这一频率上的分频器电感占比更大，且无源器件的 Q 值更高，根据式 (5-15) 和 (5-16)，与第一级相比，第二级注入锁定分频器更容易获得更宽的锁定范围。并且由于第二级注入锁定分频器使用的电感尺寸更大，在版图布局上更难实现分布式结构，因此，第二级分频器采用了如图 5-10 所示的传统 LC 谐振网络的分频器结构。

第二级注入锁定分频器仍然采用直接注入的方式，在输入功率为 0 dBm 时，能够实现的锁定范围是 19.8 GHz ~ 34.2 GHz，可以完全覆盖第一级注入锁定分频器的输入频率范围，并留有足够的余量，保证系统级联的功能实现。

5.4.4 锁相环中的其余电路

除了注入锁定分频器外，分频链路中的其余电路包括：电流驱动模式分频器（CML）、多模分频器（MMD）和采用反相器链构成的低频输出放大器。此外，锁相环还包括鉴频鉴相器（PFD）、电荷泵（CP）、环路滤波器（Loop Filter）等电路结构。这些电路均根据相对成熟的实现方案和已经被验证可行的电路结构进行搭建，在此不多赘述，具体电路细节和工作原理可参照其他论文或教材。本节仅针对分频系列中的 CML 分频器和 MMD 分频器做简要展开，以比较它们和注入锁定分频器在工作原理、设计思路和工作范围等方面的区别。

5.4.4.1 电流驱动模式（CML）分频器

在两级注入锁定分频器分频后，时钟频率被降到了 12.5 GHz 附近，此时电流驱动模式（CML）分频器能够胜任对时钟的进一步分频工作。在 20 GHz ~ 2 GHz 频段范围内，由于 CML 分频器输入分频范围较宽，功耗较小，且与需要使用电感的注入锁定分频器相比占用面积较小，是综合考虑了分频性能、面积成本和功耗等指标后的最佳选择。

单级电流驱动模式（CML）分频器由两个锁存器级联构成。锁存器单元电路结构如图 5-18 所示。单个锁存器由 6 个晶体管与 2 个电阻构成。两个反相的时钟分别从 M_5 、 M_6 的栅极输入。 M_1 、 M_2 为输入管，差分输入信号从两个管子的栅极输入。电阻 R_1 、 R_2 为负载。右侧部分晶体管 M_3 、 M_4 交叉连接，输出信号从 M_1 ~ M_4 的漏极输出。

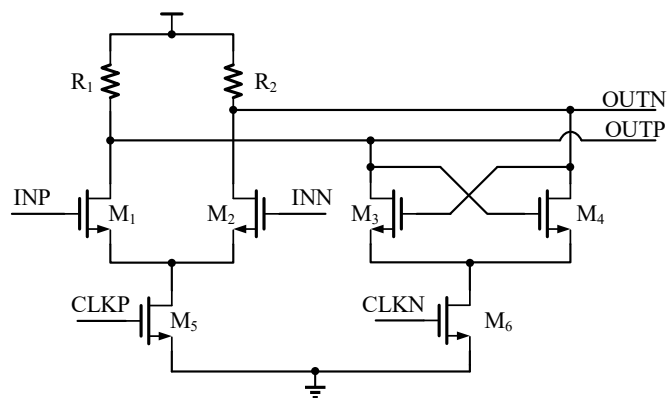


图 5-18 锁存器单元电路原理图

在前半个时钟周期，CLKP 为高电平、CLKN 为低电平时，左侧部分电路开启，输出信号与输入信号反向。在后半个时钟周期，CLKP 为低电平、CLKN 为高电平时，左侧部分电路关断，输出电平与输入电平无关，右侧部分电路开启，交叉连接的晶体管构成的负阻结构（M3、M4），能够使输出电平保持在 CLKP 为高电平时的输出状态，从而完成锁存器的延时功能。

将两个锁存器首尾相连即构成了一个 CML 分频器单元，如图 5-19 所示。输入时钟信号从 INP 和 INN 中灌入，从 OUTIP 和 OUTIN 中得到输出的二分频信号。

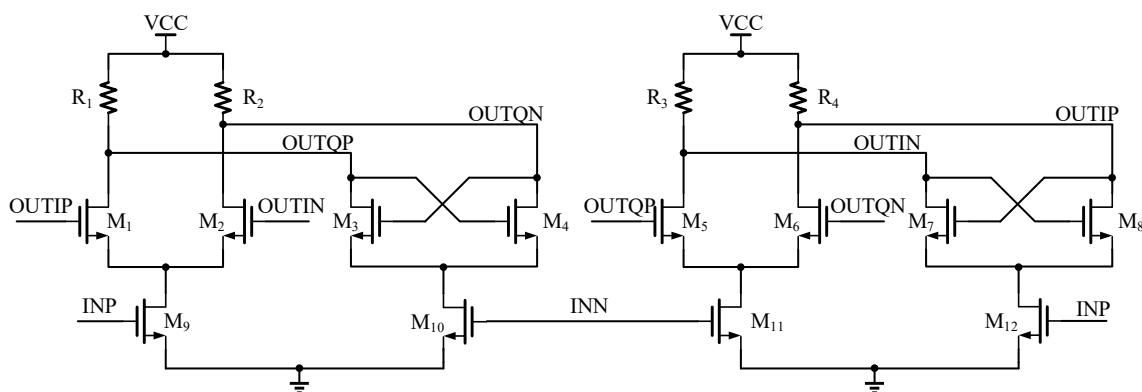


图 5-19 CML 电路原理图

锁存器的时间常数可以表示为：

$$\tau = R \times (C_{ds} + C_{gs} + C_{load}) \quad (5-17)$$

其中， R 为电路中的负载电阻和互连线的寄生电阻； C_{ds} 和 C_{gs} 分别表示电路中晶体管源极和漏极、栅极和源极之间的寄生电容， C_{load} 是负载电容，通常由作为负载的下一级电路的晶体管的栅电容及相关互连线的寄生电容承担。从(5-17)中可以看出，减小负载电阻、减小晶体管尺寸都能够提高工作频率。然而，负载电阻和晶体管尺寸变小，会影响电路的直流工作状态，进而影响电路对负载的驱动能力，会使负载电容的充放电时间增加，最终影响整个电路的工作频率。因此在设计过程中，应该通

过迭代设计,综合考虑各级分频器的工作频率、驱动能力、直流功耗等多方面因素,选择最为合适的参数。

本章实现的 PLL 采用了三级 CML 分频器进行级联,对时钟信号进行八分频后使时钟频率降到了 1.6 GHz 附近。两路输出中的一路,通过反相器链驱动至满摆幅后作为低频测试接口,通过焊盘连接到芯片外部。另外一路输出信号则传输给下一个分频器进行进一步分频。

5.4.4.2 多模分频器 (MMD)

基于数字逻辑的分频器,采用数字标准单元完成,设计简便,占用面积小且节省功耗,但是工作频率受到限制,在频率过高时,无法实现正确的逻辑功能。通过注入锁定分频器、CML 分频器将时钟信号分频至 2 GHz 以下时,则可以采用基于数字逻辑的分频器对时钟进行进一步分频。

本章实现的 PLL 的数字分频器部分采用多模分频器结构,对输入时钟实现可编程的分频,根据测试和实际应用需求,通过改变数字控制位的配置,改变分频器的分频比。基于数字逻辑的分频器,技术已经较为成熟,有大量的参考材料,基本原理和逻辑功能在此不多赘述,仅就本文采用的分频器结构做简要描述。本文采用的多模分频器由 2/1 分频器和 2/3 分频器构成。

2/1 分频器原理图如图 5-20 所示。控制信号 (CTRL) 为 “0” 时,分频器可以简化为一个 D 触发器与一个反相器的级联,能够对输入时钟实现二分频操作;而控制信号 (CTRL) 为 “1” 时, Q 输出高电平, QN 输出与时钟输入相反的时钟,相当于时钟直通。

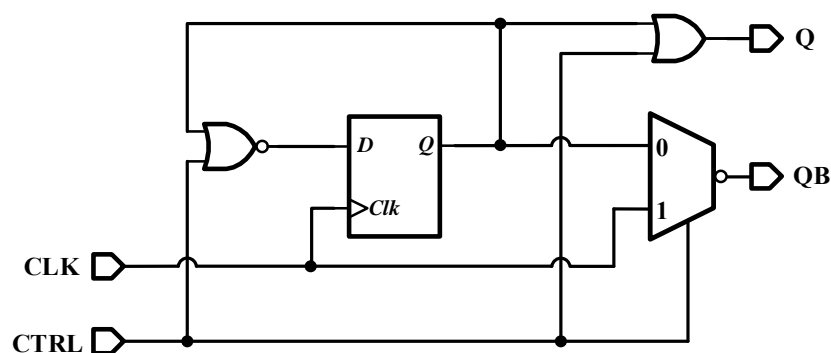


图 5-20 2/1 分频器原理图

2/3 分频器的原理图如图 5-21 所示。控制信号 (CTRL) 为 “0” 时,分频器可以简化为一个 D 触发器与一个反相器的级联,能够对输入时钟实现二分频的操作。当控制信号 (CTRL) 为 “1” 时,逻辑与门的输出直接由第一级 D 触发器的输出决定,若此将 Q 输出端与 D 相连,则构成了由两个 D 触发器组成的具有三种时序的状态

机，从而实现三分频的功能。

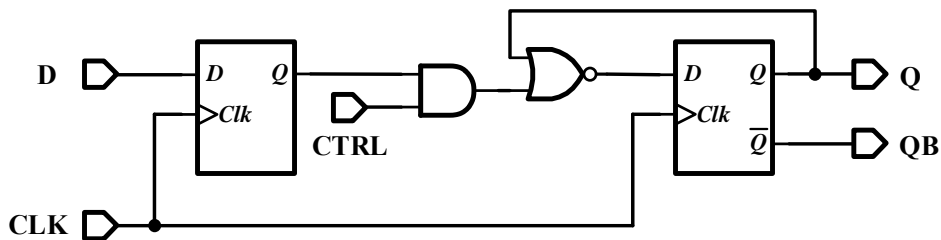


图 5-21 2/3 分频器原理图

通过将三个 2/3 分频器与一个 2/1 分频器按照图 5-22 所示连接，即可通过 4 个控制字实现 8 至 23 分频。分频比与各控制字的对照表如表 5-2 所示。

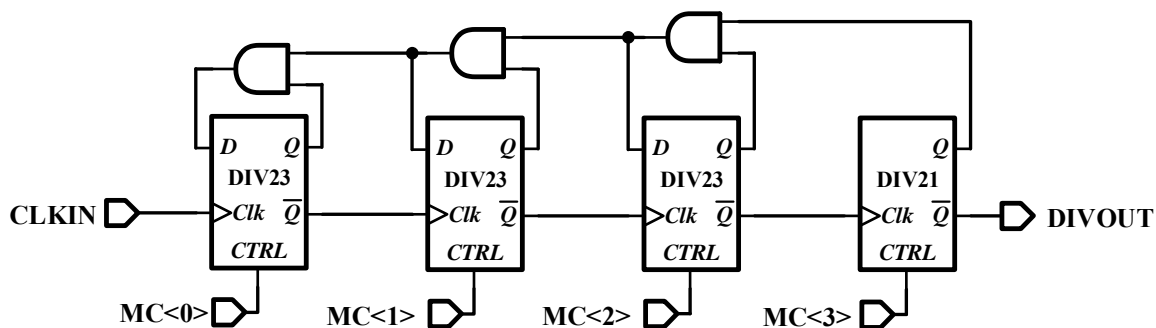


图 5-22 多模分频器原理图

表 5-2 多模分频器控制字与分频比对照表

MC<3:0>	分频比	MC<3:0>	分频比
0000	16	1000	8
0001	17	1001	9
0010	18	1010	10
0011	19	1011	11
0100	20	1100	12
0101	21	1101	13
0110	22	1110	14
0111	23	1111	15

在本文所实现的 PLL 中，设置的 MMD 的分频比为 15，对应控制位 MC<3:0>的配置为：1111。

5.5 芯片测试结果

5.5.1 测试结果

本章实现的基于分布式无源网络的锁相环芯片采用采用 TSMC 40 nm CMOS 工艺设计并完成了流片，芯片照片如图 5-23 所示。芯片包含 PLL 核心电路、ESD、直流焊盘和 GSG 信号焊盘等，总面积为 $0.9\text{ mm} \times 1.3\text{ mm}$ 。

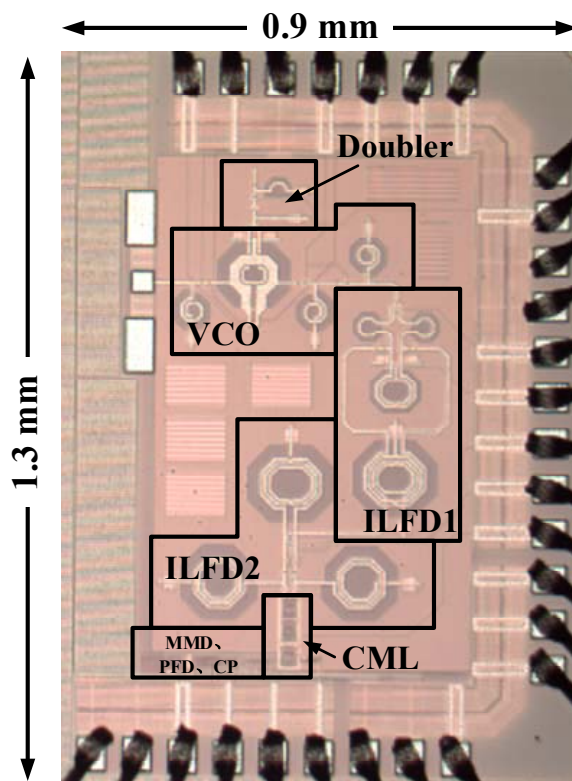


图 5-23 基于变压器谐波倍频器的太赫兹压控振荡器芯片照片

芯片电源电压为 0.9 V ，电源、直流偏置和数字控制位均采用绑定线连接到 PCB 上，芯片消耗的直流功耗为 81.8 mW 。PLL 中各个模块的功耗情况如图 5-24 所示，从图中我们能够看出，PLL 系统中，工作在较高频率的 VCO、倍频器、注入锁定分频器及其缓冲级放大器消耗较多的功耗。

本章实现的 PLL 电路有两个信号输出接口。高频接口为 VCO 输出缓冲级放大器引出的接口，输出信号频率在 50 GHz 附近。高频振荡信号测试则需要通过 I-67-A-GSG-100 探针将信号从芯片中取出，并输入至安捷伦 N9014B UXA 信号分析仪中。低频接口为 VCO 产生的本振信号通过两级注入锁定分频器、三级 CML 分频器共进行 32 分频后的输出接口，输出信号频率在 1.6 GHz 附近。低频信号输出通过 SMA 连线与安捷伦 N9010A EXA 信号分析仪相连。与高频探针台测试环境相比，低

频测试更为简单方便，可以在低频输出接口对 VCO、分频器等模块进行初步调节，了解 VCO 和分频系列的基本性能后，再进行高频探针测试。

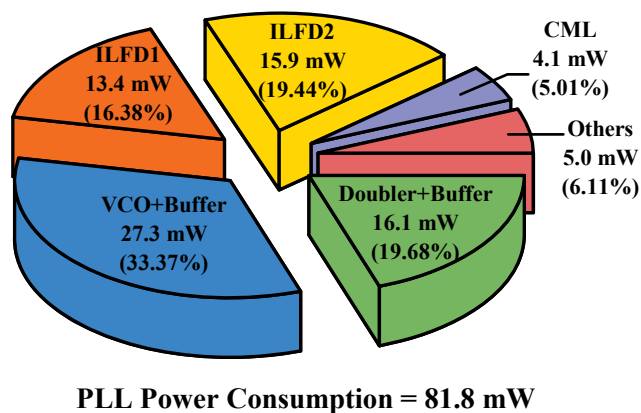


图 5-24 PLL 功耗分布图

VCO 的开关电容阵列具有 3 位控制信号，可以将 VCO 在 8 个连续频带内进行调节。通过控制 VCO 可变电容器的电压，观察 VCO 的输出频率范围。VCO 在 8 个频带内的频率调节范围如图 5-25 所示，从图中可以看出，每个频带之间都有一定的频率重叠，以防出现调节盲区。VCO 的频率调节范围为 46.2 GHz~55.3 GHz。通过低频输出接口的测试可以表明，在 VCO 的调节范围内，两级注入锁定分频器、CML 分频器均能够正常工作。后续关于锁相环闭环测试表明，在 VCO 的频率调节范围内，锁相环均能够实现锁定功能。

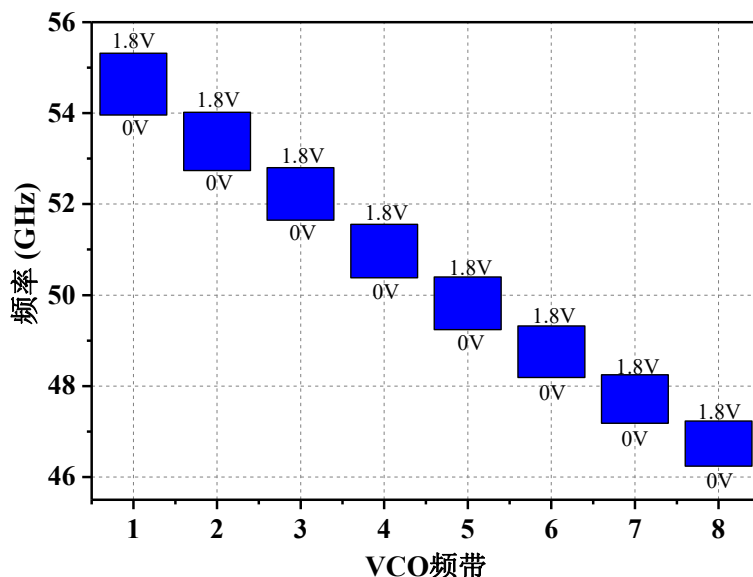
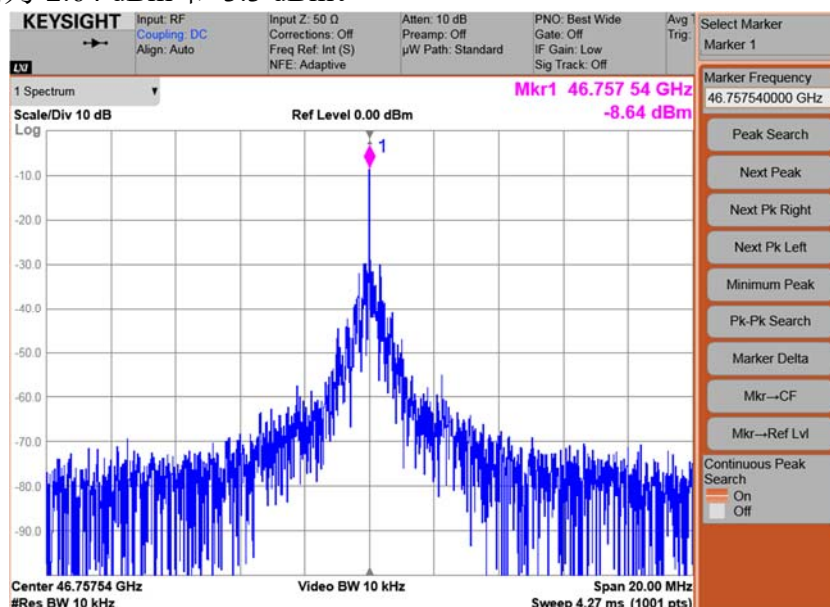
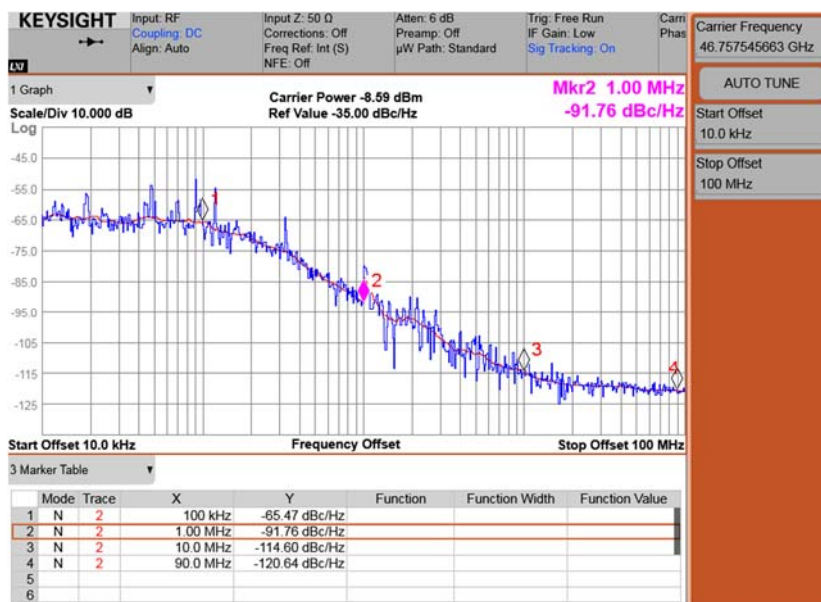


图 5-25 VCO 输出调节范围

参考时钟约为 105 MHz，由安捷伦 E8267D 信号源产生，通过 SMA 连线输入到芯片当中。PLL 在 46.75 GHz ~ 54.9 GHz 频段范围内能够实现锁定。锁定最低频点（46.75 GHz）和最高频点（54.9 GHz）处的频谱、相噪测试结果分别如图 5-26、图 5-27 所示。在 40 GHz~67 GHz 频率范围内，探针及连线的损耗约为 6 dB。补偿了测试设备的插入损耗后，VCO 在 PLL 锁定范围中的最低频点和最高频点能够达到的输出功率分别为-2.64 dBm 和-3.3 dBm。

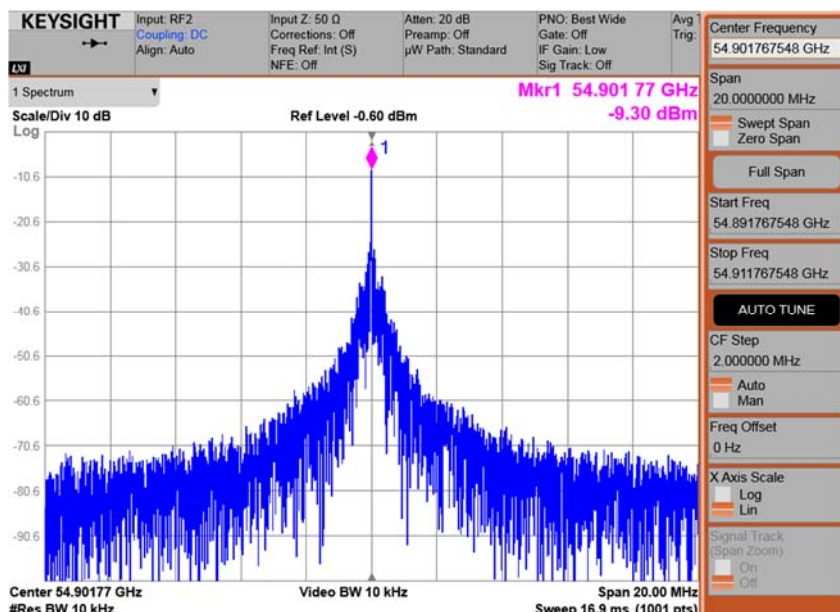


(a) PLL 在 46.75 GHz（最低频点）锁定时的输出频谱

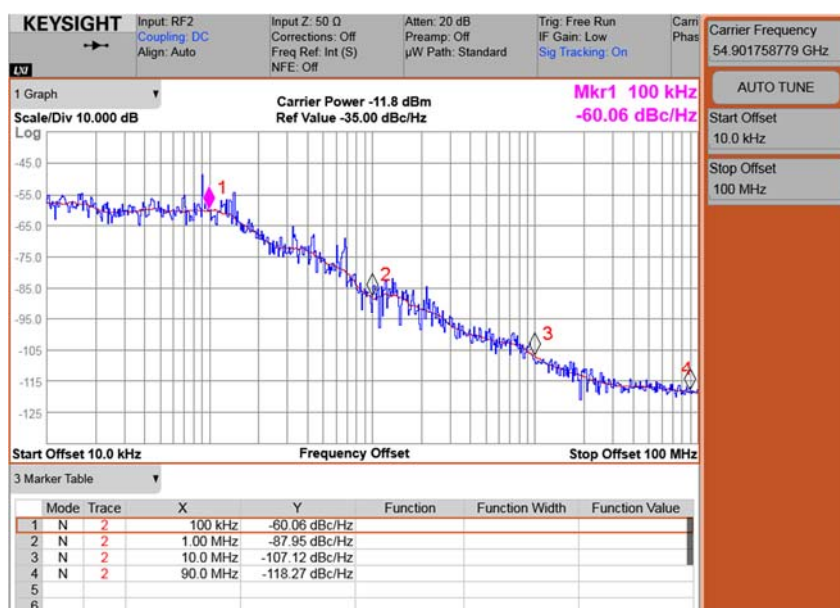


(b) PLL 在 46.75 GHz（最低频点）锁定时的相噪曲线

图 5-26 PLL 在 46.75 GHz（最低频点）锁定时的测试结果



(a) PLL 在 54.9 GHz（最高频点）锁定时的输出频谱



(b) PLL 在 54.9 GHz（最高频点）锁定时的相噪曲线

图 5-27 PLL 在 54.9 GHz（最高频点）锁定时的测试结果

测试中, PLL 在 46.75 GHz（最低频点）处获得最优相噪性能。如图 5-26(b)所示, 为了在实现较好带内噪声性能的基础上, 更好地了解带外性能, PLL 环路带宽约为 100 kHz, 此时带内噪声约为 -65.47 dBc/Hz, 带外噪声约为 -91.76 dBc/Hz@1 MHz。

各频点在 1 MHz 频偏的相噪性能如图 5-28 所示。

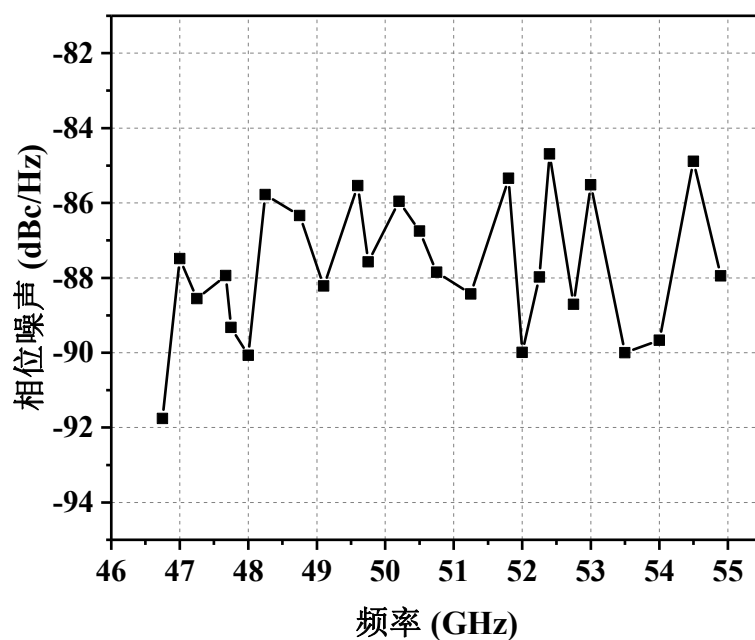


图 5-28 各频点在 1 MHz 频偏处的相噪性能（低频输出接口测试，推算后结果）

5.5.2 性能对比与分析

表 5-3 50 GHz 邻近频段采用 CMOS 工艺实现的锁相环性能对比

性能指标	本工作	2014 JSSC ^[138]	2015 TMTT ^[119]	2016 TMTT ^[120]	2018 TCASI ^[139]
工艺 (nm)	40	65	65	65	65
电源电压 (V)	0.9 V	1.2 V	1.2 V	1.2 V	1.2V
分频比	480	480	256	1024	256
频率 (GHz)	46.75~54.9	57.9~68.3	48.4~54.25	61.35~61.45	53.35~60.83
调节范围 (%)	16.0	16.5	11.5	0.16	13.1
相位噪声 (dBc/Hz)	-91.76 @1 MHz	-91.5 @1 MHz	-94 @1 MHz	-99.5 @10 MHz	-88 @1 MHz
功耗 (mW)	81.8	24.6	14.1	87.7	48
面积 (mm ²)	1.17 ¹	0.2	0.39	1.09	0.32
FOM (dBc/Hz)	-166.75	-173	-177	-161.9	-166.3
FOM _T (dBc/Hz)	150.9	157.9	157.8	100.1	148.6

¹ 包含 ESD 电路及 PAD

为了对各项指标进行综合比较，综合性能指数（FOM）被定义为：

$$FOM = L\{\Delta f\} + 20\log\left(\frac{\Delta f}{f_0}\right) + 10\log\left(\frac{P_{DC}}{1mW}\right) \quad (5-18)$$

式(5-18)中, $L\{\Delta f\}$ 是在 Δf 频偏处的相位噪声, 单位为 dBc/Hz。 Δf 和 f_0 分别表示 PLL 相噪性能考察中的频偏量和 PLL 输出范围的中心频率, 均以 Hz 为单位。 P_{DC} 是 PLL 的直流功耗, 单位为 mW。

为了将频率调节范围也考虑在内, 含频率调节范围的综合性能指数 (FOM_T) 被定义为:

$$FOM_T = 20\log\left[\frac{(f_H - f_L)}{\Delta f}\right] - L\{\Delta f\} - 10\log\left(\frac{P_{DC}}{1mW}\right) \quad (5-19)$$

式(5-19)中, $(f_H - f_L)$ 表示 PLL 锁定范围中最高频率与最低频率的差。

从表 5-3 中可以看出, 本文实现的 PLL 性能与当前报道的先进水平相当。

5.6 小结

本章采用 TSMC 40 nm CMOS 工艺, 实现了基于分布式无源网络的 U 波段锁相环。该锁相环系统能够为太赫兹通讯系统、雷达系统等提供相对纯净、稳定的本振信号。本章实现的锁相环利用了分布式高阶无源网络, 获得更高的振荡频率以及更宽的注入锁定范围, 分频器方面利用了注入锁定分频技术, 本章中就这两个技术做了具体的介绍。根据测试结果, 锁相环的输出频率范围为 46.75 GHz ~ 54.9 GHz。其中, 在 46.75 GHz 频点处的输出功率为 2.64 dBm, 相位噪声为 -91.76 dBc/Hz@1 MHz。综合性能表现与当前报道的国际先进水平相当。PLL 具有两路输出, 可以通过自混频倍频技术实现三倍频输出, 也可以支持二次混频的收发机应用操作, 能够为收发机系统提供较为稳定的本振信号, 为 QPSK 等更复杂的调制方式的实现奠定基础。

第 6 章 G 波段 CMOS OOK 双向收发机

6.1 本章引论

在太赫兹频段，晶体管性能极度恶化，且模型准确性下降。同时，有源器件、无源器件和互连线等随频率升高影响越来越明显的寄生效应，也严重恶化了电路的性能并增加电路设计的难度与不确定性。在收发机系统设计中，需要将多个电路模块进行级联，不仅要求单个模块能够实现基本功能并具有较好的性能指标，对模块之间的协同关系也提出了较高的要求。在较低的工作频段、以及稍高一些的毫米波频段，为了更好地利用有限的频带资源，获得更高的数据传输效率，可以采用很多较为复杂的调制方式。例如在 5G 频段，尽管设计难度较大，但已有性能优越的 QPSK^[140]、16QAM^[140, 141]、64QAM 甚至 256QAM 的应用在国际固态电路年度会议（IEEE International Solid-State Circuits Conference, ISSCC）上报道。

然而，在太赫兹频段，因为频带资源丰富，也因为过于复杂的电路系统会降低电路的可靠性、增加系统的功耗，在调制方式上通常选择较为简单的方案。开关键控（On-Off Keying, OOK）调制，通过调制信号的幅度，将信号以高低电平的形式加载在载波上，在信号为“1”时，载波信号输出；在信号为“0”时，载波信号输出为零。较为常见的太赫兹 OOK 调制收发机系统框图如图 6-1 所示。

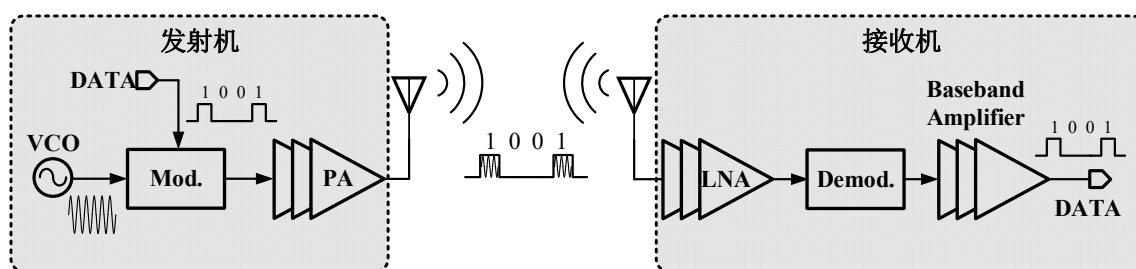


图 6-1 OOK 收发机系统框图

发射机部分，通常由 VCO、调制器、功率放大器等模块组成。为了节省系统功耗，一些对输出功率要求不是特别高的系统可以省略功率放大器，由 VCO 直接驱动输出负载^[142, 143]。调制器可以放在 VCO 和 PA 之间，也可以放在 PA 的输出级，关于调制技术，将在第 6.3 节具体介绍。接收机部分，由于 OOK 调制解调可以采用全波整流的方式进行解调，接收机无需集成与发射机同频率的振荡信号，不需要相位校准和时钟回复技术，简化了接收机的设计，降低了功耗。由于发射机与接收机无共用电

路模块,现阶段几乎所有报道的太赫兹收发机系统均未实现单片集成。然而就实际应用来说,不论是芯片互连还是近距离超高速数据传输,通常都需要射频模块具有双向性,即同时具有发射和接收功能。在第3章已经论述过,发射、接收单片集成的意义在于可以共用一套收发天线,尤其是太赫兹频段通常采用片上天线,共用收发天线可以显著降低系统面积,从而降低成本。本章在第2章、第3章、第4章所论述的关键技术和实现的基本模块的基础上,实现了OOK调制的太赫兹无线双向收发机,在太赫兹频段内实现了发射、接收单片集成并共用高频输入、输出接口。

本章首先对所实现的OOK双向收发机系统进行具体介绍,然后分别介绍发射机、接收机的关键技术和电路设计情况,最后介绍了流片和测试的情况,并进行了性能比较。

6.2 系统架构

本文实现的OOK双向收发机系统框图如图6-2所示。发射机与接收机通过收发开关实现了单片集成,通过将收发开关在接收模式和发射模式之间进行切换,实现双向收发功能。

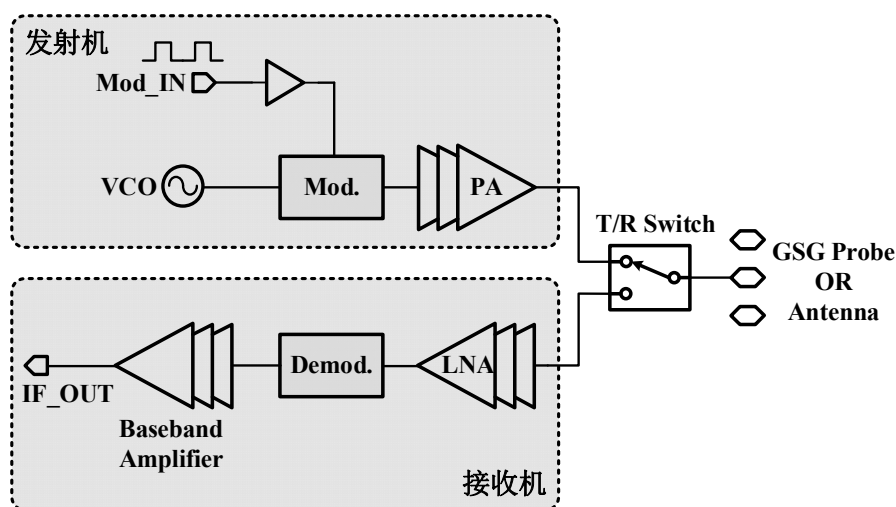


图 6-2 OOK 双向收发机系统框图

发射机部分, VCO 产生的本振信号通过调制器进行调制, 调制后的信号通过功率放大器放大, 经过功率放大器放大的信号通过收发开关后到达输出接口。调制信号在片上需要通过反相器链构成的数据驱动放大器提高信号的驱动能力。

接收机部分, 接收到的信号通过收发开关到达低噪声放大器的输入端, 通过低噪声放大器放大后在解调器中解调。解调到基带的信号通过基带放大器后输出到基带输出端口。

6.3 OOK 发射机设计

发射机中, VCO 的主体部分直接采用了第4章实现的压控振荡器, 变压器与倍频管的尺寸和偏置等也与4.3节所述电路相同。功率放大器、收发开关和它们之间的级联采用第3章实现的双向射频前端电路结构中的方案和具体电路, 晶体管尺寸、偏置电压和中和电容等的设计与取值与3.3节所述电路相同, 匹配网络根据电路的具体情况进行了微调。VCO、PA 与收发开关已经完成了单独的流片验证和测试工作, 电路的工作情况已经较为明确, 在本节不做具体展开, 具体技术细节和设计考虑可以参看相关章节。本节重点就 OOK 调制技术和具体采用的调制器电路展开介绍。

6.3.1 OOK 调制技术

发射机的输出信号, 即通过天线发射出去的信号是经过调制的信号。因此在发射机中, 需要将输入的基带数据与 VCO 产生的本振信号进行调制。

由于在太赫兹频段, 能够实现发射机系统的报道较少, 在对系统方案和实施技术进行调研时, 将 60 GHz 附近及以上的毫米波频段也一并考虑在内。在本节对各种方案的介绍和讨论过程中, 会根据太赫兹频段的特征, 具体分析各种方案在太赫兹频段的可行性和设计考虑。

太赫兹频段的 OOK 调制设计需要面对许多挑战。首先, 调制后的输出信号, 信号“1”与信号“0”的幅度差影响了系统的信噪比等指标, 然而太赫兹频段内, 由于寄生电容、寄生电阻影响的增加, 开启和关断状态的隔离度性能严重恶化。此外, 太赫兹频段寄生电容充放电时间延迟导致调制电路的数据率受到限制。第三, 太赫兹频段单级放大器能够获得的增益是有限的, 但是调制电路的插入损耗会对太赫兹放大器提出更高的增益需求。第四, 调制器尽量采用低功耗方案, 以减少整个系统的功耗。如果调制器位于发射机的最后一级, 还需要考虑调制器的线性度性能。综上, 在 OOK 调制电路的设计过程中, 需要主要考虑的指标包括: 开启和关断状态的隔离度、调制器能够达到的数据率、调制器引入的插入损耗(增益)、功耗等。

OOK 调制技术, 主要能够采取的方案包括: 对 VCO 或 PA 电路模块进行开关, 采用混频器, 利用 SPST 开关, 以及加入 Cascode 调制器。接下来将对这四种方式分别加以介绍。

6.3.1.1 开关电路模块调制

除调制电路外, OOK 发射机中的基本组成部分包括 VCO 和功率放大器, 因此, 可以对 VCO 和功率放大器电路模块通过开关其偏置电路完成信号调制过程。

振荡器中, 可以在 VCO 尾电流源灌入调制信号, 在数据为“1”时, 尾电流源为

VCO 注入电流, VCO 能够起振, 输出振荡信号; 在数据为“0”时, 尾电流源被切断, VCO 停止工作, 无振荡信号输出, 如此能够完成调制功能, 并且具有很好的开关隔离度。在数据为“0”时, VCO 不工作, 也降低了 VCO 的功耗。

然而在太赫兹频段, 如 4.3 节所述, 为了获得更好的 VCO 性能, 通常会去掉尾电流源, VCO 本身并无能够灌入调制信号的节点。此外, 对于有尾电流源的 VCO, 为了能够获得足够的环路增益, 尾电流源尺寸通常较大, 栅极寄生电容较大, 而实际的输入信号驱动能力有限, 导致栅电容充放电时间较长。振荡器起振需要至少几个周期的建立时间, 而停止振荡前往往也需要几个周期的延迟。因此, 在通电和断电的过程中, VCO 不会立刻起振或停止振荡, 通过开关 VCO 电流调制的方式, 通常难以获得足够的数据率。

我们也可以通过控制功率放大器的偏置完成调制^[62]。为了实现较大的输出功率, PA 晶体管的尺寸通常也会选取较大的值, 通过对 PA 栅极偏置注入调制信号, 同样会受到栅极电容充放电的影响。对于太赫兹频段的 PA 来说, 通常具有多个增益级。在设计过程中, 也需要对进行调制的增益级进行选择, 通过瞬态仿真, 根据设计需求, 考虑性能之间的折衷关系, 选择最为合适的方案。例如, 选择较为靠前的尺寸较小的增益级, 会提高数据率, 但是会降低开关隔离度; 选择较为靠后的增益级, 开关隔离度会有所提高, 但是数据率会受到影响。此外, 也可以选择多级增益级进行调制, 以提高开关隔离度, 但是, 也会牺牲一定的数据率性能。此外, 由于 PA 处理的信号幅度较大, 对 PA 进行调制, 也可能导致潜在的不稳定, 因此在对 PA 进行设计时, 也要重点关注它的各级、各项稳定性指标。

6.3.1.2 混频器调制

我们可以在 VCO 的输出和 PA 的输入级之间插入混频器, VCO 的输出信号与开关调制输入信号在混频器中完成混频。开关调制信号可以采用反相器链驱动至满摆幅, 可以满足混频器开关管输入幅度的要求。

混频器的结构可以采用基尔伯特混频器完成, 但是在太赫兹频段, 基尔伯特混频器相对复杂的结构会引入过多的寄生电容, 恶化混频器性能。基尔伯特混频器布局布线难度较大, 重叠过多且无法完全对称, 互连线的非理想特性也会恶化整体混频器的性能。由于混频器性能的恶化, 有源混频器甚至会出现负转换增益的情况。无源混频器结构相对简单, 并且混频器本身无功耗消耗, 也可以用作调制器, 但是无源混频器具有较大的插入损耗, 在设计过程中也会增加放大器的增益负担。

受到混频器基本原理的启发, 可以采用图 6-3 所示的调制器结构^[144]。图中, 阻抗匹配网络及直流偏置网络均被省略。晶体管 $M_1 \sim M_4$ 构成了伪双平衡的结构, 有助于减小本振泄露, 抑制在输入数据为“0”时本振信号通过晶体管寄生电容泄露到输

出端口的现象，提高开关隔离度。

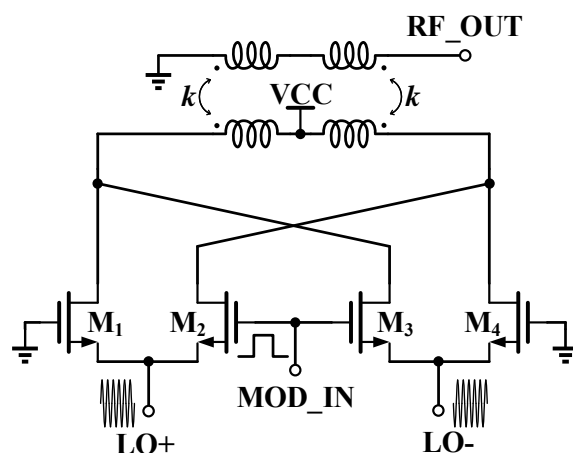


图 6-3 双平衡调制器核心电路

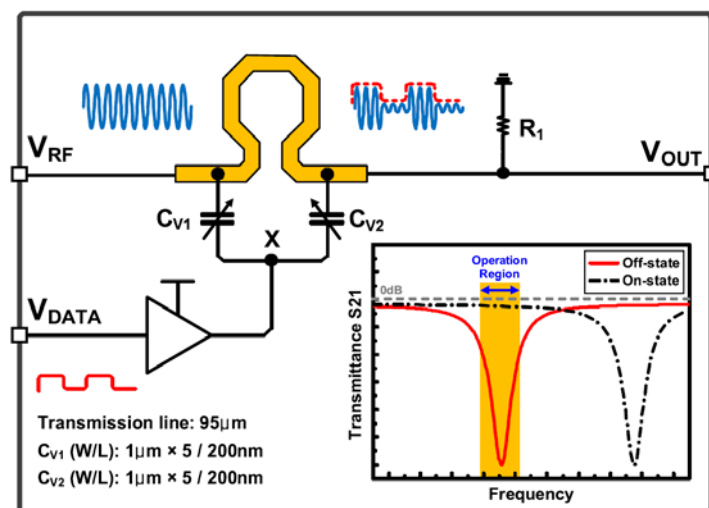
6.3.1.3 SPST 开关调制

本文在 3.2 节具体论述了晶体管作为开关的模型、性质和相关技术，图 3-3 也具体呈现了在太赫兹电路中较为常用的开关结构。可以采用图 3-3 所示的结构作为单刀单掷（SPST）开关，在信号通路中，用调制输入信号作为开关开启和关断的控制信号，从而实现 OOK 调制功能。

采用 SPST 开关的调制器的优点是调制器本身不消耗功耗，且具有较宽的匹配范围。结构相对简单，在太赫兹频段的性能较为稳定，可靠性更强。如果开关放在 VCO 和 PA 之间，可以将尺寸做得相对小一些，以获得更高的响应速度，从而提高数据率^[145]。收发开关也可以具有一定的功率性能，因而，也可以将开关放在发射机的输出端^[142, 146]，那么在设计过程中，需要考虑开关的线性度，避免限制整个发射机的最大输出功率。

由于开关晶体管导通电阻和关断电容的非理想效应，SPST 调制开关不可避免地存在插入损耗，在设计的过程中，还要解决隔离度与插入损耗之间的折衷，并且在太赫兹频率下这种折衷关系更为明显，设计的自由度更小。

为了解决开关晶体管在太赫兹频率的非理想效应，有报道用可变电容器取代了开关管^[143]，如图 6-4 所示，连接在 VCO 的输出端。当调制数据为“1”时，可变电容器与串联电感构成了阻抗匹配网络，在 VCO 的输出频率附近将 VCO 的输出与输出阻抗完成匹配。因此，调制数据为“1”时，VCO 的输出信号能够通过调制开关到达输出端口。当调制数据为“0”时，可变电容器的电容会发生变化，导致匹配网络的匹配频率发生偏移，在 VCO 的输出频率附近无法完成阻抗匹配，从而使 VCO 的输出信号无法通过收发开关传到输出节点。

图 6-4 采用可变电容器的 SPST 调制开关^[143]

6.3.1.4 Cascode 调制器

传统的 Cascode 调制器如图 6-5 所示^[30]。从图中可以看出，晶体管 M_1 和 M_2 构成 Cascode 结构，本振信号通过电容 C_1 隔直后，从 M_1 的栅极输入， M_1 的偏置电压 V_G 通过电阻 R_G 加在栅极。本振信号经过 M_1 放大后进入 M_2 的源极。 M_2 的栅极输入数据调制信号，将 M_2 在导通和关断两个状态间进行切换。当 M_2 导通时，将传输到漏极的经过 M_1 放大的本振信号传输到输出端口；当 M_2 关断时，输出端口不输出本振信号，由此实现 OOK 调制的功能。 M_1 与 M_2 电流复用可以节省功耗，且调制器本身能够提供一定的增益，降低发射机系统对放大器的增益需求。

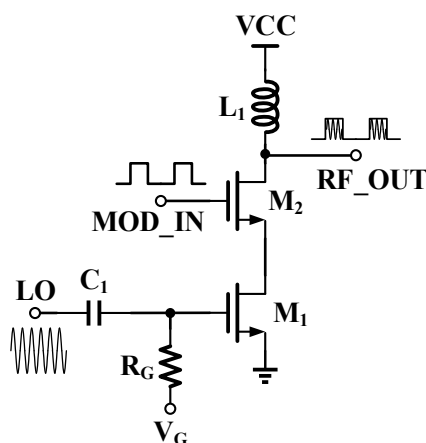


图 6-5 传统 Cascode 调制器原理图

随着工作频率的提高，甚至进入到太赫兹频段时，图 6-5 所示的 Cascode 调制器性能急剧恶化。首先， M_1 的寄生电容导致本振信号在 M_1 处无法得到足够的增益，甚至无法实现正的增益特性。在从 M_2 栅极输入的调制数据为高电平时， M_2 导通，

M_2 的导通电阻会导致信号从 M_2 源极到输出节点通路上的过程中产生衰减。当调制数据变为低电平时, M_2 的关断电容使 M_2 源极到输出节点之间仍然存在通路, 会有本振信号泄露到输出节点, 因此, 会影响调制器的开关隔离度。

Cascode 调制器结构简单, 在高频工作频率下有进一步优化的空间。例如可以采用双注入的方式^[15, 147, 148], 如图 6-6 所示。

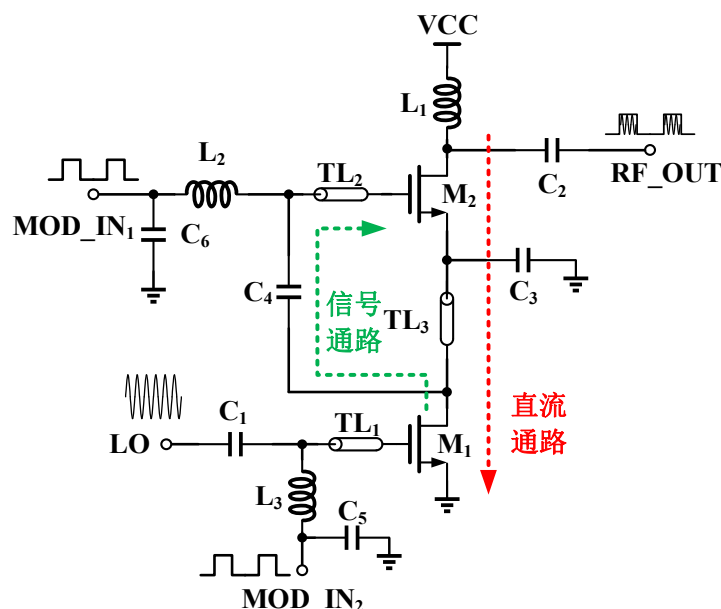


图 6-6 双注入 Cascode 调制器原理图

输入调制数据为高电平时, 放大管 M_1 被偏置到正常工作状态。本振信号通过 C_1 隔直后, 注入到放大管 M_1 中。 M_1 和 M_2 之间的级间匹配网络中, TL_3 和 C_3 在本振频率附近呈现高阻状态, TL_2 、 C_4 则在本振频率处实现阻抗匹配。经过 M_1 放大后的信号通过图 6-6 所示的信号通路流入 M_2 的栅极, 被 M_2 进一步放大后, 从 L_1 、 C_2 构成的阻抗匹配网络输出。与传统的 Cascode 调制器相比, 双注入调制器使本振信号经过了两次放大, 提高调制信号为“1”时的输出幅度。当输入调制数据为“0”, 即低电平时, M_1 和 M_2 均偏置在低电平, 均处于关断状态, 与传统的 Cascode 调制器相比, M_1 不再对本振信号有放大作用, 并且本振信号到输出节点的电容通路变长, 从而有效降低调制信号为“0”时的本振泄露。由此可见, 双注入的 Cascode 结构, 能够有效提高增益, 并改善寄生对开关隔离度的影响。

对于差分电路, 也可以采用 Cascode 调制器完成调制功能。传统差分 Cascode 调制器如图 6-7 所示。右侧为调制输入信号分别为高电平与低电平时开关与信号的状态。

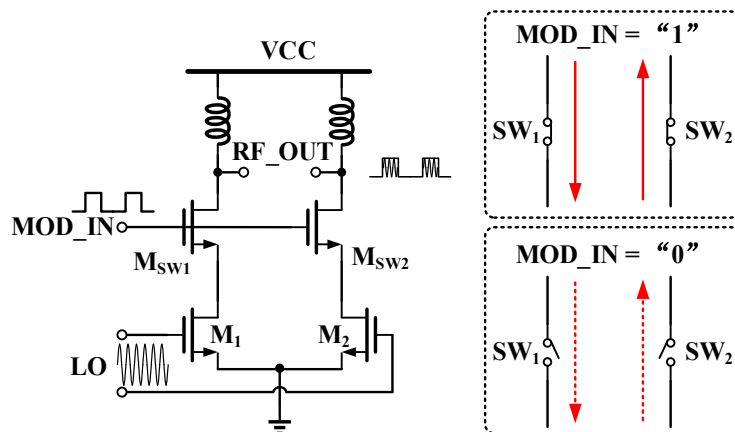


图 6-7 传统差分 Cascode 调制器

传统差分 Cascode 调制器在太赫兹频段，同样面临着由寄生电容带来的本振泄露问题，开关隔离度较低。可以利用差分结构的电路特点，对差分 Cascode 调制器进行优化，优化结构如图 6-8 所示^[149]。

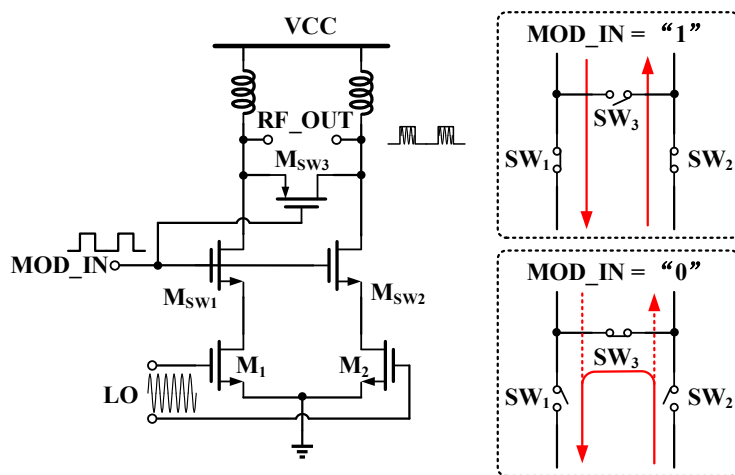


图 6-8 差分 Cascode 调制器单环优化电路

在电路的差分输出端加入了一个 PMOS 管开关。图 6-8 的右侧为调制输入信号分别为高电平与低电平时开关与信号的状态。在输入调制信号为低电平时，PMOS 管开关闭合，在差分通路之间形成了本振信号的闭环低阻通路，本振信号通过 SW₃ 流回，从而减小本振信号向输出节点的泄露。

此外，可以再增加一个开关，形成四个开关的双环通路^[149]，原理图如图 6-9 所示。从图中可以看出，在输入调制信号为低电平时，横架在差分信号通路之间的 SW₃ 和 SW₄ 闭合，大部分的本振信号通过 SW₄ 返回，少部分通过 SW₁ 和 SW₂ 的寄生电容泄露出去的本振信号仍然可以通过 SW₃ 构成的低阻通路返回，进一步提高了调制器的开关隔离度。

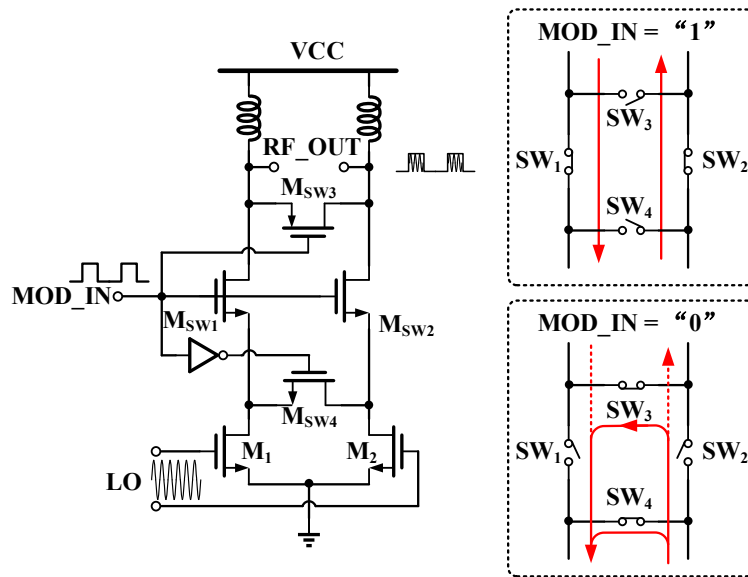


图 6-9 差分 Cascode 调制器双环优化电路

6.3.2 Cascode 倍频调制器

在太赫兹频段，太赫兹信号往往通过倍频器产生。例如，本文所采用的本振信号就是通过 4.3 节所述的 VCO 和 push-push 倍频器产生。对于 push-push 倍频器，可以将 Cascode 调制器与 push-push 倍频器结合，实现调制功能^[150]。

本文提出的 Cascode 倍频调制器原理图如图 6-10 所示，综合了 Cascode 调制器的实施方案和优化技术以及倍频器的特征。

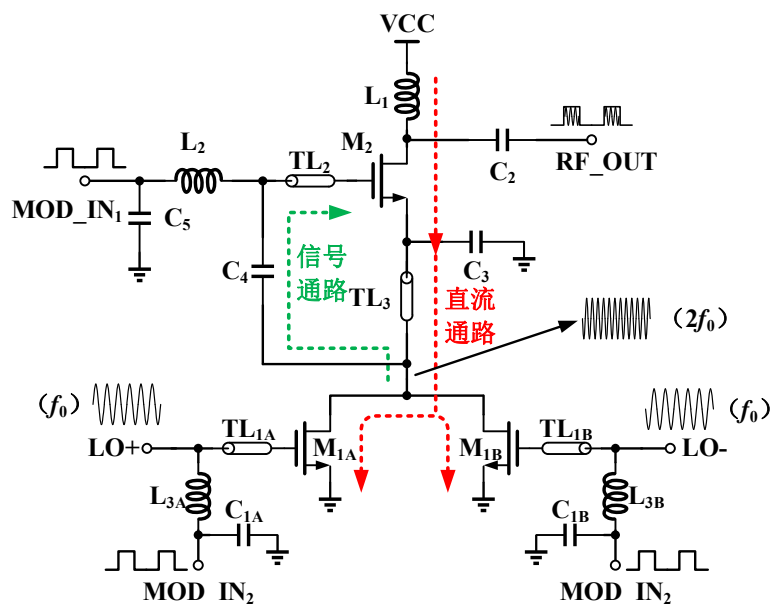


图 6-10 Cascode 结构倍频调制器

M_{1A} 、 M_{1B} 管为倍频管，图 4-16 中 VCO 的顶部变压器输出基频振荡信号 (f_0) 流入倍频管的栅极，VCO 及变压器结构在图 6-10 中未画出。push-push 倍频器中的倍频管按照 4.2.1 节所述理论被偏置在合适的电压，并在倍频管的共模节点可以得到经过倍频后的二次谐波 ($2f_0$) 输出。在图 6-10 所示的调制器中，倍频管的偏置电压改为输入调制数据。电路的其余部分与图 6-5 相似， TL_3 和 C_3 在 $2f_0$ 频率处形成高阻通路， TL_2 和 C_4 则在 $2f_0$ 处形成低阻信号通路，将信号引导至 M_2 的栅极。栅极偏置灌入调制输入信号，最终的输出信号通过 L_1 和 C_2 的阻抗匹配传播至下一级电路。

在输入调制数据为高电平时， M_{1A} 、 M_{1B} 正常工作，能够在共模节点处输出二次谐波信号。二次谐波信号通过低频信号通路经过 M_2 的放大后从输出节点输出。

当输入调制数据为低电平时， M_{1A} 和 M_{1B} 被关断，在共模节点处几乎无二次谐波信号产生。同时放大管 M_2 也被关断，输出端无信号输出。本振泄露现象可能存在以下几个来源：①本振输入信号通过栅漏电容泄露；②本振信号在倍频管的共模节点叠加产生二次谐波信号。首先，通过栅漏电容泄漏到共模节点的本振信号因为相位相反被抵消，并且由于本振信号的频率为 f_0 ，而信号通路匹配在了 $2f_0$ ，泄露的本振信号难以通过信号通路传递到 M_2 的栅极。其次，由于 M_{1A} 和 M_{1B} 作为 VCO 的负载，由于栅极偏置电压改变，等效电容也会发生变化，从而使 VCO 的振荡频率偏离工作频率，通过寄生电容泄露到两个倍频管共模节点相互叠加的二次谐波信号因为偏离了工作频率，在信号通路中传输出去二次谐波信号效率也很低。综上，输入调制数据为低电平时，能够有效抑制本振泄露，提高开关隔离度。

此外，图 6-10 的 Cascode 倍频调制器也具有 Cascode 调制技术的优势，电流复用技术降低了调制器的功耗。对于 M_2 放大管来说，也有进一步优化的余地。为了减弱 M_2 管栅漏电容 (C_{GD}) 的影响，可以采用在第 2.3.1 节中论述的单端放大器中和技术，将 L_1 与 L_2 进行耦合，利用耦合等效电感在 M_2 工作频率 $2f_0$ 处与 C_{GD} 谐振，提高 M_2 的增益和稳定性。

由于倍频管也需要输入调制数据，过大的倍频管会影响调制器的数据率。调制器输出端与功率放大器相连，功率放大器会为调制信号提供一定的增益和输出功率，因此本节使用的倍频管尺寸比第 4 章实现的 VCO 倍频器晶体管尺寸小一些，牺牲输出信号的功率，获得更好的数据率性能。本节实际使用的倍频管 (M_{1A} 、 M_{1B}) 尺寸为 $24\ \mu\text{m}/40\ \text{nm}$ ，Cascode 管尺寸为 $18\ \mu\text{m}/40\ \text{nm}$ 。将 VCO 与倍频调制器级联后进行后仿，有源器件版图采用 Cadence Spectre 工具反提寄生网表，无源器件及互连线均采用 HFSS 做电磁场仿真。当输入数据为高电平时，输出功率约为 $-8.4\ \text{dBm}$ ，当输入数据为低电平时，输出功率约为 $-40.1\ \text{dBm}$ ，开关隔离度为 $31.7\ \text{dB}$ 。

将 VCO 和倍频调制器级联的后仿瞬态结果如图 6-11 所示，当调制信号为高电平时，调制器输出信号幅度约为 $120\ \text{mV}$ ；调制信号为低电平时，调制器输出信号幅

度接近 0。载波在调制过程中，上升时间约为 21 ps，下降时间约为 23 ps，该响应时间可以支持码率为 20 Gbps 的通信需求。

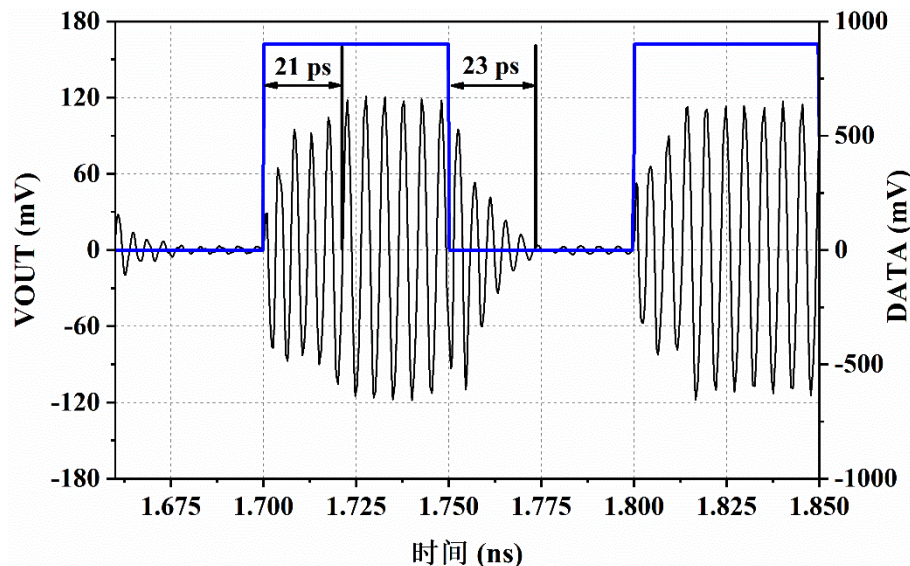


图 6-11 OOK 调制器输出的瞬态波形

将 VCO、调制器及 PA 和收发开关进行级联，整体仿真瞬态波形如图 6-12 所示。

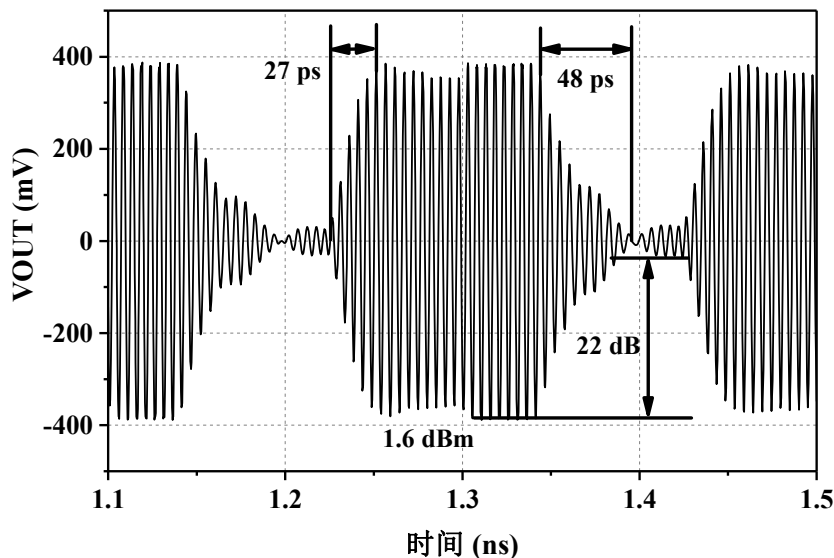


图 6-12 发射机级联瞬态仿真波形

与图 6-11 相比，我们能够看出级联仿真的调制信号响应时间明显增加，尤其是从高水平到低电平的过程，导致级联后的整体发射机数据率降到 10 Gbps。数据率下降的主要原因包括时钟驱动的延迟，由功率放大器的晶体管寄生效应导致的充放电延时等。此外，开关隔离度也下降到了 22 dB 左右，这是因为在 PA 对信号进行放大

的过程中,数据高电平时,功率放大器被信号驱动到饱和,而数据低电平的信号较小,在功率放大器中具有更高的增益,因此,在级联了功率放大器后,调制信号的数据率和隔离度都会有所下降。在输出信号为高电平时,PA与收发开关级联后的输出功率能够达到 1.6 dBm,信号摆幅约为 380 mV。

6.4 OOK 接收机设计

接收机中,收发开关和 LNA 采用第 3 章实现的双向射频前端电路结构,晶体管尺寸、偏置电压和中和电容等的设计与取值与 3.3 节所述电路相同,匹配网络根据电路的具体情况进行了微调。由于收发开关和 LNA 已经完成了单独的流片验证和测试工作,电路的工作情况已经较为明确,在本节不做具体展开,具体技术细节和设计考虑可以参看相关章节。本章后续内容将对接收机中的其余电路模块进行介绍。

6.4.1 解调器设计

OOK 接收机中,如果采用包络检测的方式进行解调,检测并还原输入信号的包络信息,可以省掉振荡器结构,从而节省面积与功耗,简化接收机结构。与调制技术相比,采用包络检测方式的解调技术更为简单,通常采用如图 6-13 所示的整流器实现^[30]。图中,省略了直流偏置与阻抗匹配网络。

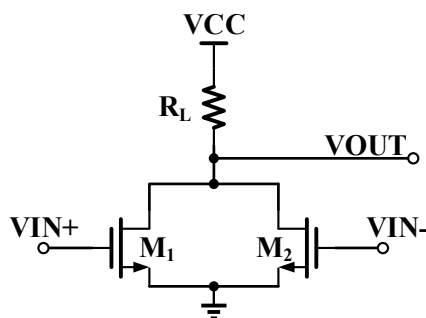


图 6-13 差分输入整流解调器

晶体管 M_1 和 M_2 的漏极连接在一起,并被偏置在 AB 类工作区(亚阈值区),完成全波整流的功能。差分信号从 M_1 和 M_2 的栅极输入,当某一路信号高于开启电压时,该路晶体管导通,输出端被拉到地电位;当输入信号为零时,两边的晶体管均关断,输出端呈现高电平。当被偏置在 AB 类工作区(亚阈值区)时,输出电压与输入电压的关系为:

$$V_{OUT} \approx \frac{1}{4} \mu_n C_{ox} \left(\frac{W}{L} \right)_{1,2} R_L V_{in}^2 \quad (6-1)$$

其中, R_L 表示负载电阻, 从式子中可以看出, 输出电压与输入电压成平方关系。式(6-1)也表明, 采用这种结构的整流解调器的转换增益与输入信号的摆幅成正比, 为了提高输出摆幅, 需要 LNA 提供更大的输入功率, 对 LNA 的增益提出了较高的要求。此外, 为了提高输出摆幅, 也可以增加负载电阻和管子的尺寸, 但是, 更大尺寸的负载电阻和晶体管会引入更多的寄生电容, 从而增加负载的时间常数, 降低解调器的数据率。因此在设计过程中, 在负载电阻和晶体管尺寸的选择上, 需要在输出摆幅和数据率之间进行权衡。

对于单端信号输入的情况, 可以采用巴伦实现单端信号转差分信号的操作。整流器的输出为单端信号, 而下一级基带放大器往往需要差分输入, 因此在整流器的输出端需要完成单转差的操作。但是已经被解调到基带的信号, 不再适用巴伦实现单转差的操作, 因为基带信号的频率较低, 采用巴伦需要消耗过大的面积。对于已经被解调成的基带信号, 可以采用图 6-14 的结构实现单端信号转换为差分信号的操作^[151]。

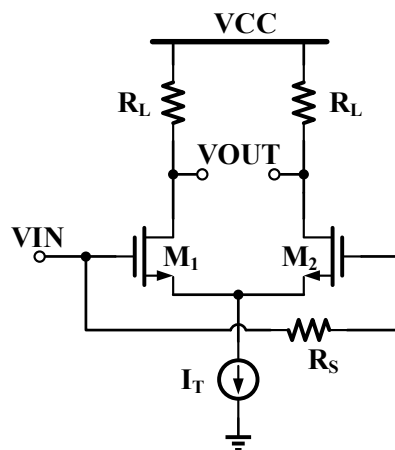
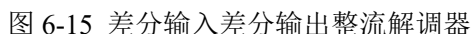


图 6-14 基带单端转差分电路原理图

本文采用的解调器如图 6-15 所示。输入信号从 VINP、VINN 处经过隔直电容输入给晶体管 M_{1A} 、 M_{1B} 的栅极。晶体管 M_{1A} 、 M_{1B} 、 M_{2A} 、 M_{2B} 被 VGS 偏置在 AB 类工作区（亚阈值区），从而 M_{1A} 和 M_{1B} 能够对输入信号完成包络检测功能。为了得到差分输出，PMOS 晶体管 M_{3A} 、 M_{3B} 构成了电流镜，使左侧电路与右侧电路电流大小相等，方向相反。同时，晶体管负载能够提供更高的输出阻抗，以提高电路的转换增益。

从输入端注入的高频信号也会通过晶体管泄漏到输出端，但是差分关系的高频信号会在共模节点相互抵消。此外，由于整流解调器通常会与基带放大器级联，高频信号在基带放大器中会被削弱，不会到达接收机基带放大器的输出端口。


$$Responsivity(kV/W) = \frac{V_{out}}{P_{in}} \quad (6-2)$$

将收发开关、LNA、解调器进行级联，完成了整体仿真，仿真得到的功率响应率如图 6-16 所示。



为了方便测试，在解调器中安排了解调测试接口（RX TEST），在测试过程中可

以通过对该点电位进行测量，了解收发开关、LNA 和解调器的级联性能。

6.4.2 基带放大器设计

由于太赫兹收发机对高数据率的要求，太赫兹频段的放大器要有足够宽的工作带宽，当信号被解调至基带后，基带电路同样也需要非常宽的带宽。例如，太赫兹频段放大器以 195 GHz 为中心频率，若希望实现 15 Gb/s 的传输数据率，则需要 30 GHz 的带宽的设计目标，即 180 GHz ~ 210 GHz 的工作范围。当太赫兹信号降到基带后，基带放大器也需要满足低频至 15 GHz 的工作带宽。

如此宽的基带范围对于常规的模拟放大器来说是无法实现的，通常采用图 6-17 类似的结构实现^[31]。图中的基带放大器采用差分有源反馈结构，通过调节反馈级的偏置 (VB)，改变反馈放大级的等效跨导。随着反馈级等效跨导增加，第一级放大器的等效负载电阻减小，放大器的低频增益降低，同时会使放大器极点位置向高频移动，而零点的位置不受反馈级等效跨导的影响，使放大器的带宽变宽。因此可以通过对 VB 的调节，在低频增益与带宽之间做出权衡。

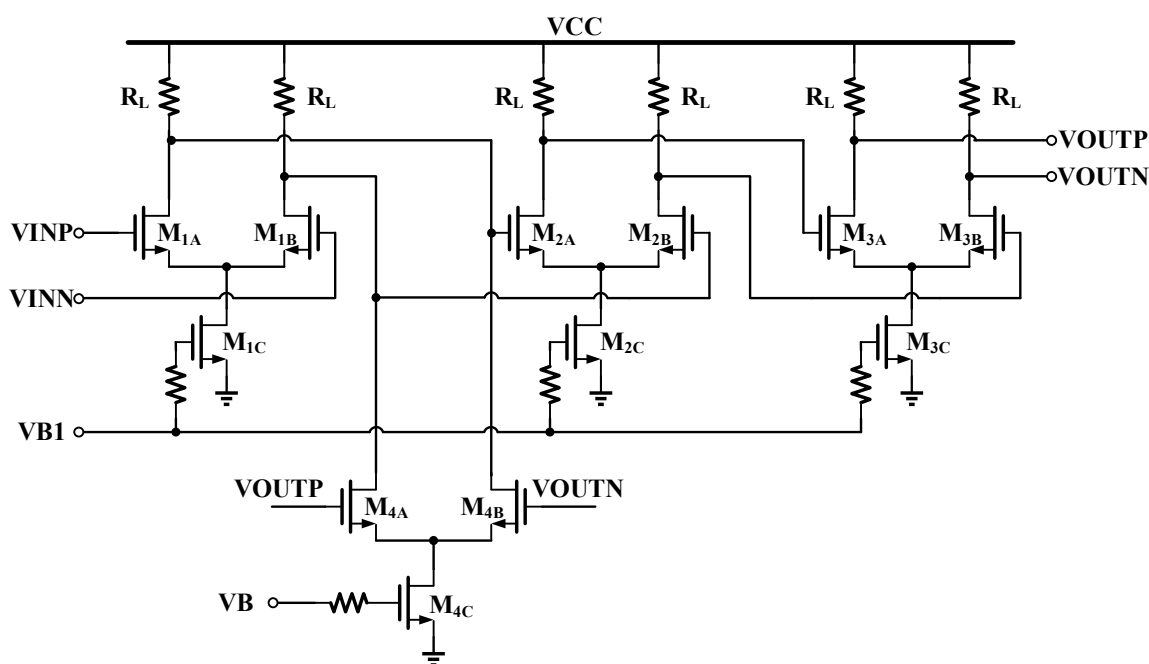


图 6-17 差分三级有源反馈基带放大器原理图

如果有进一步提高放大器带宽的需求，可以将输出级 (M3A、M3B) 的电阻负载换成电感或串联电感，调节电感到合适的值，使之能够与寄生电容在增益开始下降的频率附近谐振，能够一定程度上使带宽性能进一步改善。由于太赫兹收发机的基带信号也有十几个 G 甚至几十个 G 的频率，采用电感是可行的。但是使用电感需要消耗额外的面积，而且基带放大器需要的电感值仍然较大，对于面积的消耗是很可观的。

为了增加基带放大器对片外测试设备的驱动能力，需要在基带放大器后级联驱动级放大器。输出驱动级放大器电路结构如图 6-18 所示。为了提供足够的驱动能力，输出级晶体管 M_{2A} 、 M_{2B} 的尺寸通常会选取较大的值。为了提高输出电压摆幅，输出级的尾电流管被去掉，输出级需要消耗相对较大的功耗。此外，为了不对基带带宽造成限制，驱动级放大器同样需要具有很宽的工作带宽，然而输出级放大器晶体管尺寸较大，会带来较大的寄生电容，为了减小时间常数，需要降低输出级负载电阻 R_{L2} 的取值，从而降低输出级的增益性能。此外，输出级负载电阻 R_{L2} 的取值也与输出阻抗匹配有关。为了与测试仪器实现匹配，输出级要结合 ESD 电路的寄生电容、输出 PAD 对地电容、绑定线寄生电感等完成较宽频带内的阻抗匹配。由于基带频率较高，要求 ESD 电路和输出 PAD 都要选择寄生电容最小的选型，绑定线长度也要尽量短，PCB 设计过程中要使芯片输出 PAD 与对应的绑定焊盘尽量近，在仿真中，基带信号输出的绑定线串联等效电感取 0.5 nH 。

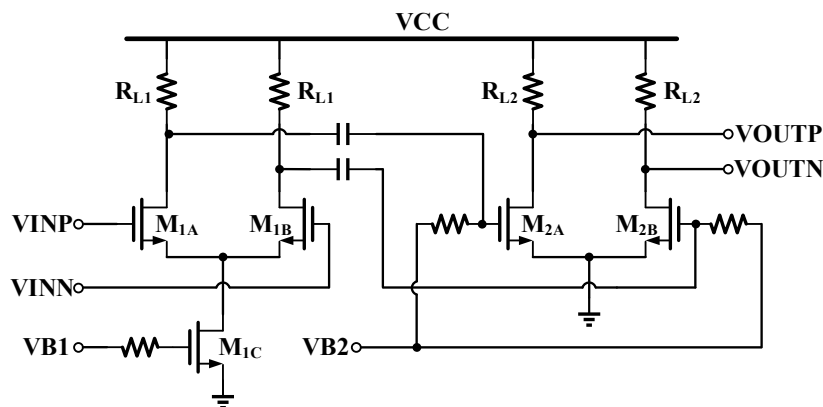


图 6-18 基带输出驱动级放大器原理图

本文实现的输出驱动级放大器中，输入差分对管（ M_{1A} 、 M_{1B} ）尺寸为 $16\text{ }\mu\text{m}/40\text{ nm}$ ，尾电流源尺寸为 $32\text{ }\mu\text{m}/40\text{ nm}$ ，负载电阻（ R_{L1} ）为 $800\text{ }\Omega$ 。输出级差分管（ M_{2A} 、 M_{2B} ）尺寸为 $32\text{ }\mu\text{m}/40\text{ nm}$ ，负载电阻（ R_{L2} ）为 $75\text{ }\Omega$ 。

将有源反馈基带放大器与输出驱动级放大器级联后,进行整体仿真。放大器后仿结果如图 6-19 所示。从图中能够看出,随着反馈偏置电压的增加,基带放大器的增益带宽性能增加,但是低频增益降低。综合考虑增益及带宽性能,本设计中反馈电路偏置电压定为 0.6 V,低频增益最高为 16 dB,3 dB 带宽约为 20 GHz。

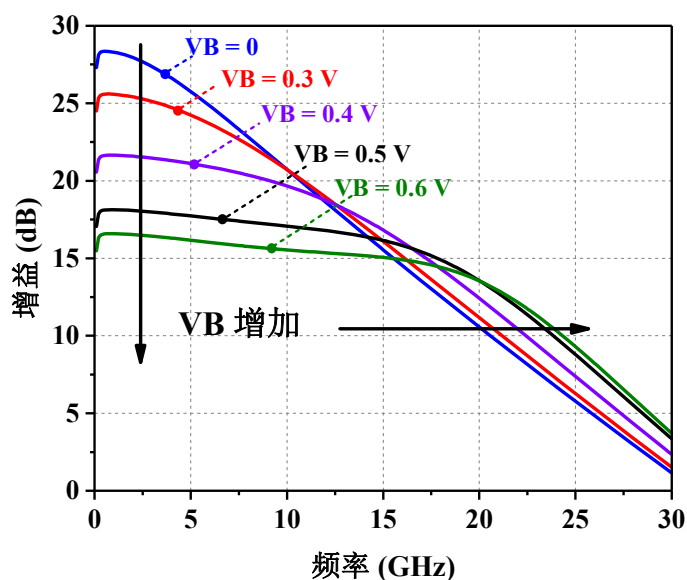


图 6-19 基带放大器级联仿真增益特性

输出级反射系数仿真结果如图 6-20 所示,仿真考虑了 ESD 电路、输出 PAD 与绑定线的影响,能够实现的阻抗匹配频率在 15 GHz 以上。

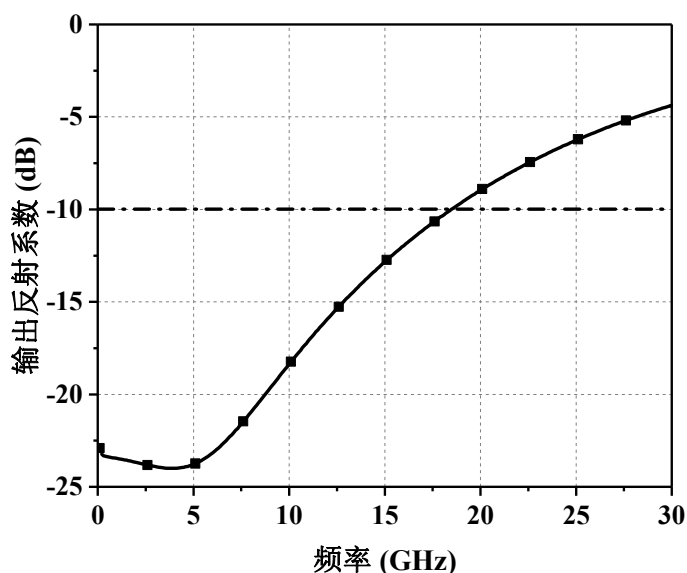


图 6-20 输出阻抗匹配情况仿真结果

6.5 芯片测试结果

本章实现的 G 波段 OOK 无线双向收发芯片采用 TSMC 40 nm CMOS 工艺设计，并完成了流片。芯片照片如图 6-21 所示。芯片尺寸为 1.1 mm×0.85 mm，其中包含 ESD 电路、绑定 PAD 和测试 GSG 信号 PAD。G 波段信号通过 GSG 信号 PAD 由探针输入、输出，其余低频信号及电源、直流偏置等均采用绑定线与 PCB 板连接。

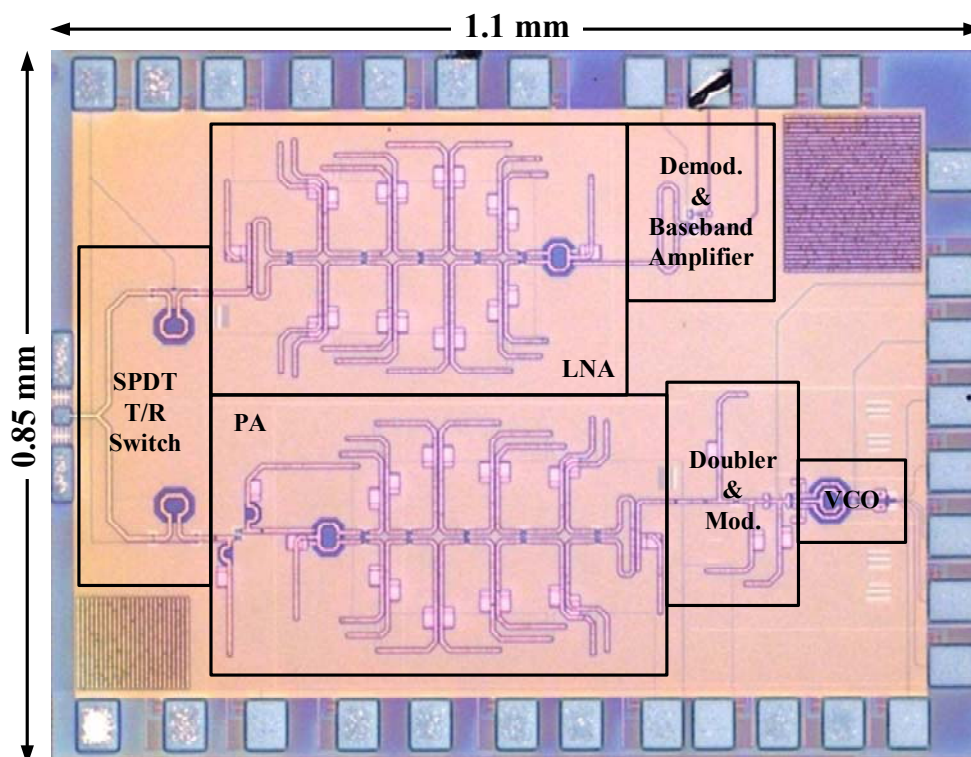


图 6-21 G 波段 OOK 无线双向收发机芯片照片

由于本文实现的收发机未集成片上天线，不具备接收-发射系统级联测试的条件，只能利用已有的测试设备和条件，对收发机的发射模式和接收模式进行分别测试。

6.5.1 发射模式测试

OOK 收发机芯片发射机的测试环境如图 6-22 所示。将收发开关配置在发射模式，电源电压为 0.9 V，发射机链路偏置电压配置在电路预设的电压上，接收机链路偏置电压均为 0。发射机整体功耗为 98.3 mW，其中，VCO 功耗 43.2 mW，倍频调制器 3.3 mW，功率放大器 51.8 mW。

发射机的信号输出通过 I220-S-GSG-50-BT 探针和波导，最终连接到 VDI WR5.1 扩频模块中。根据厂家提供的探针、波导测试数据，探针与波导在测试频率附近约有 2.7 dB 的插入损耗。测试信号与安捷伦 E8257D 信号源在扩频模块中进行混频，扩频

模块将测试信号与输入振荡信号的六次谐波进行下混频，最终形成基带输出信号。根据仪器厂家提供的参数，扩频模块在测试频率附近有 18 dB 左右的插入损耗。经过谐波下混频后的基带输出信号在安捷伦 E4440A 频谱分析仪中读取。

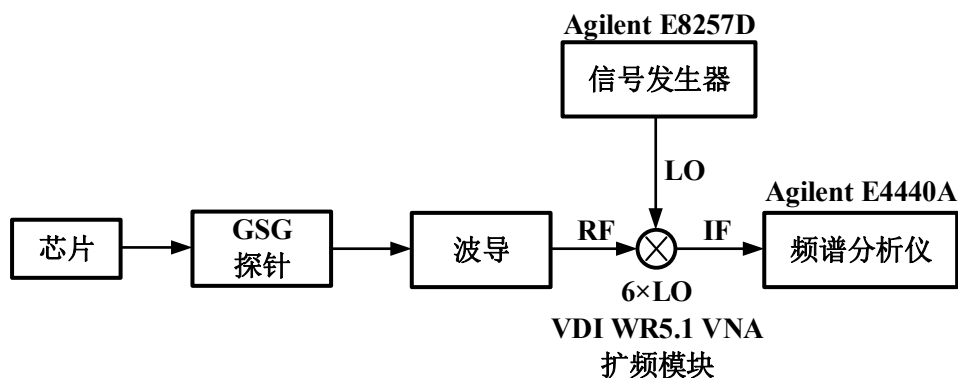


图 6-22 OOK 收发机发射模式测试环境

对于太赫兹频段的调制与解调测试，目前国内暂无能够支持测试需求的设备。已知的国内已有的或有购买渠道的示波器、频谱仪、网络分析仪，均无法达到 140 GHz 以上的测试频率，也鲜有直接采用测试仪器而不借助扩频模块实现 140 GHz 以上的测试报道。太赫兹频段的测试通常需要采用扩频模块，然而扩频模块的带宽只有 300 MHz 左右，在 G 波段无法对发射机链路进行宽带调制测试。因此，我们只能通过单频点测试，了解芯片的实际性能。

发射机测试结果如图 6-23 所示。

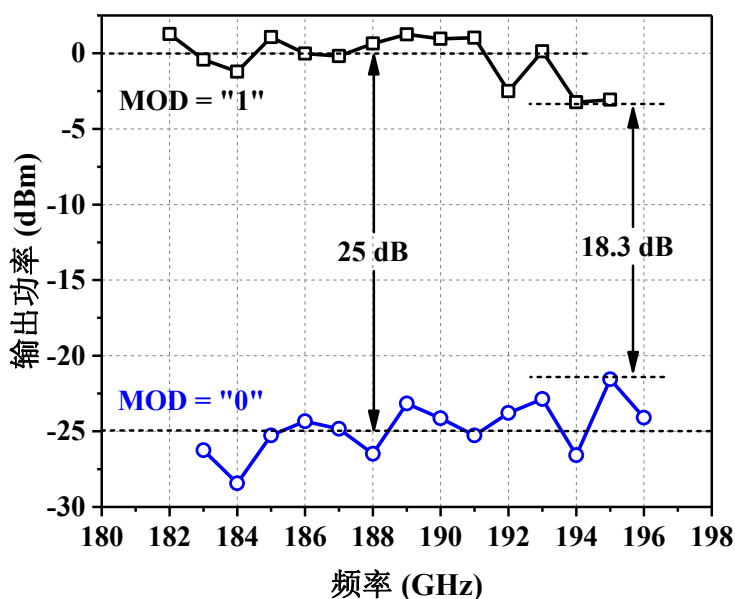


图 6-23 发射机输出功率测试结果

将调制数据端口分别设置在高电平和低电平,了解在调制数据为“1”和“0”时的输出功率特性。通过改变 VCO 的可变电容器的电压和 DiCAD 的调节控制位,测试发射机在 VCO 的频率调节范围内的输出功率情况。将探针、波导和扩频模块的 20.7 dB 损耗补偿后,得到了图 6-23 所示的发射机在各频点输出功率性能。

各频点输出功率最大值约为 1.28 dBm,与仿真得到的饱和输出功率接近。取调制信号为“1”的最低输出功率和调制信号为“0”的最高输出功率的差值为开关隔离度的最差值,开关隔离度最差情况为 18.3 dB。由于测试的随机误差和各个频点的波动,取调制信号为“1”和“0”的平均值为开关隔离度平均值,开关隔离度平均值约为 25 dB,与仿真大体相同。与仿真相比,测试频点偏低,主要与有源器件在如此高的频率上模型准确性下降有关。

6.5.2 接收模式测试

将收发开关配置在接收模式,电源电压为 0.9 V,接收机链路偏置电压配置在电路预设的电压上,发射机链路偏置电压均为 0。接收机整体功耗为 62.8 mW,其中, LNA 功耗 42.6 mW,解调器 1.2 mW,基带放大器 19.0 mW。

受到测试环境的限制,同样无法对接收机进行宽带性能测试,只能测试接收机链路的电压转换性能了解整体工作情况。OOK 收发机芯片接收模式的测试环境如图 6-24 所示。

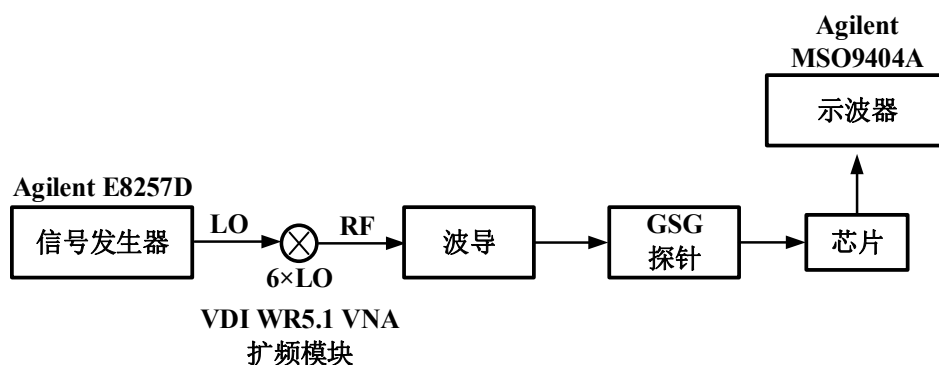


图 6-24 OOK 收发机接收模式测试环境

利用 VDI WR5.1 扩频模块中的倍频功能,信号发生器产生的信号通过倍频器 6 倍频后,输出 190 GHz 左右的信号,然后输出信号通过 I220-S-GSG-50-BT 探针和波导,最终连接到芯片中。探针、波导、扩频模块的总的插入损耗约为 20.7 dB。芯片中的解调器测试端口将解调后的电压信号通过 SMA 连线连接到示波器上显示。收发开关、LNA、解调器的功率转换情况如图 6-25 所示。

从图中可以看出,级联接收机链路的最高功率转换率为 27.7 kV/W。

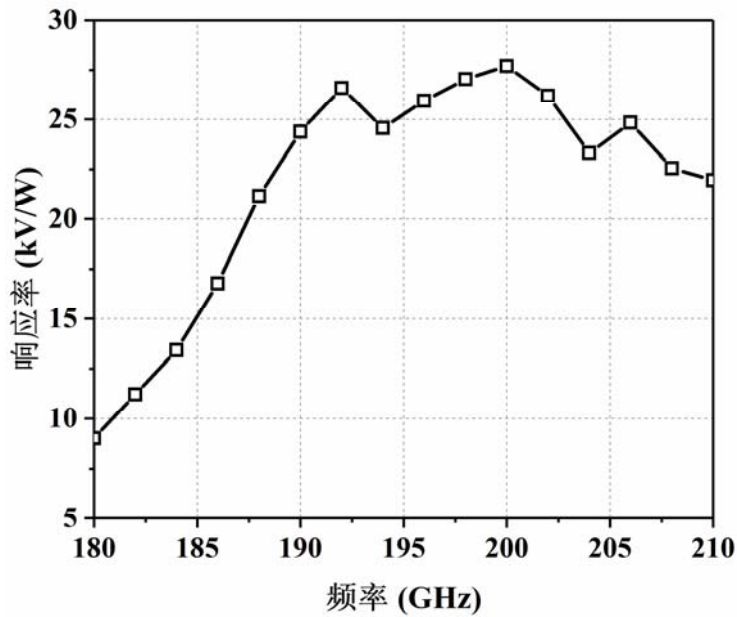


图 6-25 收发开关、LNA 与解调器级联测试结果

6.5.3 性能对比与分析

表 6-1 采用 CMOS 工艺实现的太赫兹 OOK 发射机性能对比

性能指标	本工作	2014 JSSC ^[30]	2016 TMTT ^[142]	2017 MWCL ^[62]	2019 IEEE Access ^[146]	2019 MWCL ^[143]
工艺	40 nm	32 nm ^{***}	65 nm	65 nm	65 nm	65 nm
集成模块	收发机	发射机	发射机	发射机	发射机	发射机
频率 (GHz)	182 ~ 195	210	165	152	140	254
输出功率 (dBm)	1.28	4.6	-1.67	3.0	-9.8	/
开关隔离度 (dB)	25	/	/	39 ~ 41.5	13.2	17 ~ 22.5
数据率 (Gb/s)	>10 [*]	>10	9.4	10	10	11.3
功耗 (mW)	98.3	240	6.4	55	32.5 ^{**}	20
面积 (mm ²)	0.93 ^{**}	3.5	0.03 ^{****}	0.39	0.7	0.228

*仿真结果； ** 收发机整体； *** CMOS SOI 工艺； **** 核心部分面积，PAD 未计入

表 6-1 总结了本章实现的 OOK 收发机的发射模式的基本性能，并且与目前国际先进成果进行了对比。从表中能够看出，本章实现的 OOK 收发机的发射模式与当前报道的性能较为优越 OOK 发射机相比，水平相当。

表 6-2 采用 CMOS 工艺实现的太赫兹 OOK 接收机性能对比

性能指标	本工作	2014 JSSC ^[30]	2015 TTST ^[15]	2019 IEEE Access ^[146]
工艺	40 nm	32 nm SOI	40 nm	65 nm
集成度	收发机	接收机	接收机	接收机
频率 (GHz)	195	210	210	140
平均响应率 (kV/W)	25 *	2.5 ***	2.83 ***	2.5 ***
功耗 (mW)	62.8	68	421 **	32.5 **
面积 (mm ²)	0.93 **	1.12	0.81	0.88

* 与 LNA 级联整体测试结果； ** 收发机整体； *** 仿真结果

表 6-2 总结了本章实现的 OOK 收发机的接收模式的基本性能，并且与目前国际先进成果进行了对比。其中，平均响应率一项，本文为与收发开关、LNA 级联后的测试结果，收发开关和 LNA 能够提供 10 dB 左右的增益，可以推算出解调器单独模块的平均响应率约为 2.5 kV/W，与仿真结果大致相同，与其他文献报道的参数也大致相同。从表中能够看出，本章实现的 OOK 收发机的接收模式与当前报道的性能较为优越 OOK 发射机相比，水平相当。

6.6 小结

本章对 OOK 无线双向收发机太赫兹收发机展开了介绍，具体论述了 OOK 调制技术、解调电路和基带放大器电路。本章采用 TSMC 40 nm CMOS 工艺，实现了 G 波段的 OOK 无线双向收发机系统。测试结果表明，发射模式下可以达到 1.28 dBm 的最大输出功率，平均开关隔离度能够达到 25 dB。发射机消耗 98.3 mW 的功耗，接收机功耗为 62.8 mW。瞬态级联仿真结果显示，该发射机可以支持 10 Gb/s 的传输数据率。本章实现的 OOK 双向收发机实现了发射机与接收机单片集成，并共用输入、输出接口，发射机和接收机可以共用一套天线，极大程度地节省了芯片的面积。收发开关对发射机的饱和输出功率、接收机的放大器增益等性能都会带来影响，在集成了收发开关后，收发机整体性能仍然能够达到现阶段见诸报道的国际先进水平，这也证明了在太赫兹频段，单片集成双向收发机并共用输入、输出接口方案的可行性。

第7章 总结与未来工作展望

7.1 论文工作总结

太赫兹通信系统在卫星通信,近距离超高速数据传输,片上无线网络,芯片间、计算机集群间互连等方面具有广阔的应用前景,对航空航天、无人驾驶、人工智能、超高清视频、虚拟现实等新的技术的发展起到了基础支撑的作用,在国防、民用等方面均有着重大的意义。采用 CMOS 工艺实现太赫兹通信有助于降低成本,推动太赫兹技术更快发展,尽早走向产业化的方向。但是,目前 CMOS 工艺太赫兹通信系统面临着器件模型失准、器件性能衰退、基础电路模块性能差、电路与系统带宽需求高、系统集成难度大等挑战。针对上述挑战,本论文针对放大器、射频前端、振荡器、锁相环、收发机系统的电路设计分别提出了诸多关键技术,有效提高了电路性能。为了验证所提技术的可用性,上述五个电路模块或系统,均采用 TSMC 40 nm CMOS 工艺,完成了单独的流片验证与测试工作。

本论文做出的贡献总结如下:

(1) 针对器件模型失准、器件性能衰退的问题,本文提出了有源器件版图优化技术,将有源器件的互连线版图并入电磁场仿真范畴,提高电路的仿真精度,且对互连线进行了优化,有效提高了器件的性能。此外,本文提出了在太赫兹频段适用的耦合传输线结构,耦合传输线结构简单,建模准确,且具有较高的自谐振频率,在太赫兹频段能够有效替代变压器实现宽带匹配的效果。

(2) 针对基础电路模块性能差的问题,本文在放大器的设计中采用了中和技术、宽带匹配技术,提高放大器的增益、稳定性和带宽性能。在振荡器的设计中采用了倍频技术,并且提出了分布式高阶无源网络的分析与设计方法,有效提高了振荡器的振荡频率,增加了频率调节范围。在分频器的设计中采用了注入锁定技术,分布式无源网络的应用也提高了分频器的注入锁定范围。在发射机的调制器设计中,提出了新的调制器结构,提出的 Cascode 倍频调制器,能够在不增加功耗的情况下,增加调制器的开关隔离度和响应速度等性能。

(3) 针对电路与系统带宽需求高的挑战,本文在电路设计中对扩展放大器带宽、电路工作频率范围的考虑进行了详尽的论述。在放大器设计中提出的宽带匹配技术,能够显著提高放大器带宽,根据流片测试结果,实现的放大器的带宽可以达到 35 GHz。在 VCO 的设计中,如何提高 VCO 的调节范围也是设计的重要考虑指标之一。分频器设计中,对增加注入锁定范围的诸多技术都进行了详细的论述,所提出的高阶无源

网络的分析和设计方法,也为增加注入锁定范围发挥了显著的效果。在收发机系统的设计中,也针对宽频带基带放大器电路做了具体的阐述。

(4) 针对系统集成难度大的问题,本文采用了收发开关方案,实现了接收、发射单片集成且能够双向传输共用收发天线的射频前端,证实了太赫兹频段下双向收发机单片集成共用天线方案的可行性。本文采用了更为简单却更适宜在太赫兹频段下采用的 OOK 调制方式,实现了 G 波段双向收发机系统,对收发机中的射频前端、VCO 等模块都进行了单独的流片验证,保证了工作频率的一致性,收发机整体性能能够达到现阶段见诸报道的国际先进水平。

7.2 进一步工作展望

本论文完成了 CMOS 太赫兹通信系统中的放大器、射频前端、VCO、锁相环等关键电路模块,并采用 OOK 的调制方式实现了双向收发机系统。但是,对于一个成熟的太赫兹通信系统来说,本文的工作只是完成了前期的探索和一定的技术积累,未来还有很长的路要走。后续进一步的研究方向包括:

(1) 太赫兹天线的研究与实现

对于一个可用的完整的太赫兹收发系统来说,除了收发机电路外,还应完成片上天线的集成。本文实现的电路和系统均采用探针完成测试,并且受到当前测试设备的限制,无法对收发机进行宽带测试,也无法实现收发机的接收、发射整体测试,测试方面的限制也可以通过集成天线来解决。但是在太赫兹频段,片上天线的设计也是一个难点,片上天线的设计除了要考虑辐射功率等指标外,还应该满足足够的宽带需求。

(2) 探索并实现更为复杂的调制系统

在本论文所论述的太赫兹收发机设计关键技术的基础上,进一步采用 QPSK、16-QAM、32-QAM 等更为复杂的调制方式实现通信系统。可尝试的 QPSK 调制的太赫兹收发机系统框图如图 7-1 所示。

图 7-1 所述的 QPSK 调制收发机采用了两次上变频的方式,系统由发射机、接收机、时钟链路等模块组成。发射机中,基带信号经过 60 GHz 正交时钟、120 GHz 时钟完成两次上变频到 180 GHz 后,经过功率放大器放大进而通过天线传输。接收机部分,由天线接收到的信号首先被低噪声放大器放大,再先后经过 120 GHz 时钟和 60 GHz 正交时钟下变频后,形成的基带信号由基带放大器放大最终到达基带电路。时钟链路的核心部分是锁相环,产生的本振信号为 60 GHz,通过倍频器同时产生 120 GHz 的本振输出。60 GHz 的本振信号要通过正交信号发生器形成四路差分正交信号,以支持 QPSK 调制。为了保证时钟具有足够的驱动能力,时钟信号还需要通过时钟

放大器链路进行放大。由 PA、LNA、收发开关组成的射频前端，时钟通路中的锁相环与倍频器，基带放大器和缓冲级放大器等电路都可以采用本文所论述的相应电路实现，除此之外，还需要完成具有足够高数据率输出的伪随机二进制码产生器（PRBS）、60 GHz 和 120 GHz 的宽带混频器、60 GHz 和 120 GHz 的时钟放大器链路、60 GHz 的正交信号产生器等电路结构。

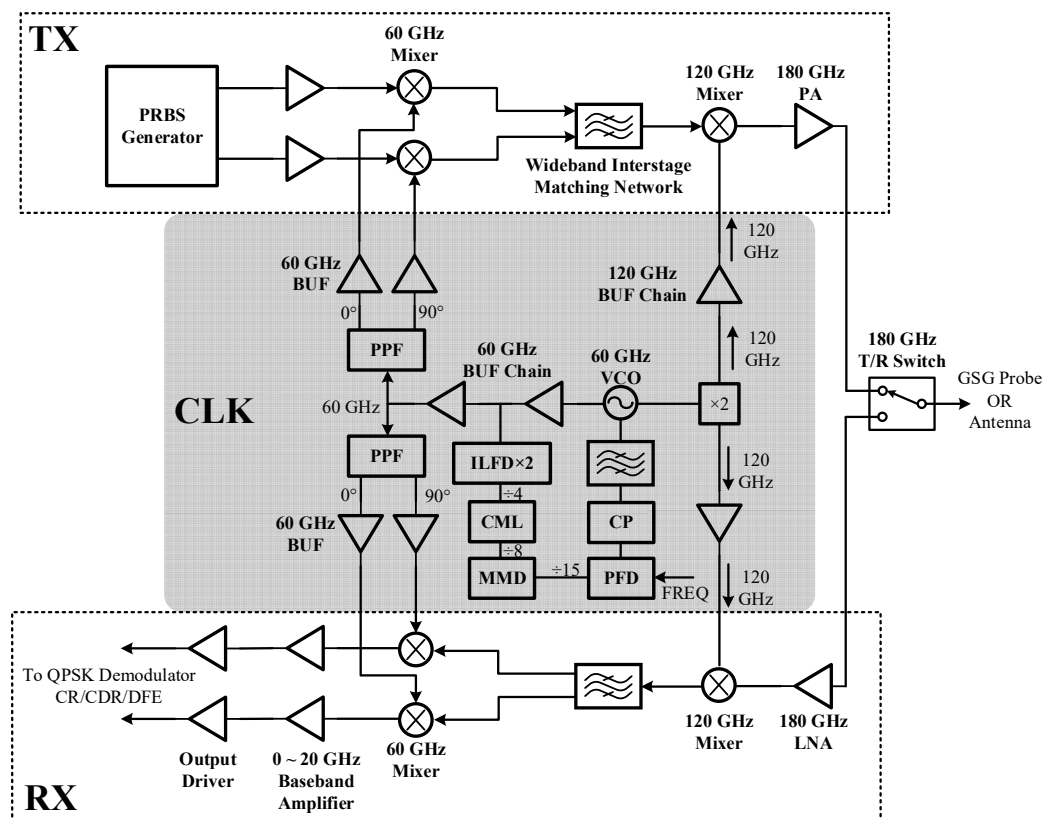


图 7-1 QPSK 太赫兹收发机系统框图

（3）探索并实现太赫兹宽带基带处理系统

太赫兹通信系统宽频带、高数据率的特征为基带电路的设计也增加了难度。尤其是 QPSK 等较复杂的调制方式，目前在传统通信系统中被广泛使用的基带技术均无法满足如此高的工作频率要求。需要探索新的基带处理电路方案和设计方法，与太赫兹收发机共同构建完整、成熟的通信系统。

参考文献

- [1] Seok E., Shim D., Mao C., et al. Progress and Challenges Towards Terahertz CMOS Integrated Circuits [J]. IEEE Journal of Solid-State Circuits, 2010, 45(8): 1554-1564.
- [2] Fujishima M. 300-GHz-band CMOS wireless transceiver and its future [C]. Proceedings of the 2017 42nd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz), 2017: 1-2.
- [3] Pawar Ashish Y, Sonawane Deepak D, Erande Kiran B, et al. Terahertz technology and its applications [J]. Drug invention today, 2013, 5(2): 157-163.
- [4] Kemp M. C. Explosives Detection by Terahertz Spectroscopy—A Bridge Too Far? [J]. IEEE Transactions on Terahertz Science and Technology, 2011, 1(1): 282-292.
- [5] Taylor Z. D., Singh R. S., Bennett D. B., et al. THz Medical Imaging: in vivo Hydration Sensing [J]. IEEE Transactions on Terahertz Science and Technology, 2011, 1(1): 201-219.
- [6] Oh S. J., Huh Y., Haam S., et al. Medical application of THz imaging technique [C]. Proceedings of the 2012 37th International Conference on Infrared, Millimeter, and Terahertz Waves, 2012: 1-3.
- [7] Wang C., Han R. 17.6 Rapid and energy-efficient molecular sensing using dual mm-Wave combs in 65nm CMOS: A 220-to-320GHz spectrometer with 5.2mW radiated power and 14.6-to-19.5dB noise figure [C]. Proceedings of the 2017 IEEE International Solid-State Circuits Conference (ISSCC), 2017: 302-303.
- [8] Katayama K., Takano K., Amakawa S., et al. 20.1 A 300GHz 40nm CMOS transmitter with 32-QAM 17.5Gb/s/ch capability over 6 channels [C]. Proceedings of the 2016 IEEE International Solid-State Circuits Conference (ISSCC), 2016: 342-343.
- [9] Kallfass I., Antes J., Schneider T., et al. All Active MMIC-Based Wireless Communication at 220 GHz [J]. IEEE Transactions on Terahertz Science and Technology, 2011, 1(2): 477-487.
- [10] Yujiri L., Shoucri M., Moffa P. Passive millimeter wave imaging [J]. IEEE Microwave Magazine, 2003, 4(3): 39-50.
- [11] Grischkowsky D., Yang Y., Mandehgar M. Digital THz communication links in the atmosphere [C]. Proceedings of the 2013 38th International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz), 2013: 1-2.
- [12] Deb S., Chang K., Yu X., et al. Design of an Energy-Efficient CMOS-Compatible NoC Architecture with Millimeter-Wave Wireless Interconnects [J]. IEEE Transactions on Computers, 2013, 62(12): 2382-2396.

- [13] Yu X., Sah S. P., Rashtian H., et al. A 1.2-pJ/bit 16-Gb/s 60-GHz OOK Transmitter in 65-nm CMOS for Wireless Network-On-Chip [J]. IEEE Transactions on Microwave Theory and Techniques, 2014, 62(10): 2357-2369.
- [14] Forbes M., Gourlay J., Desmulliez M. Optically interconnected electronic chips: a tutorial and review of the technology [J]. Electronics & Communication Engineering Journal, 2001, 13(5): 221-232.
- [15] Moghadami S., Hajilou F., Agrawal P., et al. A 210 GHz Fully-Integrated OOK Transceiver for Short-Range Wireless Chip-to-Chip Communication in 40 nm CMOS Technology [J]. IEEE Transactions on Terahertz Science and Technology, 2015, 5(5): 737-741.
- [16] Dunworth J. D., Homayoun A., Ku B., et al. A 28GHz Bulk-CMOS dual-polarization phased-array transceiver with 24 channels for 5G user and basestation equipment [C]. Proceedings of the 2018 IEEE International Solid - State Circuits Conference (ISSCC), 2018: 70-72.
- [17] Chi T., Park J. S., Li S., et al. A 64GHz full-duplex transceiver front-end with an on-chip multifeed self-interference-canceling antenna and an all-passive canceler supporting 4Gb/s modulation in one antenna footprint [C]. Proceedings of the 2018 IEEE International Solid - State Circuits Conference (ISSCC), 2018: 76-78.
- [18] Sadhu B., Tousi Y., Hallin J., et al. A 28GHz 32-element phased-array transceiver IC with concurrent dual polarized beams and 1.4 degree beam-steering resolution for 5G communication [C]. Proceedings of the 2017 IEEE International Solid-State Circuits Conference (ISSCC), 2017: 128-129.
- [19] Liang C., Razavi B. Systematic Transistor and Inductor Modeling for Millimeter-Wave Design [J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 450-457.
- [20] Inac O., Uzunkol M., Rebeiz G. M. 45-nm CMOS SOI Technology Characterization for Millimeter-Wave Applications [J]. IEEE Transactions on Microwave Theory and Techniques, 2014, 62(6): 1301-1311.
- [21] Loo X. S., Yeo K. S., Chew K. W. J., et al. An Accurate Two-Port De-Embedding Technique for RF/Millimeter-Wave Noise Characterization and Modeling of Deep Submicrometer Transistors [J]. IEEE Transactions on Microwave Theory and Techniques, 2011, 59(2): 479-487.
- [22] Yau K., Dacquay E., Sarkas I., et al. Device and IC Characterization Above 100 GHz [J]. IEEE Microwave Magazine, 2012, 13(1): 30-54.
- [23] Mao C., Nallani C. S., Sankaran S., et al. 125-GHz Diode Frequency Doubler in 0.13- μm CMOS [J]. IEEE Journal of Solid-State Circuits, 2009, 44(5): 1531-1538.
- [24] Han R., Yaming Zhang, Coquillat D., et al. 280-GHz schottky diode detector in 130-nm digital CMOS [C]. Proceedings of the IEEE Custom Integrated Circuits Conference 2010, 2010: 1-4.

- [25] Meng X. Y., Chi B. Y., Wang Z. H. D-band neutralized amplifier design based on accurate millimeter-wave de-embedding method [J]. *Analog Integrated Circuits and Signal Processing*, 2017, 91(3): 367-376.
- [26] Brinkhoff J., Pham D., Kang K., et al. A New Six-Port Transformer Modeling Methodology Applied to 10-dBm 60-GHz CMOS ASK Modulator Designs [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2010, 58(2): 297-309.
- [27] Gao Z., Kang K., Zhao C., et al. A Broadband and Equivalent-Circuit Model for Millimeter-Wave On-Chip M:N Six-Port Transformers and Baluns [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2015, 63(10): 3109-3121.
- [28] Jia H., Prawoto C. C., Chi B., et al. A Full Ka-Band Power Amplifier With 32.9% PAE and 15.3-dBm Power in 65-nm CMOS [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, 65(9): 2657-2668.
- [29] Kim D. Y., K. K O. Reduction of Low Frequency Noise Impact to Terahertz Detectors in CMOS [J]. *IEEE Microwave and Wireless Components Letters*, 2017, 27(2): 150-152.
- [30] Wang Z., Chiang P. Y., Nazari P., et al. A CMOS 210-GHz Fundamental Transceiver With OOK Modulation [J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(3): 564-580.
- [31] Thyagarajan S. V., Kang S., Niknejad A. M. A 240 GHz Fully Integrated Wideband QPSK Receiver in 65 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(10): 2268-2280.
- [32] Kang S., Thyagarajan S. V., Niknejad A. M. A 240 GHz Fully Integrated Wideband QPSK Transmitter in 65 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(10): 2256-2267.
- [33] Sengupta K., Hajimiri A. A 0.28THz 4×4 power-generation and beam-steering array [C]. *Proceedings of the 2012 IEEE International Solid-State Circuits Conference*, 2012: 256-258.
- [34] Cao C. H., K. K O. A 140-GHz fundamental mode voltage-controlled oscillator in 90-nm CMOS technology [J]. *IEEE Microwave and Wireless Components Letters*, 2006, 16(10): 555-557.
- [35] Cao C. H., Seok E., K. K O. 192 GHz push-push VCO in 0.13 μm CMOS [J]. *Electronics Letters*, 2006, 42(4): 208-210.
- [36] Huang D., Larocca T. R., Chang M. F., et al. Terahertz CMOS Frequency Generator Using Linear Superposition Technique [J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2730-2738.
- [37] Huang D., Larocca T. R., Samoska L., et al. 324GHz CMOS Frequency Generator Using Linear Superposition Technique [C]. *Proceedings of the 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, 2008: 476-629.
- [38] Gu Q. J., Xu Z., Jian H., et al. Generating terahertz signals in 65nm CMOS with

- negative-resistance resonator boosting and selective harmonic suppression [C]. Proceedings of the 2010 Symposium on VLSI Circuits, 2010: 109-110.
- [39] Gu Q. J., Xu Z., Jian H., et al. CMOS THz Generator With Frequency Selective Negative Resistance Tank [J]. IEEE Transactions on Terahertz Science and Technology, 2012, 2(2): 193-202.
- [40] Momeni O., Afshari E. High Power Terahertz and Millimeter-Wave Oscillator Design: A Systematic Approach [J]. IEEE Journal of Solid-State Circuits, 2011, 46(3): 583-597.
- [41] Momeni O., Afshari E. A 220-to-275GHz traveling-wave frequency doubler with -6.6dBm Power at 244GHz in 65nm CMOS [C]. Proceedings of the 2011 IEEE International Solid-State Circuits Conference, 2011: 286-288.
- [42] Momeni O., Afshari E. A Broadband mm-Wave and Terahertz Traveling-Wave Frequency Multiplier on CMOS [J]. IEEE Journal of Solid-State Circuits, 2011, 46(12): 2966-2976.
- [43] Tousi Y. M., Momeni O., Afshari E. A 283-to-296GHz VCO with 0.76mW peak output power in 65nm CMOS [C]. Proceedings of the 2012 IEEE International Solid-State Circuits Conference, 2012: 258-260.
- [44] Xu Z., Gu Q. J., Chang M. F. 200 GHz CMOS amplifier working close to device f_T [J]. Electronics Letters, 2011, 47(11): 639-641.
- [45] Xu Z., Gu Q. J., Chang M. F. A 100–117 GHz W-Band CMOS Power Amplifier With On-Chip Adaptive Biasing [J]. IEEE Microwave and Wireless Components Letters, 2011, 21(10): 547-549.
- [46] Xu Z., Gu Q. J., Chang M. F. A Three Stage, Fully Differential 128–157 GHz CMOS Amplifier with Wide Band Matching [J]. IEEE Microwave and Wireless Components Letters, 2011, 21(10): 550-552.
- [47] Momeni O., Afshari E. A high gain 107 GHz amplifier in 130 nm CMOS [C]. Proceedings of the 2011 IEEE Custom Integrated Circuits Conference (CICC), 2011: 1-4.
- [48] Momeni O. A 260GHz amplifier with 9.2dB gain and -3.9dBm saturated power in 65nm CMOS [C]. Proceedings of the 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 2013: 140-141.
- [49] Meng X. Y., Chi B. Y., Liu Y. B., et al. A Fully Integrated 150-GHz Transceiver Front-End in 65-nm CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(4): 602-606.
- [50] Inac O., Cetinoneri B., Uzunkol M., et al. Millimeter-Wave and THz Circuits in 45-nm SOI CMOS [C]. Proceedings of the 2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011: 1-4.
- [51] Park J., Kang S., Thyagarajan S. V., et al. A 260 GHz fully integrated CMOS transceiver for wireless chip-to-chip communication [C]. Proceedings of the 2012 Symposium on

- VLSI Circuits (VLSIC), 2012: 48-49.
- [52] Kang S., Thyagarajan S. V., Niknejad A. M. A 240GHz wideband QPSK transmitter in 65nm CMOS [C]. Proceedings of the 2014 IEEE Radio Frequency Integrated Circuits Symposium, 2014: 353-356.
- [53] Yang Y., Zahir S., Lin H., et al. A 155 GHz 20 Gbit/s QPSK transceiver in 45nm CMOS [C]. Proceedings of the 2014 IEEE Radio Frequency Integrated Circuits Symposium, 2014: 365-368.
- [54] Katayama K., Takano K., Amakawa S., et al. A 300GHz 40nm CMOS transmitter with 32-QAM 17.5Gb/s/ch capability over 6 channels [C]. Proceedings of the 2016 IEEE International Solid-State Circuits Conference (ISSCC), 2016: 342-343.
- [55] Lee S., Dong R., Yoshida T., et al. An 80Gb/s 300GHz-Band Single-Chip CMOS Transceiver [C]. Proceedings of the 2019 IEEE International Solid-State Circuits Conference (ISSCC), 2019: 169-170.
- [56] 杨鸿儒, 李宏光. 太赫兹波通信技术研究进展 [J]. 应用光学, 2018, 39(01): 12-21.
- [57] 顾立, 谭智勇, 曹俊诚. 太赫兹通信技术研究进展 [J]. 物理, 2013, 42(10): 695-707.
- [58] Wang C., Lin C., Chen Q., et al. A 10-Gbit/s Wireless Communication Link Using 16-QAM Modulation in 140-GHz Band [J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(7): 2737-2746.
- [59] 王成, 刘杰, 吴尚昀, 等. 0.14THz 10Gbps 无线通信系统 [J]. 信息与电子工程, 2011, 9(03): 265-269.
- [60] 刘海涛, 文岐业, 杨青慧, 等. 石墨烯太赫兹调制器及 330GHz 无线通信系统 [J]. 太赫兹科学与电子信息学报, 2014, 12(04): 481-486.
- [61] 曹磊, 关晓通, 陈驰, 等. 220GHz 短程无线通信系统的设计与搭建 [J]. 真空电子技术, 2013, 06): 96-98.
- [62] Meng X. Y., Chi B. Y., Wang Z. H. A 152-GHz OOK Transmitter With 3-dBm Output Power in 65-nm CMOS [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(8): 748-750.
- [63] 胡三明, 闫金定. 太赫兹集成电路概述 [J]. 中国基础科学, 2017, 19(03): 1-6.
- [64] Cao C. H., K. K O. Millimeter-wave voltage-controlled oscillators in 0.13-um CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2006, 41(6): 1297-1304.
- [65] Zhao D., Reynaert P. A 60-GHz Dual-Mode Class AB Power Amplifier in 40-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2013, 48(10): 2323-2337.
- [66] Grzyb J., Zhao Y., Pfeiffer U. R. A 288-GHz Lens-Integrated Balanced Triple-Push Source in a 65-nm CMOS Technology [J]. IEEE Journal of Solid-State Circuits, 2013, 48(7): 1751-1761.
- [67] Seo M., Jagannathan B., Carta C., et al. A 1.1V 150GHz amplifier with 8dB gain and

- +6dBm saturated output power in standard digital 65nm CMOS using dummy-prefilled microstrip lines [C]. Proceedings of the 2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 2009: 484-485.
- [68] Moghadami S., Jalaibidgoli F., Ardalan S. A systematic methodology to design high power terahertz and submillimeter-wave amplifiers [C]. Proceedings of the 2014 27th IEEE International System-on-Chip Conference (SOCC), 2014: 92-97.
- [69] Moghadami S., Ardalan S. A 205 GHz Amplifier With 10.5 dB Gain and -1.6 dBm Saturated Power Using 90 nm CMOS [J]. IEEE Microwave and Wireless Components Letters, 2016, 26(3): 207-209.
- [70] Moghadami S., Isaac J., Ardalan S. A 0.2–0.3 THz CMOS Amplifier With Tunable Neutralization Technique [J]. IEEE Transactions on Terahertz Science and Technology, 2015, 5(6): 1088-1093.
- [71] Meng X. Y., Chi B. Y., Jia H. K., et al. 142 GHz amplifier with 18.5 dB gain and 7.9 mW DC power in 65 nm CMOS [J]. Electronics Letters, 2014, 50(21): 1513-1514.
- [72] Deng Z., Niknejad A. M. A layout-based optimal neutralization technique for mm-wave differential amplifiers [C]. Proceedings of the 2010 IEEE Radio Frequency Integrated Circuits Symposium, 2010: 355-358.
- [73] Thienen N. Van, Reynaert P. A 160-GHz three-stage fully-differential amplifier in 40-nm CMOS [C]. Proceedings of the 2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2014: 144-147.
- [74] Deferm N., Reynaert P. A 100 GHz transformer-coupled fully differential amplifier in 90 nm CMOS [C]. Proceedings of the 2010 IEEE Radio Frequency Integrated Circuits Symposium, 2010: 359-362.
- [75] Heller T., Cohen E., Socher E. A 102–129-GHz 39-dB Gain 8.4-dB Noise Figure I/Q Receiver Frontend in 28-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(5): 1535-1543.
- [76] Son H. S., Jang J. Y., Kang D. M., et al. A 109 GHz CMOS Power Amplifier With 15.2 dBm Psat and 20.3 dB Gain in 65-nm CMOS Technology [J]. IEEE Microwave and Wireless Components Letters, 2016, 26(7): 510-512.
- [77] Callender S., Pellerano S., Hull C. A Compact 75 GHz PA with 26.3% PAE and 24 GHz Bandwidth in 22 nm FinFET CMOS [C]. Proceedings of the 2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2018: 224-227.
- [78] Shin W., Callender S., Pellerano S., et al. A Compact 75 GHz LNA with 20 dB Gain and 4 dB Noise Figure in 22nm FinFET CMOS Technology [C]. Proceedings of the 2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2018: 284-287.
- [79] Bassi M., Zhao J., Bevilacqua A., et al. A 40–67 GHz Power Amplifier With 13 dBm P_{SAT} and 16% PAE in 28 nm CMOS LP [J]. IEEE Journal of Solid-State Circuits, 2015, 50(7): 1618-1628.

- [80] Bhagavatula V., Zhang T., Suvarna A. R., et al. An Ultra-Wideband IF Millimeter-Wave Receiver With a 20 GHz Channel Bandwidth Using Gain-Equalized Transformers [J]. IEEE Journal of Solid-State Circuits, 2016, 51(2): 323-331.
- [81] Vigilante M., Reynaert P. On the Design of Wideband Transformer-Based Fourth Order Matching Networks for E-Band Receivers in 28-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2017, 52(8): 2071-2082.
- [82] Hara S., Katayama K., Takano K., et al. Compact 160-GHz amplifier with 15-dB peak gain and 41-GHz 3-dB bandwidth [C]. Proceedings of the 2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2015: 7-10.
- [83] Park D., Utomo D. R., Hong J., et al. A 230–260GHz wideband amplifier in 65nm CMOS based on dual-peak G_{\max} -core [C]. Proceedings of the 2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC), 2018: 301-302.
- [84] Uzunkol M., Rebeiz G. M. 140–220 GHz SPST and SPDT Switches in 45 nm CMOS SOI [J]. IEEE Microwave and Wireless Components Letters, 2012, 22(8): 412-414.
- [85] Khan W. T., Ulusoy A. C., Schmid R., et al. A D-band (110 to 170 GHz) SPDT switch in 32 nm CMOS SOI [C]. Proceedings of the 2015 IEEE MTT-S International Microwave Symposium, 2015: 1-3.
- [86] Meng F., Ma K., Yeo K. S., et al. A 220–285 GHz SPDT Switch in 65-nm CMOS Using Switchable Resonator Concept [J]. IEEE Transactions on Terahertz Science and Technology, 2015, 5(4): 649-651.
- [87] Mei-Chao Yeh, Zuo-Min Tsai, Ren-Chieh Liu, et al. Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance [J]. IEEE Transactions on Microwave Theory and Techniques, 2006, 54(1): 31-39.
- [88] Min B., Rebeiz G. M. *Ka*-Band Low-Loss and High-Isolation Switch Design in 0.13- μm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2008, 56(6): 1364-1371.
- [89] Uzunkol M., Rebeiz G. A Low-Loss 50–70 GHz SPDT Switch in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(10): 2003-2007.
- [90] Tomkins A., Garcia P., Voinigescu S. P. A Passive W-Band Imaging Receiver in 65-nm Bulk CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(10): 1981-1991.
- [91] Chao S., Wang H., Su C., et al. A 50 to 94-GHz CMOS SPDT Switch Using Traveling-Wave Concept [J]. IEEE Microwave and Wireless Components Letters, 2007, 17(2): 130-132.
- [92] Adabi Ehsan, Niknejad Ali M. Analysis and Design of Transformer-Based mm-Wave Transmit/Receive Switches [J]. International Journal of Microwave Science and Technology, 2012, 2012(
- [93] Shu R., Gu Q. J. A Transformer-Based *V*-Band SPDT Switch [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(3): 278-280.

- [94] Wang Y., Chen C., Ye Y., et al. A G-band SPST switch with 2.4-dB insertion loss and minimum 28.5-dB isolation using grounded co-planar waveguide folded coupled line topology in 65-nm CMOS technology [C]. Proceedings of the 2017 IEEE MTT-S International Microwave Symposium (IMS), 2017: 1718-1721.
- [95] Ali U., Fischer G., Thiede A. Low power fundamental VCO design in D-band using 0.13 μm SiGe BiCMOS technology [C]. Proceedings of the 2015 German Microwave Conference, 2015: 359-362.
- [96] Al-Eryani J., Knapp H., Wursthorn J., et al. A fundamental 229-240 GHz VCO with integrated dynamic frequency divider chain [C]. Proceedings of the 2016 46th European Microwave Conference (EuMC), 2016: 489-492.
- [97] Kananizadeh R., Momeni O. A 190-GHz VCO With 20.7% Tuning Range Employing an Active Mode Switching Block in a 130 nm SiGe BiCMOS [J]. IEEE Journal of Solid-State Circuits, 2017, 52(8): 2094-2104.
- [98] Meng X. Y., Wang Z. H., Chi B. Y. A 180 GHz differential Colpitts VCO in 65 nm CMOS [J]. Analog Integrated Circuits and Signal Processing, 2016, 86(1): 25-31.
- [99] Meng X. Y., Chi B. Y., Wang Z. H. CMOS Cross-Coupled Oscillator Operating Close to the Transistor's f_{max} [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(12): 1131-1133.
- [100] Ahmed F., Furqan M., Heinemann B., et al. 0.3-THz SiGe-Based High-Efficiency Push-Push VCOs With >1-mW Peak Output Power Employing Common-Mode Impedance Enhancement [J]. IEEE Transactions on Microwave Theory and Techniques, 2017, PP(99): 1-15.
- [101] Grzyb J., Heinemann B., Pfeiffer U. R. Solid-State Terahertz Superresolution Imaging Device in 130-nm SiGe BiCMOS Technology [J]. IEEE Transactions on Microwave Theory and Techniques, 2017, 65(11): 4357-4372.
- [102] Hillger P., Grzyb J., Malz S., et al. A lens-integrated 430 GHz SiGe HBT source with up to -6.3 dBm radiated power [C]. Proceedings of the 2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2017: 160-163.
- [103] Shen I., Huang T., Jou C. F. A Low Phase Noise Quadrature VCO Using Symmetrical Tail Current-Shaping Technique [J]. IEEE Microwave and Wireless Components Letters, 2010, 20(7): 399-401.
- [104] Siriburanon T., Kondo S., Katsuragi M., et al. A Low-Power Low-Noise mm-Wave Subsampling PLL Using Dual-Step-Mixing ILFD and Tail-Coupling Quadrature Injection-Locked Oscillator for IEEE 802.11ad [J]. IEEE Journal of Solid-State Circuits, 2016, 51(5): 1246-1260.
- [105] Chang H., Chan C., Li S., et al. Design and Analysis of CMOS Low-Phase-Noise Low Quadrature Error V -Band Subharmonically Injection-Locked Quadrature FLL [J]. IEEE Transactions on Microwave Theory and Techniques, 2018, 66(6): 2851-2866.

- [106] Hsieh C. S., Liu J. Y. A Low Phase Noise 210-GHz Triple-Push Ring Oscillator in 90-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2018, 66(4): 1983-1997.
- [107] Shim D., Koukis D., Arenas D. J., et al. 553-GHz signal generation in CMOS using a quadruple-push oscillator [C]. Proceedings of the 2011 Symposium on VLSI Circuits - Digest of Technical Papers, 2011: 154-155.
- [108] Koo H., Kim C. Y., Hong S. A G-Band Standing-Wave Push-Push VCO Using a Transmission-Line Resonator [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(3): 1036-1045.
- [109] Chou M., Chiu H., Kao H., et al. A 60-GHz CMOS Frequency Tripler With Broadband Performance [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(3): 281-283.
- [110] Rashtian H., Katehi L. P. B., Gu Q. J., et al. A 200-GHz triple-push oscillator in 65-nm CMOS with design techniques for enhancing DC-to-RF efficiency [C]. Proceedings of the 2016 IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2016: 77-80.
- [111] Zong Z., Babaie M., Staszewski R. B. A 60 GHz Frequency Generator Based on a 20 GHz Oscillator and an Implicit Multiplier [J]. IEEE Journal of Solid-State Circuits, 2016, 51(5): 1261-1273.
- [112] Shirazi A. H. Masnadi, Nikpaik A., Molavi R., et al. On the Design of mm-Wave Self-Mixing-VCO Architecture for High Tuning-Range and Low Phase Noise [J]. IEEE Journal of Solid-State Circuits, 2016, 51(5): 1210-1222.
- [113] Chen Y., Mouthaan K. Wideband Varactorless LC VCO Using a Tunable Negative-Inductance Cell [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(10): 2609-2617.
- [114] Khamaisi B., Socher E. A 159-169 GHz frequency source with 1.26 mW peak output power in 65 nm CMOS [C]. Proceedings of the 2013 European Microwave Conference, 2013: 1507-1510.
- [115] 池保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计 [M]. 北京: 清华大学出版社, 2006.
- [116] 张刚. CMOS 集成锁相环电路设计 [M]. 北京: 清华大学出版社, 2013.
- [117] Lin B., Liu S. A 132.6-GHz Phase-Locked Loop in 65 nm Digital CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2011, 58(10): 617-621.
- [118] Cao C. H., Ding Y., K. K O. A 50-GHz Phase-Locked Loop in 0.13- μ m CMOS [J]. IEEE Journal of Solid-State Circuits, 2007, 42(8): 1649-1656.
- [119] Chao Y., Luong H. C., Hong Z. Analysis and Design of a 14.1-mW 50/100-GHz Transformer-Based PLL With Embedded Phase Shifter in 65-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(4): 1193-1201.

- [120] Kim N., Song K., Yun J., et al. Two 122-GHz Phase-Locked Loops in 65-nm CMOS Technology [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(8): 2623-2630.
- [121] Tang A., Murphy D., Virbila G., et al. D-band frequency synthesis using a U-band PLL and frequency tripler in 65nm CMOS technology [C]. Proceedings of the 2012 IEEE/MTT-S International Microwave Symposium Digest, 2012: 1-3.
- [122] Chao Y., Luong H. C. Analysis and Design of Wide-Band Millimeter-Wave Transformer-Based VCO and ILFDs [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(9): 1416-1425.
- [123] Jia H. K., Chi B. Y., Kuang L. X., et al. A 47.6–71.0-GHz 65-nm CMOS VCO Based on Magnetically Coupled π -Type LC Network [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(5): 1645-1657.
- [124] Liu X., Luong H. C. A 0.3-V 2.5-mW 154-to-195GHz CMOS Injection-Locked LO Generation with -186.5dB FoM [C]. Proceedings of the 2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2018: 196-199.
- [125] Lin B., Liu S. Analysis and Design of D-Band Injection-Locked Frequency Dividers [J]. IEEE Journal of Solid-State Circuits, 2011, 46(6): 1250-1264.
- [126] Zhang J., Cheng Y., Zhao C., et al. Analysis and Design of Ultra-Wideband mm-Wave Injection-Locked Frequency Dividers Using Transformer-Based High-Order Resonators [J]. IEEE Journal of Solid-State Circuits, 2018, 53(8): 2177-2189.
- [127] Razavi B. A study of injection locking and pulling in oscillators [J]. IEEE Journal of Solid-State Circuits, 2004, 39(9): 1415-1424.
- [128] Rategh H. R., Lee T. H. Superharmonic injection-locked frequency dividers [J]. IEEE Journal of Solid-State Circuits, 1999, 34(6): 813-821.
- [129] Tiebout M. A CMOS direct injection-locked oscillator topology as high-frequency low-power frequency divider [J]. IEEE Journal of Solid-State Circuits, 2004, 39(7): 1170-1174.
- [130] Wu C., Yu C. Design and Analysis of a Millimeter-Wave Direct Injection-Locked Frequency Divider With Large Frequency Locking Range [J]. IEEE Transactions on Microwave Theory and Techniques, 2007, 55(8): 1649-1658.
- [131] Chao Y., Luong H. C. Analysis and Design of a 2.9-mW 53.4–79.4-GHz Frequency-Tracking Injection-Locked Frequency Divider in 65-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2013, 48(10): 2403-2418.
- [132] Chien J., Lu L. 40GHz Wide-Locking-Range Regenerative Frequency Divider and Low-Phase-Noise Balanced VCO in $0.18\mu\text{m}$ CMOS [C]. Proceedings of the 2007 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 2007: 544-621.
- [133] Takatsu K., Tamura H., Yamamoto T., et al. A 60-GHz 1.65mW 25.9% locking range

- multi-order LC oscillator based injection locked frequency divider in 65nm CMOS [C]. Proceedings of the IEEE Custom Integrated Circuits Conference 2010, 2010: 1-4.
- [134] Yamamoto K., Fujishima M. 70GHz CMOS Harmonic Injection-Locked Divider [C]. Proceedings of the 2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers, 2006: 2472-2481.
- [135] Chan W. L., Long J. R. A 56–65 GHz Injection-Locked Frequency Tripler With Quadrature Outputs in 90-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2008, 43(12): 2739-2746.
- [136] Mangraviti G., Khalaf K., Parvais B., et al. Design and Tuning of Coupled-LC mm-Wave Subharmonically Injection-Locked Oscillators [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(7): 2301-2312.
- [137] Li A., Zheng S., Yin J., et al. A 21–48 GHz Subharmonic Injection-Locked Fractional-N Frequency Synthesizer for Multiband Point-to-Point Backhaul Communications [J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1785-1799.
- [138] Yi X., Boon C. C., Liu H., et al. A 57.9-to-68.3 GHz 24.6 mW Frequency Synthesizer With In-Phase Injection-Coupled QVCO in 65 nm CMOS Technology [J]. IEEE Journal of Solid-State Circuits, 2014, 49(2): 347-359.
- [139] Abedi R., Kananizadeh R., Momeni O., et al. A CMOS V-Band PLL With a Harmonic Positive Feedback VCO Leveraging Operation in Triode Region for Phase-Noise Improvement [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 1-13.
- [140] Daneshgar S., Dasgupta K., Thakkar C., et al. A 27.8Gb/s 11.5pJ/b 60GHz transceiver in 28nm CMOS with polarization MIMO [C]. Proceedings of the 2018 IEEE International Solid - State Circuits Conference (ISSCC), 2018: 166-168.
- [141] Sowlati T., Sarkar S., Perumana B., et al. A 60GHz 144-element phased-array transceiver with 51dBm maximum EIRP and $\pm 60^\circ$ beam steering for backhaul application [C]. Proceedings of the 2018 IEEE International Solid - State Circuits Conference - (ISSCC), 2018: 66-68.
- [142] Ye Y., Yu B., Gu Q. J. A 165-GHz Transmitter With 10.6% Peak DC-to-RF Efficiency and 0.68-pJ/b Energy Efficiency in 65-nm Bulk CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(12): 4573-4584.
- [143] Lim S., Koo H., Kim C., et al. 290-GHz 17-dB ON-/OFF-Ratio Modulator With Resonance Control Varactors [J]. IEEE Microwave and Wireless Components Letters, 2019, 29(1): 50-52.
- [144] Zhu F., Hong W., Liang W., et al. A Low-Power Low-Cost 45-GHz OOK Transceiver System in 90-nm CMOS for Multi-Gb/s Transmission [J]. IEEE Transactions on Microwave Theory and Techniques, 2014, 62(9): 2105-2117.
- [145] Fujishima M., Motoyoshi M., Katayama K., et al. 98 mW 10 Gbps Wireless

- Transceiver Chipset With D-Band CMOS Circuits [J]. IEEE Journal of Solid-State Circuits, 2013, 48(10): 2273-2284.
- [146] Suh B., Lee H., Kim S., et al. A D-Band Multiplier-Based OOK Transceiver With Supplementary Transistor Modeling in 65-nm Bulk CMOS Technology [J]. IEEE Access, 2019, 7(7783-7793).
- [147] Lee J. J., Park C. S. 60-GHz Gigabits-Per-Second OOK Modulator With High Output Power in 90-nm CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2011, 58(5): 249-253.
- [148] Byeon C. W., Yoon C. H., Park C. S. A 67-mW 10.7-Gb/s 60-GHz OOK CMOS Transceiver for Short-Range Wireless Communications [J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(9): 3391-3401.
- [149] Liu Z., Li P., Liao Y., et al. A 4-Gb/s CMOS Modulator with High Isolation and Large Output Power for Q-Band Applications [C]. Proceedings of the 2018 International Conference on Microwave and Millimeter Wave Technology (ICMMT), 2018: 1-3.
- [150] Byeon C. W., Park C. S. A High-Efficiency 60-GHz CMOS Transmitter for Short-Range Wireless Communications [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(8): 751-753.
- [151] Lee H., Lee J. G., Lee C. J., et al. An 20-Gb/s W-Band OOK CMOS Receiver for High-Speed Wireless Interconnect [J]. IEEE Microwave and Wireless Components Letters, 2016, 26(10): 840-842.

在学期间发表的学术论文与研究成果

已发表或录用的论文:

- [1] **Yibo Liu**, Luhong Mao, and Baoyong Chi. 185–220 GHz wideband amplifier in 40 nm CMOS[J]. Electronics Letters, 2018, 54(13): 802-804. (SCI 收录, IF=1.232)
- [2] **Yibo Liu**, Luhong Mao, Sheng Xie, and Baoyong Chi. A 190 GHz VCO with Transformer-Based Push–Push Frequency Doubler in 40 nm CMOS[J]. Circuits, Systems, and Signal Processing, 2019, 38(1): 425-441. (SCI 收录, IF=1.998)
- [3] **Yibo Liu**, Taikun Ma, Pingda Guan, Luhong Mao, and Baoyong Chi. A G-Band Wideband Bidirectional Transceiver Front-End in 40 nm CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(5): 798-802.(SCI 期刊, IF=2.45)
- [4] **Yibo Liu**, Luhong Mao, Jianxi Wu, Pingda Guan, Zipeng Chen, Tianwei Chen, and Baoyong Chi. A CMOS U-Band PLL with Distributed Passive Networks in VCO and ILFD [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019. (SCI 期刊, 审稿中, IF=2.823)
- [5] Xiangyu Meng, Baoyong Chi, **Yibo Liu**, Taikun Ma, and Zhihua Wang. A Fully Integrated 150-GHz Transceiver Front-End in 65-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(4):602-606. (SCI 收录, IF=2.45)
- [6] Jianxi Wu, Zipeng Chen, Wei Zheng, **Yibo Liu**, Shufu Wang, Nan Qi, and Baoyong Chi. A 77-GHz Mixed-Mode FMCW Generator Based on a Vernier TDC with Dual Rising-Edge Fractional-Phase Detector[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019. (SCI 期刊, 审稿中, IF=2.823)
- [7] Taikun Ma, Zipeng Chen, Jianxi Wu, Wei Zheng, Shufu Wang, Nan Qi, **Yibo Liu**, Baoyong Chi. A CMOS 76-81 GHz 2TX 3RX FMCW Radar Transceiver Based on Mixed-Mode PLL Chirp Generator[J]. IEEE Journal of Solid-State Circuits. (SCI 期刊, 审稿中, IF=4.075)
- [8] Jianxi Wu, Zipeng Chen, Wei Zheng, **Yibo Liu**, Shufu Wang, Nan Qi, and Baoyong Chi. A 77-GHz Mixed-Mode FMCW Generator Based on a Vernier TDC with Dual Rising-Edge Fractional-Phase Detector[C]. 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC). IEEE, 2018: 79-82. (EI 收录)
- [9] Jialiang Ye, Zhiyuan Chen, **Yibo Liu**, and Baoyong Chi. An 88.3%-91.2% Efficient Buck DC-DC Converter in 0.5 μm CMOS[C]. 2018 14th IEEE International

Conference on Solid-State and Integrated Circuit Technology (ICSICT). IEEE, 2018: 1-3. (EI 收录)

- [10] Jialiang Ye, Wankai Zheng, Zhiyuan Chen, **Yibo Liu**, Wei Wang, and Baoyong Chi. A 10Gb/s QPSK Carrier Recovery Circuit for 60GHz Millimeter-Wave Receiver in 65nm CMOS[C]. 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). IEEE, 2018: 1-3. (EI 收录)

已授权或受理的专利:

- [1] 毛陆虹, 刘一波, 谢生, 肖谧. 发明专利: 一种基于 CMOS 工艺实现的太赫兹功率放大器, 授权号: ZL201510593341.9 (已授权)
- [2] 毛陆虹, 刘一波. 发明专利: 一种采用硅基 CMOS 工艺实现的太赫兹振荡器, 授权号: ZL201610110869.0 (已授权)
- [3] 毛陆虹, 刘一波. 发明专利: 一种采用 CMOS 工艺实现的太赫兹发射机电路, 授权号: ZL201610112603.X (已授权)
- [4] 毛陆虹, 刘一波. 发明专利: 一种采用 CMOS 工艺实现的毫米波压控振荡器, 申请号: 201710738295.6 (已受理)

参与的科研项目:

- [1] 国家自然科学基金重点项目: “硅基太赫兹通信集成电路基础理论与关键技术”, 编号: 61331003

致谢

博士生涯即将走向尾声。在过去的几年时间里，我有幸面对许多的事情并从中得到成长，有幸身边有许多的人并承蒙他们的关心与照顾，有幸一直坚持并逐渐能够更从容地面对未来，有幸找到了自己的本心并知道了自己愿去向何方。

衷心感谢我的导师毛陆虹教授和清华大学指导教师池保勇教授，在我攻读博士期间对我的悉心指导。感谢毛陆虹教授对我的关心、鼓励与支持，并给我提供在更高的平台进一步学习、展开研究的机会，引领我经历了从青涩的本科毕业生到一名准博士的蜕变。感谢池保勇教授对我的学习、科研工作的启发、指导与帮助。池老师渊博的专业知识、严谨的科研态度，是我学习的榜样，他的言传身教也将使我受益终生。

本课题承蒙国家自然科学基金重点项目（61331003）资助，特此致谢。感谢清华大学微电子所提供的联合培养条件、TSMC 40 nm CMOS 工艺流片机会以及太赫兹电路测试环境。

感谢清华大学王熙鑫老师，未来芯片技术高精尖创新中心（ICFC）高旭老师，斯凯瑞利科技有限公司郑巍，在测试阶段对我的指导与帮助。感谢天津大学谢生老师、肖谧老师的关心与指导。感谢天津大学电气自动化与信息工程学院（原电子信息工程学院）张志超老师、刘强老师、张缓老师、田晓庆老师、赵娜老师等老师的工作以及对我的关心与帮助。

感谢清华大学孟祥雨师兄、贾海昆师兄、祁楠师兄，曾经多次向你们请教，感谢你们的帮助与指引。感谢清华大学课题组的陈子朋、宋政、关平达、马泰坤、吴建熙、郑万凯、叶佳亮、陈国培、马瑞昌、王振武、王登杰等同学对我在课题和生活方面的帮助、关心和支持，曾经与你们热烈讨论并从中得到了许多启发，在一起时欢笑和吐槽也为我的科研生活增添了许多乐趣。感谢天津大学实验室的董叶梓师兄、闫冬师姐、蔡昊成、丛佳、赵帆、陈天伟、周高磊、唐伎伶、李志才、罗锋、刘志芹等同学，在我硕士、博士期间对我的关心、帮助与支持。祝你们前程似锦！

感谢一直关心、照顾我的朋友们的陪伴与鼓励。感谢闫宇坤、刘哲、冯超、庄建宇、李杨俊逸、刘畅、朱贺田、王鹏等伙伴们。感谢盛宇、刘家骝、丁孟佳、王雨桐、马彦博等北洋话剧社的老师 and 同学。感谢从本科就聚在一起吃吃吃，一直团饭到我博士毕业的戴玮、高若冲、童屹、袁承轩等朋友们。祝愿所有关心过我的人幸福安康！

感谢张子木。

最后，感谢我的父母，你们的支持、关爱和包容陪伴我度过了漫长的求学时光，让我能够无忧地完成学业，追寻自己的幸福。你们的爱与支持是我最珍贵的宝藏。