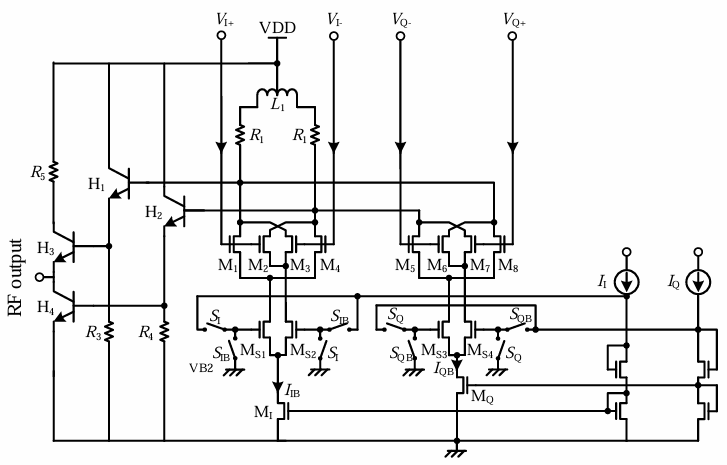
2024.11.20

1. 更换8HP/8XP工艺后，移相器中矢量合成单元需要进行大范围的修改。但输入巴伦与正交信号产生单元基本上不需要进行改动。

查阅文章得知，基于BiCMOS工艺的移相器设计主要也是在矢量合成单元上存在差别，下面是两种不同结构的介绍：

1. 依旧是采用MOS管实现的矢量合成单元：

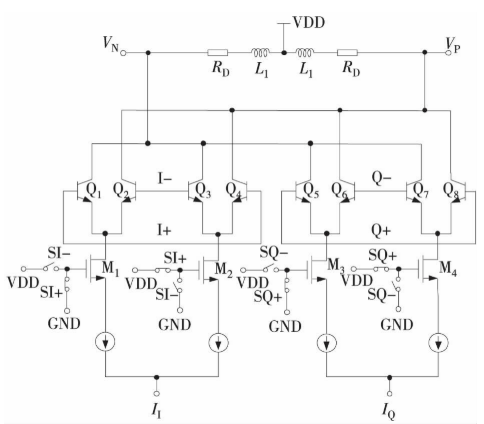


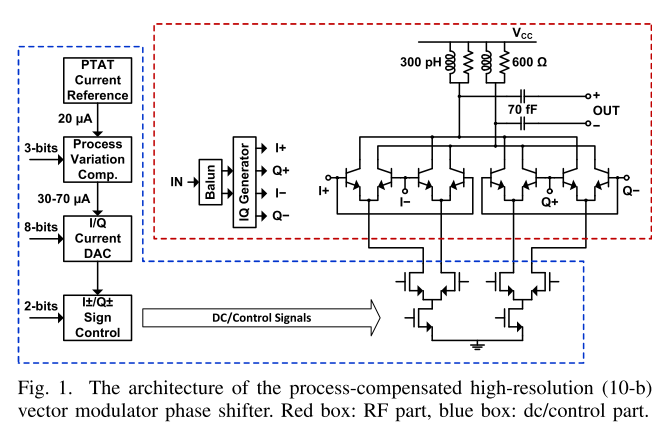
矢量合成单元的主体仍是由两个由NMOS实现的吉尔伯特单元(VGA)构成。与45nmRFE工艺所完成的结构几乎无差。

但这一类结构的缺点在于：**MOS管存在较强的寄生效应，这类寄生效应会在矢量合成单元的输入端与输出端形成较强的容性负载，移相器的相位误差与增益误差会因此而增大，这增大了我们设计匹配网络的难度。同时采用MOS实现的VGA似乎无法提供较大的增益，导致有源移相器的插损整体不高，而且还需要更大的尾电流来提供足够的gm。**

上图来源于东南大学2020年的硕士论文：***6~18GHz SiGe BiCMOS 宽带有源移相器设计***

1. 采用BJT与MOS结合实现的矢量合成单元：





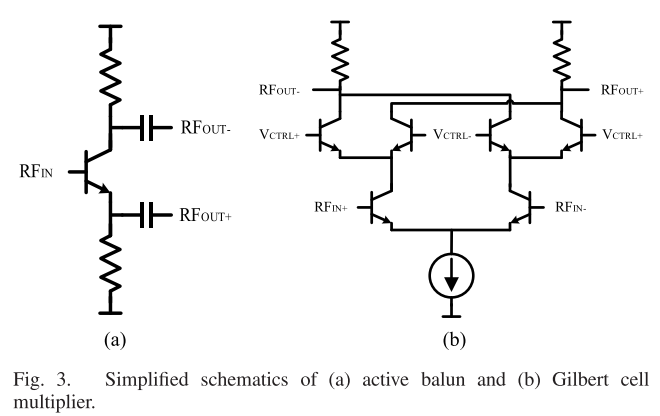
该矢量合成单元采用BJT与NMOS结合的方式实现，其中BJT构成的差分电路起放大作用，而NMOS在其中起开关的作用，用于选择移相的象限。

采用该结构的优势在于，**BJT可以提供较大的增益，同时其相较于NMOS具有更小的寄生效应，在不同的移相状态下(尾电流分配情况下)移相器的相位误差和增益误差更小。在有源巴伦输出端增加了两级放大补偿电路，可以实现0dB以上的增益。**

上图1来源于一篇中文期刊：***一种基于0.13μm SiGe BiCMOS工艺的Ka波段宽带有源移相器***

上图2来源于2019年RFIC：***A 26-GHz Vector Modulator in 130-nm SiGe BiCMOS Achieving Monotonic 10-b Phase Resolution Without Calibration***

1. 完全采用BJT实现的矢量合成单元：



该结构还没进行深入研究。但目前了解到的是，上图b所示的结构为基于BJT的吉尔伯特单元，它与基于MOSFET的吉尔伯特单元不同的地方在于，控制管位于上端，输入信号从下方的BJT进入。

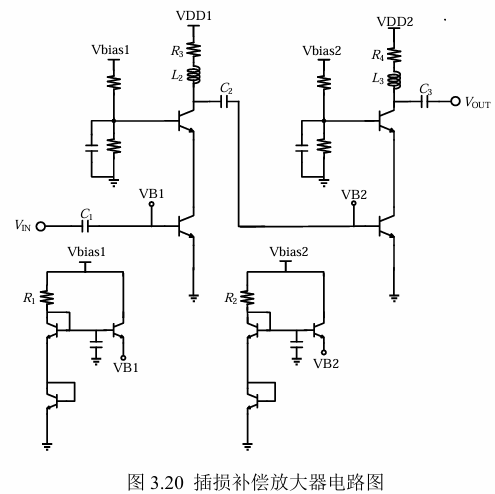
该结构的特点还未知。

上图来自于2022年的MWCL：***An 18–50-GHz △-Σ Modulated Quasi-Continuous***

***Digital Vector-Modulation Phase ShifterWith Variable Gain Control***

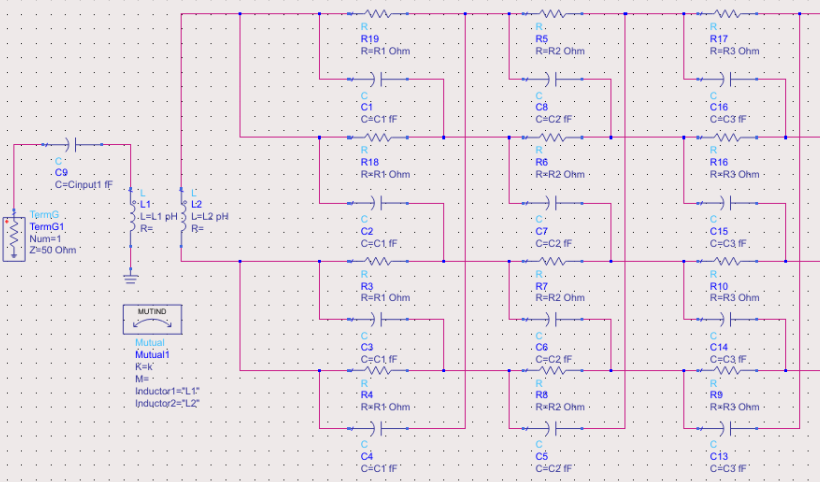
2024.11.21

1. 将上述第二种BJT与NMOS组合使用的结构运用到已有的原理图中，发现移相器的性能实际上要优于基于45nmRFE工艺所设计的移相器。同时，上面那篇东南大学2020年的硕士文章中，介绍了一个连接在有源输出巴伦后的插损补偿电路，如下图所示：

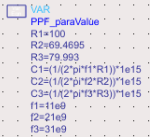


该插损补偿电路采用两级级联放大结构，并且采用“**并联峰化**”结构来拓展放大器的带宽，以补偿无源电路所带来的插损。目前，我暂时还没有深入研究该结构的具体原理。只是单纯的复现出该结构，然后利用优化来完成设计目标。

2. PPF参数

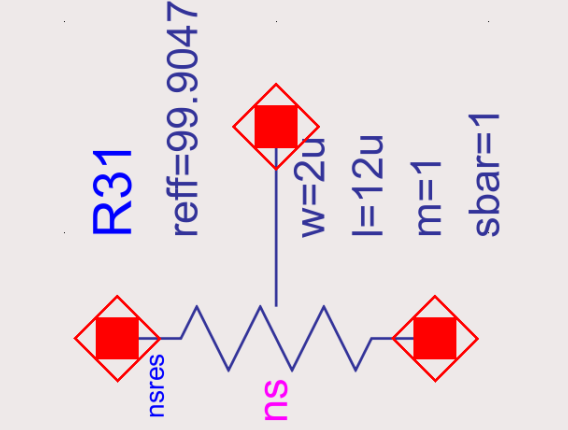


目前所使用的PPF采用Type2型3阶多相滤波器。Type2型表示该结构产生的4路正交信号能在全频段输出相同的插损值，但仅在特定的频点处精准得相差90°；3阶表示存在3个这样的特定频点。通过优化得到的PPF参数如下：

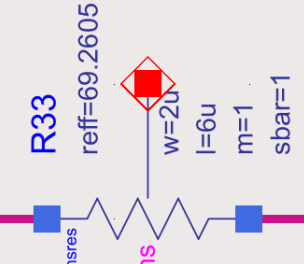


通过确定R与freq值，可以求得对应的电容值C：

R1:



R2:



R3:



计算得到C值：

C1=144.82fF

C2=109.42fF

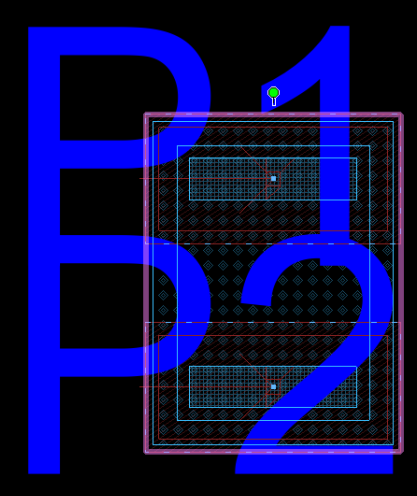
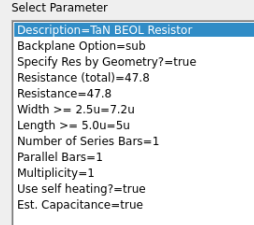
C3=64.6fF

Tips:

在使用工艺库中的子电路元件放到原理图进行仿真时，这些元件模型的值其实是不准确的。因此需要先通过对独立的元件进行EM仿真，再将EM Model打包成一个子电路元件放到原理图进行联合仿真，这样得到的电路仿真效果才是准确的。可以避免因模型库不准确导致在设计上浪费过多的时间。

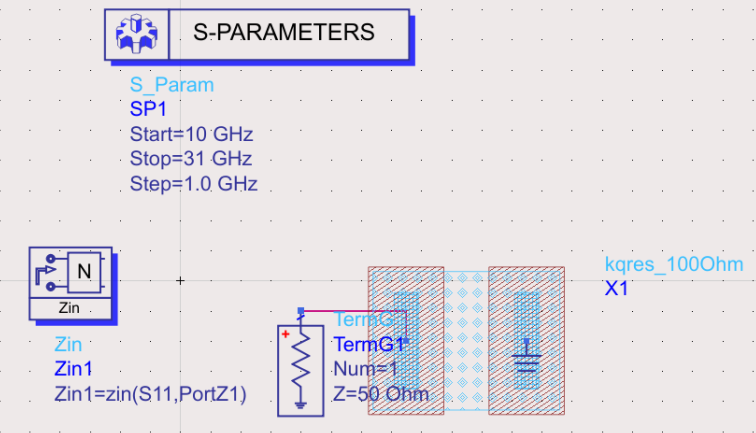
下面是如何将原理图中理想的电阻元件替换为工艺库中电阻模型的方法：

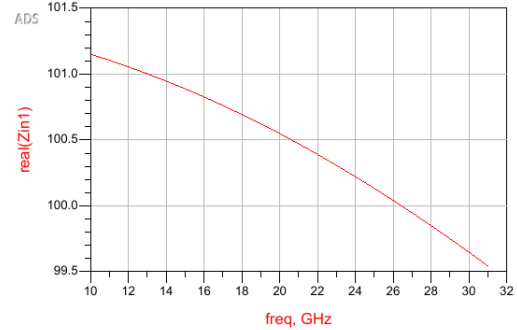
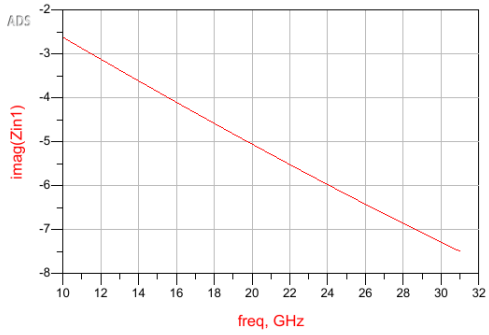
首先在layout中放置一个电阻模型（尽量选择准确的模型），加上pin，并完成EM仿真，建立一个EM Model。在这里双击这个模型，还能看到其标称的电阻值。

可以看到这里显示对应尺寸标称电阻值为47.8Ω。

然后，建立一个调用该EM模型的子电路进行联合仿真，并观察测量得到的电阻值：



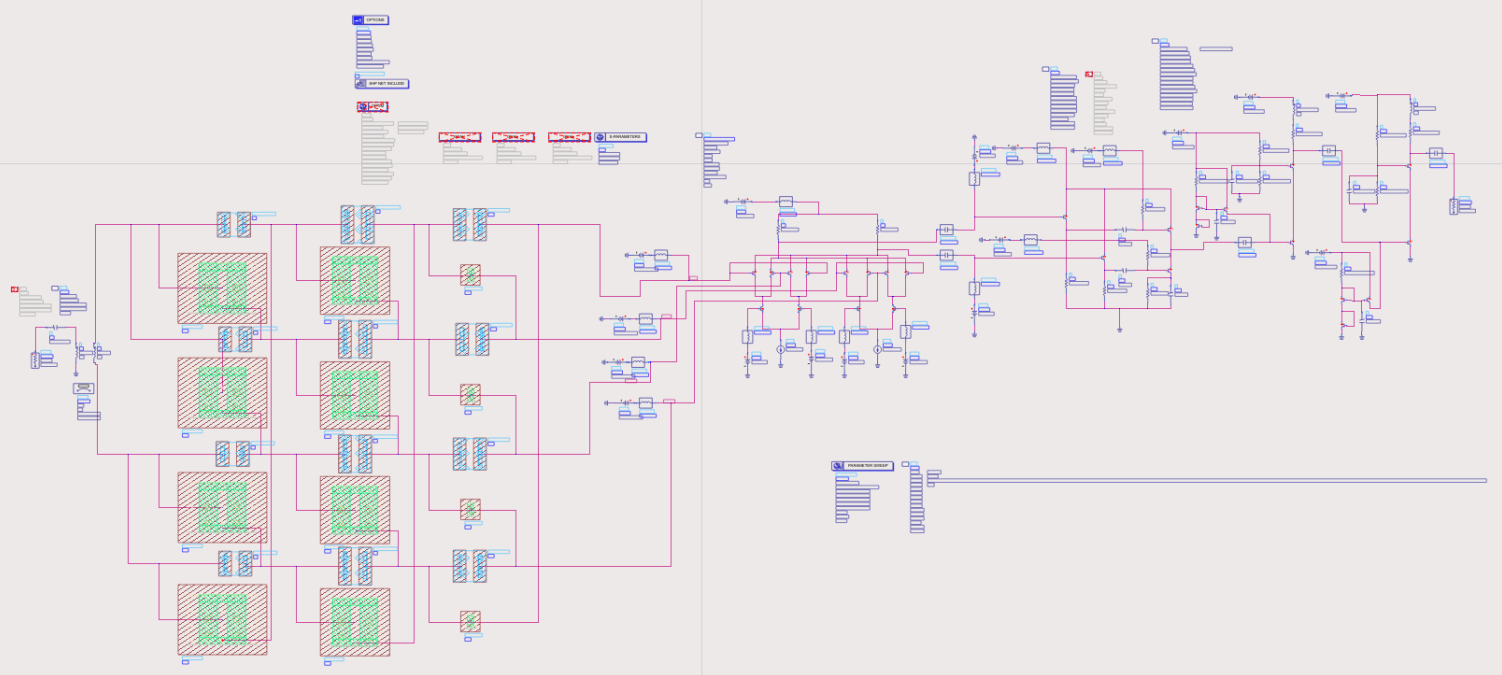
 

可以发现这里测得的电阻与标称电阻差别很大。因此我们需要根据自己所需要的阻值找到合适的电阻元件EM模型，不能一味的相信标称值。

同理，其他的元件版图也应该按照这个方法去实现。

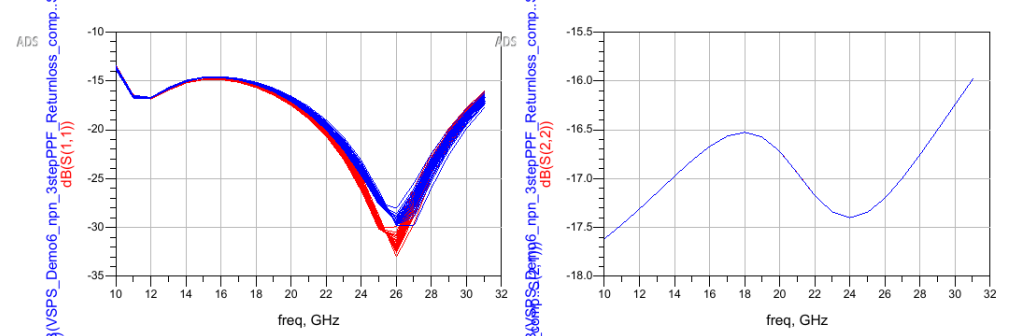
2024.11.25

现在已经将多相滤波器每一个无源器件的准确EM模型生成好，并放置在原理图的对应位置进行联合仿真，如下图所示：

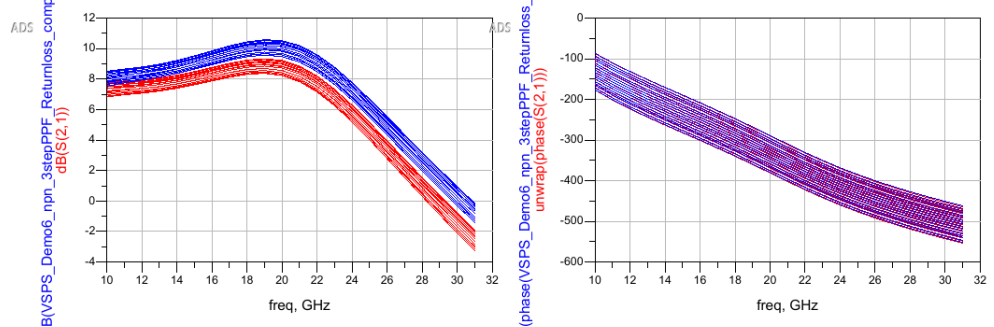


得到的仿真结果如下：

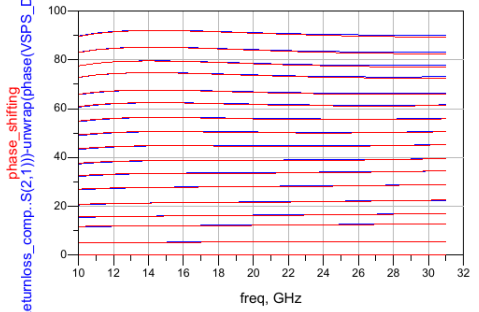
S11与S22：



S21与Phase(S21)：



Phase shifting：

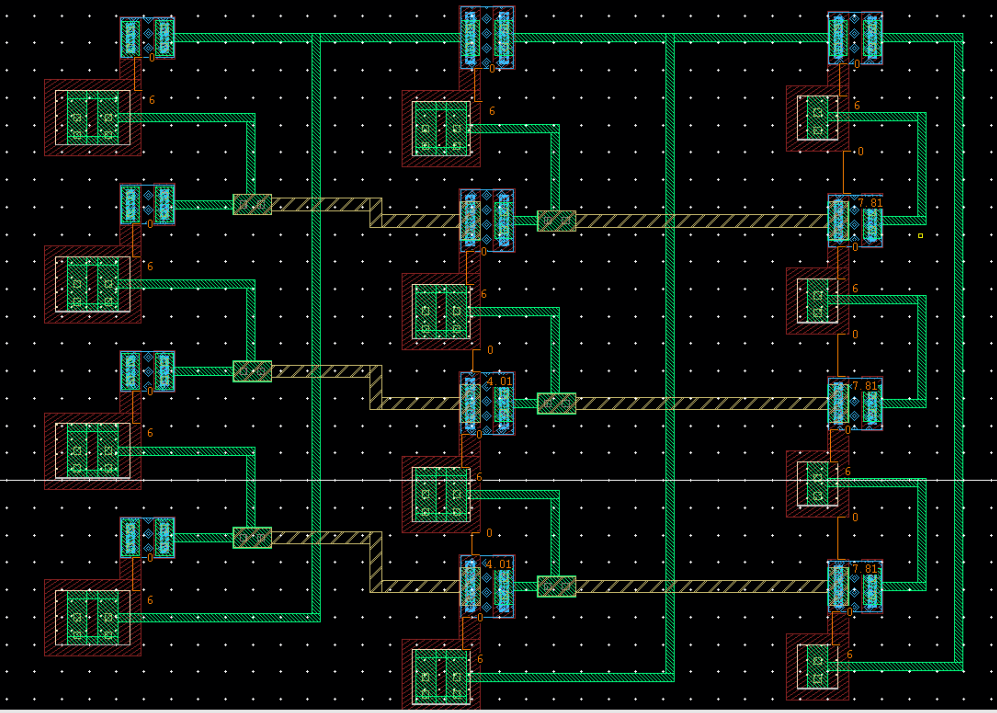


发现采用理想集总元件实现的PPF与上述无源器件的EM模型实现的效果几乎相同。

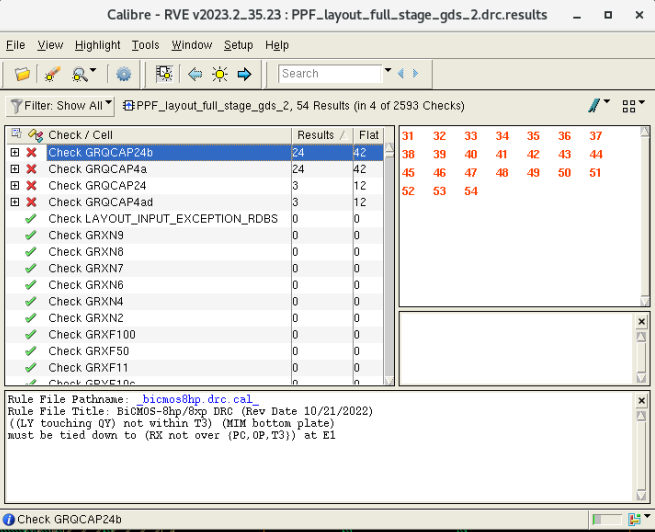
现在，将上面原理图中的PPF绘制为整体的版图，并将其EM模型放到电路中进行仿真。

2024.12.2

按照DRC报错修改版图结构，将金属层之间的距离改至符号DRC要求：



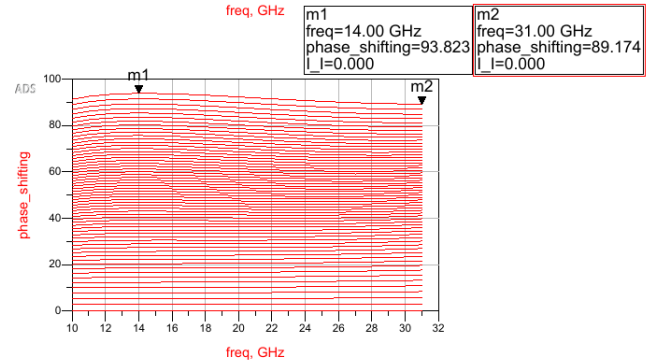
最终的报错结果如下：



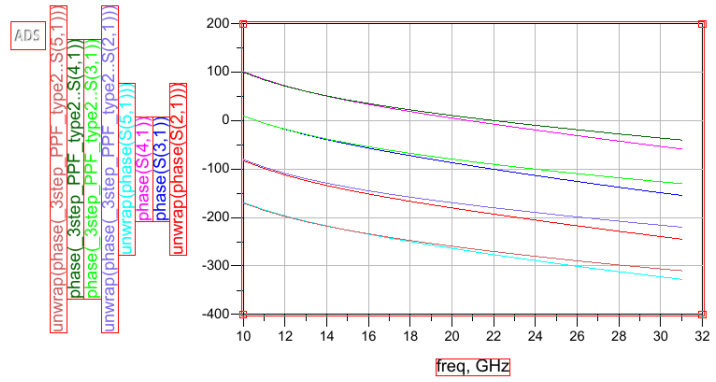
这四个报错目前还没有找到原因，它们是8xp工艺库中mim电容自带的错误，并非连线错误。

2024.12.03

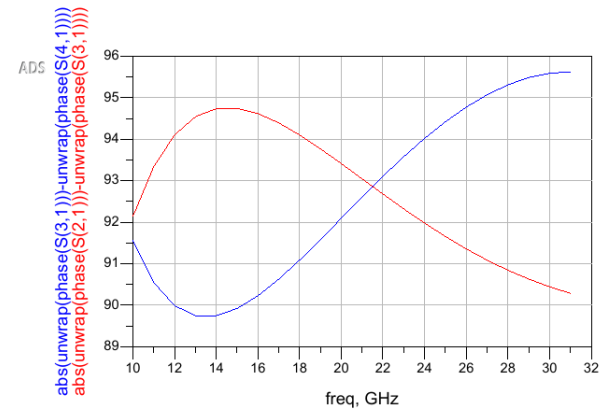
PPF完整版图的EM仿真模型与理想的三阶PPF存在不小的偏差，导致最终的移相误差最大可达到4°：



观察PPF版图仿真结果：



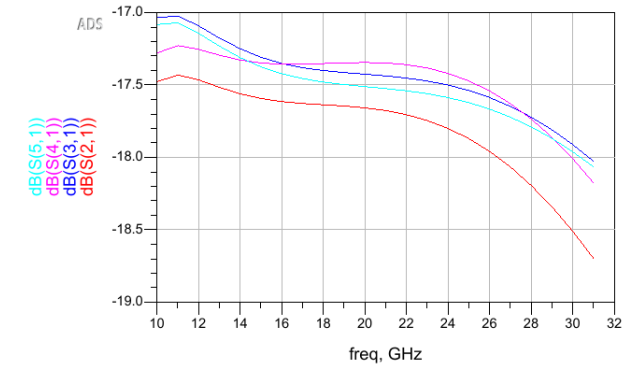
与理想PPF各路信号相位进行比较



正交信号间的误差

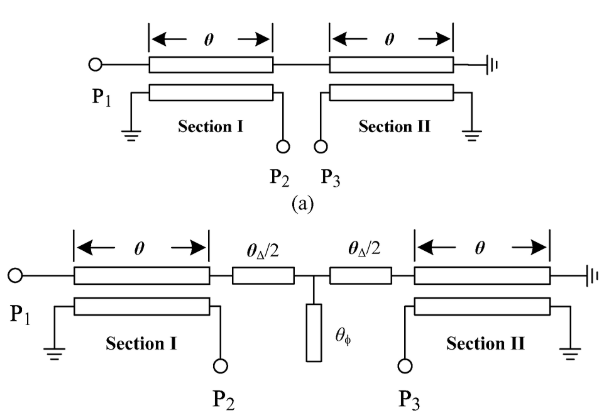
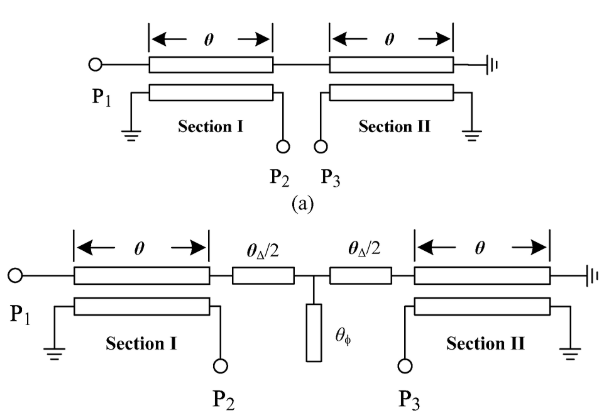
可以发现PPF输出的四路信号中，本应两两正交的同路输出的信号相位偏差最大可达到5.5°，这将对后一级矢量合成模块输出的最终相移产生非常大的影响！

同时，由于采用了Type型PPF，这四路信号本应产生4路幅值相同的输出信号，以提高VGA的合成精度。但目前的PPF无法产生幅值误差相对较小的4路信号：

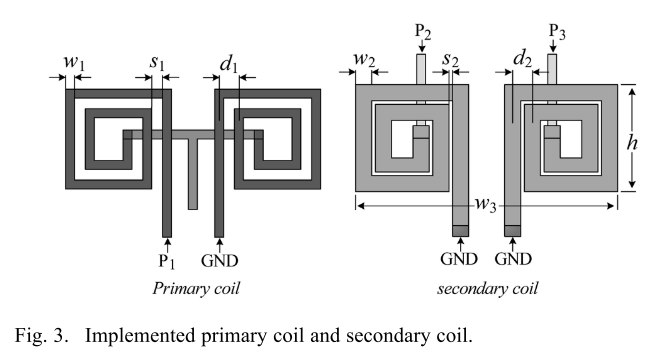


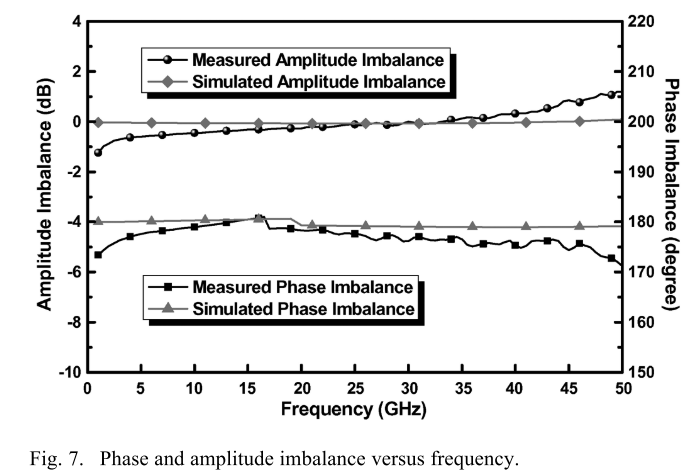
2024.12.11

Marchand Balun原理：

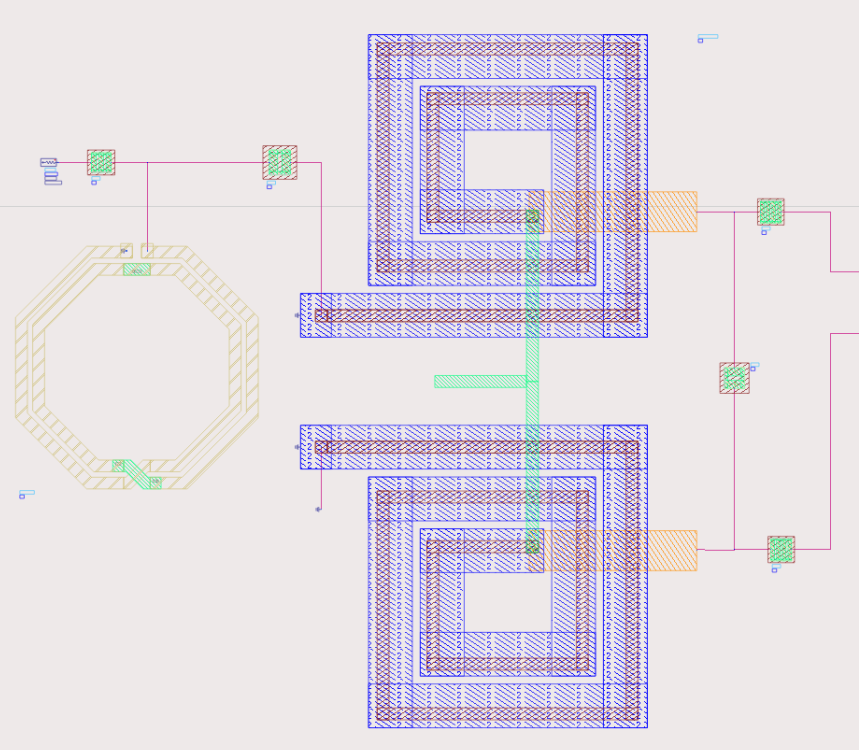
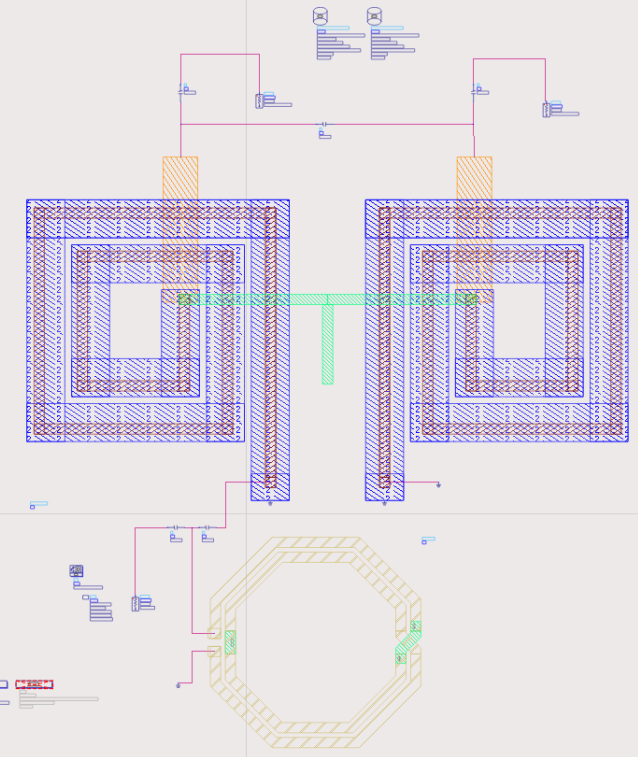
 

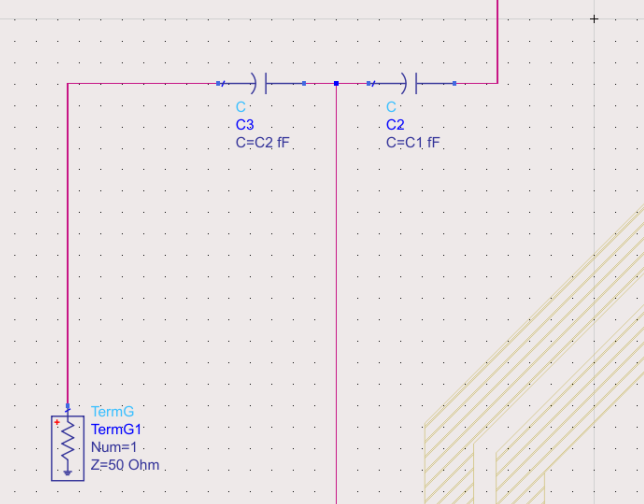
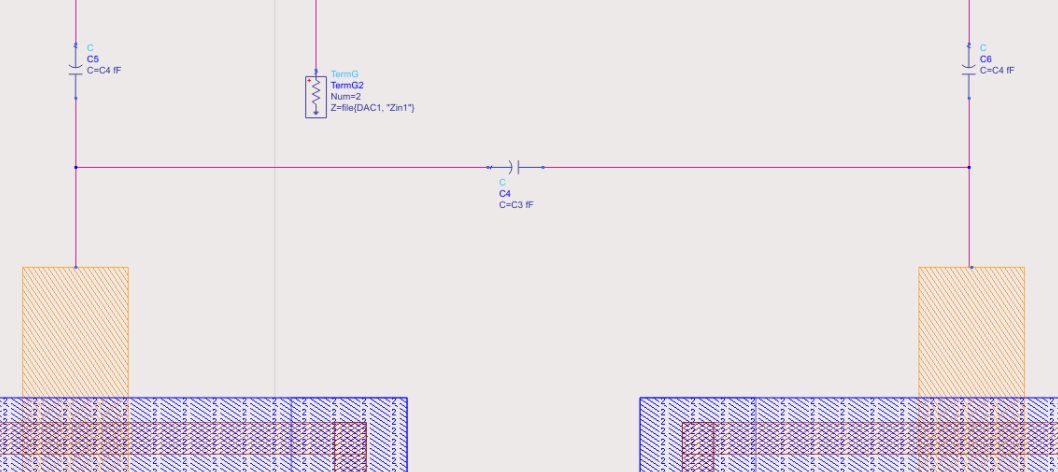
1. 传统Marchand Balun由于两端耦合线之间的互连线的存在，**会使得Section II耦合线的输入阻抗发生改变**，进而造成输出差分信号的幅值和相位不平衡。
2. 增加一段中心短截线，可以改变Marchand Balun第二段耦合线的输入阻抗。通过**调节中心短截线的长度，进而改善传统Marchand Balun差分输出的幅度和相位不平衡**。
3. Figure 7为2014年的这篇MWCL文章得到的Marchand Balun的结果

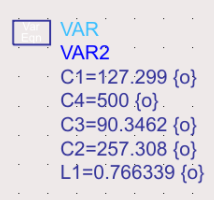




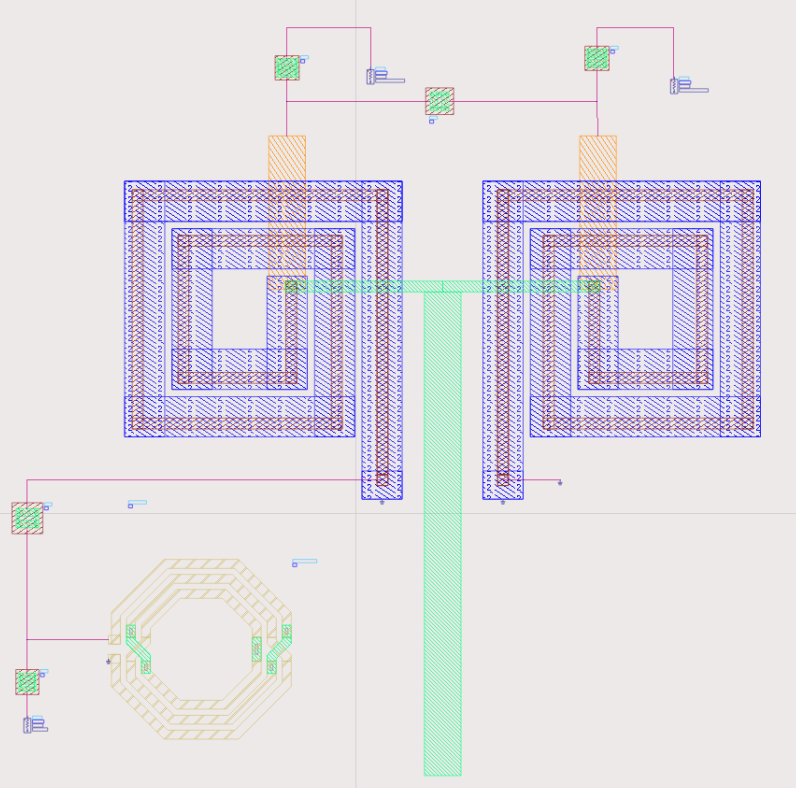
输入匹配网络：

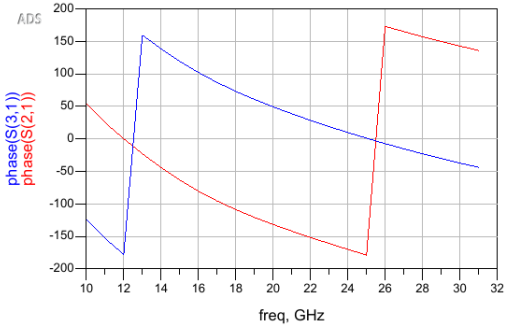
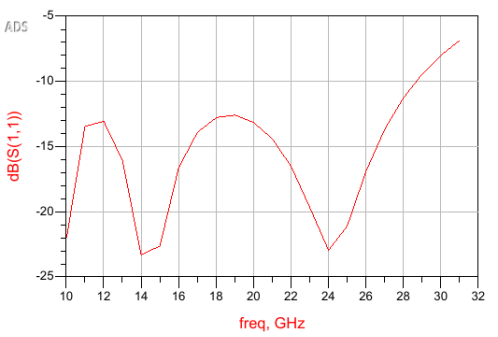
 

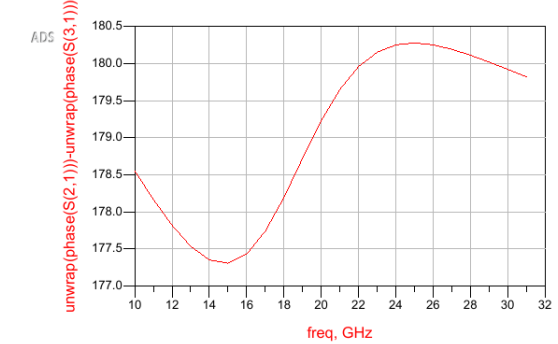
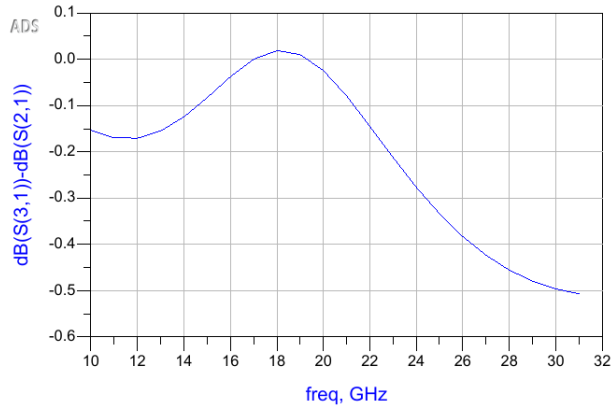


依照该原理图绘制完整的输入匹配网络的版图：(这里中心短截线长度有所改变，但上面所描述的理论依据基本没有变化)

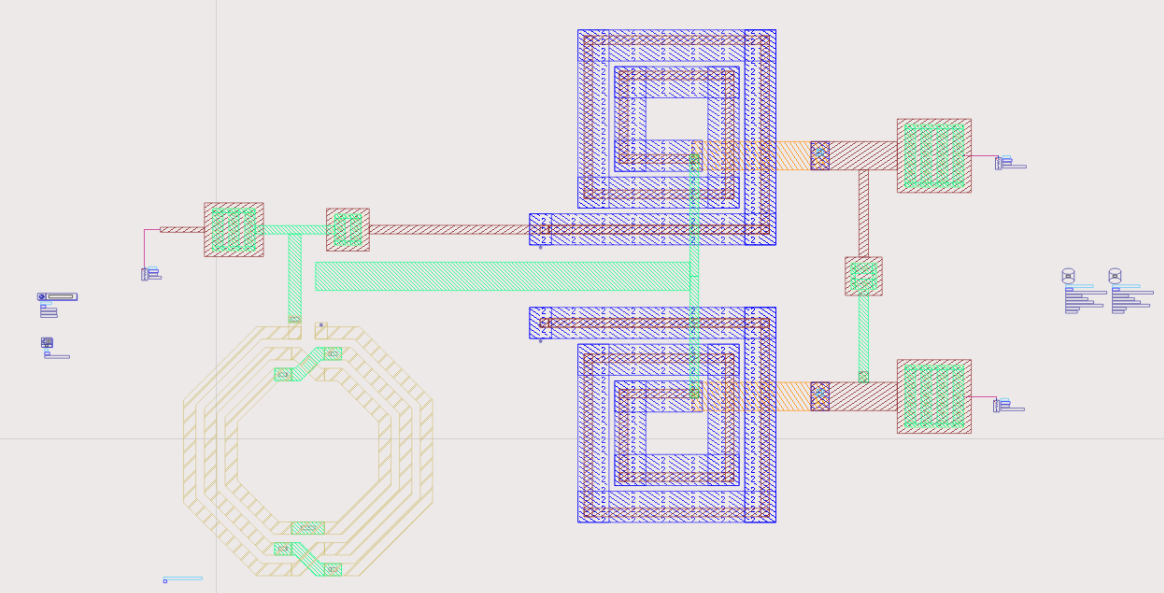


目前得到的输入匹配网络(Marchand Balun+匹配电路)性能如下：

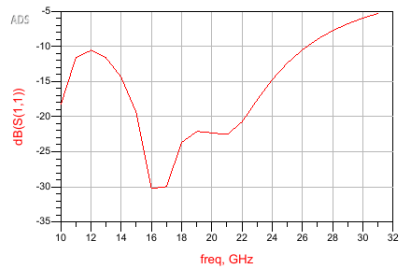
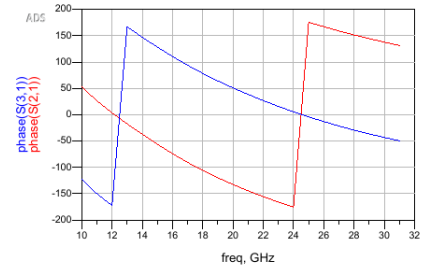


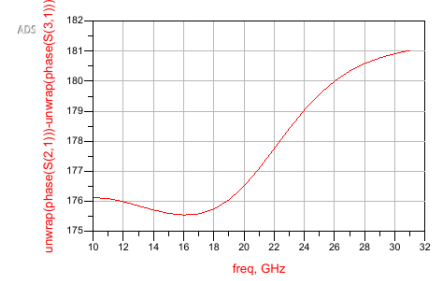
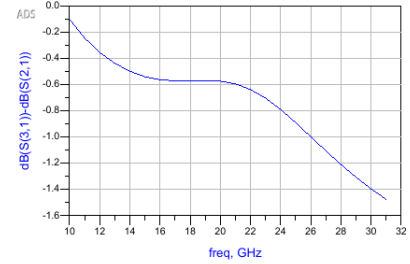
 

将上述原理图连接成完整版图：



得到的结果如下：

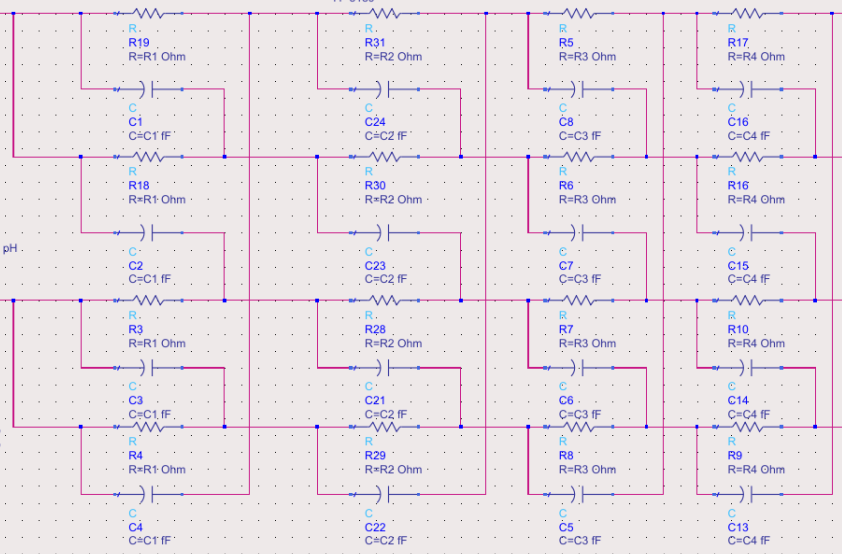
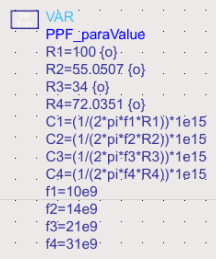
连接成完整版图之后，输出差分信号的幅值和相位的不平衡有所增加，Max Phase Error为4.5deg，Max Gain Error为1.5dB。

**组会提出的问题：**

1. 目前的PPF设计时，利用一个理想变压器产生两个差分信号，并将50ΩTerm作为理想变压器的输入端。**这说明设计时，多相滤波器的差分输入端的“设计阻抗”为50Ω。**
2. 但在目前设计的Marchand Balun中，其输出的两个端口Term的阻抗为50Ω。这说明，Marchand Balun的差分输出端的“设计阻抗”为100Ω。
3. 这样可能会导致难以在全频段实现匹配的情况。**如果将PPF的差分输入端口的“设计阻抗”定为100Ω，这样貌似就能直接将Marchand Balun和PPF直连**。

2024.12.12

四阶多相滤波器的尝试：

其中，电容值分别为：

C1=159f

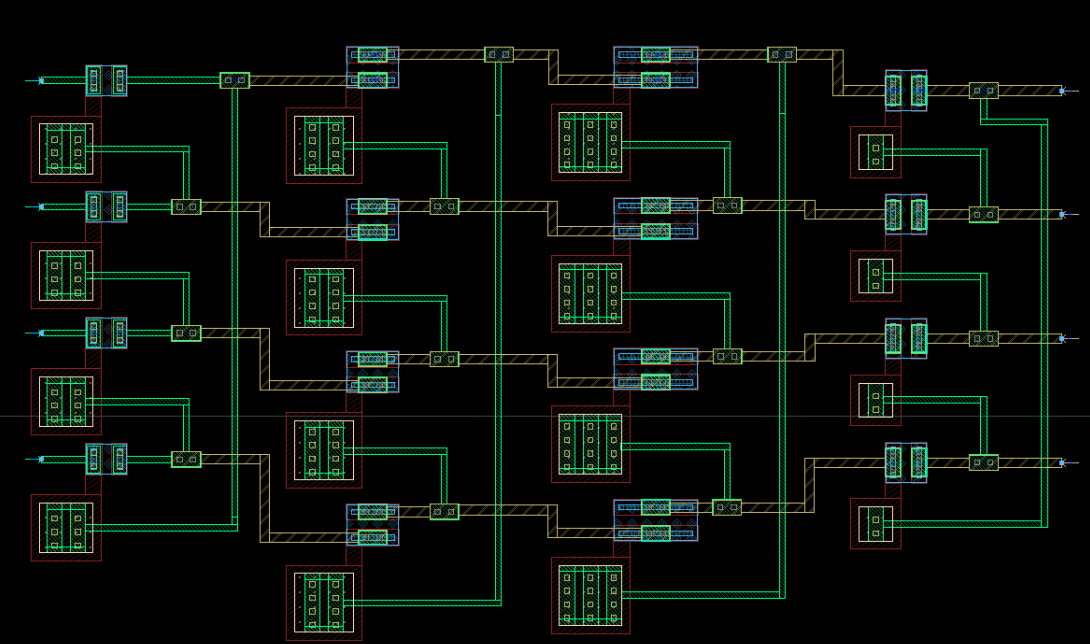
C2=207f

C3=223f

C4=71f

2024.12.16

多相滤波器分析：

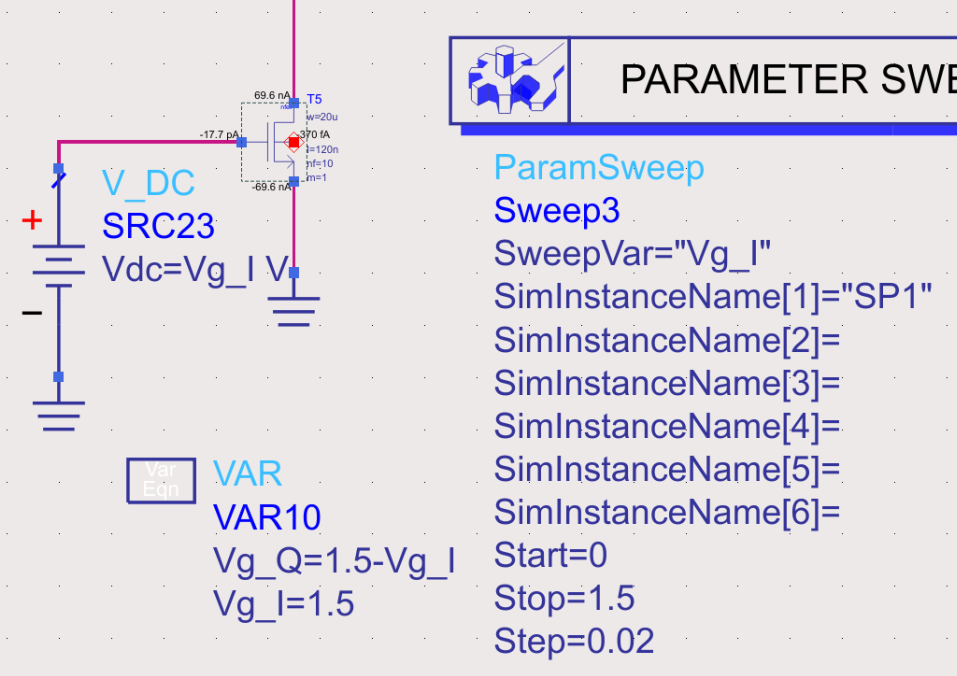


输出端口2和4，3和5是评判多相滤波器的指标，即差分端口的差异是评判多相滤波器的指标！S21与S41、S31与S51应该尽可能相同。

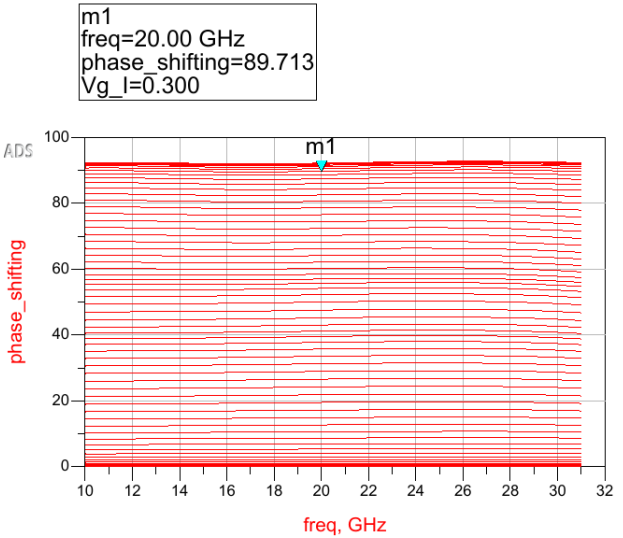
虽然对4阶多相滤波器单独进行仿真发现其产生的4路正交信号之间的相移和增益误差比较大。但当我们将其级联到整个电路中时，发现整体的电路性能相较3阶的情况有很大的改善！

2024.12.23

采用一个nfet作为尾电流源，通过控制电压Vg来实现控制电流的大小。



现在从所有的扫参结果中选择出合适的电压值，**以Vg\_I=1.2V, Vg\_Q=0.3V作为0相移态**。



20GHz处，0~90°范围内：

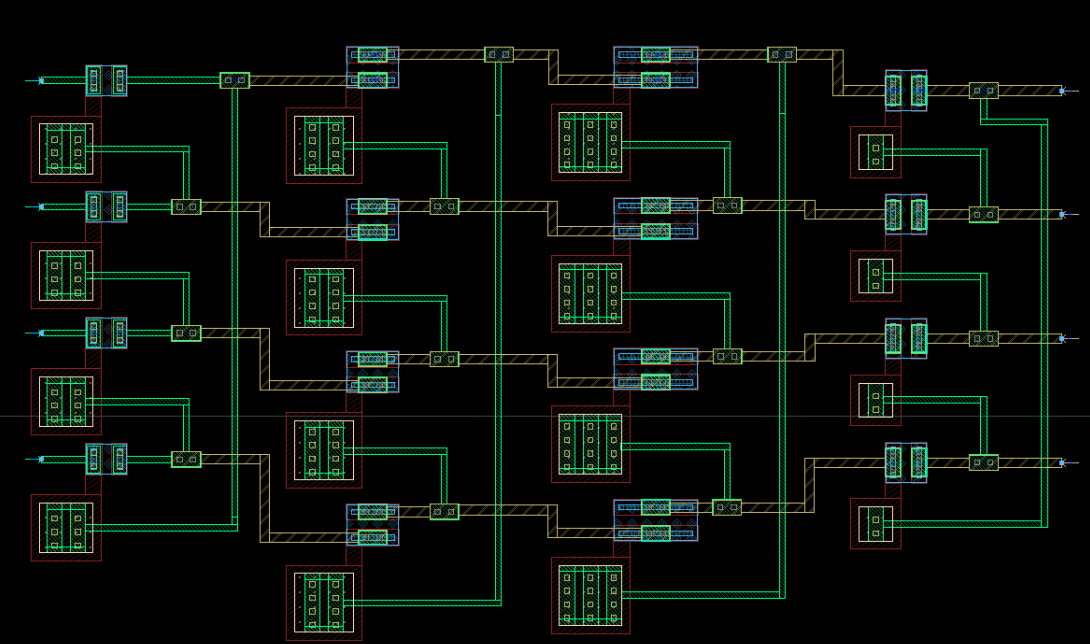
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 状态 | 理想相位 | 实际相位 | Vg\_I | Vg\_Q |
| 16 | 90 | 89.221 | 0.16V |  |
| 15 | 84.375 | 84.491 | 0.34V |  |
| 14 | 78.75 | 79.582 | 0.40V |  |
| 13 | 73.125 | 73.591 | 0.46V |  |
| 12 | 67.5 | 67.312 | 0.52V |  |
| 11 | 61.875 | 61.158 | 0.58V |  |
| 10 | 56.25 |  | 0.63V |  |
| 9 | 50.625 |  | 0.71V |  |
| 8 | 45 | 44.614 | 0.76V |  |
| 7 | 39.375 | 40.095 | 0.8V |  |
| 6 | 33.75 |  | 0.87V |  |
| 5 | 28.125 | 28.3 | 0.92V |  |
| 4 | 22.5 |  | 0.97V |  |
| 3 | 16.875 | 16.538 | 1.02V |  |
| 2 | 11.25 | 11.931 | 1.06V |  |
| 1 | 5.625 | 5.709 | 1.12V |  |
| 0 | 0 | 0 | 1.2V | 0.3V |

2025.2.5

返校第一天，开始梳理上一次的工作进展：

完成电阻分压式DAC电流源搭建，目前还不知道这种类型的电路会有什么样的问题。但已基本上实现所追求的目标。

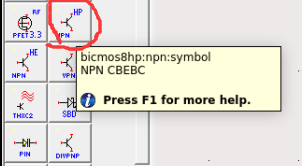
经过上一次组会，发现目前版图绘制中存在如下问题：



此图中第4路信号存在一条额外长的信号走线！需要对版图布局进行改变，以使得4路信号的走线都相似。

经分析，发现此布局难以改变，只能进行微小的调整，改变电路的拓扑结构所带来的效果可能非常微小，但工程量很大且存在很大的不确定性。同时，通过观察其他的文章的版图，可以发现多相滤波器的版图基本采用上面的结构。因此，后续的任务是将电路结构变得紧凑，在保证性能的前提下。

**VGA单元所使用的BiCMOS模型：**



**8HP NPN\_CBEBC模型所对应物理结构的截面图如下，这可以帮助理解该模型layout的连接方式。**

