

一种基于 65 nm CMOS 工艺的 33.5~37.5 GHz 有源矢量合成型移相器

李印^{1,2}, 吴锐^{1,2,*}

(1. 中国科学院 空天信息创新研究院 微波成像技术国家级重点实验室, 北京 100094;

2. 中国科学院大学 电子电气与通信工程学院, 北京 100049)

摘要: 基于 65 nm CMOS 工艺设计了一款 33.5~37.5 GHz 的 6 bit 有源矢量合成型移相器 (VSPS)。该移相器采用 Lange 类型的 90° 耦合器作为 I/Q 信号发生器, 其中的电感采用 8 字形电感实现; 此外, 矢量合成部分采用电流合成结构, 使芯片面积更加紧凑。后仿真结果显示, 该移相器覆盖 360° 移相范围, 对于 64 种移相角度状态, 其整个工作频带下的相位均方根 (RMS) 误差约为 0.33°~3.20°, 移相附加增益幅度约为 -8.38~-4.89 dB, 其 RMS 误差小于 0.59 dB, 噪声系数约为 12.55~15.55 dB, 输入反射系数小于 -15 dB, 输出反射系数小于 -7.9 dB, 在 33.5、35.5 和 37.5 GHz 频率下, 其 1 dB 压缩点输入功率分别为 -1.38~0.96、-1.13~0.75 和 -0.30~1.40 dBm。该移相器核心电路面积仅约为 0.11 mm², 在 1.2 V 的电源电压下, 消耗 14.6 mW 的直流功率, 具有面积紧凑、功耗较低、插入损耗适中且精度较高的优势, 有利于相控阵系统大规模集成和应用。

关键词: 矢量合成型移相器 (VSPS); 90° 耦合器; 磁耦合谐振器 (MCR); 跨导单元; 电流合成

中图分类号: TN432; TN623 文献标识码: A 文章编号: 1003-353X (2023) 02-0123-09

A 33.5–37.5 GHz Active Vector–Sum Phase Shifter Based on 65 nm CMOS Technology

Li Yin^{1,2}, Wu Rui^{1,2,*}

(1. National Key Lab of Microwave Imaging Technology, Aerospace Information Research Institute,
Chinese Academy of Sciences, Beijing 100094, China;

2. School of Electronic, Electrical and Communication Engineering, University of Chinese Academy of Sciences,
Beijing 100049, China)

Abstract: A 33.5–37.5 GHz 6 bit active vector-sum phase shifter (VSPS) based on 65 nm CMOS process was designed. The phase shifter adopted a Lange type 90° coupler as its I/Q signal generator, the inductors of which were realized by 8-shaped inductors. In addition, the vector-sum part of the phase shifter adopted the current-combining structure, which further reduced the chip area of the VSPS. The post simulation results show that the phase shifter covers a 360° phase shift range. For 64 phase-shifting states, the root-mean-square (RMS) phase error in the entire operation frequency band is about 0.33°–3.20°, the phase-shifting additional gain amplitude varies from about -8.38 dB to -4.89 dB, and its RMS error is less than 0.59 dB. The noise figure varies from about 12.55 dB to 15.55 dB, with input reflection coefficient of less than -15 dB and output reflection coefficient of less than -7.9 dB. The input power at 1 dB compression point is -1.38–0.96, -1.13–0.75 and -0.30–1.40 dBm at 33.5, 35.5

基金项目: 中国科学院百人计划基金资助项目 (2020000612); 国家重点研发计划项目 (2019YFA0210204)

and 37.5 GHz respectively. The core circuit area of the phase shifter is only about 0.11 mm^2 , and it consumes 14.6 mW DC power under a 1.2 V power supply, with the advantages of compact area, low power consumption, moderate insertion loss and high precision, which is conducive to the large-scale integration and application of phased array system.

Keywords: vector-sum phase shifter (VSPS); 90° coupler; magnetically coupled resonator (MCR); transconductance unit; current combining

EEACC: 2570D; 1270

0 引言

对更高的无线数据传输速率和高分辨率成像的需求推动了毫米波收发机的发展^[1], 其中由多个射频前端和天线阵列组成的相控阵收发机通过控制各个通路的相移实现了天线波束的电扫描, 其数据链路具有高等效各向同性辐射功率、高信噪比和高方向性动态波束控制等特点^[2], 广泛地应用于雷达、通信和导航等领域^[3]。

移相器是毫米波相控阵系统中的关键组件之一, 其位于相控阵系统的每个单元中, 用于执行波束成形和波束指向控制。首先, 其移相精度决定着阵列辐射性能与波束控制精度。其次, 为了补偿高的空间损耗, 毫米波相控阵系统通常需要较多的单元, 而移相器较大的面积和功耗会导致相控阵芯片面积和功耗的显著增加, 从而使其在毫米波频段有限的阵元间距下的应用变得十分困难。再者, 移相器还应具有较低的损耗, 因为移相器损耗过大将会需要更多的放大器来补偿链路增益, 从而增大了阵列芯片功耗与面积。因此, 为了满足毫米波相控阵系统的应用需求, 需要设计一款面积紧凑、功耗较低、插入损耗适中且精度较高的移相器。

移相器根据其直流功耗是否为零, 可以分为无源移相器和有源移相器。根据工作原理进行分类, 移相器主要有开关型移相器 (switch type phase shifter, STPS)、反射型移相器 (reflection type phase shifter, RTPS) 和矢量合成型移相器 (vector-sum phase shifter, VSPS)。开关型移相器通常是无源的, 并且结构较为简单。但是为了实现更高的相位分辨率, 需要级联更多的移相单元, 这会导致较高的插入损耗和较大的芯片面积^[4]。反射型移相器也大多是无源的, 它具有较为紧凑的面积, 但是其工作带宽相对较窄, 不适合于毫米波应用, 此外, 它同样具有较高的插入损耗^[5]。典型的矢量合成型移相器通过调整正交向量的幅度比和正负极性并进行向量

求和即可实现 $0 \sim 360^\circ$ 的移相范围。无源 VSPS 通常采用无源衰减器执行相位可逆的增益调谐, 虽然具有零直流功耗, 但是其插入损耗较高^[6]。相比之下, 虽然有源 VSPS 具有较高的功耗, 但是它能实现相对较低的插入损耗以及相位和增益误差, 并且其芯片尺寸通常介于开关型和反射型移相器之间^[7], 具有在毫米波相控阵中应用的潜力。

F. Qiu 等人^[7]提出了一种 24~30 GHz 结构简化的 VSPS, 仅使用一个 90° 耦合器同时作为 I/Q 发生器和矢量求和器, 此外采用了基于自校准技术的有源巴伦来改善移相器的增益性能, 但这是以功耗的提高 (28 mW) 为代价的。W. H. Gao 等人^[8]提出了一种 19~23 GHz 的无源 VSPS, 由于采用电压求和功率合成方法, 导致了较大的芯片面积 (0.64 mm^2), 这对于大规模阵列和系统集成而言是不利的。Y. M. Yu 等人^[9]设计了一种 57~64 GHz 的 4 bit VSPS, 基于可调谐分流技术, 开发了正交可调幅度发生器, 能够有效降低功耗, 但是其移相分辨率较低, 且具有较大的移相相位误差 ($2.3^\circ \sim 7.6^\circ$)、增益误差 (0.75~1.6 dB) 和较差的线性度 (1 dB 压缩点输入功率的均值为 -9.8 dBm)。

基于以上分析, 为了获得面积紧凑、功耗较低、插入损耗适中且精度较高的毫米波移相器, 本文提出了一种 65 nm CMOS 工艺下的 6 bit 有源矢量合成型移相器, 其工作频段为 33.5~37.5 GHz。本设计采用 Lange 类型的 90° 耦合器作为 I/Q 发生器, 有效降低了 VSPS 的插入损耗; 采用磁耦合谐振器 (magnetically coupled resonator, MCR) 作为输入输出匹配网络, 相较于有源巴伦, 保持了较高的线性度。此外, 矢量合成部分采用电流合成模式, 极大地节省了芯片面积。

1 有源 VSPS 结构

设计的有源 VSPS 的原理图如图 1 所示 (图中省略了电流镜偏置电路), 该移相器为单端 50Ω

输入, 差分 $100\ \Omega$ 输出。整个移相器主要由 I/Q 发

于符号选择和增益控制的跨导单元、电流合路连线以及用于输出匹配的 MCR 构成。

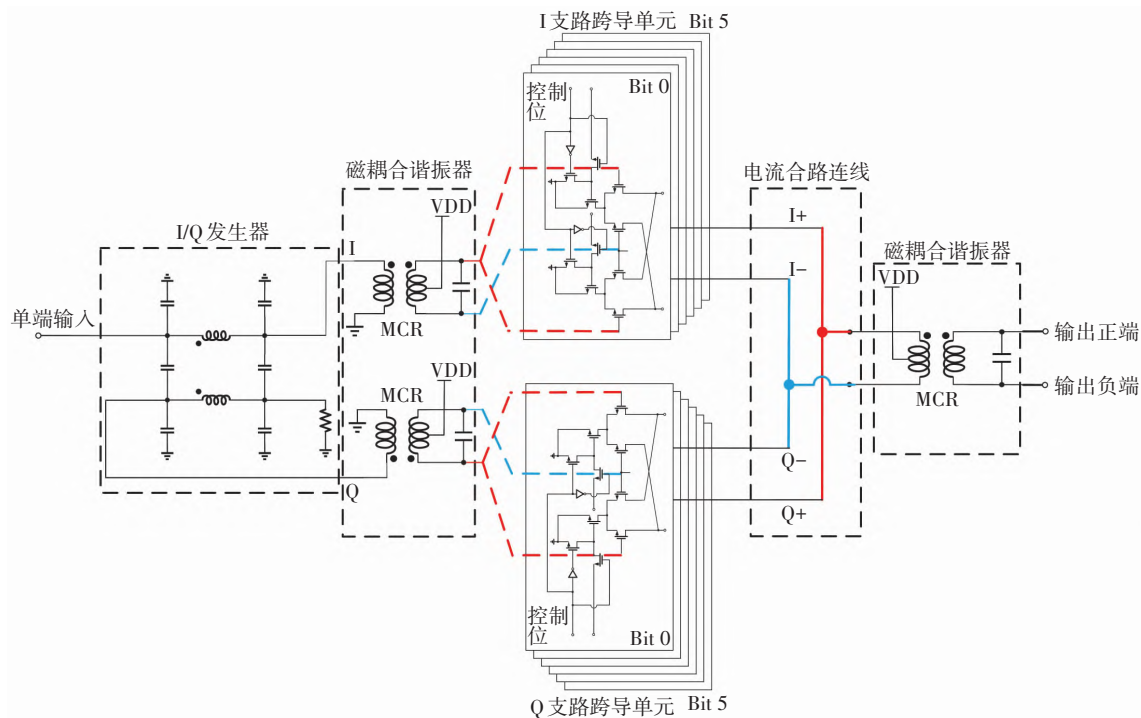


图 1 有源 VSPS 的原理图

Fig. 1 Schematic of the active VSPS

在这些电路单元中, I/Q 发生器是 VSPS 中的关键单元之一。它的 I/Q 性能决定了整个 VSPS 的相位误差。VSPS 设计中使用最广泛的 I/Q 发生器主要包括 RC 多相滤波器 (RC poly-phase filter, RCPFF)、正交全通滤波器 (quadrature all-pass filter, QAF) 和 90° 耦合器。在本设计中, 该 I/Q 发生器采用的是 Lange 类型的 90° 耦合器。耦合器为单端输入, 输出 I/Q 两路单端信号。连接在耦合器后级的是用于跨导单元输入匹配的 MCR, 该 MCR 还完成两路信号由单端到差分的转换。其后是用于增益控制和符号选择的跨导单元, 该单元受外部信号的控制改变输出信号的大小和极性, 从而调节正交向量的幅度和方向。跨导单元输出的电流经过电流合路连线, 完成 I+ 路和 Q+ 路、I- 路和 Q- 路的电流向量叠加。最后叠加得到的正负两路信号经过输出匹配 MCR 输出。

在本设计中, I/Q 两路跨导单元采用的是电流合成结构, 其电流输出两两相连, 即两路跨导单元的电流正端输出之间相连, 负端输出之间相连, 并分别在输出端产生组合输出。

电流合成结构和功率合成结构的理论计算分析与对比在文献 [6] 中有所阐述。在矢量合成移相

器的应用中, 两种结构在合成后都引入了 3 dB 的损耗, 但电流合成结构具有更紧凑的面积。此外, 虽然电流合成结构的两个输入端口存在阻抗不匹配的问题, 但是由于跨导单元可以提供足够的反向隔离度, 其对 VSPS 输入阻抗的影响可以忽略不计。因此, 本设计采用了电流合成结构。

2 关键电路模块设计

2.1 基于 90° 耦合器的 I/Q 发生器设计

利用集总元件实现的 Lange 类型 90° 耦合器的原理图如图 2 所示。Lange 耦合器是一种耦合线耦合器, 它可以通过片上变压器和电容的组合实现。该耦合器共有 4 个端口, 分别为输入端 (INP)、

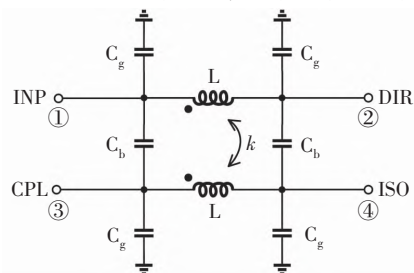


图 2 Lange 类型 90° 耦合器集总元件模型

Fig. 2 Lange type 90° coupler lumped element model

直通端 (DIR)、耦合端 (CPL) 和隔离端 (ISO)。在本设计中, 耦合器的输入端作为移相器整体的输入端, 直通端为 I 支路信号输出, 耦合端为 Q 支路信号输出, 隔离端到地电阻阻值等于耦合器特征阻抗。

D. Ozis 等人^[10]对 Lange 类型耦合器集总元件的参数值进行了分析和计算。根据其计算方法, 可得出工作在 33.5~37.5 GHz 的 90°耦合器中各个元件参数, 其中各个端口与地之间的电容 C_g 为 34 fF, 端口①和③以及端口②和④之间的电容 C_b 为 89 fF, 变压器电感 L 为 316 pH, 变压器的耦合系数 k 为 0.707。实际电路由于不对称性和存在寄生参数等因素, 还需要对各元件参数在理论计算值的基础上进行扫描, 对版图进行电磁仿真迭代设计, 以得到性能达到最佳时的结果。

本设计最终得到的 90°耦合器的版图如图 3 所示, 其中变压器的电感采用 8 字形电感实现。相同电感值 (160 pH) 的 8 字形电感和八边形电感的版图对比如图 4 所示, 其中 8 字形电感使用 M9 金属绕制, 交叉处使用 M8 金属连接, 其线圈部分的面积为 $74 \mu\text{m} \times 48 \mu\text{m}$; 八边形电感也同样采用 M9 金属绕制, 其线圈部分的面积为 $80 \mu\text{m} \times 70 \mu\text{m}$, 所占面积为 8 字形电感的 1.58 倍。此外, 对本设计版图中的两路输入匹配 MCR 中的 8 字形电感之

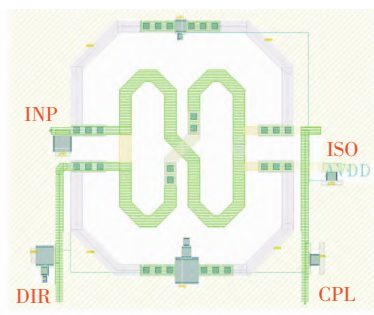


图 3 90°耦合器的版图
Fig. 3 Layout of 90° coupler

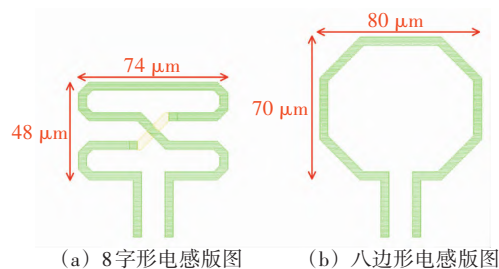
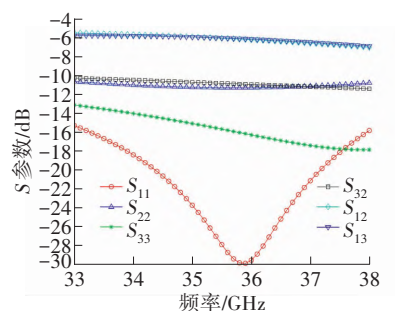


图 4 8 字形电感与八边形电感的版图对比

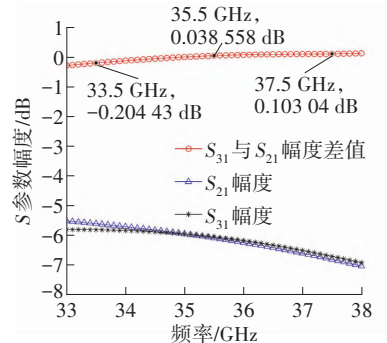
Fig. 4 Comparison between the layouts of the 8-shaped inductor and octagonal inductor

间的耦合系数进行了电磁仿真, 结果仅为 0.001。由以上分析可见, 采用 8 字形电感的主要优点是能够减小电感面积, 使得系统的整体面积更加紧凑, 并且降低电磁辐射, 减少对其他元件的干扰。

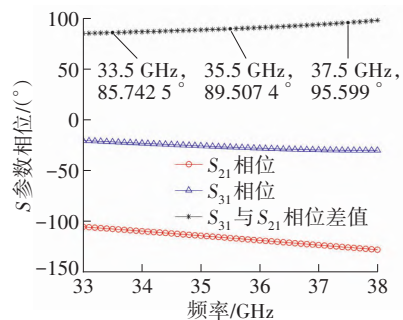
90°耦合器的电磁仿真结果如图 5 所示, 图 5 (a) 展示了耦合器输入端、直通端、耦合端的反射系数 (S_{11} 、 S_{22} 、 S_{33}), 直通端到耦合端的隔离度 (S_{32}) 和直通端到输入端、耦合端到输入端的反向传输系数 (S_{12} 、 S_{13}) 与频率之间的关系, 可以看出, 反射系数和隔离度均小于 -10 dB; 图 5 (b) 展示了耦合器 I/Q 两路的损耗 (输入端到直通端和输入端到耦合端的正向传输系数 S_{21} 和 S_{31} 的幅度) 以及它们之间的差值, 在 33.5~37.5 GHz 内, 两路损耗的差值由 -0.2 dB 变化到 0.1 dB; 图



(a) 耦合器反射系数、隔离度和反向传输系数与频率的关系



(b) 耦合器 I/Q 两路的损耗以及它们之间的差值



(c) 耦合器 I/Q 两路的相位以及它们之间的差值

图 5 90°耦合器的电磁仿真结果

Fig. 5 Electromagnetic simulation results of 90° coupler

5 (c) 展示了耦合器 I/Q 两路的相位 (S_{21} 和 S_{31} 的相位) 以及它们之间的差值, 两路的相位差随着频率的升高由 85.7° 增加到 95.6° 。

2.2 基于 MCR 的匹配网络设计

为了实现较高的线性度, 本设计中匹配网络采用的是 MCR 结构, 而不是有源巴伦结构。MCR 是一种四阶网络, 它基于变压器结构, 具有较高的设计自由度, 且其占用面积与单个电感相近。MCR 的简化原理图如图 6 所示, 它由 2 个电感器和它们之间的耦合、2 个电容器和 2 个电阻器组成。

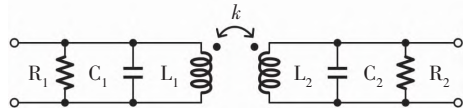
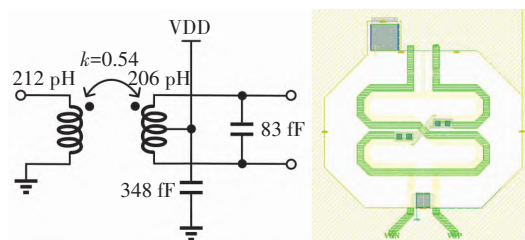


图 6 MCR 的简化原理图

Fig. 6 Simplified schematic of MCR

H. K. Jia 等人^[11]详细介绍了 MCR 的宽带匹配原理。本设计中一共有 3 个 MCR, 其中 2 个完全相同的用作跨导单元的输入匹配网络, 另外 1 个用作矢量合成后的输出匹配网络。输入 MCR 的原理图和版图如图 7 所示。与次级线圈并联的电容用于调谐线圈电感并执行匹配。次级线圈中心抽头处接电源电压的偏置, 并且与地之间接有滤波电容。输出 MCR 的原理图和版图如图 8 所示。其初级线圈中心抽头处接电源电压作为整个移相器的电源供应。

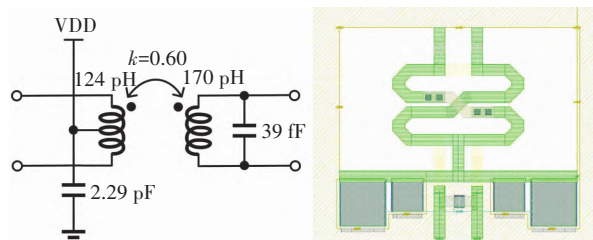


(a) 原理图

(b) 版图

图 7 输入 MCR 的原理图和版图

Fig. 7 Schematic and layout of the input MCR



(a) 原理图

(b) 版图

图 8 输出 MCR 的原理图和版图

Fig. 8 Schematic and layout of the output MCR

2.3 跨导单元设计

跨导单元也是整个移相器中的关键单元之一, 用于调节两路正交信号输出电流的幅度和方向。跨导单元部分的原理图如图 9 所示。为了使跨导单元工作, 需要外加 $320 \mu\text{A}$ 的偏置电流, 并且使能管 M_{EN} 的栅极电压接电源电压使其工作在导通状态。偏置电流通过 M_{EN} 后流入电流镜的复制电路部分, 即二极管接法的 M_0 , 并在节点 A 处产生栅极电压。

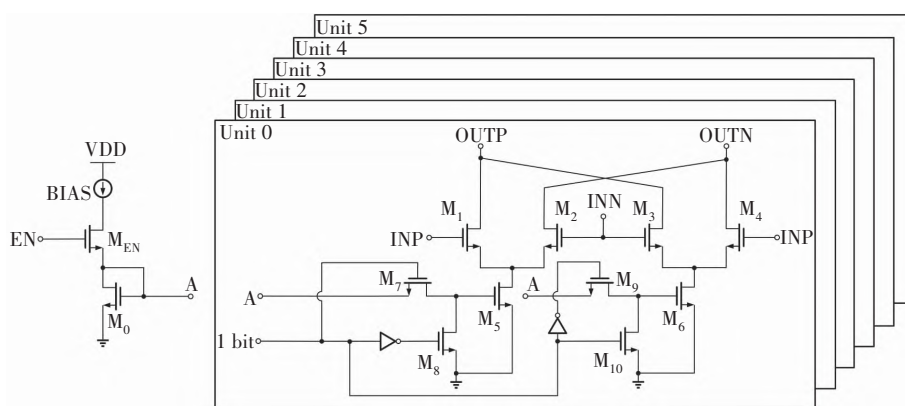


图 9 跨导单元原理图

Fig. 9 Transconductance unit schematic

本设计的跨导单元的输入输出部分由结构相同的 6 个单元组成, 这些单元类似吉尔伯特单元, 区别仅在于其输出的是电流而非电压。6 个单元的尾电流源 (M_5 、 M_6) 的栅极均经过开关管 $M_7 \sim M_{10}$ 与节点 A 相连, 从而与 M_0 结合形成完整的电流镜

结构。这些单元的尾电流源的栅长相等, 均为 360 nm , 而其栅宽从低位单元 (Unit 0) 到高位单元 (Unit 5) 分别为 3.6 、 7.2 、 14.4 、 28.8 、 57.6 、 $115.2 \mu\text{m}$, 呈现以最小栅宽 ($3.6 \mu\text{m}$) 乘 2 的指数幂的形式。6 个单元都分别由 1 bit 控制位

进行控制, 所以 I 和 Q 路信号的跨导单元分别需要 6 bit 控制位, 整个移相器需要 12 bit 控制位。

对于这 6 个单元, 当其控制位为高电平时, M_7 和 M_{10} 导通, M_8 和 M_9 截止, 此时节点 A 的电压提供给了电流源 M_5 的栅极, 而电流源 M_6 的栅极电压由于 M_{10} 的导通而接近于零。于是输入正端 INP 的电压信号经过 M_1 的作用产生电流, 流出输出正端 OUTP, 输入负端 INN 经过 M_2 的作用产生电流, 流出输出负端 OUTN, 此时认为输出的电流信号为正方向。同理, 当控制位为低电平时, 情况正好相反, 输入正端 INP 的电压信号经过 M_4 的作用产生电流, 流出输出负端 OUTN, 输入负端 INN 经过 M_3 的作用产生电流, 流出输出正端 OUTP, 此时认为输出的电流信号方向为负方向。对于 6 个单元, 其 $M_1 \sim M_4$ 的栅长均为 60 nm, 而其栅宽同样呈现 2 的指数幂关系, 从低位单元到高位单元分别为 0.6、1.2、2.4、4.8、9.6、19.2 μm 。

6 个单元的输出端口直接相连, 因此总的输出电流是根据基尔霍夫电流定律叠加而来的。由前文分析可得, 6 bit 控制位可分别控制 6 个单元输出的电流方向, 此外, 由于这些单元的晶体管栅宽呈现 2 的指数幂关系, 因此其输出电流的大小也同样如此。于是, 通过控制跨导单元的 6 bit 控制位, 就能调整输出电流的大小和方向。例如, 当 6 bit 控制位从高到低为 000000 时, 6 个单元全部为负向输出, 此时输出电流在负方向上达到最大; 同理, 当 6 bit 控制位为 111111 时, 输出电流在正方向上达到最大; 而当 6 bit 控制位为 100000 时, 此时正向输出和负向输出两者几乎抵消, 可以近似认为输出为 0。

在整个移相器中, I 路和 Q 路分别有一个跨导单元, 每路均由 6 bit 控制位控制输出电流信号的大小和方向, 从而得到了可分别独立调节的正交信号。因此, 这些正交信号经过矢量合成后共可生成 4 096 种移相模式, 由于是 6 bit 移相器, 需要找到移相角度最精准、幅度变化量最小的 64 种状态, 这可通过对所有状态进行扫描后, 利用程序对结果进行处理来实现。

3 后仿真结果

整个移相器核心电路的版图如图 10 所示, 其

面积为 250 $\mu\text{m} \times 457 \mu\text{m}$ 。

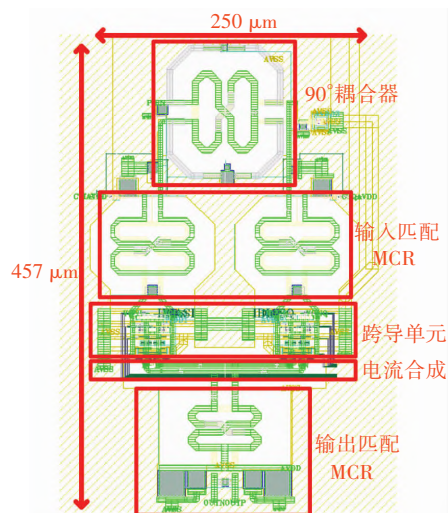


图 10 移相器核心电路的版图

Fig. 10 Layout of the phase shifter core circuit

仿真得到的 64 种移相模式下移相器的 S_{21} 相对相位与频率之间的关系如图 11 所示, 由此计算得到的相位 RMS 误差随频率的变化如图 12 所示, 在 33.5 GHz 时, 其 RMS 误差最大达到 3.20°, 35 GHz 时, 其 RMS 误差最小约为 0.33°, 在 37.5 GHz 时, 其 RMS 误差约为 2.86°。

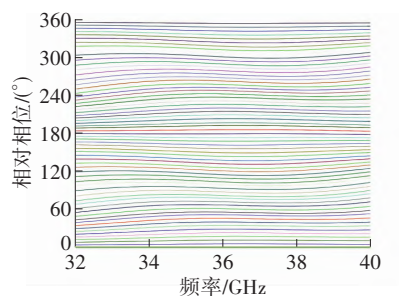


图 11 64 种移相模式下 S_{21} 的相对相位

Fig. 11 Relative phase of S_{21} in 64 phase-shifting modes

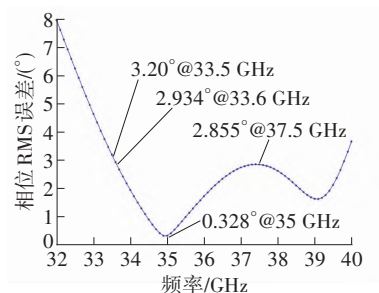


图 12 相位 RMS 误差与频率的关系

Fig. 12 Relationship between RMS phase error and frequency

仿真得到的 64 种移相模式下移相器的 S_{21} 幅度与频率之间的关系如图 13 所示。在整个工作频带

内, S_{21} 幅度最大值约为 -4.89 dB, 最小值约为 -8.38 dB。64 种模式下在工作频段上的增益变化量均小于 3 dB。计算得到的增益幅度的 RMS 误差与频率之间的关系如图 14 所示, 在 33.5 GHz 时, 其 RMS 误差最大 (约 0.59 dB), 在 35.4 GHz 附近最小 (约 0.22 dB)。

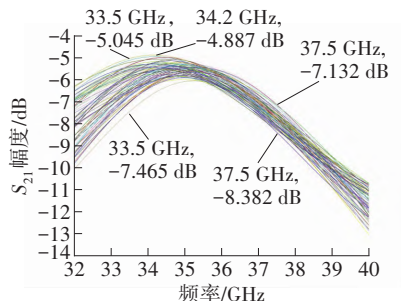


图 13 64 种移相模式下 S_{21} 幅度与频率之间的关系

Fig. 13 Relationship between S_{21} amplitude and frequency in 64 phase-shifting modes

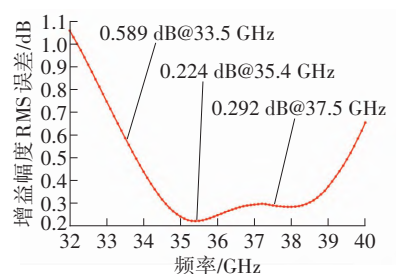


图 14 增益幅度的 RMS 误差与频率之间的关系

Fig. 14 Relationship between gain magnitude RMS error and frequency

仿真得到的移相器在 64 种移相模式下的 S_{11} 和 S_{22} 与频率之间的关系如图 15 所示, 其中 S_{11} 全频带 ($33.5 \sim 37.5$ GHz) 小于 -15 dB, S_{22} 全频带小于 -7.9 dB。仿真得到的移相器在 64 种移相模式下的噪声系数与频率之间的关系如图 16 所示, 其最小值约为 12.55 dB, 最大值约为 15.55 dB。较大的噪声系数可能是由 90° 耦合器的损耗造成的。在信号频率为 33.5 GHz 时, 仿真得到的 64 种移相模式下移相器的 1 dB 压缩点输入功率 ($P_{i(1\text{ dB})}$) 为 $-1.38 \sim 0.96$ dBm, 其 1 dB 压缩点输出功率 ($P_{o(1\text{ dB})}$) 为 $-8.20 \sim -6.69$ dBm。在信号频率为 35.5 GHz 时, 仿真得到 $P_{i(1\text{ dB})}$ 为 $-1.13 \sim 0.75$ dBm, 其 $P_{o(1\text{ dB})}$ 为 $-7.84 \sim -5.75$ dBm。在信号频率为 37.5 GHz 时, 仿真得到 $P_{i(1\text{ dB})}$ 为 $-0.3 \sim 1.4$ dBm, 其 $P_{o(1\text{ dB})}$ 为 $-9.58 \sim -7.42$ dBm。图 17 展示了参考模式 (0° 移相模式) 下的 $P_{i(1\text{ dB})}$ 和

$P_{o(1\text{ dB})}$ 与频率之间的关系。

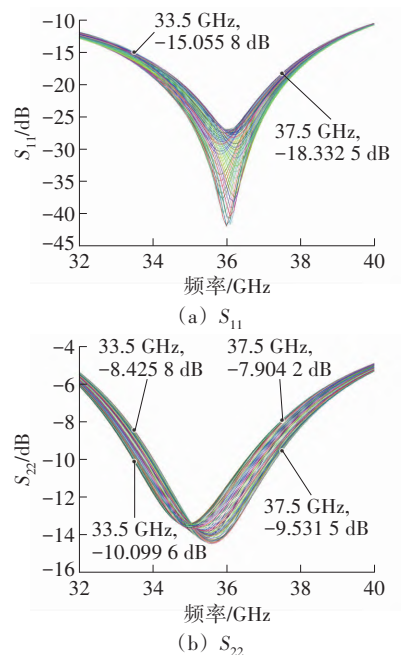


图 15 64 种移相模式下反射系数与频率之间的关系

Fig. 15 Relationship between reflection coefficient and frequency in 64 phase-shifting modes

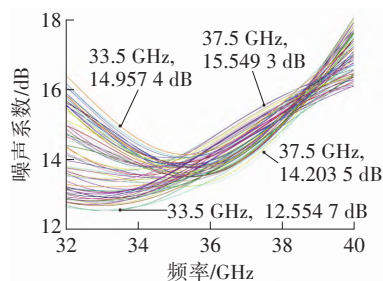


图 16 64 种移相模式下噪声系数与频率之间的关系

Fig. 16 Relationship between noise figure and frequency in 64 phase-shifting modes

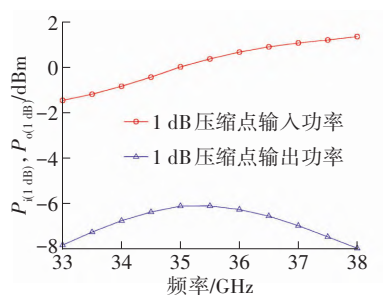


图 17 参考模式下 $P_{i(1\text{ dB})}$ 和 $P_{o(1\text{ dB})}$ 与频率之间的关系

Fig. 17 $P_{i(1\text{ dB})}$ and $P_{o(1\text{ dB})}$ versus frequency in reference mode

表 1 对比了本设计的后仿真结果与已有设计^[4-5, 7, 9, 12-16]的实测性能指标或仿真结果, 可以看出本设计在芯片面积、功耗和移相精度方面具有一定的竞争力。

表 1 本设计仿真结果与已有设计测试结果或仿真结果的对比

Tab. 1 Comparison of the simulation results of this design with the test results or simulation results of the existing designs

参考文献	类型	工艺	频率/ GHz	位数/ bit	增益/ dB	相位 RMS 误差/(°)	增益 RMS 误差/dB	直流功耗/ mW	噪声系数/ dB	1 dB 压缩点 输入功率/ dBm	芯片面积/ mm ²
[4]	STPS	65 nm CMOS	27~42	5	>-14.5	<3.8	<2.1	0			0.40
[5]	RTPS	65 nm CMOS	28~30	4	-12~-8 ⁽¹⁾			0			0.24
[7]	VSPS	65 nm CMOS	24~30	5	6.5~10	0.9~3.5	0.6~0.9	28	4.8~9	-12 ⁽²⁾	0.20 ⁽³⁾
[9]	VSPS	90 nm CMOS	57~64	4	1.1	2.3~7.6	0.75~1.6	19.8	9.7~13	-9.8 @ 60 GHz	0.61
[12]	VSPS	0.18 μm BiCMOS	15~35	4	-13.5~5	4.2~13	1~2.2	25.2		-6.25	0.19 ⁽³⁾
[13]	VSPS	0.18 μm BiCMOS	28~32	6	1	<5	<0.7	27.7			0.30
[14]	VSPS	0.18 μm BiCMOS	8~12	5	-1.3~1.8	<4.6	<0.6	73.9			0.60
[15]	VSPS	0.13 μm BiCMOS	26~28	8	-0.5 ⁽²⁾	0.2	0.2	23	17	2	0.45
[16] ⁽⁴⁾	VSPS	40 nm CMOS	28	8		0.5		28.6			0.18 ⁽³⁾
本文 ⁽⁴⁾	VSPS	65 nm CMOS	33.5~37.5	6	-8.38~-4.89	0.33~3.20	0.22~0.59	14.6	12.55~15.55	-0.4 ⁽⁵⁾ @ 35.5 GHz	约为 0.11 ⁽³⁾

(1) 从图片中估计; (2) 平均值; (3) 核心电路面积; (4) 后仿真结果; (5) 64 种移相模式下的平均值。

4 结论

设计了一种面积紧凑、功耗较低、插入损耗适中且精度较高的有源矢量合成型移相器。采用 Lange 类型的 90°耦合器作为 I/Q 发生器,并用 8 字形电感进行设计,在缩小面积的同时降低了插入损耗。两路跨导单元输出端采用电流合成模式,相较于电压求和功率合成模式,无需使用输出巴伦和威尔金森功合器,使芯片面积更加紧凑的同时也降低了损耗。提出的 VSPS 采用 65 nm CMOS 工艺,后仿真结果表明,其在 33.5~37.5 GHz 频带上实现了 6 bit 的移相分辨率,核心电路面积仅约为 0.11 mm²,直流功耗为 14.6 mW,相位 RMS 误差约为 0.33°~3.20°,增益 RMS 误差小于 0.59 dB,显示出其在相控阵中的应用潜力。

参考文献:

[1] JOHNSON M, DASCURCU A, ZHAN K, et al. Code-domain multiplexing for shared IF/LO interfaces in millimeter-wave MIMO arrays [J]. IEEE Journal of

Solid-State Circuits, 2020, 55 (5): 1270-1281.
[2] CHEN C N, LIN Y H, HUNG L C, et al. 38-GHz phased array transmitter and receiver based on scalable phased array modules with endfire antenna arrays for 5G MMW data links [J]. IEEE Transactions on Microwave Theory and Techniques, 2021, 69 (1): 980-999.
[3] 张光义, 赵玉洁. 相控阵雷达技术 [M]. 北京: 电子工业出版社, 2006: 25.
[4] TSAI J H, TUNG Y L, LIN Y H. A 27-42-GHz low phase error 5-bit passive phase shifter in 65-nm CMOS technology [J]. IEEE Microwave and Wireless Components Letters, 2020, 30 (9): 900-903.
[5] BASALIGHEH A, SAFFARI P, BOROUJENI S R, et al. A 28-30 GHz CMOS reflection-type phase shifter with full 360° phase shift range [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67 (11): 2452-2456.
[6] GU P, ZHAO D X, YOU X H. Analysis and design of a CMOS bidirectional passive vector-modulated phase shifter [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68 (4): 1398-1408.

- [7] QIU F, ZHU H S, CHE W Q, et al. A simplified vector-sum phase shifter topology with low noise figure and high voltage gain [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2022, 30 (7): 966-974.
- [8] GAO W H, ZHAO D X. K-band 360° passive vector modulator phase shifter with coupled line quadrature coupler and passive transistor array [C] // Proceedings of IEEE MTT-S International Wireless Symposium (IWS). Nanjing, China, 2021: 1-3.
- [9] YU Y M, KANG K, ZHAO C X, et al. A 60-GHz 19.8-mW current-reuse active phase shifter with tunable current-splitting technique in 90-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64 (5): 1572-1584.
- [10] OZIS D, PARAMESH J, ALLSTOT D J. Integrated quadrature couplers and their application in image-reject receivers [J]. IEEE Journal of Solid-State Circuits, 2009, 44 (5): 1464-1476.
- [11] JIA H K, PRAWOTO C C, CHI B Y, et al. A full Ka-band power amplifier with 32.9% PAE and 15.3-dBm power in 65-nm CMOS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65 (9): 2657-2668.
- [12] SAH S P, YU X M, HEO D. Design and analysis of a wideband 15 - 35-GHz quadrature phase shifter with inductive loading [J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61 (8): 3024-3033.
- [13] KIBAROGLU K, SAYGINER M, REBEIZ G M. A low-cost scalable 32-element 28-GHz phased array transceiver for 5G communication links based on a 2×2 beamformer flip-chip unit cell [J]. IEEE Journal of Solid-State Circuits, 2018, 53 (5): 1260-1274.
- [14] LI Z R, QIAO J, ZHUANG Y Q. An X-band 5-bit active phase shifter based on a novel vector-sum technique in 0.18 μm SiGe BiCMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68 (6): 1763-1767.
- [15] KALYONCU I, BURAK A, KAYNAK M, et al. A 26-GHz vector modulator in 130-nm SiGe BiCMOS achieving monotonic 10-b phase resolution without calibration [C] // Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Boston, USA, 2019: 75-78.
- [16] SHEN Z K, LIU Z X, JIANG H Y, et al. A 28 GHz 8-bit calibration-free LO-path phase shifter using transformer-based vector summing topology in 40 nm CMOS [C] // Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS). Sapporo, Japan, 2019: 1-5.

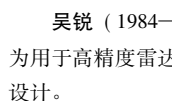
(收稿日期: 2022-10-21)

作者简介:

李印 (1998—), 男, 河南信阳人, 硕士研究生, 主要研究方向为射频/毫米波集成电路设计;



吴锐 (1984—), 男, 湖南攸县人, 博士, 研究员, 研究方向为用于高精度雷达和高速无线通信的射频/毫米波收发机集成电路设计。



作者简介:

王文军 (1974—), 男, 四川广元人, 工程师, 研究方向为微波及光电。



(上接第 122 页)

- [14] SHEN S K, YAN J Q, WANG Y N, et al. Further investigations on a modified avalanche transistor-based Marx bank circuit [J]. IEEE Transactions on Instrumentation and Measurement, 2020, 69 (10): 8506-8513.
- [15] YAN J Q, SHEN S K, DING W D. High-power nanosecond pulse generators with improved reliability by adopting auxiliary triggering topology [J]. IEEE Transactions on Power Electronics, 2020, 35 (2): 1353-1364.
- [16] SHEN S K, YAN J Q, SUN G X, et al. Improved auxiliary triggering topology for high-power nanosecond pulse generators based on avalanche transistors [J]. IEEE Transactions on Power Electronics, 2021, 36 (12): 13634-13644.
- [17] 张雅茹, 陈袭, 李杨, 等. 高触发信号和功率合成的高峰值功率皮秒脉冲源 [J]. 强激光与粒子数, 2022, 34 (6): 118-125.
- [18] Diodes Incorporated. FMMT415-FMMT417 npn avalanche transistor in SOT23 [Z/OL]. (2015-11) [2022-10-14]. <https://www.diodes.com/assets/Datasheets/FMMT415.pdf>.
- [19] 党龙飞. 钻孔测井雷达关键技术与原理样机研究 [D]. 成都: 电子科技大学, 2019.

(收稿日期: 2022-11-01)