

电子科技大学
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

硕士学位论文

MASTER THESIS



论文题目 CMOS亚毫米波片上天线与有源移相器

技术研究

学 科 专 业 无线电物理

学 号 201821120226

作 者 姓 名 季 和

指 导 教 师 孟凡易 副教授

分类号 _____ 密级 _____

UDC ^{注1} _____

学 位 论 文

CMOS 亚毫米波片上天线与有源移相器技术研究

(题名和副题名)

季 和

(作者姓名)

指导教师 孟凡易 副教授
电子科技大学 成 都

(姓名、职称、单位名称)

申请学位级别 硕士 学科专业 无线电物理

提交论文日期 2021.04.19 论文答辩日期 2021.05.27

学位授予单位和日期 电子科技大学 2021 年 6 月

答辩委员会主席 _____

评阅人 _____

注 1: 注明《国际十进分类法 UDC》的类号。

Research on Submillimeter-wave On-chip Antenna and Active Phase Shifter in CMOS Technology

A Master Thesis Submitted to

University of Electronic Science and Technology of China

Discipline:	Radio Physics
Author:	He Ji
Supervisor:	Prof.Fanyi Meng
School:	School of Physics

摘 要

21 世纪以来, 电子信息技术在国防建设中的地位逐步提升, 军用防备对频谱资源的需求越来越大, 另外, 随着新一代移动通信技术逐渐兴起, 数量日益剧增的无线终端设备连入网络, 因此, 毫米波及其以下频段的频谱资源已无法满足无线通信对容量、时延等性能的需求, 发展频谱范围更广、信息容量更大和时延更短的亚毫米波 (300 GHz~3000 GHz)/太赫兹 (0.1 THz~10 THz) 通信技术已迫在眉睫。近年来, 随着硅基工艺特征尺寸的不断减小, 栅长的缩短弥补了电子迁移率的不足, 其射频性能得到了极大的提升, 使得低成本、高集成度的硅基工艺成为亚毫米波/太赫兹集成电路研究的热点。

首先, 本文对提升片上天线的增益、辐射效率以及集成度等方面开展了调研和学习等研究工作, 并基于 0.13- μm RF CMOS Silicon-On-Insulator (SOI) 工艺, 设计了一款 400 GHz 片上介质谐振器天线, 其辐射模块首次采用新型八角槽结构, 该天线在中心频率处具有 10 dBi 的增益, 辐射效率为 55%, E/H 面的交叉极化均小于 -25 dB, 天线的核心面积为 $0.6 \times 0.6 \text{ mm}^2$ (包含 GSG 焊盘的面积为 $0.88 \times 0.88 \text{ mm}^2$)。

此外, 本文基于 55-nm CMOS 工艺, 设计了一款移相精度为 22.5° 且中心工作频率为 170 GHz 矢量合成型有源移相器。该电路主要包含三个模块, 可变增益放大器模块 (Variable Gain Amplifier, VGA)、正交信号产生器模块 (I/Q) 和矢量合成器模块 (Vector Synthesis, VS)。可变增益放大器采用电流导引技术 (Current Steering Technique), 通过调谐电压可实现增益可调, 输出两路同相不等幅信号; 正交信号产生器采用 π 型高低通网络实现, 在 π 型低通网络中, 采用开路线作为等效电容, 降低小电容的加工误差, π 型高通网络中, 采用类“U”型电感, 缩减了电路面积; 矢量合成器第一级采用共源共栅结构作为驱动放大器, 补偿正交信号产生器的损耗; 第二级采用两个吉尔伯特 (Gilbert) 单元, 通过控制偏置电压对正交不等幅信号进行极性选择, 合成不同的移相信号。有源移相器供电电压为 1.8 V, 直流功耗为 20.4 mW, 相位均方根误差为 7.3° , 芯片的整体面积为 $1.05 \times 0.6 \text{ mm}^2$ (包含直流焊盘与 GSG 焊盘)。

关键词: 亚毫米波, 介质谐振器天线, 矢量合成, 有源移相器

ABSTRACT

Since the 21st century, the position of electronic information technology in the construction of national defense has gradually increased, and the demand of military defense for spectrum resources is increasing. In addition, with the gradual rise of a new generation of mobile communication technology, the ever-increasing number of wireless terminal devices are connected to the network. Therefore, the spectrum resources of millimeter wave and below can not meet the requirements of wireless communication for capacity, delay and other performance. It is urgent to develop submillimeter wave (300 GHz ~ 3000 GHz) / terahertz (0.1 THz ~ 10 THz) communication technology, which contains wider spectrum, larger information capacity and shorter time delay. In recent years, the feature size of silicon-based processes has been continuously reduced, and the reduction of gate length made up for the deficiency of electron mobility, therefore, in submillimeter wave/terahertz integrated circuit design, increasingly attention has been paid to low-cost, highly integrated silicon-based processes.

First of all, research on improving the gain, radiation efficiency and integration of on-chip antenna are carried out, and designed a 400 GHz on-chip dielectric based on the 0.13- μm RF CMOS Silicon-On-Insulator (SOI) process. The resonator antenna uses a new octagonal slot structure for the radiating unit for the first time. The antenna gain at the center frequency is 10 dBi, the radiation efficiency is 55%, the cross polarization of the E/H plane is less than -25 dB, The core area of the antenna is $0.6 \times 0.6 \text{ mm}^2$ (the area including the GSG pad is $0.88 \times 0.88 \text{ mm}^2$).

In addition, this thesis designed a 170 GHz vector synthesis active phase shifter based on 55-nm CMOS process. The circuit mainly contains three modules, variable gain amplifier module, quadrature signal generator module (I/Q) and vector synthesis module. The variable gain amplifier adopts Current Steering Technique, which can achieve adjustable gain by tuning the voltage, and output two in-phase and unequal amplitude signals; a π -type high-pass network and a low-pass network are adopted to quadrature signal generator module design. In the π -type low-pass network, the open circuit transmission line is used as the equivalent capacitor to reduce the processing error. In the π -type high-pass network, the "U"-like inductor is used to reduce the circuit area; The first stage of the vector synthesizer uses a cascode structure as the drive amplifier to

compensate for the loss of the quadrature signal generator; the second stage uses two Gilbert units to realize the polarity selection by controlling the bias voltage, Synthesis of different phase shift signals. The achievable phase shift accuracy of this active phase shifter in the full phase range is 22.5° , its DC power consumption is 20.4 mW under 1.8V supply voltage, and the phase root mean square error is 7.3° , the overall area is $1.05 \times 0.6 \text{ mm}^2$ (including DC pad and GSG pad).

Keywords: Submillimeter wave, dielectric resonator antenna, vector synthesis, active phase shifter

目 录

第一章 绪 论	1
1.1 研究工作的背景与意义	1
1.1.1 片上天线的研究背景与意义	2
1.1.2 有源移相器的研究背景与意义	2
1.2 片上天线和有源移相器的调研和发展前景	3
1.2.1 片上天线的调研和发展前景	3
1.2.2 有源移相器的调研和发展前景	4
1.3 论文的研究内容与结构安排	5
1.3.1 研究内容	5
1.3.2 论文的结构安排	6
第二章 片上天线和有源移相器的基础理论	7
2.1 天线的基本原理和性能参数	7
2.1.1 天线的主要性能指标	7
2.2 移相器的基本原理	9
2.2.1 有源移相器的主要性能指标	10
2.2.2 移相器的分类	11
2.3 本章小结	13
第三章 CMOS 亚毫米波片上天线设计	14
3.1 CMOS 亚毫米波片上天线的设计理论	14
3.1.1 开槽（缝隙）天线设计理论	14
3.1.2 介质谐振器天线设计理论	15
3.1.3 基片集成波导(SIW)理论	17
3.2 CMOS 亚毫米波片上天线的设计与实现	18
3.2.1 GlobalFoundries 0.13- μm CMOS SOI 工艺介绍	18
3.2.2 CMOS 亚毫米波片上天线的设计与实现	18
3.3 CMOS 亚毫米波片上天线的版图与仿真结果	21
3.3.1 片上校准标准	21
3.3.2 参考地金属层的设计	21
3.3.3 CMOS 亚毫米波片上天线的版图	22
3.4 CMOS 亚毫米波片上天线的仿真结果	22
3.5 本章小结	24

第四章 有源移相器设计	25
4.1 有源移相器设计	25
4.1.1 有源移相器设计指标	25
4.1.2 有源移相器的整体拓扑结构	25
4.1.3 可变增益放大器设计	26
4.1.4 正交信号产生器设计	32
4.1.5 矢量合成器设计	36
4.2 有源移相器的版图及仿真	38
4.2.1 有源移相器的版图	38
4.2.2 有源移相器的仿真结果	40
4.3 本章小结	41
第五章 全文总结与展望	43
5.1 全文总结	43
5.2 不足与展望	43
致 谢	45
参考文献	46
攻硕期间的研究成果	52

第一章 绪论

1.1 研究工作的背景与意义

21 世纪以来, 电子信息技术在国防建设中的地位逐步提升, 军用防备对频谱资源的需求越来越大, 另外, 随着新一代移动通信技术逐渐兴起, 数量日益剧增的无线终端设备连入网络, 因此, 毫米波及其以下频段的频谱资源已无法满足无线通信对容量、时延等性能的需求, 发展频谱范围更广、信息容量更大和时延更短的亚毫米波 (300 GHz ~ 3000 GHz) / 太赫兹 (频率为 0.1 THz ~ 10 THz) 通信技术已迫在眉睫。然而, 如图 1-1 的大气传输损耗与频率的关系图所示, 在大于 100 GHz (频率大于 0.1 THz, 波长小于 3 mm) 频段, 大气传输损耗整体呈现明显加剧上升趋势, 该特性再加上缺乏可靠的元件和装置, 在很长一段时期内极大的约束了该频段的发展和应用。但是, 随着器件工艺技术不断的更新迭代以及设计上的突破, 为亚毫米波/太赫兹频段通信系统的研发赋予了更大的商业价值及更广阔的研发空间, 未来亚毫米波/太赫兹频段通信系统必将受到更为广泛的应用。

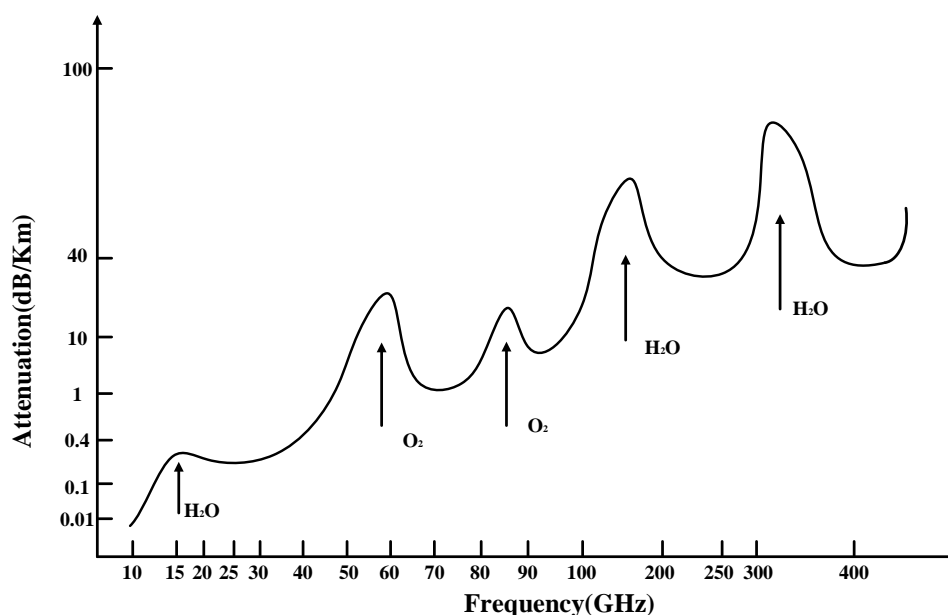


图 1-1 大气窗口与频率的关系

早期, III-V 族化合物半导体工艺凭借能够承受较大的功率和自身电子迁移率高等特点, 在很长一段时期内, 几乎垄断了亚毫米波/太赫兹集成电路的市场^[1-4]。但该工艺存在制造成本高、产品良率低和集成度低等问题, 限制了亚毫米波/太赫兹通信技术的发展。近年来, CMOS 器件的特征尺寸逐渐缩小, 使得硅基半导体技术能够满足模拟和数字电路对高度集成和小尺寸等性能的要求, 这使得便携式设

备上集成亚毫米波系统成为可能，并且可以逐渐实现大批量生产^[5]。近年来，硅基半导体技术不断的发展与进步，技术已经相当成熟，尤其是在其射频性能方面有了重大的突破，晶体管的截止频率足以满足亚毫米波/太赫兹电路的设计需求。因此，硅基半导体技术为开展低成本、高集成度的射频集成电路设计研究提供了一个优秀的平台^[6-8]。

1.1.1 片上天线的研究背景与意义

片上天线（On-Chip Antenna, OCA）是大多数亚毫米波器件和系统的关键部件。有效的片上天线设计，能大大地减小收发机系统前端集成电路模块与天线模块之间的距离，降低甚至避免在亚毫米波/太赫兹频段互连寄生参数对系统性能的影响^[9]。研究表明，片上天线可以与硅基亚毫米波系统的前端电路直接相连，能最大限度的减小亚毫米波系统中因封装技术而引入的损耗和不确定性^[10]。然而由于硅基天线普遍存在着低增益、低辐射效率等缺陷，高性能天线设计及如何与电路芯片实现低损耗集成工作，是一个富有挑战性的技术瓶颈。在以高集成度和小型化为重要特点的亚毫米波应用系统中，高性能片上天线设计和研发至关重要，其性能直接影响着整个系统的综合性能。

1.1.2 有源移相器的研究背景与意义

相控阵系统是无线通信系统、传感系统和收发机系统应用的关键^[11-27]，移相器（Phase Shifter, PS）作为相控阵系统中波束控制模块的关键组成部分，其性能直接影响了整个系统的发展和应用。相比较于无源移相器，有源移相器^[28-34]可以采用晶体管而不是无源网络来实现相位控制，在功率受限的情况下，具有良好的相位控制性能，并且还能获得一定的增益^[35]。此外，有源移相器具有更好的集成度和相移分辨率，而且芯片尺寸较小。

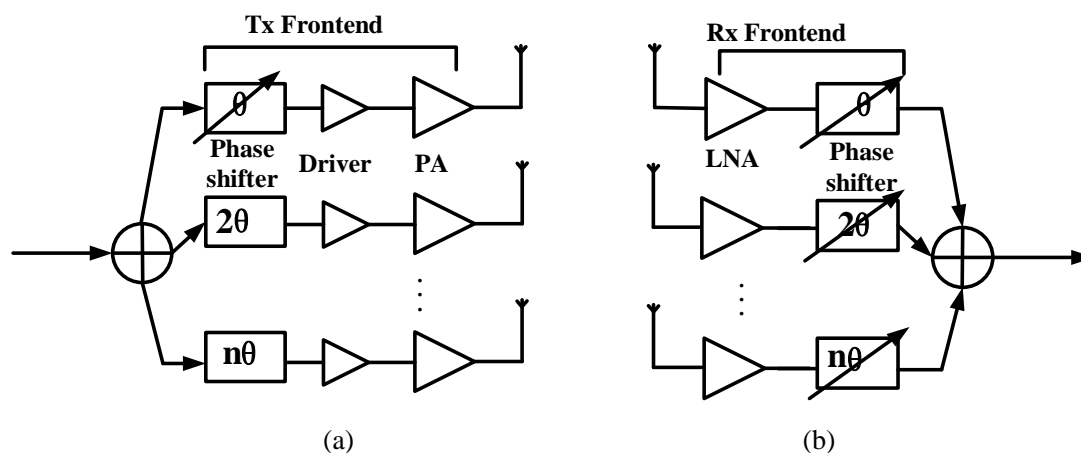


图 1-2 射频收发系统示意图。(a)射频发射系统；(b)射频接收系统

图 1-2(a)为射频发射系统示意图,从发射链路可以看到,信号会先经过移相器再经过功率放大器将信号发射出去,若采用无源移相器,必然会引入额外的插损,那么功率放大器在设计时需要通过牺牲功耗的方式提升增益从而补偿移相器带来的插损;图 1-2(b)为射频接收系统示意图,从接受链路中可以看到,接收到的信号会先经过低噪声放大器而后经过处于后级的移相器,同理,那么低噪声放大器在设计时需要通过牺牲噪声系数的方式来获取更高的增益从而补偿移相器带来的插损。因此,基于硅基半导体技术设计出低插损、高精度和高集成度的有源移相器对提高亚毫米波/太赫兹电路性能具有重要意义。

1.2 片上天线和有源移相器的调研和发展前景

1.2.1 片上天线的调研和发展前景

天线作为无线收发机系统的核心模块,其重要性显而易见。片上天线的诞生规避了对片外连接的需求以及避免了封装老化的过程,这不仅减小了损耗还极大的缩小了尺寸^[36]。片上天线的出现不仅极大的缩小了整个射频系统的尺寸,更是使得整个通信系统实现了小型化^[37-41]。然而,由于基板介电常数较高、衬底厚度大(通常大于 100 μm),使得高阶模式被激发,大部分能量被表面波吸收^[42-44]硅基片上天线普遍存在着损耗较高的问题。

为了提升片上天线的性能,国内外的科研工作者们提出了数种改善性能的方案。文献[45]和文献[46]提出了衬底减薄技术,通过将衬底削薄至 100 μm ,从而减小衬底损耗;文献[47]和文献[48]采用了具有匹配层的半球形硅透镜,可以将表面波功率转换为有效的辐射功率,从而达到提高天线辐射效率的目的;文献[49]提出的微机械加工天线以及文献[50]和引入的人工磁导体概念,都可减小衬底损耗。然而,以上提升天线性能的方案仍然存在着设计难度大,设计过程复杂以及增益提升受限的缺陷。

3-D 天线的出现为提升天线的性能提供了更好的选择。文献[51]提出了一种微机电系统(MEMS)天线,其允许实现各种 3-D 形状(例如,螺旋形或环形),但设计较为复杂且成本昂贵,因此仅限于其他方法无法达到所需性能时的特殊应用。文献[52]设计了一款超半球形透镜天线(HHLA),即将球形电介质放置在芯片上,以引导和集中平面芯片上天线结构的能量,通常与阵列结合使用以进行太赫兹成像。文献[53]提出的人工介质层天线(ADLAs),与 HHLAs 类似,但它包含一个低高度的平面介质和一个嵌入金属片的分层结构,具有各向异性的电特性,在主光束方向上具有高效的介电常数,从而提高了增益和效率。但是从设计复杂程度、设计成本和制造工序上来讲,以上几种设计方法仍然不能作为片上天线规模化生产的

首选。文献[36]设计了一款介质谐振器天线（DRA），其结构为在芯片表面垂直放置一个谐振器块，作为下面的平面片上天线的指向器。一般而言，该类天线可实现的增益和方向性非常高。此类片上天线因其设计方法简单且实用性强而受到了越来越多国内外科研工作者的重视，针对这一发展趋势，本文也对片上介质谐振器天线做了相关的学习和研究。

1.2.2 有源移相器的调研和发展前景

移相器的研究随着工艺技术不断改变，不断改进，从较早的 GaAs 工艺技术到 HEMT 器件工艺技术到具有很大有学术研究价值的 COMS 工艺，移相器在移相精度、带宽、插入损耗和集成度等方面都有巨大的提升。移相器的研究受工艺技术和硬件设备的影响，整体上，国外的研究水平相比于国内起步较早、发展更快以及技术更成熟。然而，近年来，国内的学者不断突破硬件条件的限制，开展了一系列的研究工作，在移相器研究方面也取得了显著的成果。

III-V 族化合物半导体工艺凭借能够承受较大的功率和自身电子迁移率高等特点，早期就受到了移相器研究者的青睐。1989 年，Pascal Philippe 等人采用基于相位环路的 GaAs 工艺技术的正交移相器^[54]，首次将锁相环技术用于实现宽带单片集成正交移相器，频率覆盖范围从 0.1 GHz 到 4.5 GHz，该移相器具有 8 dB 增益，相位误差小于 2.5° ，幅度适配小于 0.2 dB。1999 年，来自日本的 Hitoshi Hayashi 等人采用 GaAs 工艺设计了一款单片集成有源移相器^[55]，并使用二阶全通特性的可变谐振电路提供大量可变相位，2.2 GHz 到 2.8 GHz 频率范围内插入损耗 4 ± 1 dB，增益为 2.0 ± 0.7 dB，相位误差在 $\pm 4^\circ$ 以内，芯片面积小于 1.0 mm^2 。

十九世纪末，基于 HEMT 技术研究的新器件具有良好的性能，逐渐被科研人员看重，二十世纪伊始 HETM 的技术较为成熟，采用 HEMT 工艺技术研究移相器逐渐流行起来。2002 年，巴西工程师 David Viveiros 等人采用 HEMT 设计了新型的单片微波集成电路有源移相器^[56]，在 5 GHz 工作频率处获得了 232° 的相位变化，控制电压从 2.5 V 变化到 4.5 V，测得的增益为 6.5 ± 0.6 dB。2004 年，台湾的 Po-Yu Chen 等人基于 HEMT 技术并结合 GaAs HBT 工艺，设计了一款矢量成型有源移相器^[57]，该移相器应用于 K 波段，最大相位误差为 11° ，移相精度为 45° 。

虽然采用 III-V 族化合物半导体工艺的片上微波集成单路移相器拥有较为优良的性能，然而，CMOS 器件的特征尺寸逐渐缩小，能够满足集成电路小型化发展的需求，近年来，采用硅基工艺进行的集成电路设计取得了大量的研究成果^[58-60]。2004 年，加州理工大学的中國學生 Xiang Guan 及其導師團隊首次嘗試基於 SiGe BiCMOS 工艺技术，设计了一款相控阵接收机集成电路芯片，该芯片应用于 Ka 波

段并实现了四位移相精度^[61]。2007 年, Songcheol Hong 等人发表了基于 0.18- μm CMOS 工艺设计的一款全相位四位移相器^[62]。分布式移相器使用分布式有源开关实现, 分布式有源开关由串联电感器和共源共栅晶体管的周期性布置组成, 通过数字控制获得线性相移与频率的关系, 在 12.1 GHz 频段增益为 3.5 ± 0.5 dB, 插入损耗小于 -15 dB, 均方根相位误差为 2.6° , 芯片面积为 $1.88 \times 0.915 \text{ mm}^2$ 。2015 年, Dristy Parveg 和 Mikko Varonen 等人采用 28-nm CMOS 工艺实现了矢量合成差分移相器^[63], 在 100 GHz 频段, 均方根相位误差为 13° , 电路面积为 0.565 mm^2 。2016 年, 来自中国的 Yiming Yu 及其团队采用 90-nm CMOS 工艺完成了 60 GHz 的四位矢量合成型有源移相器的设计, 在 60 GHz 处获得了 -0.4 ~ 2.5 dB 的增益^[64]。为了改善插入损耗和调整正交信号的幅度, 该设计还基于 π 型低通滤波器和 T 型高通滤波器的可调谐电流分离技术, 设计了一种正交信号发生器。

比较与总结国内外的研究成果而言, 半导体工艺技术是研究移相器的理想选择, 而 CMOS 工艺更是研究的主流方向。我国的半导体工艺和技术方面还有很大的提升空间, 总体研究情况相对缓慢, 但是近年来, 国家和社会都在大力地推动半导体行业在国内的发展, 由此可见, CMOS 集成电路研究发展缓慢、经费不足等问题已经得到了明显的改善。为了改善相控阵系统的性能, 需要对 CMOS 移相器的功耗、移相精度等关键性技术进行研究, 这也是眼下移相器研究面临的最大挑战。

1.3 论文的研究内容与结构安排

1.3.1 研究内容

本文首先以亚毫米波通信系统为研究背景, 阐述片上天线的发展历程与研究现状, 针对片上天线的增益提升, 辐射效率的改善以及集成度等方面展开了学习和研究, 并基于 0.13- μm RF CMOS Silicon-On-Insulator (SOI) 工艺, 设计了新型八角槽结构介质谐振器天线并进行了分析和优化, 在增益和辐射效率性能方面都展示了不错的优势。

其次, 本文详细的介绍了有源移相器随着工艺进步的发展历程, 针对有源移相器的移相精度和功耗等性能的改善, 基于 55-nm CMOS 设计了一款 170 GHz 矢量合成有源移相器。该矢量合成有源移相器的三个模块可变增益放大器、正交信号产生器以及信号合成器的电路设计以及输入输出匹配结构都在传统的有源移相器设计上做出了改变并且在各个关键模块的设计上都提出了创新点, 对有源移相器的相位误差、功耗以及小型化等性能的改善起到了明显的作用。根据有源移相器整体版图的仿真性能显示, 本次设计的矢量合成型有源移相器在相位误差和功耗方面有明显的优势。

1.3.2 论文的结构安排

本文共设五个章节，各章节的内容安排如下：

第一章是绪论部分，首先从频谱资源匮乏和工艺技术进步两方面着手，详细的介绍了片上天线和有源移相器的研究意义与背景，紧接着详细的阐述了片上天线和有源移相器的研究现状与发展前景；

第二章首先介绍了片上天线的基本原理，重要的性能参数以及分类；其次，介绍了有源移相器的基本工作原理，主要性能指标以及现有的矢量合成型有源移相器的拓扑结构；

第三章是片上天线设计部分。基于 0.13- μm RF CMOS SOI 工艺设计了一款八角槽新型结构介质谐振器天线，该新型八角槽结构对增益提升效果显著。

第四章是有源移相器设计部分。基于 55-nm CMOS 设计了一款 170 GHz 矢量合成有源移相器，从基本工作原理到原理图仿真再到最后的版图设计都做出了详细的阐述。

第五章是对片上天线和有源移相器设计的设计总结，并对后续研究工作提出了展望。

第二章 片上天线和有源移相器的基础理论

2.1 天线的基本原理和性能参数

天线是无线电通信系统中重要的前端模块，根据信号的传递方式主要分为接收天线和发射天线两大类。天线的基本工作原理如图 2-1 所示，在发射系统中，发射天线的作用是把承载着有用信号的电磁波辐射出去；在接收系统中，接收天线的作用是接收承载着有用信号的电磁波，从而实现信号的传递^[65]。信号在传递过程中有着特定的方向，并不是沿任意方向辐射出去的能量都能够被有效的接收。因此，为了保证整个收发机工作过程的稳定性、可靠性以及转换效率，要求天线需要具有一定的方向性。

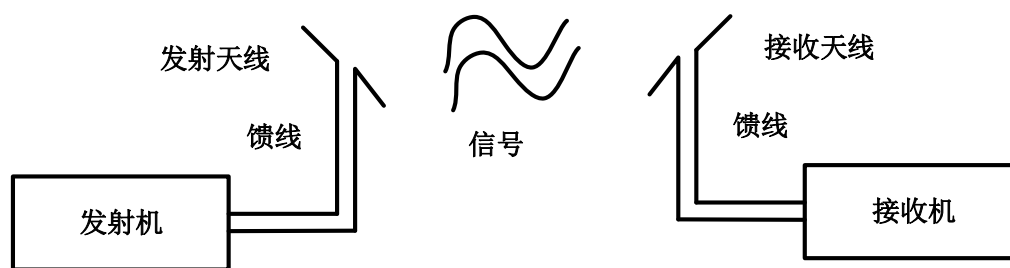


图 2-1 收发机系统工作示意图

2.1.1 天线的主要性能指标

天线是无线电通信系统重要的前端模块，天线的性能直接影响着系统的性能，因此，为了把控天线设计的质量，需要掌握衡量天线性能的主要参数，比如增益、回波损耗、辐射效率和方向性等，下面将详细的介绍天线设计中重要的性能参数。

2.1.1.1 天线的回波损耗

天线的回波损耗指的是射频输入信号因阻抗不匹配而反射回来的功率与输入信号功率的比值，以 dB 为单位，是一个负数，一般用 S11 表示。S11 是从端口反射来定义反射性能，若是天线只有一个馈电端口，那么 S11 就是回波损耗，回波损耗那定义式为：

$$S_{11} = 10 \lg \frac{\text{反射功率}}{\text{入射功率}} = -20 \lg |\text{反射系数}| \quad (2-1)$$

回波损耗反映的是信号的反射性能，如果反射系数为 0，就代表没有功率被反射回来，意味着天线与射频电路达到了完全匹配状态。然而，在实际工程设计中阻

抗不可能实现完全匹配,因此一定会有部分功率被反射回来,失配的情况下,回波损耗的值为 0。因此,回波损耗数值越大意味着天线与射频电路的匹配性能越好。

2.1.1.2 天线的辐射效率

实际工程设计中,金属导体和无缘介质材料都会产生损耗,天线不能将发射机输出的高频能量完全有效的转换成电磁波辐射出去。天线效率指的是输出的有用功率和输入功率之比,效率值不可能达到 100%。其定义式为:

$$\eta_A = \frac{P_r}{P_{in}} = \frac{P_r}{P_r + P_d} \quad (2-2)$$

式(2-2)中, P_{in} 是天线的输入功率, P_d 是天线的损耗功率, P_r 是天线的有效辐射功率。辐射功率与辐射电阻的关联式为:

$$P_r = I^2 R_r \quad (2-3)$$

同理,损耗功率与辐射电阻的关联式为:

$$P_d = I^2 R_d \quad (2-4)$$

由式(2-3)和(2-4)可知,电流分布的影响同时作用于天线的辐射功率与损耗功率,因此,分析和计算比较复杂。为了消除电流分布的影响,简化分析计算,可将定义式转化为不包含分布电流的表达式:

$$\eta_A = \frac{R_r}{R_r + R_d} \quad (2-5)$$

从式(2-5)中可以看到,辐射效率的表达式只包含了辐射电阻和损耗电阻,当辐射电阻阻值大于损耗电阻阻值,两个电阻阻值相差越大天线的辐射效率就越高。

2.1.1.3 天线增益

在无线通信系统中,天线除了具有进行能量转换的作用之外,还可以对发射或者接收到的电磁波信号进行“放大”,这种衡量能量放大的度量被称为增益(Gain)。天线增益指的是输入功率相同时,实际天线在最大辐射方向与理想的无方向性天线在空间同一距离同一点处所产生的辐射功率密度之比,其表达式为:

$$G = \frac{S_{\max}}{S_0} \bigg|_{P_{in}=P_{in0}} = \frac{|E_{\max}|^2}{|E_0|^2} \bigg|_{P_{in}=P_{in0}} \quad (2-6)$$

式(2-6)中 P_{in} 为实际工作天线的输入功率, P_{in0} 为理想无方向性天线的输入功率。天线方向系数指的是辐射功率相同时,实际天线在最大辐射方向与理想的无方向

性天线在空间同一距离同一点 r 处所产生的辐射功率密度之比。

$$D = \frac{S_{\max}}{S_0} \bigg|_{P_r=P_{r0}} = \frac{|E_{\max}|^2}{|E_0|^2} \bigg|_{P_r=P_{r0}} \quad (2-7)$$

式(2-7)中 P_r 为实际天线的辐射功率, P_{r0} 为理想无方向性天线的辐射功率。由于理想无方向性天线在 r 处产生的辐射功率密度为:

$$S_0 = \frac{P_{r0}}{4\pi r^2} = \frac{|E_0|^2}{240\pi} \quad (2-8)$$

因此, 由方向系数定义可得:

$$D = \frac{r^2 |E_{\max}|^2}{60 P_r} \quad (2-9)$$

信号无耗传输是在理想情况下, 在实际传输过程中肯定会有损耗, 辐射功率是无耗传输时的 η_A 倍, 因此式(2-6)可改写为:

$$G = \frac{|E_{\max}|^2}{|E_0|^2} \bigg|_{P_{in}=P_{r0}} = \frac{\eta_A \cdot |E_{\max}|^2}{|E_0|^2} \bigg|_{P_r=P_{r0}} \quad (2-10)$$

即

$$G = \eta_A \cdot D \quad (2-11)$$

综上, 天线的增益是综合衡量天线辐射效率与方向性的重要参数, 虽然三者的关系紧密相连, 但是在实际设计中, 天线的最大增益往往是被看的更为重要的参数, 因为天线增益通常被用来定量地描述天线集中辐射或者接收电磁波的能力。

2.1.1.4 方向图参数

天线的方向图也被称为辐射方向图或远区场图, 是同一距离处天线辐射场大小随方向变化的三维立体图形, 是衡量天线在特定方向上辐射和接受信号的能力。然而, 天线的方向图三维建模和分析都相对复杂, 适用于理论学习和参考, 在实际使用场景中, 通常会采用两个特定方向的正交平面剖面图来表示天线的方向图。其中最重要的两个平面分别是电场强度矢量所在平面且包含最大辐射方向的 E 面以及磁场强度所在平面且包含最大辐射方向的 H 面。

2.2 移相器的基本原理

移相器是一种能够控制信号相位的元器件或者电路结构, 因为移相网络的种

类不尽相同，其工作原理也存在着差异，有源移相器是通过给晶体管施加控制信号来控制移相的角度；无源移相器则多是利用阻容电路的延时特性达到移相的目的。移相器军事和民用领域都有着广泛的应用，例如相控阵雷达系统、仪器仪表、相控阵天线系统以及音乐等领域。

2.2.1 有源移相器的主要性能指标

移相器在相控阵雷达和相控阵天线系统中都占据着重要的地位，影响一个网络工作状态的因素与电路结构的每一级都有着非常密切的联系，所以不同电路结构的移相器实现移相的工作方式都不尽相同，介绍电路基本结构之前，先介绍移相器的主要性能参数。

2.2.1.1 移相范围

移相器的移相范围是指移相器相的输出信号相位与理想参考相位的差值。常见的移相范围有 $0-90^\circ$ 、 $0-180^\circ$ 和 $0-360^\circ$ ，本文设计的移相器移相为全相位移相器，即移相范围为 $0-360^\circ$ 。

2.2.1.2 插入损耗

信号传输过程中移相器可以被看作是一个二端口网络，如图 2-2 所示，当射频信号通过二端口网络时会引起网络负载和相应功率的变化，同时也会增加网络的损耗。

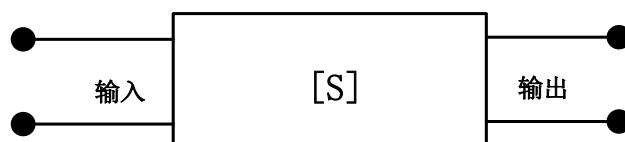


图 2-2 二端口网络模型

插入损耗通常指的是信号传输过程中在各元器件及传输线上的衰减，在仿真测试中用 IL 表示插入损耗，表达式为：

$$IL = -20\lg|S_{21}|(dB) \quad (2-12)$$

在实际设计中应尽量减小电路的插入损耗，并使其随不同的工作状态和频率变化缓慢。

2.2.1.3 移相精度

移相精度是指移相器的最小相移量，常见的移相精度为 5.625 （六位）、 11.25 （五位）和 22.5 （四位），移相精度值越小代表移相精度越高，高移相精度的移相

器一直是努力研究的方向。移相器的移相相位通常都是离散的，一个 n 位的数字移相器在二进制多位态控制下能产生 2^n 个相位状态，移相精度为：

$$\theta = \frac{360^\circ}{2^n} \quad (2-13)$$

2.2.1.4 相位误差

实际电路中并不存在理想元件，而有源移相器通常采用晶体管等有源器件实现，由于工艺技术自身存在一些误差，并且不同工作频点处以及不同相位状态下由晶体管状态引入的相位超前或者滞后相位都各不相同，因此，实际电路中的相移与理想情况下的理想参考相位存在一定的偏差，衡量这种偏差的指标就是相位误差。移相器的设计指标中所用的相位误差通常是指所有相位状态中最大相位误差，然而，这只能衡量一个移相状态下的性能。为了更准确的判断移相器的相位误差性能，引入了均方根相位误差（RMS）的概念。均方根相位误差的含义是所有移相状态和所有频率下移相器实际相移与相对参考相位之间误差的平方和的算术平方根^[35]，具体计算表达式为：

$$\theta_{\Delta RMS} = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\theta_i - \theta_i^0)^2} \quad (i=1, 2, 3, \dots) \quad (2-14)$$

式(2-14)中， $N=2^n$ 是所有频率下的相位状态个数， θ_i 是指第 i 个相位状态对应的相移量， θ_i^0 是指第 i 个相位状态对应的理想相位值。

2.2.2 移相器的分类

随着相控阵系统的发展和应用的多样化，人们对移相器的研究越来越深入，拓扑结构多样，种类繁多。然而，从电气特性上可将移相器概括为两大类，无源移相器和有源移相器。常见的无源移相器有 LC 网络开关型移相器、反射型移相器和加载线型移相器^[66]等，无源移相器具有无功耗和线性度高等优点，但是无源移相器插损大、噪声系数高以及无源器件导致的面积大等缺点极大的限制了无源移相器的应用和发展。相较于无源移相器，有源移相器通常采用有源器件实现，例如晶体管，有源移相器中比较经典的是矢量合成型有源移相器，具有更高的增益、高相移分辨率以及高集成度等优点，因此，近年来发展非常迅速。

2.2.2.1 传统矢量合成型有源移相器拓扑

如图 2-3 所示，为传统的矢量合成型有源移相器拓扑结构，首先，两路差分输入信号 V_{in}^+ 、 V_{in}^- 经过差分正交信号产生电路输出两组幅度相同的正交信号 I^- 、 I^+ 和

Q^- 、 Q^+ ，相位两两相差 90° ，整体移相范围覆盖四个象限，实现全相位相移；其次，两组正交信号 I/Q 分别进入两个幅度控制电路，通过调节两组信号的电流比例输出四路不等幅正交信号；最后，信号进入矢量加法器，通过切换开关的状态控制输出相位对应的象限。

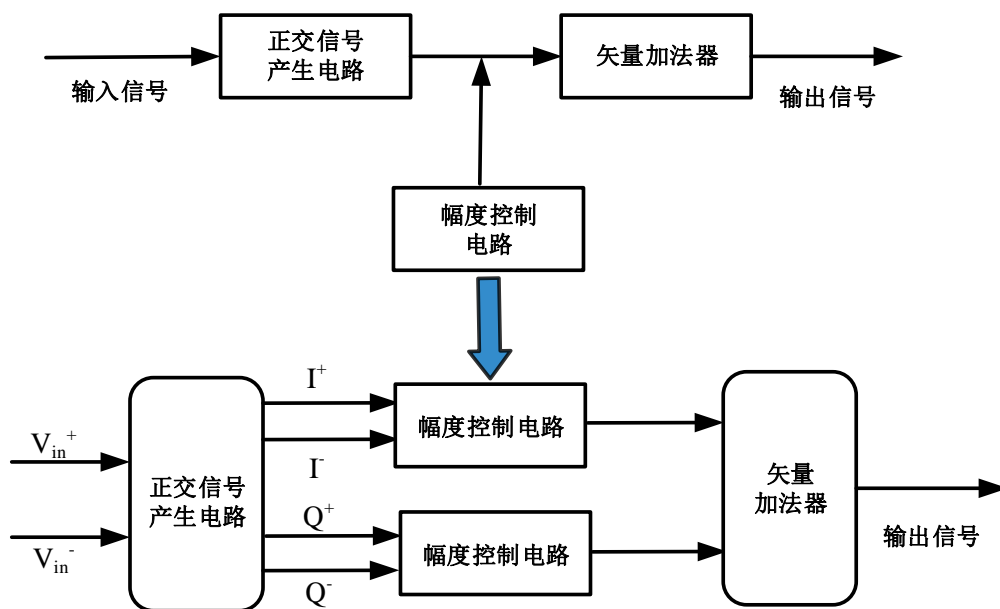


图 2-3 传统的矢量合成型有源移相器拓扑结构

该拓扑类型的有源移相器具有相位误差小，各个模块电路可研究空间大等特点，受到了众多科研工作者的研究。但是，整体拓扑结构决定了每组正交信号都需要一个幅度控制电路，大大增加了电路的面积的同时也增加了整体功耗。

2.2.2.2 新型矢量合成型有源移相器拓扑

如图 2-4 所示，为新型矢量合成型有源移相器拓扑结构^[35]，与传统型不同的是，新型拓扑结构将幅度控制电路放到了第一级，与正交信号产生器的位置互相置换。输入信号首先经过幅度控制电路输出两路同相不等幅信号；同相不等幅信号紧接着进入正交信号产生电路，输出两路正交不等幅信号 V_I 和 V_Q ；最后，信号进入矢量加法器，矢量加法器一般采用吉尔伯特（Gilbert）单元实现，通过切换开关的状态控制输出相位对应的象限。

新型矢量合成型有源移相器拓扑与传统矢量合成型有源移相器的区别在于，新型矢量合成型有源移相器拓扑将幅度控制电路置于正交信号产生电路之前，不需要每组正交信号都对应的需要一个幅度控制电路来调节幅度，该拓扑结构具有尺寸小，功耗低等特点，但是该拓扑对幅度控制电路的幅度误差要求高。

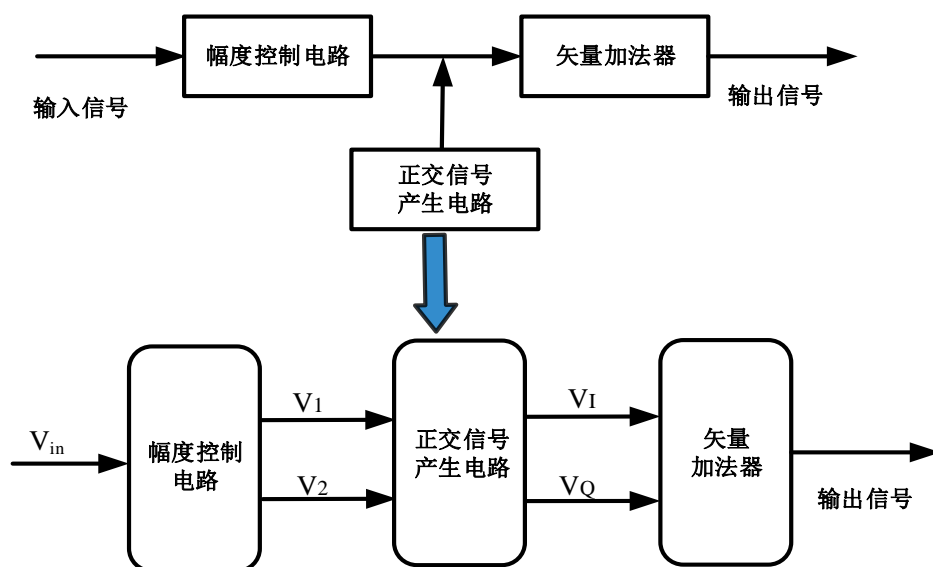


图 2-4 新型矢量合成型有源移相器拓扑结构

2.3 本章小结

本章首先介绍了天线的基本理论并对其工作原理进行了理论分析，对天线的增益、辐射效率和方向图等几个重要的性能参数进行了详细的阐述。然后介绍了有源移相器的基本理论，对有源移相器的移相精度、相位误差和移相范围等主要的设计指标做出了说明，最后介绍了矢量合成型有源移相器的拓扑结构，并总结了其优缺点。本章的知识累积为后文的设计提供了有力的理论依据。

第三章 CMOS 亚毫米波片上天线设计

亚毫米波片上天线是亚毫米波无线通信收发系统中的关键模块，负责辐射和接收信号，天线增益直接决定了发射机的输出等效全向辐射功率（EIRP）以及接收机的接受功率容量。另外，天线对系统收发信号的动态范围或发射机与发射机之间的最大传输距离有很大影响。因此，高增益、宽带以及辐射效率高的天线一直是设计者们努力的方向。

3.1 CMOS 亚毫米波片上天线的设计理论

3.1.1 开槽（缝隙）天线设计理论

近年来，开槽天线（也称作缝隙天线）具有结构简单、低剖面特性以及小型化等优点，受到了众多学者的研究和广泛的应用。缝隙天线指的是在金属表面开一个或者多个槽线的辐射模块，往往采用同轴线或者波导馈电，使能量向外部空间辐射，因此天线的辐射效率较高。由于是在金属表面直接开槽，没有凸起部分，具有良好的平面特性，因此该类天线还有易集成的优点。

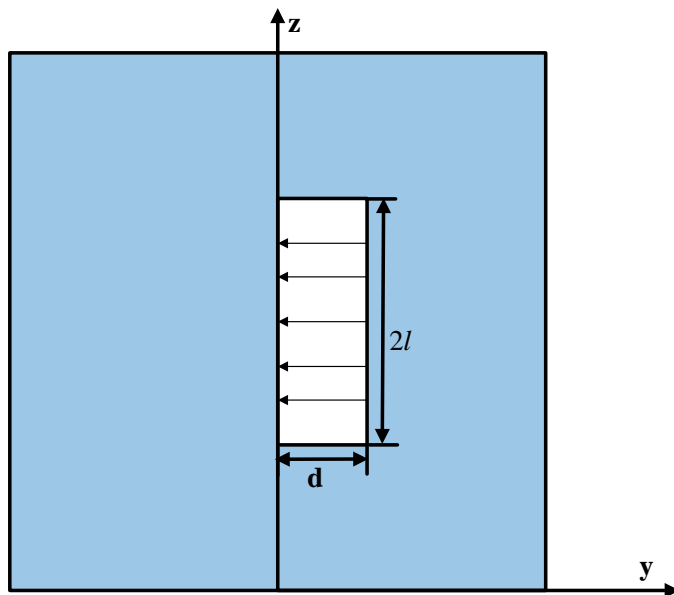


图 3-1 理想矩形槽的坐标图

开槽天线的槽线是开在金属表面的，如果金属平面足够大，那么可以将金属平面看作是一个无限大的导体平面，在无限大的导体平面上开一个细长的矩形槽，如图 3-1 所示，矩形槽的长度为 $2l$ ，宽度为 d ，且 $d \ll l$ ， $d \ll \lambda$ ， $2l = \lambda/2$ (λ

是波长), 则可以认为这是一个理想的矩形槽。如果在矩形槽中心处加上激励, 无论是波导还是同轴线馈电, 都会形成垂直于矩形槽长边的电场分布, 电场分布关系式为:

$$\vec{E}_s(z) = -E_m \sin[k(l - |z|)] \vec{e}_y \quad (3-1)$$

式(3-1)中 E_m 为波腹处的场强大小。磁流密度与电场强度的关系式为:

$$\vec{J}_m = -n \times \vec{E}_m \quad (3-2)$$

将式(3-1)与式(3-2)结合可得磁流密度为:

$$\vec{J}_m = E_m \sin[k(l - |z|)] \vec{e}_z \quad (3-3)$$

对于这样的矩形槽天线, 互补的振子天线可以与之互补, 在 x 正半轴平面内, 对称振子的等效磁流强度为:

$$I^m = 2E_m \omega \sin[k(l - |z|)] \quad (3-4)$$

根据对偶原理, 可以得到对称振子的远区辐射电场和辐射磁场为:

$$\begin{aligned} E^m &= -j \frac{E_m \omega}{\pi r} \frac{\cos(kl \cos \theta) - \cos(kl)}{\sin \theta} e^{-jkr} e_\phi \\ H^m &= j \frac{E_m \omega}{\pi r} \sqrt{\frac{\varepsilon}{\mu}} \frac{\cos(kl \cos \theta) - \cos(kl)}{\sin \theta} e^{-jkr} e_\theta \end{aligned} \quad (3-5)$$

在 x 负半轴平面内, 由于对称振子的等效磁流方向是相反的, 因此对称振子的远区辐射电场和辐射磁场为:

$$\begin{aligned} E^m &= j \frac{E_m \omega}{\pi r} \frac{\cos(kl \cos \theta) - \cos(kl)}{\sin \theta} e^{-jkr} e_\phi \\ H^m &= -j \frac{E_m \omega}{\pi r} \sqrt{\frac{\varepsilon}{\mu}} \frac{\cos(kl \cos \theta) - \cos(kl)}{\sin \theta} e^{-jkr} e_\theta \end{aligned} \quad (3-6)$$

最后根据电场强度表达式, 可以得到理想矩形槽的方向函数为:

$$f_\theta = \left| \frac{\cos(kl \cos \theta) - \cos(kl)}{\sin \theta} \right| \quad (3-7)$$

3.1.2 介质谐振器天线设计理论

为了满足无线收发系统高速发展的需求, 对无线收发系统关键模块的设计要求越来越高, 尤其是天线模块, 对于宽带、低耗和易集成天线的需求日益增加。微带天线种类繁多, 具有体积小和成本低等优点, 研究技术日益成熟并且应用也相当

广泛。然而，在亚毫米波/太赫兹频段，微带天线的欧姆损耗高，尺寸较大和片上集成度低，其发展还是受到了一定程度的限制。因此，近年来对性能表现优良的介质谐振器天线的研究逐渐兴起^[67]。

截止目前为止，各种形状的介质谐振器研究中，关于矩形介质谐振器天线的报道很少。实际上，矩形介质谐振器天线，如图 3-2 所示，比圆柱介质谐振器天线和球形介质谐振器天线更具有实际优势。模式简并会增强天线的交叉极化电平，从而限制天线的性能。在球形介质谐振器天线和圆柱形介质谐振器天线的混合模式情况下，模式简并也总是存在的。然而，通过合理的选择矩形介质谐振器天线的长度 a 、宽度 d 和高度 h ，可以避免模式简并。此外，在谐振频率和介电常数确定的情况下，矩形介质谐振器天线的尺寸不是固定的，可以自由选择矩形介质谐振器天线的长宽比（高度/长度或宽度/长度），这是矩形介质谐振器天线的优点之一。由于矩形介质谐振器天线的带宽也取决于其长宽比，因此矩形介质谐振器天线在带宽控制方面比圆柱形、球形和半球形介质谐振器天线提供了更大的设计灵活性。

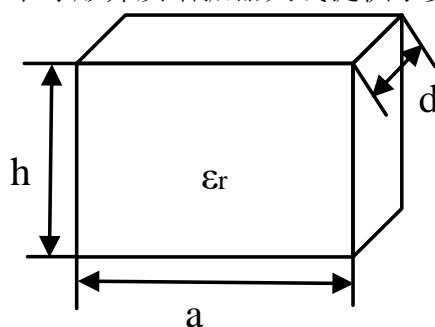


图 3-2 矩形介质谐振器模型

前文已经阐述了矩形介质谐振器天线的设计自由度，对于垂直向上辐射的矩形介质谐振器的天线，可以由下列式子来确定其尺寸：

$$\kappa_x \tan\left(\frac{\kappa_x d}{2}\right) = \sqrt{(\epsilon_r - 1)\kappa_{mn}^2 - \kappa_x^2} \quad (3-8)$$

式中

$$\begin{aligned} \kappa_{mn} &= \frac{2\pi f_{mn}}{c}, & \kappa_y &= m \frac{\pi}{a} \\ \kappa_z &= n \frac{\pi}{b}, & \kappa_x^2 + \kappa_y^2 + \kappa_z^2 &= \epsilon_r \kappa_{mn}^2 \end{aligned} \quad (3-9)$$

其中 c 为光速， k 为波数， f_{mn} 为谐振频率。根据公式(3-8)和(3-9)，在给定谐振频率和介电常数的情况下可以估算介质谐振器的尺寸，对于矩形介质谐振器天线建模是一个很好的理论参考前提。

对于介质谐振器天线的介电常数选择，介质谐振器天线材料一般会选择相对介电常数为 10 左右的材料，这种选择一方面是考虑材料的可用性，另一方面是为了保持一个合理的阻抗带宽。更高的介电常数虽然能够使天线的物理尺寸缩小但是同时带宽也会变得更窄。

3.1.3 基片集成波导(SIW)理论

用于定向引导电磁波的波导几何结构可归为平面波导结构和非平面波导结构两大类。平面波导结构通常应用于混合集成电路中，如槽线与微带线。然而，平面波导结构自身存在着不可避免的金属损耗和介质损耗等，使其并非为亚毫米波频段工作的最佳选择，也很难实现高 Q 值器件的设计；非平面波导结构的损耗相较于平面波导比较低，如圆波导与同轴线波导，因此可实现高性能器件的设计，但其结构在空间上为立体的三维模型，很难实现与平面波导或有源器件的有效集成。

为了打破上述问题的禁锢，一种新型的微波传输波导结构被提出，即基片集成波导（Substrate Integrated Waveguide, SIW），如图 3-3 所示。其基本结构是在介质基片上用相邻很近的金属通孔形成的金属壁，其中，两行金属通孔之间的间距为 w ，也可以称为基片集成波导的宽度，介质基板的高度是 h ，每个金属通孔的直径为 d ，同一行相邻两列金属通孔之间的间距为 p 。基片集成波导结构中相邻两列金属通孔之间的中心间距远小于波长，因此金属通孔的密度是很大的，从金属通孔缝隙之间泄露的能量很少，兼顾了传统波导与传输线的优势，基片集成波导为平面集成电路的研究提供了一种全新的途径。

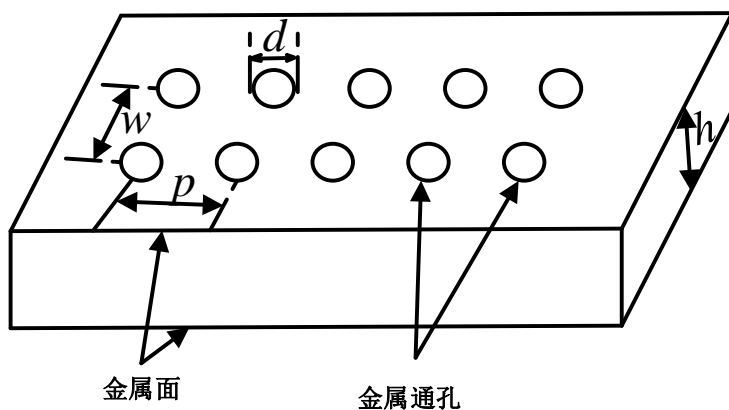


图 3-3 基片集成波导结构图

加载背腔结构是在辐射模块后面加载非闭环结构的金属谐振腔体，这种结构可以减小能量向后辐射，提高能量集中向前辐射，从而提高天线的辐射效率。本次设计中将加载背腔结构并与基片集成波导优势相结合，设计了一个基片集成波导加载背腔结构。

3.2 CMOS 亚毫米波片上天线的设计与实现

3.2.1 GlobalFoundries 0.13- μm CMOS SOI 工艺介绍

如图 3-4 所示，为 GlobalFoundries 0.13- μm CMOS SOI 工艺的剖面图，金属层和介质信息都详细的标注在图中，该工艺一共由五层金属 M1、M2、M3、M4、M5 和四层金属通孔 V1、V2、V3、V4 组成，其中 M1 为底层薄金属，M5 为顶层厚金属。

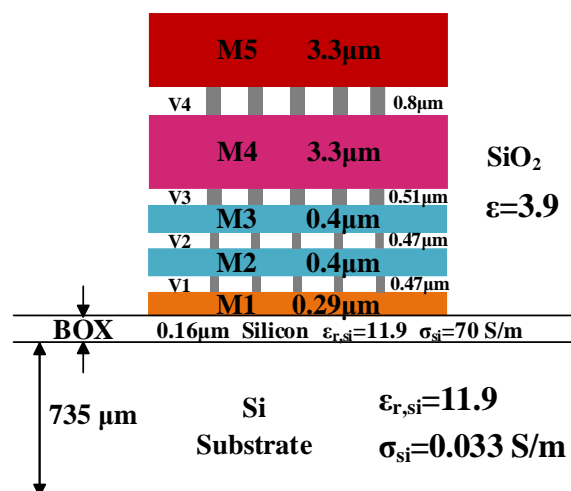


图 3-4 GlobalFoundries 0.13- μm CMOS SOI 工艺剖面图

SOI(Silicon-On-Insulator)工艺由于埋置的氧化物 (BOX) 层是绝缘的，因此衬底比传统的硅基工艺具有更高的电阻率，能够有效的阻止能量泄露到衬底上，并且极大地降低了片上天线的衬底损耗。

根据欧姆定律可知，厚金属的金属损耗远小于薄金属的金属损耗，因此在设计中往往会选择采用厚金属，厚金属的寄生电阻对天线的的影响也较小，因此，本文选择采用顶层厚金属 M5 来进行天线设计。

3.2.2 CMOS 亚毫米波片上天线的设计与实现

亚毫米波片上天线遵循与传统的基于偶极子的八木天线相同的设计规则，只是引向器用了一个介质谐振器代替，另外，由于馈电模块的低后瓣特性以及辐射方向沿 z 轴垂直于天线表面，因而省略了反射器。PCB 上的贴片^[68]和槽线^[69]可以用作八木天线结构中的引向器，然而，介质谐振器因为结构简单，设计自由度高，从而成为了片上天线设计的更好选择。本次设计所提出的片上介质谐振器天线具有体积小、结构简单、增益高和效率高等优点。

如图 3-5 所示，为所提出的亚毫米波片上天线三维结构，图 3-6(a)为片上天线

的俯视图，图 3-6(b)为片上天线的正视图。该片上天线由馈电模块（Feeding Patch）、引向器（Director）和支撑体（Supporter）三个主要模块构成。其中，支撑体垂直放置于天线和引向器之间，为天线和引向器提供所需的距离和阻抗匹配，提供这段距离的目的在于减小二者之间的电磁分布的影响；引向器是由一个矩形介质谐振器堆叠在支撑体上构成的。

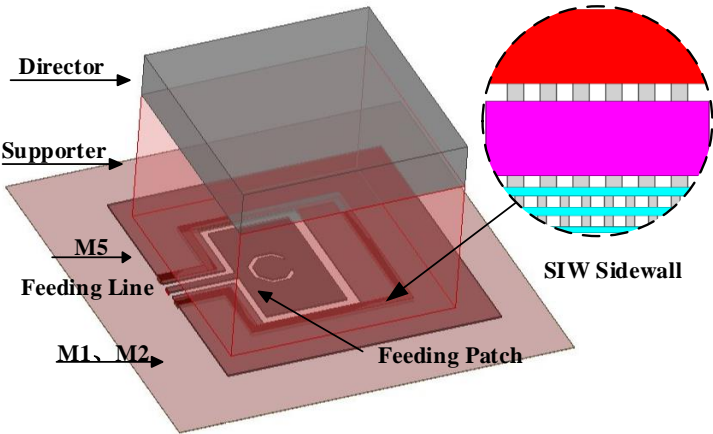


图 3-5 片上天线的三维视图

馈电模块由一个新型的八角槽结构和共面波导（CPW）共同组成，通过合理的选择并优化八角槽的开槽半径以及开槽宽度，可以提升天线的增益。此外，馈电模块采用顶层厚金属 M5 实现，采用顶层厚金属的优势在于厚金属的欧姆损耗、寄生电容和寄生电阻都远小于底层薄金属，还能提高无源器件的 Q 值。此外，顶层金属距离衬底介质的距离是最远的，在沿 z 轴正向辐射的情况下，顶层金属泄露到衬底介质中的能量是最小的。

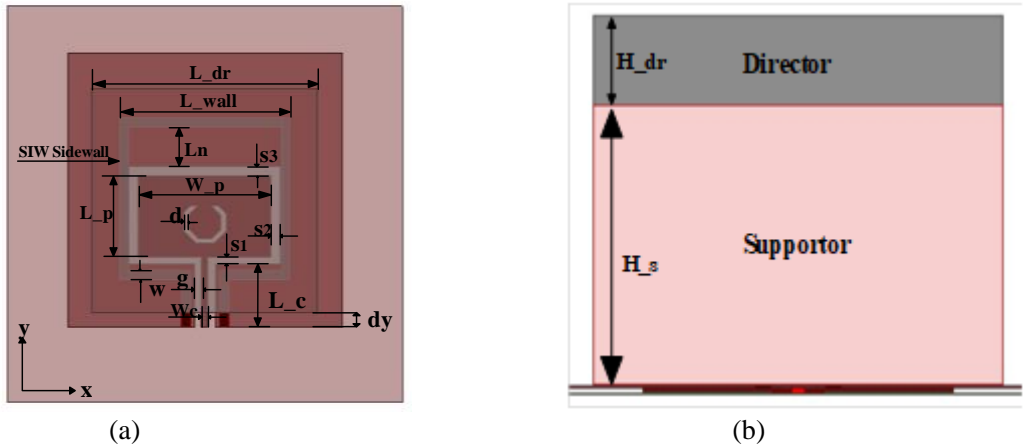


图 3-6 片上天线结构。(a) 片上天线俯视图； (b) 片上天线俯视图

将基片集成波导腔（SIW）放置在八角槽辐射器的下方，可以有效的抑制表面波，并将辐射孔与低电阻率的基板隔开，从而防止功率被衬底吸收，实现天线辐射

的低后瓣特性。此外，环绕馈电模块一周的 SIW 腔的侧壁和贴片辐射器的边缘形成一个 $\lambda_g/2$ (λ_g 是 SiO_2 中的波长) 谐振器，起到将功率反射回贴片的作用，能够大大的减少能量的泄露，进一步提高了天线的辐射效率。

通过将介质谐振器天线与传统八木天线设计概念结合，介质谐振器具有相同的长和宽 L_{dr} ，在 3-2(b)中可以看到其俯视图形状为一个正方形。为了确保介质谐振器以谐振频率 f_0 工作在主模模式，其高度 H_{dr} 小于 $\lambda_{g1}/2$ (λ_{g1} 是介质谐振器中的波长)，结果表现为辐射方向图在 x - z 平面和 y - z 平面都很尖锐，天线的增益得到提升。天线与介质谐振器之间的距离由低介电常数的支撑体提供，支撑体与介质谐振器具有相同的长和宽 L_{dr} ，其俯视图是一个和介质谐振器重合的正方形，并且与介质谐振器一样关于 y 轴垂直对称的放置于馈电模块之上。支撑体能够最大限度的减小电磁分布对馈电模块和介质谐振器的影响，从而有效地减少能量的反射并且改善匹配性能，馈电模块中的功率能够有效地耦合到介质谐振器，并沿 z 轴正半轴向外部空间辐射出去，因此，可以实现更高的辐射效率。

本文中所用介质谐振器为高介电常数材料，其介电常数 ϵ_r 为 9.8，材料为三氧化二铝 (Al_2O_3) 陶瓷基板；所用的支撑体为低介电常数材料，其介电常数 ϵ_r 为 2.1，材料为特氟龙 (Teflon) 基板。首先根据文献[70]和[71]中介质谐振器天线的设计规则预估了介质谐振器的大小，然后通过 HFSS 中建模仿真对其进行了优化。此外，为了激发馈电模块使其工作在 TM_{01} 模，SIW 腔体设计为在主模模式 (TE_{110}) 下产生谐振^[72]，表 3-1 为本次设计的片上介质谐振器天线各个参数优化后的尺寸表：

表 3-1 片上天线各个参数的尺寸表

参数	尺寸 (μm)
L_{wall}	379
W_{p}	295
H_{dr}	127
L_{n}	87
L_{p}	180
L_{c}	140
H_{s}	310
W_{c}	16
S1	15
S2	21
S3	23
g	15
w	20

3.3 CMOS 亚毫米波片上天线的版图与仿真结果

3.3.1 片上校准标准

在亚毫米波频率范围内片上天线的接地（G）-信号（S）-接地（G）（GSG）焊盘的寄生效应很大，并且容易影响天线的匹配。因此，本文采用了标准的短路（SHORT）-开路（OPEN）-负载（LOAD）-直通（THRU）（SOLT）片上校准来消除 GSG 焊盘的寄生效应对天线的的影响，四种片上校准如图 3-7 所示。

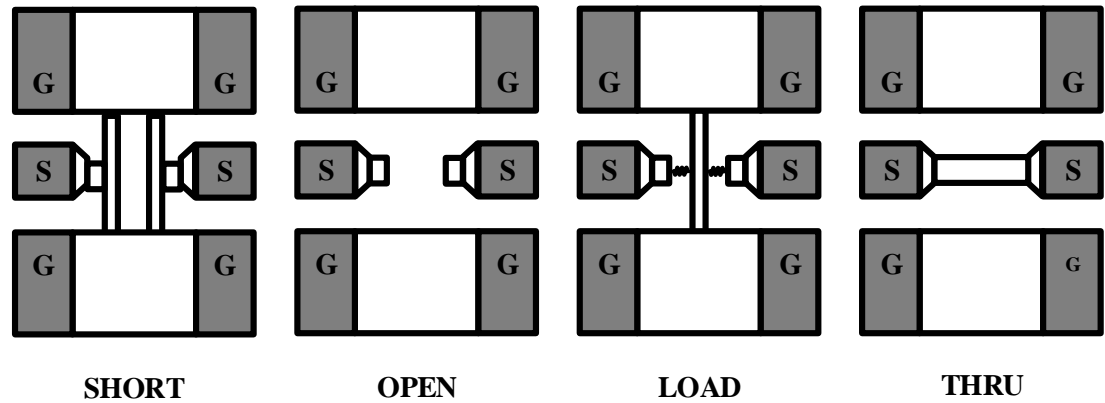


图 3-7 标准片上校准 SOLT 图

3.3.2 参考地金属层的设计

受限于加工工艺的设计规则检查（Design Rules Checking, DRC），如果直接使用一整片底层金属 M1 作为参考地，金属密度会远远超设计规则规定的要求，通常情况下会采取挖孔的方式以满足设计规则检查对金属密度的要求。然而，在金属片上挖孔会降低接地的可靠性，并且能量会通过挖空的孔而泄露到衬底上，天线的辐射效率会大大的降低。

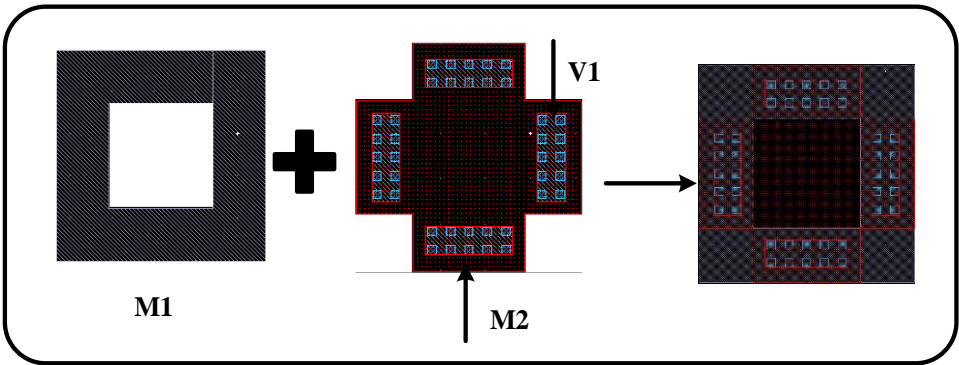


图 3-8 互补连接式的接地金属层

为了解决上述问题，M1 和 M2 在各自分别都满足设计规则检查对金属密度要求的情况下，通过金属通孔 V1 将 M1 和 M2 互补连接铺地，提高了接地的稳定性

和可靠性,也减少了能量向衬底的泄露。如图 3-8 所示,为互补连接方式的接地金属层。从图中 M1 的挖孔结构中可以看到,为了满足设计规则检查的金属密度要求,只采用 M1 金属铺地的能量泄露会很高。

3.3.3 CMOS 亚毫米波片上天线的版图

亚毫米波片上天线的版图基于 $0.13\text{-}\mu\text{m}$ RF CMOS Silicon-On-Insulator (SOI) 工艺在 Cadence 仿真软件中设计完成,建模优化以及后仿均在 HFSS 仿真软件中完成,整体版图如图 3-9 所示。GSG 焊盘的大小分别为 $30\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$ 、 $30\text{ }\mu\text{m}\times 30\text{ }\mu\text{m}$ 和 $30\text{ }\mu\text{m}\times 100\text{ }\mu\text{m}$,中心间距为 $50\text{ }\mu\text{m}$ 。天线的核心面积为 $0.6\times 0.6\text{ mm}^2$ (包含 GSG 焊盘的面积为 $0.88\times 0.88\text{ mm}^2$)。

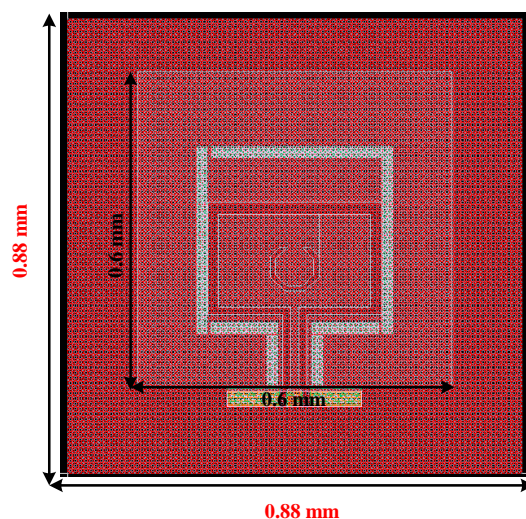


图 3-9 片上天线的版图

3.4 CMOS 亚毫米波片上天线的仿真结果

本文所设计的亚毫米波新型八角槽结构片上介质谐振器天线的增益为 10 dBi,辐射效率为 55%。

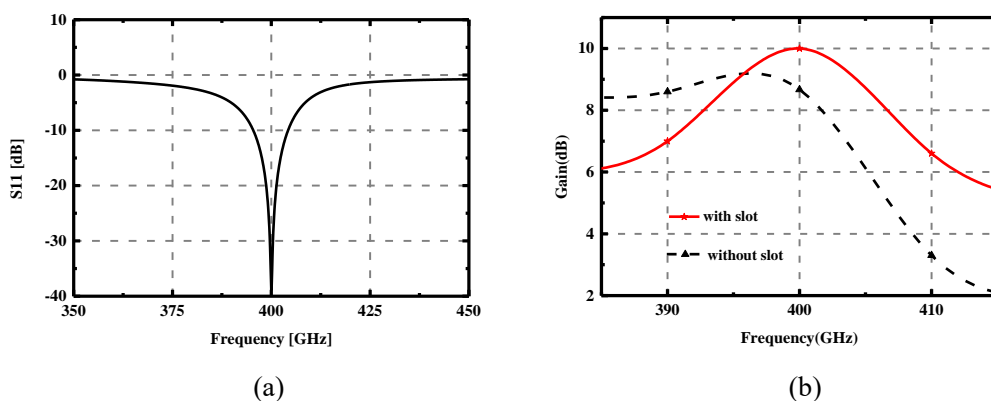


图 3-10 片上天线仿真结果。(a)片上天线的 S_{11} 曲线; (b)有无八角槽的片上天线的增益图

如图 3-10(a)所示，为 CMOS 亚毫米波片上天线的 S_{11} 曲线，从图中可以看到在 395 GHz 至 405 GHz 的频率范围内， S_{11} 均小于 -10 dB。如图 3-10(b)所示，为开了新型八角槽结构与无开槽的结构的片上介质谐振器天线的增益性能对比图，仿真结果显示，开八角槽结构的介质谐振器天线比无开槽结构的片上介质谐振器天线增益提高了 1.4 dBi；如图 3-11(a)和图 3-11(b)所示，分别为天线的 E 面和 H 面的辐射方向图，交叉极化均小于 -25 dB。

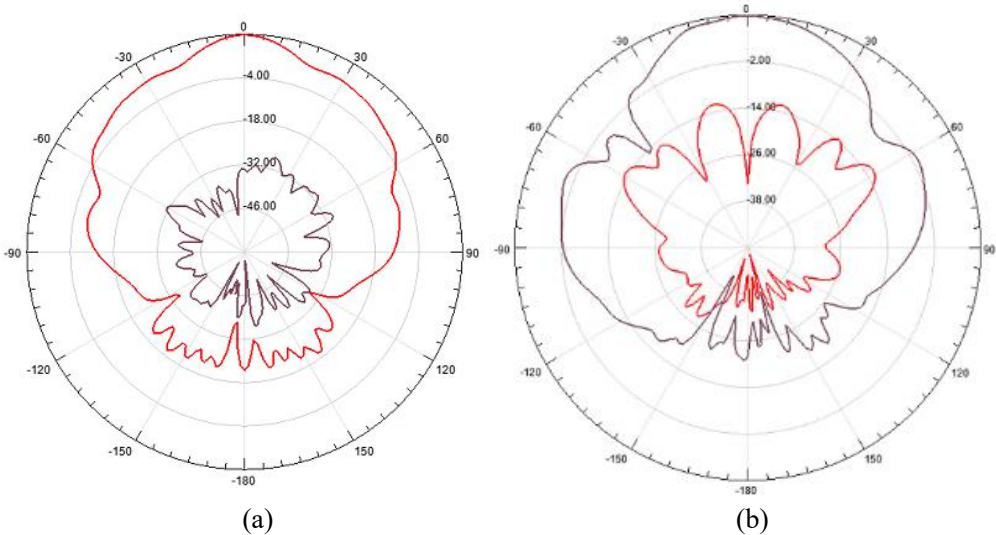


图 3-11 方向图仿真结果。(a) E 面辐射方向图；(b) H 面辐射方向图

表 3-2 为本次设计的亚毫米波片上介质谐振器片上天线与同频段的 antenna 技术相比较，可以看到，本文所设计的天线在增益和辐射效率性能方面展现出了较为明显的优势。

表 3-2 亚毫米波片上天线的性能总结并与同类最新技术比较

Ref.	Freq (GHz)	Antenna Type	Technology	Peak Gain (dBi)	Efficiency (%)	Area (mm ²)
[73]	341	Patch Fed Higher order Mode DRA	0.18- μ m SiGe	7.9	74	0.2
[74]	340	Slot-Loaded Magnetic Loop	CMOS	3.3	45	0.49
[75]	410	SIW Slot	SiGe	-0.5	49.8	0.2 \times 0.2
[76]	375	Slot Ring	CMOS	1.6	35	0.26 \times 0.2
This Work (Simulation)	400	DRA	0.13- μ m CMOS SOI	10	55	0.6 \times 0.6

3.5 本章小结

本章首先介绍了亚毫米波片上天线设计的三种基础理论，开槽天线设计理论、基片集成波导理论和介质谐振器天线设计理论。其次对本次设计所采用的 GlobalFoundries 0.13- μm CMOS SOI 工艺做了详细的介绍与分析，并基于该工艺设计了 400 GHz 新型八角槽片上介质谐振器天线。在版图设计过程中，针对设计规则检查、辐射效率提升以及后续测试工作中存在的校准问题都分别提出了解决办法，最后给出了亚毫米波片上介质谐振器天线的整体版图以及仿真结果。该天线可应用于亚毫米波收发机系统设计中，有望提升收发系统的功耗、灵敏度和传输距离等性能。

第四章 有源移相器设计

4.1 有源移相器设计

移相器作为相控阵系统中用于波束控制的关键组成部分，其性能直接影响了无线通信系统、相控阵雷达系统和收发机系统的应用和发展。无源移相器虽然没有功耗，在线性度方面也占据优势，然而，无源移相器的插损较大、噪声系数高，另外，无源器件的大量使用会导致面积大，以上几种缺点都极大的限制了无源移相器的应用和发展。相较于无源移相器，有源移相器通常采用有源器件实现，如晶体管，经典的矢量合成型有源移相器，具有更高的增益、高相移分辨率以及高集成度等优点，近年来，有源移相器在相控阵系统中的应用越来越广泛。

4.1.1 有源移相器设计指标

本次有源移相器设计指标如下：

- (1) 工艺：55-nm CMOS ($f_T = 204.3$ GHz)，共 9 层金属（包含 3 层厚金属）；
- (2) 工作频率：中心工作频率为 170 GHz；
- (3) 移相精度：4 bit(最小移相精度为 22.5°)；
- (4) 均方根相位误差： $< 9^\circ$ (@170 GHz)；
- (5) 功耗：PDC < 30 mW。

4.1.2 有源移相器的整体拓扑结构

如图 4-1 所示，是本次设计所提出的有源移相器的整体拓扑结构，从图中可以看出该有源移相器由三个关键模块构成，首先是可变增益放大器模块（VGA），其功能是通过调谐电压实现增益可调，输出两路同相不等幅信号。一个 4 位的移相器，根据矢量合成原理的分析，可变增益放大器输出的两路信号的比值约为 1:0(0°)、12:5 (22.5°)、1:1 (45°)、5:12 (67.5°)、0:1 (90°)，这里 0 只是一个参考相位不是坐标系中的绝对 0。其次是正交信号产生器模块（I/Q），其作用是将两路同相不等幅信号转换为两路正交不等幅 I、Q 信号。最后是矢量合成器模块（VS），由两级电路构成，第一级为驱动放大级，采用共源共栅放大器作为驱动放大器以补偿前级的增益损耗；第二级为信号合成级，通过控制偏置电压对正交不等幅信号进行极性选择，最后通合成输出不同的移相信号。整个拓扑结构最终实现的是一个单端输入和单端输出的信号转换形式，除此之外，在三个关键模块的设计过程中，为了便于电路的级联，每一级电路的输入输出阻抗都单独匹配到了 $50\ \Omega$ 。

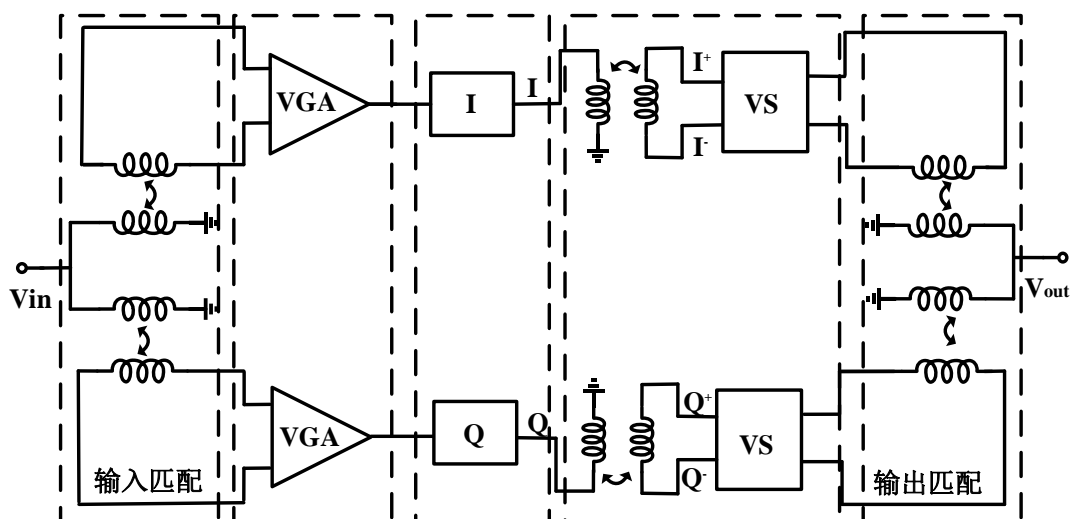


图 4-1 有源移相器的整体拓扑结构

4.1.3 可变增益放大器设计

在有源移相器中，可变增益放大器的功能是产生两路同相不等幅信号，故采用两路独立的可变增益放大器，其结构完全对称，如图 4-2(a)所示，可变增益放大器的输入端由两个变压器并联构成，根据并联支路电压相等可知，单端输入信号 V_{in} 被复制到两路可变增益放大器的输入端，同时单端输入信号 V_{in} 经变压器转换成差分信号，这样两组差分信号就可以互不影响地被两路独立可变增益放大器放大，改变每路放大器的增益，就可获得相应比例的不等幅信号，且相位误差较小。如图 4-2(b)所示，是可变增益放大器的原理图，其中 M1 为共源级，其偏置电压恒定，即漏极电流恒定，**提供了一个固定的功率增益**；M2、M3 是可变增益控制级，其中 M2 工作在饱和区，其跨导随电流而改变，通过调节 M3 栅极电压 V_t ，可控制流经 M2 的电流，从而改变了 M2 的跨导，实现了增益调节。

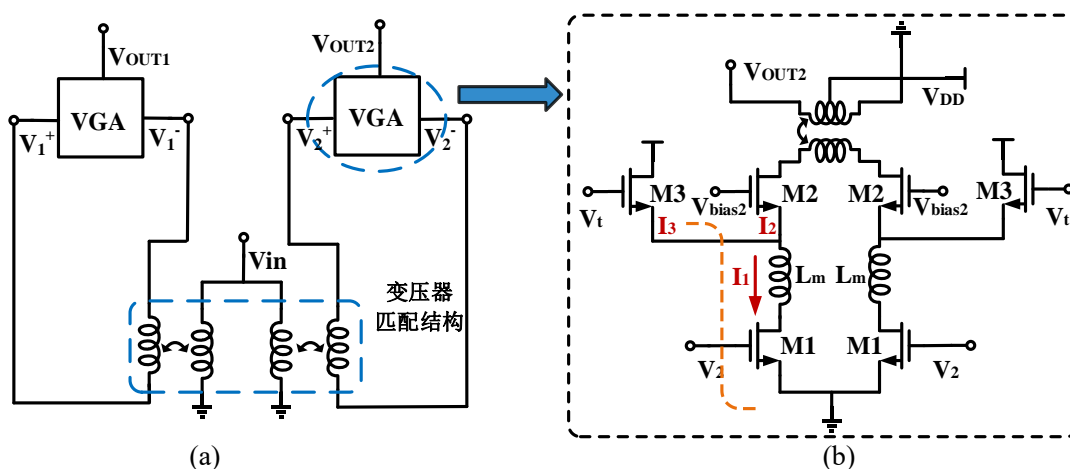


图 4-2 可变增益放大器电路图。(a)电路拓扑(包含输入匹配)；(b)电路图

如图 4-2(b)所示, 为可变增益放大器的电路图, 由图可知电流关系为:

$$I_1 = I_2 + I_3 \quad (4-1)$$

又根据漏极电流公式:

$$I_D = -\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (4-2)$$

其中, μ_n 为电子迁移率, C_{ox} 为单位面积的栅氧化层电容, W 为晶体管的栅宽, L 为晶体管的栅长, V_{TH} 为晶体管的开启电压。由上式可知, 在晶体管给定栅极偏压的情况下, 漏极电流的大小是恒定的, 因此 I_1 的电流大小是恒定的, 即 I_2 与 I_3 的电流之和是恒定不变的, 所以可以通过控制 I_3 电流大小的方式从而达到控制 I_2 电流大小的目的。当控制电压 V_t 为 0 时, 晶体管 M3 关断, 漏极电流 I_3 为 0, 输出电流 I_2 的值等于电流 I_1 的值, 这种偏置条件使可变增益放大器成为具有高增益的典型级联放大器, 刚好能够满足本次设计对增益的需求。当控制电压 V_t 慢慢增大, 当电压增大到大于开启电压 V_{TH} 时晶体管 M3 开启, 电流 I_3 逐渐增大, 电流 I_2 逐渐减小, 输出信号的增益也逐渐减小。

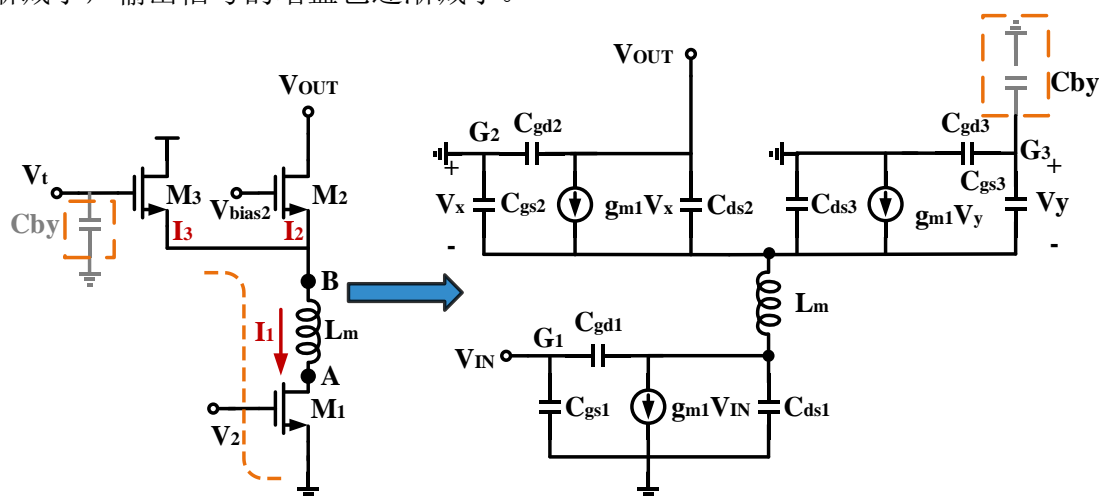


图 4-3 可变增益放大器小信号等效电路图

如图 4-3 所示, 为可变增益放大器的小信号模型, 与传统的可变增益放大器相比, 本次设计在共源级和共栅级引入了一个串联电感 L_m 以及省去了晶体管 M3 的旁路电容 C_{by} 。传统情况下, 没有引入 L_m , 即 L_m 的值为 0, 并且旁路电容值的非常大, 那么晶体管 M3 的栅极相当于短路, 则等效跨导为:

$$G_{m,conv} = \frac{I_{OUT}}{V_{IN}} = \frac{(j\omega C_{gd1} - g_{m1})(j\omega C_{ds2} + g_{m2})}{(g_{m2} + g_{m3}) + j\omega C_{B,conv}} \quad (4-3)$$

再根据基尔霍夫电路定律，有：

$$C_{B,conv} = C_{gd1} + C_{ds1} + C_{gs2} + C_{ds2} + C_{ds3} + C_{gs3} \quad (4-4)$$

其中 g_{m2} 和 g_{m3} 分别是晶体管 M2 和晶体管 M3 的跨导， C_{gd1} 是晶体管 M1 的栅-漏级电容， C_{gs1} 、 C_{gs2} 和 C_{gs3} 分别是晶体管 M1、M2、M3 的栅-源极电容， C_{ds1} 、 C_{ds2} 和 C_{ds3} 分别是晶体管 M1、M2、M3 的源-漏极电容， $C_{B,conv}$ 是指晶体管总的寄生电容。

引入 L_m 之后， L_m 的值大于 0，舍去旁路电容， C_{by} 的值为 0，那么晶体管 M3 的栅极相当于开路，则等效跨导为：

$$G_m = \frac{I_{OUT}}{V_{IN}} = \frac{(j\omega C_{gd1} - g_{m1})(j\omega C_{ds2} + g_{m2})}{\alpha(g_{m2} + \kappa g_{m3}) + j\omega C_B} \quad (4-5)$$

其中

$$\alpha = [1 - \omega^2 L_m (C_{gd1} + C_{ds1})] \quad (4-6)$$

$$\kappa = \frac{C_{gd3}}{C_{gs3} + C_{gd3}} < 1 \quad (4-7)$$

$$C_B = C_{gd1} + C_{ds1} + \alpha(C_{gs2} + C_{ds2} + C_{ds3} + \kappa C_{gs3}) \quad (4-8)$$

与方程(4-3)中传统电流控制的可变增益放大器的跨导方程相比，方程(4-5)的分母中多了由串联电感 L_m 和栅极开路控制的两个变量 α 和 κ 。从方程(3-6)中可以看到， α 的值随着串联电感 L_m 的增大而减小， α 的值减小可以有效的提升电路的跨导，进而提升增益。同样的，省去了旁路电容 C_{by} 后，由于变量 κ 的影响，A 节点增益增强，可变增益放大器中 M3 的电容 C_{gs3} 降低，即等效跨导相对于传统情况有所提高。

对于晶体管参数的选择，目前还没有理论能够指导如何精确的确定晶体管的参数，其尺寸和偏压都需要通过仿真并且综合考虑噪声系数、寄生参数以及功耗等性能来确定，由晶体管的跨导公式：

$$g_m = \mu_x C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (4-9)$$

由式(4-9)可知，晶体管的跨导 g_m 与栅长成反比，因此通过减小栅长可以提高跨导 g_m 。再由晶体管的截止频率公式：

$$f_T = \frac{\mu_x (V_{GS} - V_{TH})}{2\pi L^2} \quad (4-10)$$

可以推出截止频率与跨导 g_m 的关系:

$$f_T = C_{ox} \frac{g_m}{2\pi W} \quad f_T \propto g_m \quad (4-11)$$

由上式(4-11)可知, 晶体管的截止频率 f_T 与跨导 g_m 成正比, 晶体管的跨导 g_m 越大截止频率也就越高。因此, 为了提升电路的高频性能, 选择晶体管尺寸的第一步就是确定栅长, 一般而言都是选择最小栅长。根据本次设计所采用的工艺, 晶体管栅长选取为 60 nm。第二步就是确定晶体管栅宽 W (通常指的是总栅宽 W), 总栅宽 W =单指栅宽 w ×栅指数 finger , 因此一般先确定单指栅宽和栅指数, 从而确定总栅宽)以及偏压 V_{bias} 。在不考虑频率和技术节点的前提下, N 型 MOS 管在最小噪声系数性能下其电流密度为 $0.15 \text{ mA}/\mu\text{m}$ ^[78], 根据电流密度与漏极电流关系式:

$$J = \frac{I_D}{W} = \frac{1}{2} \mu_x C_{ox} \frac{1}{L} (V_{GS} - V_{TH})^2 \quad (4-12)$$

可以得到电流密度与偏压的关系式(4-12), 综合考虑噪声系数的情况下选取晶体管参数可根据该关系式计算偏压的大小, 但是在实际设计中, 这只能作为一个参考, 并不能确定偏压的精确数值, 只能确定一个大概的范围, 偏压的具体选择还得通过仿真来确定。根据工艺库中的晶体管模型做了以下仿真:

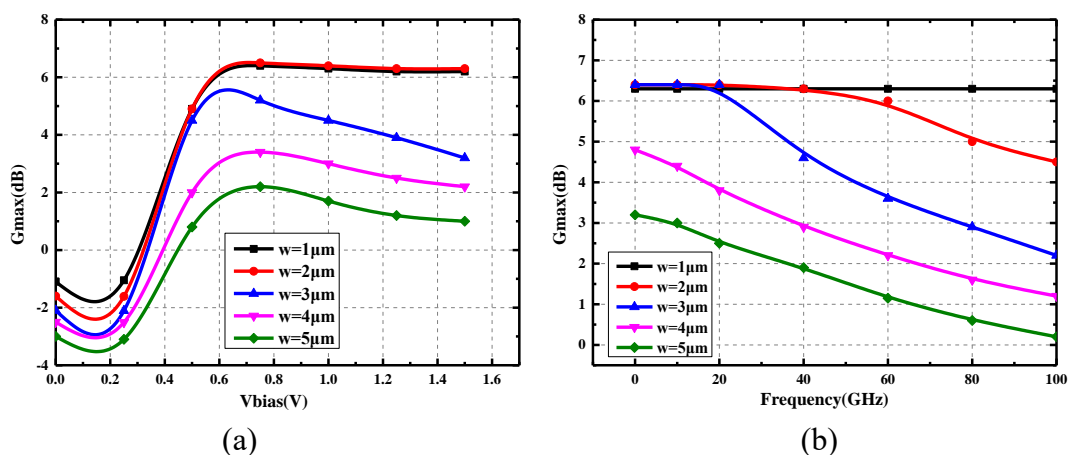


图 4-4 晶体管参数仿真图。(a) $G_{\text{max}}-w-V_{\text{bias}}$ 关系图; (b) $G_{\text{max}}-w-\text{finger}$ 关系图

如图 4-4(a)所示, 是晶体管的 G_{max} 与单指栅宽和偏压的关系图, 从图中可以看到偏压在 0.6-0.8 V 之间, 不同单指栅宽的晶体管 G_{max} 达到最大值且比较稳定, 并且大趋势是 G_{max} 随着单指栅宽的增大而减小, 其中虽然 $w = 2 \mu\text{m}$ 的 G_{max} 高于 $w = 1 \mu\text{m}$, 但是差距很小, 几乎一致。如图 4-4(b)所示, 是晶体管的 G_{max} 与单指栅宽和栅指数的关系图, 从图中可以看到, 随着栅指数的增加, 当单指栅宽 w 的值大于等于 $2 \mu\text{m}$ 时 G_{max} 都出现了骤降, 且单指栅宽越大骤降越明显。这是由于

本设计的工作频率为 170 GHz，寄生参数对性能的影响会非常明显，随着栅指数的增加总栅宽增大，晶体管的寄生电容增大，引起了 G_{\max} 的突变。因此，单指栅宽 w 取值为 $1\ \mu\text{m}$ 。

在单指栅宽确定之后，晶体管的总栅宽与栅指数成正比，栅指数越少，晶体管的寄生电容越小，其 f_T 较高，然而能承受的电流就越小，难以驱动下一级电路。另外，在有源移相器中，可变增益放大器不能引入额外的相位偏移，综合上述考虑，各个晶体管的参数如表 4-1 所示。

表 4-1 可变增益放大器晶体管尺寸

晶体管	栅宽栅长 w/L	栅指数 finger
M1	$1\ \mu\text{m}/60\ \text{nm}$	20
M2	$1\ \mu\text{m}/60\ \text{nm}$	20
M3	$1\ \mu\text{m}/60\ \text{nm}$	30

如图 4-3 所示，可变增益放大器的主体实质上是一个共源共栅放大器结构，在共源极和共栅极之间引入了一个电感 L_m ，其主要作用是与晶体管的栅源寄生电容 C_{gs} 、栅漏寄生电容 C_{gd} 、源漏寄生电容 C_{ds} 以及晶体管与衬底间的寄生电容产生谐振。由于寄生电容很小，需要引入一个很大的电感才能抵消掉寄生电容的影响，这里引入的电感 L_m 的值为 70 pH。在差分电路中，对称器件需对称紧密摆放，如果采用传统的八边形电感，两个电感会产生很强的耦合，从而会引起可变增益放大器不稳定。因此， L_m 采用了如下图 4-5 右下角所示的差分电感模型，在差分电路中，交叠部分电流流向相同，未交叠部分电流流向相反，因此形成了两个大小相等但符号相反的耦合系数，在 170 GHz 处互感为 0，可以提升可变增益放大器的稳定性。另外，该差分电感模型的交叠部分面积很大，可以有效的减小电路的面积。

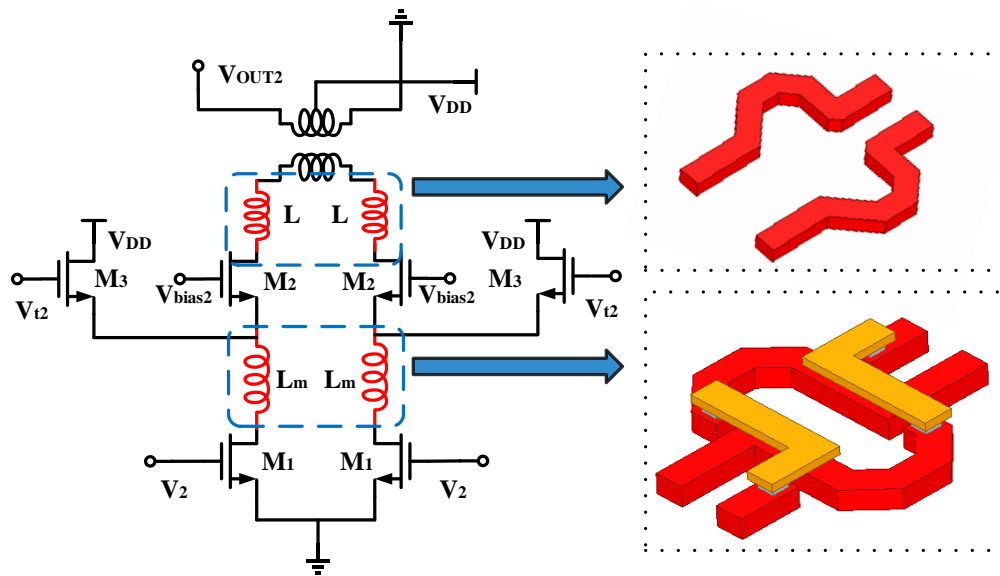


图 4-5 可变增益放大器的电感模型

MOS 管是一个容性器件，由表 4-1 可以看出，可变增益放大器选取的晶体管尺寸较小，故其输出阻抗虚部的绝对值很大，很难直接用变压器实现匹配。因此，在采用变压器匹配之前先串联了一个预匹配电感来抵消部分容性阻抗，如图 4-5 右上角所示，另外，预匹配电感还能增加可变增益放大器的带宽。

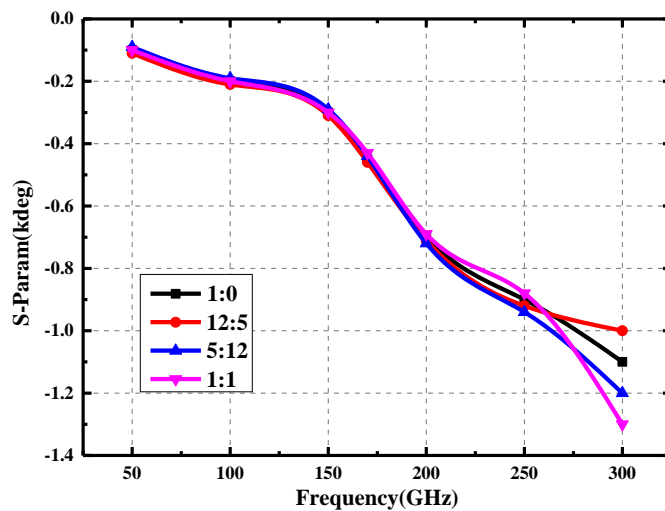


图 4-6 不同幅度控制下可变增益放大器的输出相位图

如图 4-6 所示，是通过 V_{t1} 和 V_{t2} 的调节实现幅度比例调节的情况下，不同幅度的输出信号的相位图。从图中可以看出，在 170 GHz 时，各个幅度比例控制下的输出信号相位是一致的，误差在 $\pm 3^\circ$ 以内。因此，所采用的可变增益放大器结构的性能能够满足设计所需。

4.1.4 正交信号产生器设计

正交信号产生器的常应用于射频电路中,尤其是在接收机收发系统中,且正交信号产生器的电路结构多种多样,本文所设计的正交信号产生器是由无源集总元件(电感和电容)构成的高低通滤波器型电路实现,如图4-7(a)所示,为 π 型低通滤波器,由两个电容和一个电感原件构成,如图4-7(b)所示,为 π 型高通滤波器,由两个电感和一个电容原件构成,通过开关切换信号在高低通网络间的通断,输出信号的相位就会产生差值,从而改变相移量。

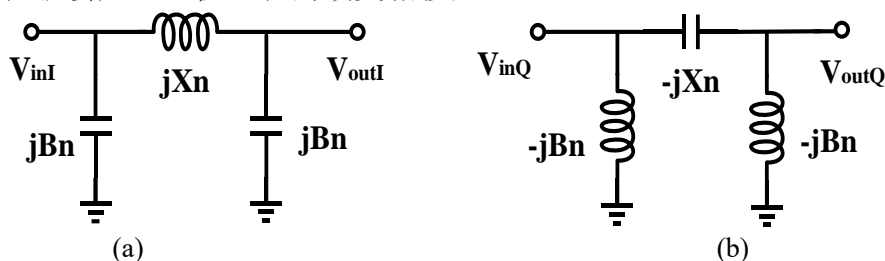


图 4-7 正交信号产生器电路图。(a) π 型低通滤波器;(b) π 型高通滤波器

由于前级可变增益放大器的输出信号是同相的,实现矢量合成的前提是 π 型低通滤波器和 π 型高通滤波器输出的信号相位正交,相位相差 $\pi/2$ 或者 $3\pi/2$,并且输出信号幅值应该相同,即两路输出信号的插损应该是一致的。对于 π 型低通滤波器,根据传输理论,可以得到其 $ABCD$ 转移矩阵如下:

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix}_L &= \begin{bmatrix} 1 & 0 \\ jBn & 1 \end{bmatrix} \begin{bmatrix} 1 & jXn \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ jBn & 1 \end{bmatrix} \\ &= \begin{bmatrix} 1 - XnBn & jXn \\ j(2Bn - XnB^2n) & 1 - XnBn \end{bmatrix} \end{aligned} \quad (4-13)$$

其中 Xn 代表归一化电抗, Bn 代表归一化电纳,角标 L 代表“Lowpass”的缩写,代表低通滤波器。再根据 $ABCD$ 矩阵与散射矩阵 S 矩阵之间的关系,可以得到:

$$\begin{aligned} S_{21,L} &= \frac{2}{A + B + C + D} \\ &= \frac{2}{2(1 - XnBn) + j(Xn + 2Bn - XnB^2n)} \end{aligned} \quad (4-14)$$

因此可以得到 π 型低通滤波器网络的输出相位:

$$\phi_{21,L} = -\arctan\left(\frac{Xn + 2Bn - XnB^2n}{2(1 - XnBn)}\right) \quad (4-15)$$

同样的，对于 π 型高通滤波器 根据传输理论，可以得到其 $ABCD$ 转移矩阵如下：

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix}_H &= \begin{bmatrix} 1 & 0 \\ -jBn & 1 \end{bmatrix} \begin{bmatrix} 1 & -jXn \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ -jBn & 1 \end{bmatrix} \\ &= \begin{bmatrix} 1 - XnBn & -jXn \\ -j(2Bn - XnB^2n) & 1 - XnBn \end{bmatrix} \end{aligned} \quad (4-16)$$

同理可得：

$$S_{21,H} = \frac{2}{2(1 - XnBn) - j(Xn + 2Bn - XnB^2n)} \quad (4-17)$$

$$\phi_{21,H} = \arctan\left(\frac{Xn + 2Bn - XnB^2n}{2(1 - XnBn)}\right) \quad (4-18)$$

其中角标 H 代表 “Highpass” 的缩写，代表高通滤波器。由上式可以得到两个网络的相位差：

$$\begin{aligned} \Delta\phi &= \phi_{21,L} - \phi_{21,H} \\ &= -2\arctan\left(\frac{Xn + 2Bn - XnB^2n}{2(1 - XnBn)}\right) \end{aligned} \quad (4-19)$$

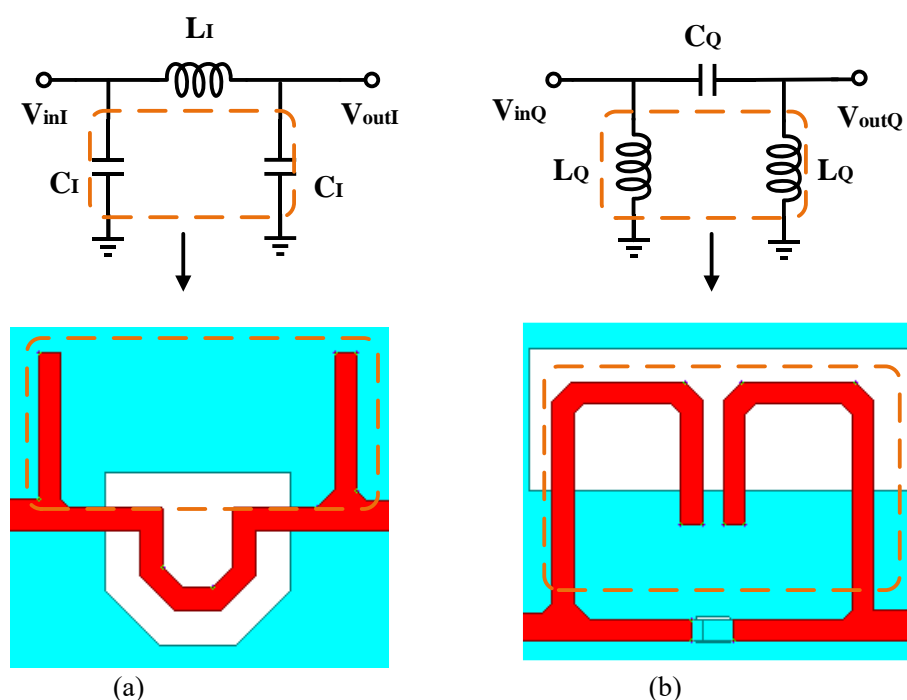
由于正交信号产生器的输出信号幅度应该是一致的，那么有：

$$|S_{21,H}| = |S_{21,L}| \quad (4-20)$$

可以得到 Xn 与 Bn 之间的关系为：

$$Xn = \frac{-2Bn}{1 - B^2n} \quad (4-21)$$

结合式(4-15)与(4-18)，可以看到通过合理的选择 Xn 和 Bn 的值可以使两个网络实现 90° 的相位差值并且不会引起输出信号幅度具有差值。


 图 4-8 电感电容模型。(a)电容 C_I 模型；(b)电感 L_Q 模型

两个网络输出信号的相位和幅度都会受到品质因数 Q 值的影响，并且频率越高， Q 值对无源器件的性能影响更为明显，本文中所用到的无源器件的 Q 值均大于 10。仿真后发现， π 型低通滤波器中所用到的电容 C_I 的值很小，大约为 10 fF，由于电容值很小，并且输出相位对该电容值比较敏感，因此不得不考虑加工误差，即使是 3% 左右的加工误差也会对性能有很大的影响。根据传输线 $\lambda/4$ 阻抗变换特性可知传输线输入阻抗为：

$$Z = \frac{Z_L + jZ_C \operatorname{tg} \beta l}{Z_C + jZ_L \operatorname{tg} \beta l} \quad (4-22)$$

终端开路时， $Z_L \rightarrow \infty$ ，则：

$$Z = -jZ_C \operatorname{ctg} \beta l \quad (4-23)$$

从式(4-23)可以看出，无耗开路线的输入阻抗是纯电抗，式中 $\operatorname{ctg} \beta l$ 既可以为正，也可以为负，代表开路线的输入阻抗可以呈现容性也可以呈现感性。因此，本文采用了两段开路线作为电容，如图 4-8(a)所示。

在正交信号产生器设计中，为了保证精准的 90° 相移，且两个网络的插损相同， π 型高通滤波器中与 π 型低通滤波器的版图结构应该尽量相似且对称。因此， π 型高通滤波器中的两个并联电感采用了一种类似“U”的电感模型，如图 4-8(b)所示。除此之外，相比较于传统的八边形电感模型，该模型结构紧凑，大大的节省了面积。

由式(4-21)计算可得， π 型高通滤波器中采用的电容值为 24 fF。然而，随着工

作频率的升高,工艺库提供的电容模型与其标称的电容值严重不符,如图 4-9(a)所示,在频率大于 60 GHz 之后,电容值会随着频率逐渐增大,故在本次设计中采用了平行板电容模型,如图 4-9(b)所示。该电容采用了 M1-M5 五层薄金属,每层金属之间的高度相差 $0.157\text{ }\mu\text{m}$,单位面积上的电容值大,因此,该电容模型具有很高的 Q 值。另外,该电容模型能够与电感模型在 HFSS 中联合进行 EM 仿真,提升正交信号产生器的准确性。

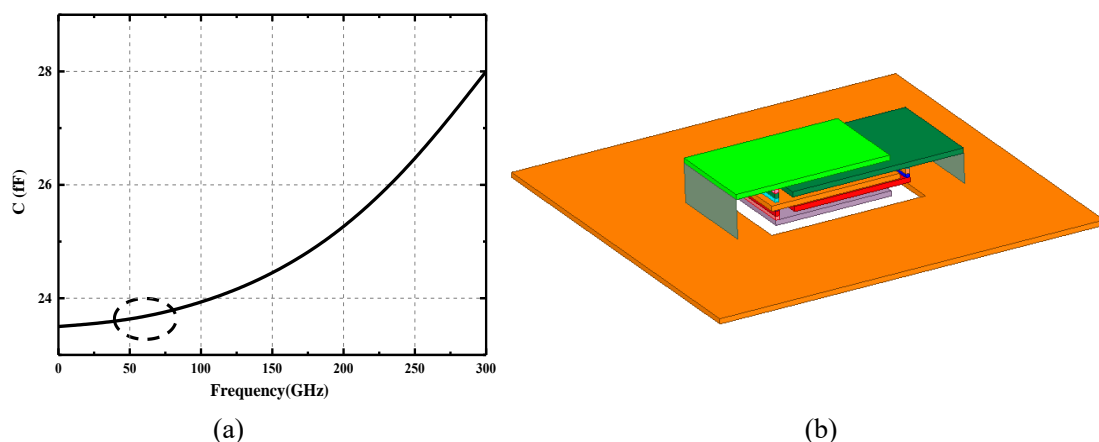


图 4-9 电容模型仿真。(a)电容模型 HFSS 仿真结果;(b)电容 C_Q 模型

如图 4-10 所示,为正交信号产生器的仿真结果,随着频率的增加, π 型高通滤波器相位超前的角度在逐渐减小, π 型低通滤波器相位滞后的角度在逐渐增大,但是在一定频带宽度内滞后相位与超前相位是相互补偿的,因此相位差值在一定频带宽度内是保持恒定的。如图 4-10(a)所示, I/Q 两路输出信号在 163-183 GHz 之间,相位误差在 ± 5 。从图 4-10(b)中可以看到, I/Q 两路输出信号的插损在 163-183 GHz 之间均小于 0.5 dB,并且在工作频率 170 GHz,两路输出信号的插损几乎完全一致,误差小于 0.1 dB。上述结果表明,该正交信号产生器能够同时满足本次设计对相位和插损的需求。

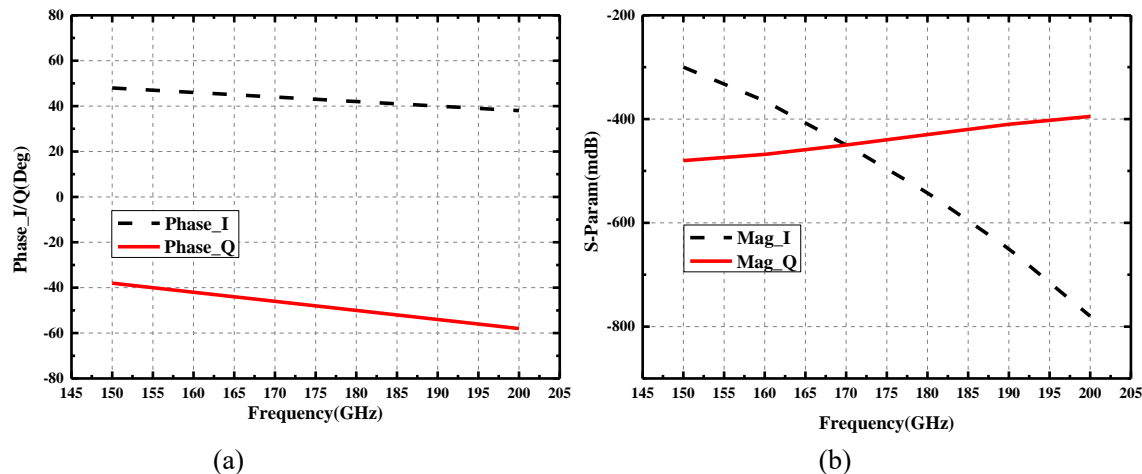


图 4-10 仿真结果。(a)I/Q 两路的相位关系；(b)I/Q 两路的幅度关系

4.1.5 矢量合成器设计

如图 4-11 所示，为矢量合成器的原理图，其主要由两级电路构成，第一级为驱动放大级，采用共源共栅放大器作为驱动放大器以补偿前级的增益损耗，除此之外，采用共源共栅放大器结构还具有良好的隔离度在做级间匹配时不会影响输入匹配；第二级为信号合成级，由两个 Gilbert 单元构成，通过控制偏置电压对正交不等幅信号进行极性选择，最后通过并联方式进行电流合成，输出不同的移相信号。从第一级到第二级除了要实现级间匹配之外还要实现单端信号与差分信号的转换，因此，级间匹配采用了单端转差分的变压器级间匹配结构。

在矢量合成器中，首先，两路正交信号 I 和 Q 分别经过两个驱动放大器进行信号放大并转换成差分信号 I^+ 、 I^- 、 Q^+ 、 Q^- ，如图 4-11 所示，差分信号经过共源放大器放大之后信号相位相反。假设 S1 为高电平（S1 与 $\overline{S1}$ 为一对反相信号），晶体管 Ms1 和 Ms4 开启，Ms2 和 Ms3 关闭，变压器 T1 初级线圈左右两侧的信号分别为 I 和 I^+ ；假设 S1 为低电平，晶体管 Ms1 和 Ms4 关闭，Ms2 和 Ms3 开启，变压器 T1 初级线圈左右两侧的信号分别为 I^+ 和 I，两种状态下变压器的输出信号 I_{out} 相位相差 180° ，即实现了对 I 信号的极性选择。同理，也可通过这种方式对 Q 信号进行极性选择。

极性选择开关可实现四种状态，分别为 S1 为低电平，S2 为低电平；S1 为高电平，S2 为低电平；S1 为高电平，S2 为高电平；S1 为低电平，S2 为高电平。I 路和 Q 路信号经极性选择后通过并联方式进行电流合成，即可覆盖 $0-360^\circ$ 的相移。

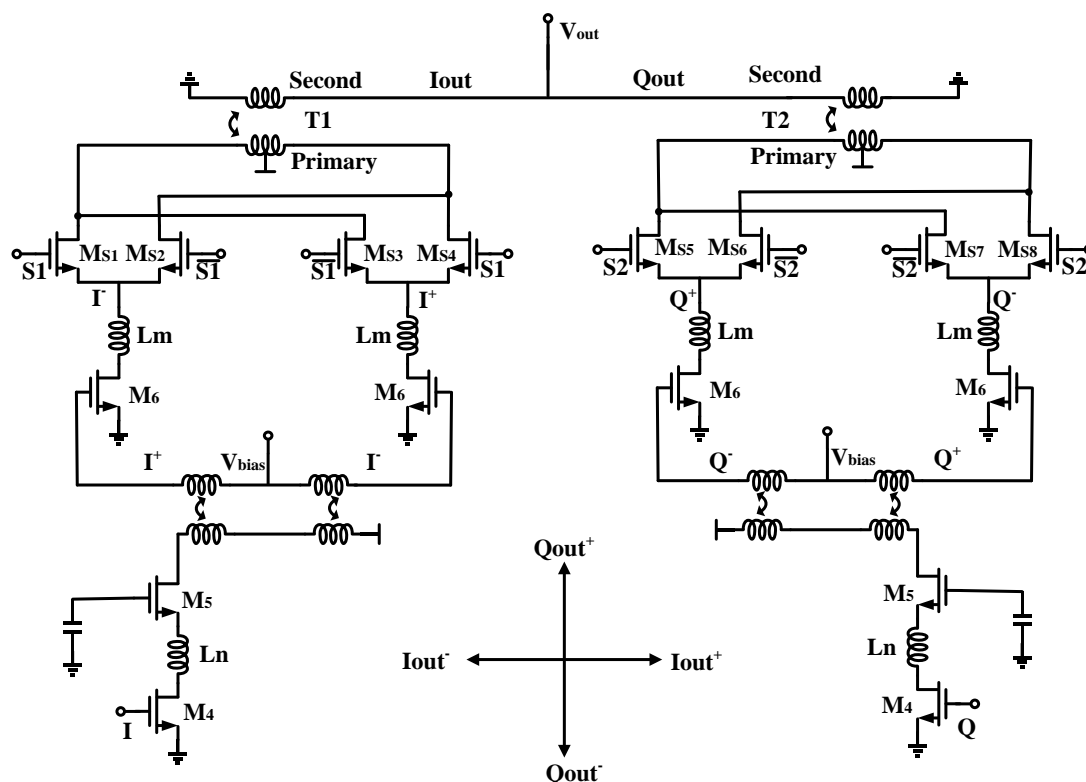


图 4-11 矢量合成器原理

从上述分析可知，极性选择部分一共有 8 个晶体管，在进行极性选择时只有一半晶体管在工作。对于晶体管的尺寸和偏压的选择方法和前文可变增益放大器中晶体管的参数选取方法一致，矢量合成放大器的共源共栅放大级与极性选择级要进行级间匹配，在选择晶体管时考虑到阻抗匹配的难易程度，因此，与传统共源共栅极放大器不同的是，本文共源共栅放大器的共源极和共栅极晶体管的大小并不一样。综合考虑并根据仿真结果确定的各个晶体管参数选取如表 4-2 所示。

表 4-2 矢量合成器中晶体管的尺寸

晶体管	栅宽栅长 w/L	栅指数 finger
M4	$1\ \mu\text{m}/60\ \text{nm}$	18
M5	$1\ \mu\text{m}/60\ \text{nm}$	28
M6	$1\ \mu\text{m}/60\ \text{nm}$	18
Ms1-Ms4	$1\ \mu\text{m}/60\ \text{nm}$	14
Ms5-Ms8	$1\ \mu\text{m}/60\ \text{nm}$	14

4.2 有源移相器的版图及仿真

4.2.1 有源移相器的版图

亚毫米波/太赫兹集成电路的版图设计对电路的性能有着不可忽视的影响，版图设计对称性高，可以减小不对称走线对电路性能的影响。整个电路的设计主要借助于 HFSS 和 Cadence 这两个仿真软件，原理图的搭建、仿真验证以及版图的绘制主要是在 Cadence 仿真软件中完成；为了提高电路设计的可靠性，无源器件的建模与仿真、晶体管寄生参数的提取以及版图的局部和整体后仿都是在 HFSS 仿真软件中完成；借助于 ADS 软件和阻抗匹配软件 Smith 圆图完成了级间匹配和整体电路的输入输出匹配的设计。

170 GHz 有源移相器的整体版图如图 4-13 所示，图中最左边为信号输入端，输入信号依次经过可变增益放大器模块（A），正交信号产生器模块（B）和为矢量合成器模块（C），最后到达右边的信号输出端。整个版图的布局基本是关于水平线上下对称的，所有直流焊盘与 GSG 焊盘的连接说明已经标注在版图中。该设计基于 55-nm CMOS 工艺实现，并在 Cadence 仿真软件中完成版图的绘制，芯片的面积为 $1.05 \times 0.6 \text{ mm}^2$ (包含直流焊盘与 GSG 焊盘)。

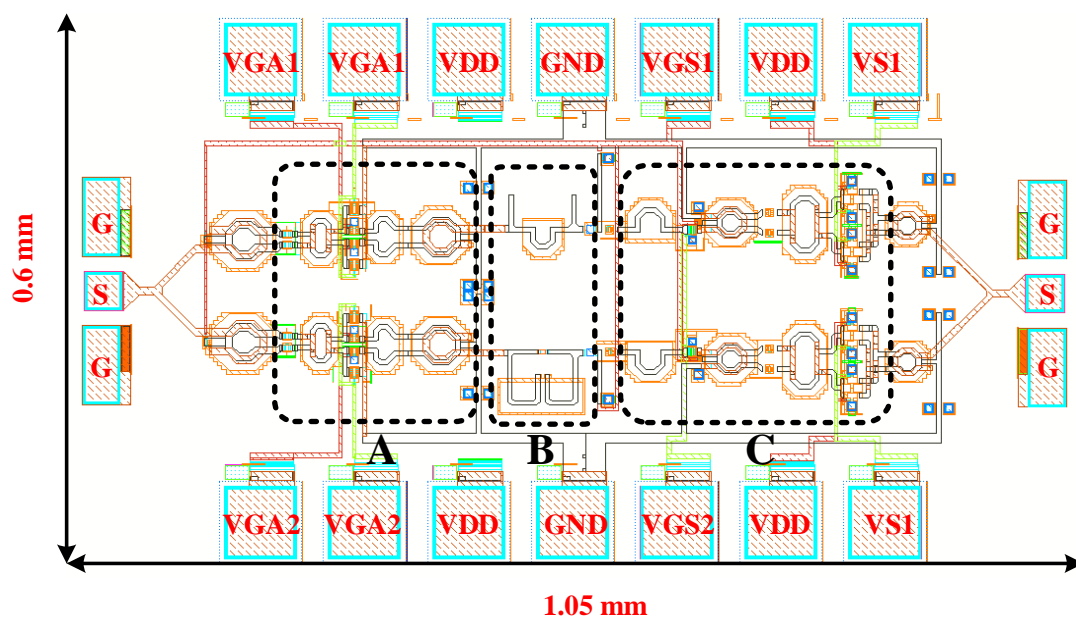


图 4-13 有源移相器整体版图

55-nm CMOS 工艺一共有 9 层金属，其中 M1-M6 为薄金属，离衬底的距离依次增大；EA、OI 和 LB 为三层厚金属，LB 为顶层金属。版图设计中的电感、变压器以及关键的信号连接线均采用最厚的金属 OI 来实现，其中变压器元件的次级线圈采用顶层金属 LB 来实现。厚金属的欧姆损耗、寄生电容和寄生电阻都远小于底

层薄金属，并且使用厚金属能提高无源器件的 Q 值，减小损耗。此外，在版图设计时采用的是薄金属 M1 和 M2 互补连接接地的方式，厚金属距离地面的距离较远，可以有效的减小金属之间的寄生电容对电路性能的影响。

在亚毫米波/太赫兹集成电路中，芯片的实际性能对有源器件、无源器件和传输线的寄生效应非常敏感，射频信号走线之间的相互耦合效应也对芯片的性能有着不容忽视的影响。然而，在原理图仿真中并不能尽数考虑到上述问题，因此各器件在原理图仿真完成之后还需在 HFSS 中进行后仿，由于寄生效应和耦合效应，各器件的后仿数值会与原理图仿真数值有所出入，要在 Cadence 中将后仿数值与原理图进行联合仿真，最终确定各个器件的具体数值。鉴于 Cadence 自带的参数提取功能只能提取到部分寄生电容与寄生电阻，并不能提取到寄生电感参数。为了提升电路的实测性能与仿真性能结果的一致性，本次设计中的所有晶体管均在 HFSS 中完成的参数提取。

矢量合成器的极性选择部分，晶体管 Ms1-Ms8 有八条输出线路，如原理图 4-11 所示，版图的布局不仅要考虑连接线引入的插损，还需兼顾差分电路的对称性。因此，设计了如图 4-14 所示的交叉连接线布局，该连接线布局采用的是顶层金属 LB 与最厚层金属 OI 交叉实现，交叉部分通过两层金属间通孔 VV 连接，该连接线布局紧凑、结构完全对称。

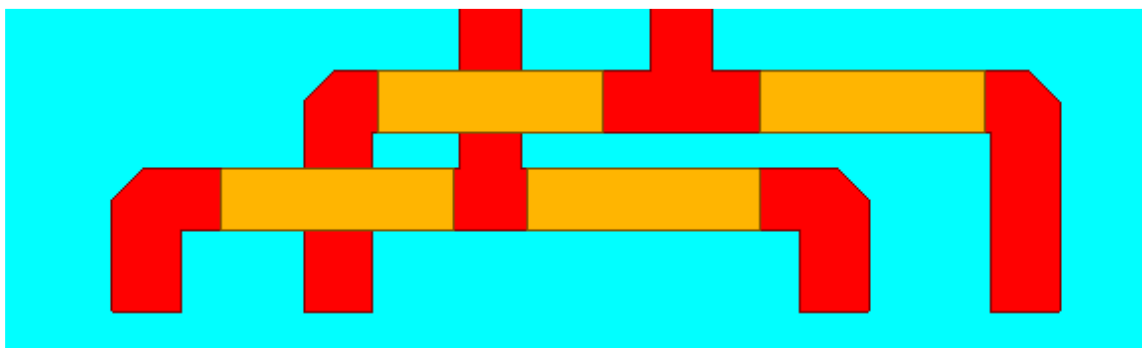


图 4-14 信号合成部分的连接线布局

在有源移相器的输入端，为了将单端输入信号 V_{in} 复制到两路独立可变增益放大器的输入端，同时将单端输入信号 V_{in} 经变压器转换成差分信号，使两组差分信号互不影响地被两路独立可变增益放大器放大；在有源移相器的输出端，为了将两个独立的极性选择模块的输出差分信号转换成两路独立的单端信号，并采用并联方式的电流合成实现相移。因此本文采用了一个既能实现单端信号转换为差分信号又能逆向实现差分信号转换为单端信号的 Y 型变压器并联结构，如图 4-15 所示。该结构在实现信号转换的同时还能实现阻抗匹配，因此，大大的节省了芯片的面积并且简化了设计的复杂程度。

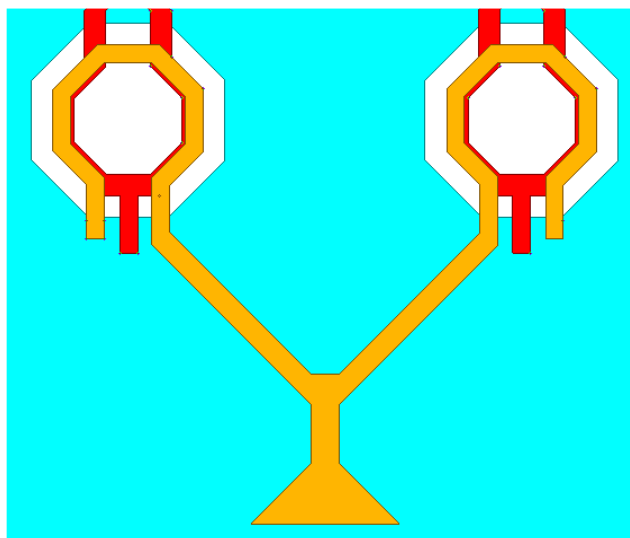
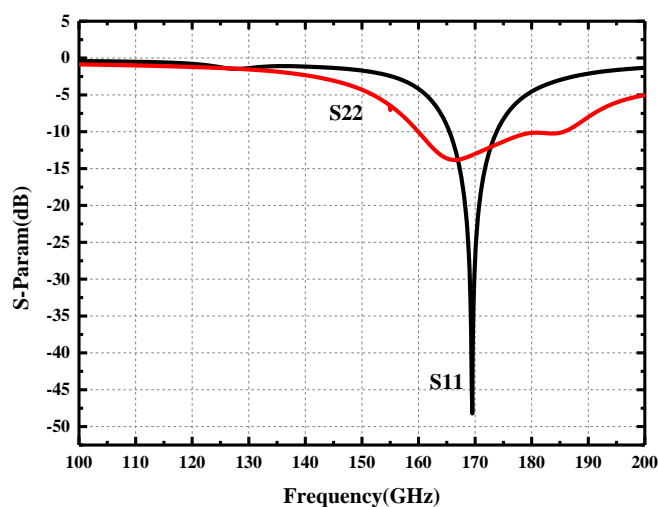


图 4-15 输入输出的 Y 型匹配模型俯视图

4.2.2 有源移相器的仿真结果

如图 4-16 所示，为有源移相器整体版图后仿的输入输出匹配仿真结果，其中蓝色曲线为 S_{11} ，绿色曲线为 S_{22} ，可以看到输入输出端的回波损耗在均小于 -10 dB，输入输出端匹配性能良好。

图 4-16 S_{11} 和 S_{22} 曲线图

如图 4-17 所示，为有源移相器整体版图后仿的输出相位仿真结果，参考相位为 35° ，图中所示的相位与参考相位的差值与 4 位移相器的 16 个理想相位的值基本一致，并且移相范围为全相位 360° 。在工作中心频率 170 GHz 处的相位均方根误差为 7.3° ，功耗为 20.4 mW。从图中可以看到不同的增益调节状态下晶体管不同的状态导致了引起了相位的偏移，因此曲线并不是完全线性的趋势，但是所引起的相位偏移在可接受范围内。

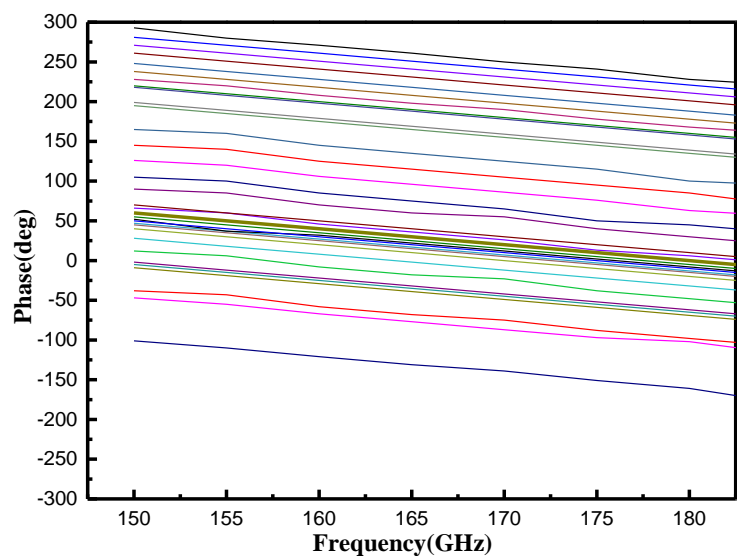


图 4-17 有源移相器相位仿真图

表 4-3 为本次设计的有源移相器与同类型的移相器性能对比,可以看到本文所设计的移相器在功耗、相位均方根误差以及芯片小型化方面都有比较明显的优势。

表 4-3 矢量合成型移相器的性能对比

文献	类型	频率 (GHz)	功耗 (mW)	面积 (mm ²)	峰值 增益	相位 误差	移相 精度
[35]	矢量合成	57-64	32.4	0.66	-5.4 dB	<10.5°	22.5°
[77]	矢量合成	60-80	34.8	1.06	-3.2 dB	<9.1°	22.5°
[78]	矢量合成	47-62	23	0.51	-6 dB	<11°	22.5°
This work (sim.)	矢量合成	170	20.4	0.63	0 dB	7.3°	22.5°

4.3 本章小结

本章主要介绍了基于 55-nm CMOS 工艺设计的 170 GHz 矢量合成型有源移相器,综合考虑了电路的整体功耗以及相位误差等重要性能参数,本次设计在传统有源移相器的各个重要模块的拓扑选择和设计上都做了改进。本章主要分为三个小节介绍了有源移相器的整个设计流程。

第一小节主要介绍了可变增益放大器的电路设计,采用了电流舵技术来实现

输出信号的增益控制，对晶体管参数的选择提供了详细的理论分析和仿真结果，再加以综合考虑功耗和阻抗匹配等因素，并在文中给出了具体的过程。对于可变增益放大器的电路中的重要无源器件，也给出了电磁仿真模型，最后给出了该模块的仿真结果；

第二小节主要介绍了正交信号产生器的电路设计，采用了 π 型低通滤波器和 π 高低通滤波器作为 90° 移相网络，在该模块设计中主要考虑的是无源器件的 Q 值以及加工误差，还给出了创新设计的电感电容模型；

第三小节主要介绍了矢量合成器的电路设计，对电路的工作原理进行了理论分析。本章最后介绍了有源移相器版图的绘制和仿真结果，并与同类型的有源移相器的性能进行了对比。仿真结果达到了本次设计的设计指标，从与同类型的有源移相器的性能对比发现本设计在功耗和相位误差等性能方面有着明显的优势。

第五章 全文总结与展望

5.1 全文总结

21 世纪以来, 电子信息技术在国防建设中的地位逐步提升, 军用防备对频谱资源的需求越来越大, 另外, 随着新一代移动通信技术逐渐兴起, 数量日益剧增的无线终端设备连入网络, 因此, 毫米波及其以下频段的频谱资源已无法满足无线通信对容量、时延等性能的需求, 发展频谱范围更广、信息容量更大和时延更短的亚毫米波 (300 GHz~3000 GHz)/太赫兹 (0.1 THz~10 THz) 通信技术已迫在眉睫。近年来, CMOS 器件的特征尺寸逐渐缩小, 能够满足亚毫米波/太赫兹电路小型化发展的需求, 从而使得低成本、高集成度的硅基工艺成为亚毫米波/太赫兹集成电路研究的热点。基于上述研究出发点, 本文主要做了以下工作:

(1) 首先, 本文对提升片上天线的增益、辐射效率以及集成度等方面展开了调研、学习和研究工作, 并基于 0.13- μm RF CMOS Silicon-On-Insulator (SOI) 工艺, 设计了一款 400 GHz 片上介质谐振器天线, 其辐射模块首次采用新型八角槽结构, 该天线在中心频率处具有 10 dBi 的增益, 辐射效率为 55%, E/H 面的交叉极化均小于 -25 dB, 天线的核心面积为 $0.6 \times 0.6 \text{ mm}^2$ (包含 GSG 焊盘的面积为 $0.88 \times 0.88 \text{ mm}^2$)。

(2) 其次, 本文采用 55-nm CMOS 工艺设计了一款 170 GHz 矢量合成有源移相器。该电路主要包含三个模块, 可变增益放大器采用电流导引技术, 调谐电压实现了增益的连续可调; 正交信号产生器采用 π 型高通网络和 π 型低通网络实现, 其中 π 型低通网络中, 采用开路线等效电容, 降低小电容的加工误差, π 型高通网络中, 采用类“U”型电感, 缩减了电路面积; 矢量合成器第一级采用共源共栅放大器作为驱动放大器以补偿前级的增益损耗。另外, 该有源移相器的级间匹配和输入、输出级匹配均采用变压器匹配, 结构简单且相较于传统 LC 匹配效率更高。该有源移相器在全相位范围内可实现的移相精度为 22.5° , 在 1.8 V 的供电电压下其直流功耗为 20.4 mW, 相位均方根误差为 7.3° , 整体面积为 $1.05 \times 0.6 \text{ mm}^2$ 。

5.2 不足与展望

本文所设计的 400 GHz 片上介质谐振器天线与 170 GHz 有源移相器, 仿真结果虽已基本达到预期设计指标, 但是仍然有以下几点可改进之处:

(1) 本文所设计的 400 GHz 片上介质谐振器天线与 170 GHz 有源移相器均受

限于工作频率高和流片周期长等因素，因此未能在毕业论文完成之际取得相应的测试验证结果，缺乏测试经验，之后将不断跟进两个设计的测试验证阶段，学习测试验证流程以及掌握测试验证方法，将测试验证结果与仿真结果相对比，加以分析与总结；

(2) 有源移相器的可变增益放大器模块设计中，不同状态下晶体管引入的相移各不相同，之后会尝试采用反馈电容的方式减小不同状态下晶体管引入的相移差距，以改善移相器的相位误差；

(3) 有源移相器在整体后仿过程中，由于添加端口数目较多，制约了后仿的效率，后续应不断的学习，掌握更为便捷的端口添加方法，提高后仿的效率与可靠性。

致 谢

光阴转瞬即逝，充实而美好的硕士生涯就要接近尾声了。从初入校时的满日期待与欢喜到毕业之际的感恩与不舍，收获了知识，丰富了阅历。

首先，感谢我的导师孟凡易教授，孟老师有着丰富的工程实践经验和严谨的科研态度，在科研上总是耐心的给予我恰当的指导；生活中孟老师为人谦逊，为他人着想的优秀品质也潜移默化的影响着我，是我成长路上的人生导师。另外，感谢马凯学教授为我们提供的流片机会，也感谢团队的牟首先老师在每周的组会上为我解答问题。

非常感谢刘韬师兄以浅显易懂的方式给我讲解理论基础以及耐心的帮我解决软件使用上的各种问题；非常感谢丁团结师兄，教我电路仿真的入门知识，耐心的指导我通过合理的理论分析去解决问题。感谢我的室友展晓飞和陈宇两位同学，为我营造了良好的宿舍学习氛围；感谢同届的史仕林、李一夫、李圆、楚文柯、武屹冰、邓纪亮、肖豪豪、蔡毅和韩琳同学，我们和睦相处，共同进步；感谢杨震师兄、王晨菲师妹、滕曦慧师妹以及教研室其他的师兄师姐师弟师妹们对我的帮助。

感谢我亲爱的父母以及身边的亲人支持我完成学业，他们是最坚强的后盾，也是我前进的动力。

最后由衷地感谢各位答辩组老师和评审专家，你们辛苦了！

参考文献

- [1] N. Kukutsu, A. Hirata, T. Kosugi, et al. 10-Gbit/s Wireless Transmission Systems Using 120-GHz-Band Photodiode and MMIC Technologies[C]. 2009 IEEE Compound Semiconductor Integrated Circuit Symposium, Greensboro, NC, USA, 2009:1-4.
- [2] T. Kosugi, et al. 120-GHz Tx/Rx chipset for 10-Gbit/s wireless applications using 0.1- μ m-gate InP HEMTs[C]. 2004 IEEE Csic Symposium, San Antonio, TX, USA, 2004:25-28.
- [3] I. Kallfass, J. Antes, T. Schneider, et al. All Active MMIC-Based Wireless Communication at 220 GHz[J]. IEEE Transactions on Terahertz Science and Technology, 2011, 1(2):477-487.
- [4] T. Kosugi, H. Sugiyama, H. Matsuzaki, et al. A 140-GHz quad-receivers IC and sub-assembly for compact passive imaging sensors[C]. 2012 IEEE International Microwave Symposium Digest, Canada, 2012:1-3.
- [5] C.H. Doan, S. Emami, et al. Millimeter-Wave CMOS Design[J]. IEEE Journal of Solid-State Circuits, 2005, 40(1):144 - 155.
- [6] H. Shigematsu, et al. Millimeter-Wave CMOS Circuit Design[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(2):472-477.
- [7] M. Varonen, M. Karkkainen, et al. Millimeter-Wave Integrated Circuits in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2008, 43(9):1991-2002.
- [8] B.Razavi, et al. Design of Millimeter-Wave CMOS Radios: A Tutorial[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(1):4-16.
- [9] F. Gutierrez, S. Agarwal, K. Parrish, et al. On-chip integrated antenna structures in CMOS for 60 GHz WPAN systems [J]. IEEE Journal on Selected Areas in Communications (JSAC), 2009, 27(8): 1367-1378.
- [10] Y. P. Zhang, D. Liu, et al. Antenna-on-Chip and Antenna-in-Package Solutions to Highly-Integrated Millimeter-Wave Devices for Wireless Communications [C], IEEE Transactions on Antennas and Propagation(TAP),2009,57(10):2830-2841.
- [11] R. G. Stewart, M. N. Giuliano, et al. X band integrated diode phase shifter [J]. G-MTT Int. Microwave Symposium Digest, 1968, 43(5): 147–154.
- [12] R. W. Burns, R. L. Holden, et al. Acompact S-band diode phase shifter [J]. G-MTT Int. Microwave Symposium Digest, 1973, 24(3):298–300.
- [13] R. P. Coats, et al. An octave-band switched-line microstrip 3-b diode phase shifter [J]. IEEE Transactions on Microwave Theory and Techniques, 1973,21(7):444–449.

- [14] K. M. Simon, M. J. Schindler, V. A. Mieczkowski, et al. A production-ready, 6–18-GHz, 5-b phase shifter with integrated CMOS-compatible digital interface circuitry [J]. IEEE Journal of Solid-State Circuits, 1992, 27(10): 1452–1456.
- [15] C. Wagner, H. P. Forstner, G. Haider, et al. A. Stelzer, and H. Jäger. A 79-GHz radar transceiver with switchable TX and LO feedthrough in a Silicon-Germanium technology [J]. IEEE BCTM Digest, 2008, 34(11):105–108.
- [16] H. P. Forstner, H. Knapp, H. Jäger, et al. A 77 GHz 4-channel automotive radar transceiver in SiGe [J]. IEEE Radio Frequency IC Symposium Digest, 2008,45(8): 233–236.
- [17] S. Trotta, B. Dehlink, A. Ghazinour, et al. A 77 GHz 3.3 V 4-channel transceiver in SiGe BiCMOS technology [J]. IEEE BCTM Digest, 2009, 35(2):186–189.
- [18] S. Trotta, B. Dehlink, R. Reuter, et al. A multi-channel Rx for 76.5 GHz automotive radar applications with 55 dB IF channel-to-channel isolation [J]. Proc. IEEE EuMIC,2009, 36(3):192–195.
- [19] S. Trotta, H. Knapp, D. Dibra, et al. A 79 GHz SiGe-bipolar spread spectrum TX for automotive radar [C]. IEEE ISSCC Digest, 2007, 64(23):430-613.
- [20] T. Mitomo, N. Ono, Y. Yoshiara, et al. A 77 GHz 90 nm CMOS transceiver for FMCW radar applications [J]. IEEE Journal of Solid-State Circuits, 2010, 36(21):928–937.
- [21] Y. Kawano, T. Suzuki, M. Sato, et al. A 77 GHz transceiver in 90 nm CMOS [C]. IEEE ISSCC Digest, 2009, 310–312.
- [22] S. T. Nicolson, K. H. K. Yau, S. Pruvost, et al. A low-voltage SiGe BiCMOS 77-GHz automotive radar chipset [J]. IEEE Trans. Microw. Theory Tech., 2008,56(5):1092–1104.
- [23] S. T. Nicolson, P. Chevalier, B. Sautreuil, et al. Single-chip W-band SiGe HBT transceivers and receivers for Doppler radar and millimeter-wave imaging [J]. IEEE Journal of Solid-State Circuits, 2008,43(10):2206–2217.
- [24] F. Tzeng, L. Zhou, et al. A single-chip dual-band 22–29-GHz/77–81-GHz BiCMOS transceiver for automotive radars [J]. IEEE J. Solid-State Circuits,2009,44(12):3469–3485.
- [25] J. Lee, Y. Li, M. Hung, et al. A fully-integrated 77-GHz FMCW radar transceiver in 65-nm CMOS technology [J]. IEEE Journal Solid-State Circuits, 2010,45(12):2746–2756.
- [26] A. Babakhani, X. Guan, A. Komijani, et al. A 77-GHz phased-array transceiver with on-chip antennas in silicon:Receiver and antennas [J]. IEEE J. Solid-State Circuits, 2006,41(12):2795–2806.
- [27] K. Koh, J. W. May, et al. Rebeiz. A millimeter-wave (40–45GHz) SiGe BiCMOS 16-element phased-array transmitter [J]. IEEE Journal of Solid-State Circuits, 2009,44(5):1498–1509.

- [28] K. Koh, G. M. Rebeiz, et al. 0.13- μm CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays [J]. IEEE Journal of Solid-State Circuits, 2007,42(11):2535-2546.
- [29] Y. Yao, Z. Li, G. Cheng, et al. A 6-bit active phase shifter for Ku-band phased arrays [C]. 2017 9th International Conference on Wireless Communications and Signal Processing (WCSP), Nanjing, China, 2017:1-5.
- [30] Y. Yao, Z. Li, G. Cheng, et al. A 6-bit Active Phase Shifter for X- and Ku-band Phased Arrays [C]. 2018 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Beijing, China, 2018:124-125.
- [31] T. Wu, C. Zhao, H. Liu, et al. A 51.5-64.5 GHz Active Phase Shifter Using Linear Phase Control Technique With 1.4° Phase resolution in 65-nm CMOS [C]. 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Boston, MA, USA, 2019:59-62.
- [32] K. Koh, G. M. Rebeiz, et al. A 6–18 GHz 5-bit Active Phase Shifter[C]. 2010 IEEE MTT-S International Microwave Symposium, Anaheim, USA, 2010:792-795.
- [33] T. Shimura, Y. Ohashi, et al. A 76–81 GHz active phase shifter for phased array automotive radar in 65nm CMOS[C]. 2013 European Microwave Integrated Circuit Conference, Nuremberg, Germany, 2013:252-255.
- [34] S. A. Mitilineos, G. K. Mitropoulos, et al. A new active RF phase shifter using variable gain, drain Voltage controlled PHEMTs: A 2.4-GHz ISM implementation [J]. IEEE Microwave and Wireless Components Letters, 2005,15(7): 454-456.
- [35] Y. Yu, et al. A 60-GHz 19.8-mW Current-Reuse Active Phase Shifter With Tunable Current-Splitting Technique in 90-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2016,64(5): 1572-1584.
- [36] X. Deng, Y. Li, C. Liu, et al. 340 GHz On-Chip 3-D Antenna With 10 dBi Gain and 80% Radiation Efficiency[J]. IEEE Transactions on Terahertz Science and Technology (TTST), 2015,5(4):619-627.
- [37] A. Barakat, A. Alla, et al. Small size 60 GHz CMOS Antenna-on-Chip: Gain and efficiency enhancement using asymmetric Artificial Magnetic Conductor [C]. European Microwave Conference (Eu MC), 2014:104-107.
- [38] Y. B. Wang, J. Q. Liu, et al. High-gain DR circular patch on-chip antenna based on standard CMOS technology for millimeter-wave applications[C]. 2014 IEEE International Workshop on. IEEE Electromagnetics(iWEM) , 2014:159-160.
- [39] M. Yang, K. Ma, et al. A 60-GHz on-chip antenna over an AMC using a standard 65-nm CMOS technology[C]. General Assembly and Scientific Symposium (URSI GASS), 2014:1-4.

- [40] A. B. Smolders, U. Johannsen, M. Liu, et al. Differential 60 GHz Antenna-on-Chip in mainstream 65nm CMOS technology[C]. Antennas and Propagation Society International Symposium (APSURSI), 2014:356-357.
- [41] R. Wu, W. Deng, S. Sato, et al. A 17-mW 5-Gb/s 60-GHz CMOS transmitter with efficiency-enhanced on-chip antenna[C]. Radio Frequency Integrated Circuits Symposium, 2014:381-384.
- [42] D. B. Rutledge, et al. Integrated-circuit antennas [C]. Infrared and Millimeter-Waves. New York: Academic, 1983:1-90.
- [43] N. Engheta, C. H. Papas, et al. Microstrip dipoles on electrically thick substrates [C]. Radio Science, 1982, 1557-1566.
- [44] H. Kogelnik, et al. Theory of dielectric waveguides [C]. Integrated Optics, New York, 1975:978-662.
- [45] A. Babakhani, X. Guan, A. Komijani, et al. A 77-GHz phased-array transceiver with on-chip antennas in silicon:Receiver and antennas [J]. IEEE Journal of Solid-State Circuits, 2006,41(12): 2795-2806.
- [46] K. Sengupta, A. Hajimiri, et al. A 0.28 THz power-generation and beam steering array in CMOS based on distributed active radiators [J]. IEEE Journal of Solid-State Circuits, 2012, 41(12):3013-3031.
- [47] N. G. Alexopoulos, P. B. Katehi, D. B. Rutledge, et al. Substrate optimization for integrated circuit antennas [J]. IEEE Transactions on Microwave Theory and Techniques, 1983,83(7):550-557.
- [48] B. Chantraine-Barès, R. Sauleau, L. Le Coq, et al. A new accurate design method for millimeter-wave homogeneous dielectric substrate lens antennas of arbitrary shape [J].IEEE Transactions Antennas Propagation, 2005,53(3):1069-1082.
- [49] E. Ojefors, H. Kratz, K. Grenier, et al. Micromachined loop antennas on low resistivity silicon substrates [J]. IEEE Transactions Antennas Propagation, 2006,54(12):3593-3601.
- [50] X. Y. Bao, Y. X. Guo, et al. 60-GHz AMC-based circularly polarized on-chip antenna using standard 0.18- μm CMOS technology [J]. IEEE Transactions Antennas Propagation, 2012,60(5):2234-2241.
- [51] H. C. Kuo, H. L. Yue, et al. A 60-GHz CMOS sub-harmonic RF receiver with integrated on-chip artificial-magnetic-conductor Yagi antenna and balun bandpass filter for very-short-range gigabit communications[J]. IEEE Transactions on Microwave Theory and Techniques, 2013,61(4):1681-1691.
- [52] P. Nenzi, F. Tripaldi, V. Varlamava, et al. On-chip THz 3D antennas [C]. IEEE 62nd Electronic

- Component Technology Conference,2012:102–108.
- [53] D. Cavallo, A. P. Laguna, W. Syed, et al. Wideband and high-efficiency radiation from chip with artificial dielectric superstrates [C]. 10th Eur. Conference Antennas Propagation, 2016:1–4.
- [54] P. Philippe, P. Cog, et al. A multioctave active GaAs MMIC quadrature phase shifter [J].IEEE Transactions on Microwave Theory and Techniques,1989, 37(12):2119-2124.
- [55] H. Hayashi, M. Mauraguchi, et al. An MMIC Active Phase Shifter Using a Variable Resonant Circuit [J]. IEEE Transactions on Microwave Theory and Techniques,1999, 37(12): 2119-2124.
- [56] D. Viveiros, D. Consonni, et al. A Tunable All-Pass MMIC Active Phase Shifter [J]. IEEE Transactions on Microwave Theory and Techniques,2002,66(2): 1047-1057.
- [57] P. Y. Chen, T. Wei, et al. K-Band HBT and HEMT Monolithic Active Phase Shifters Using Vector Sum Method [J]. IEEE Transactions on Microwave Theory and Techniques, 2004,52(5):1414-1424.
- [58] A. M. Niknejad, D. Chowdhury, et al. Design of CMOS Power Amplifiers [J]. IEEE Transactions on Microwave Theory and Techniques, 2012:377-410.
- [59] T. Yao, M. Q. Gordon, et al. Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio [J]. IEEE Journal of Solid-State Circuits, 2007,42(5):1044-1057.
- [60] B. Wicks, E. Skafidas, R. Evans, et al. A 60-GHz fully-integrated Doherty power amplifier based on 0.13- μm CMOS process[C]. Radio Frequency Integrated Circuits Symposium, 2008:69-72.
- [61] X. Guan, S. Member, H. Hashemi, et al. A fully integrated 24-GHz eight-element phased-array receiver in silicon[J]. IEEE Journal of Solid-State Circuits , 2004,39(12): 2311-2320.
- [62] D. W. Kang, S. Hong, et al. A 4-bit CMOS Phase Shifter Using Distributed Active Switches [J]. IEEE Transactions on Microwave Theory and Techniques,2007,55(7): 1476-1483.
- [63] K. Entesari, A. R. Tavakoli, et al. A 0-900° Low-Loss Miniaturized Reflective-Type CMOS Phase Shifter Using Active Inductors[J]. IEEE International Midwest Symposium on Circuits and Systems, 2009, 983-986.
- [64] A. Vahdati, D. Parveg, et al. A 100-GHz Phase Shifter in 28-nm CMOS FDSOI [J]. European Microwave Integrated Circuits Conference (EuMIC),2015:112-115.
- [65] 宋铮,张建华,黄冶. 天线与电波传播 (第三版).西安电子科技大学出版社:2016.
- [66] B.W. Min, G. M. Rebeiz, et al. Single-ended and differential Ka-band BiCMOS phased array front-ends [J]. IEEE Journal of Solid-State Circuits, 2008,43(10): 2239–2250.
- [67] 魏峰, 史小卫, 介质谐振器天线. 电子科技, 2003(23):30-32.
- [68] J. A. Nessel, et al. Demonstration of a X-band multilayer yagi-like microstrip patch antenna with high directivity and large bandwidth [J]. IEEE Antennas Propagation. 2005: 227–230.

- [69] Y. Liu, H. Liu, M. Wei, et al. A novel slot Yagi-like multilayered antenna with high gain and large bandwidth [J]. IEEE Antennas Wireless Propagation Letter, 2014:790–793.
- [70] R. K. Mongia, A. Ittipiboon, et al. Theoretical and experimental investigations on rectangular dielectric resonator antennas [J]. IEEE Transactions Antennas Propagation, 1997, 45(9):1348–1356.
- [71] A. Petosa, S. Thirakoune, et al. Rectangular dielectric resonator antennas with enhanced gain [J]. IEEE Transactions Antennas Propagation, 2011, 59(4):1385–1389.
- [72] M. H. Awida, A. E. Fathy, et al. Design guidelines of substrate-integrated cavity backed patch antennas [J]. Microwave Antennas Propagation, 2012, 6(2): 151–157.
- [73] C. Li, T. Chiu, et al. 340-GHz Low-Cost and High-Gain On-Chip Higher Order Mode Dielectric Resonator Antenna for THz Applications [J]. IEEE Transactions on Terahertz Science and Technology, 2017, 7(3):284-294.
- [74] X.D. Deng, Y. Li, et al. 340-GHz SIW cavity-backed magnetic rectangular slot loop antennas and arrays in silicon technology[J]. IEEE Transactions Antennas Propagation, 2015, 63(12): 5272–5279.
- [75] F. Golcuk, O. D. Gurbuz, G. M. Rebeiz, et al. A 0.39–0.44 THz 2×4 amplifier-quadrupler array with peak EIRP of 3–4 dBm [J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(12):4483–4491.
- [76] S. Hu, et al. A SiGe BiCMOS Transmitter/Receiver Chipset With On-Chip SIW Antennas for Terahertz Applications [J]. IEEE Journal of Solid-State Circuits, 2012, 47(12):2654-2664.
- [77] Sang Young Kim, et al. An Improved Wideband All-Pass I/Q Network for Millimeter-Wave Phase Shifters[J]. IEEE Transactions on Microwave Theory and Techniques, 2012.
- [78] W. Shin, G. M. Rebeiz, et al. 60 GHz active phase shifter using an optimized quadrature all-pass network in 45nm CMOS[C]. Microwave Symposium Digest (MTT), 2012 :1-3.

攻硕期间的研究成果

- [1] H. Ji, F. Meng, K. Ma and S. Mou. A 400-GHz Octagonal-Slotted Dielectric Resonator Antenna with 10 dBi Gain in 0.13- μm CMOS SOI[C].2020 IEEE Asia-Pacific Microwave Conference (APMC), Hong Kong, Hong Kong, 2020:691-693.