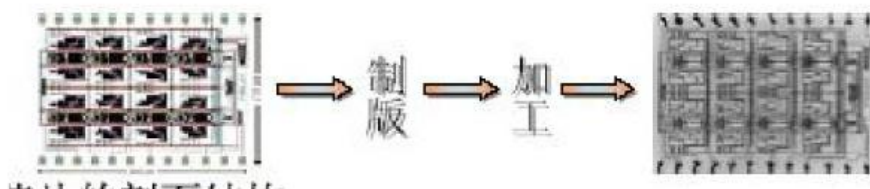


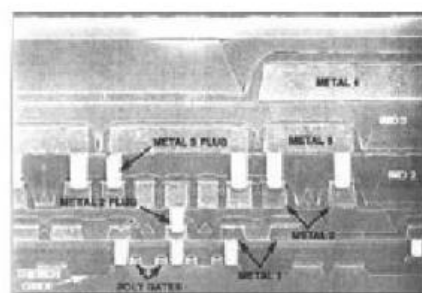


Layout structure

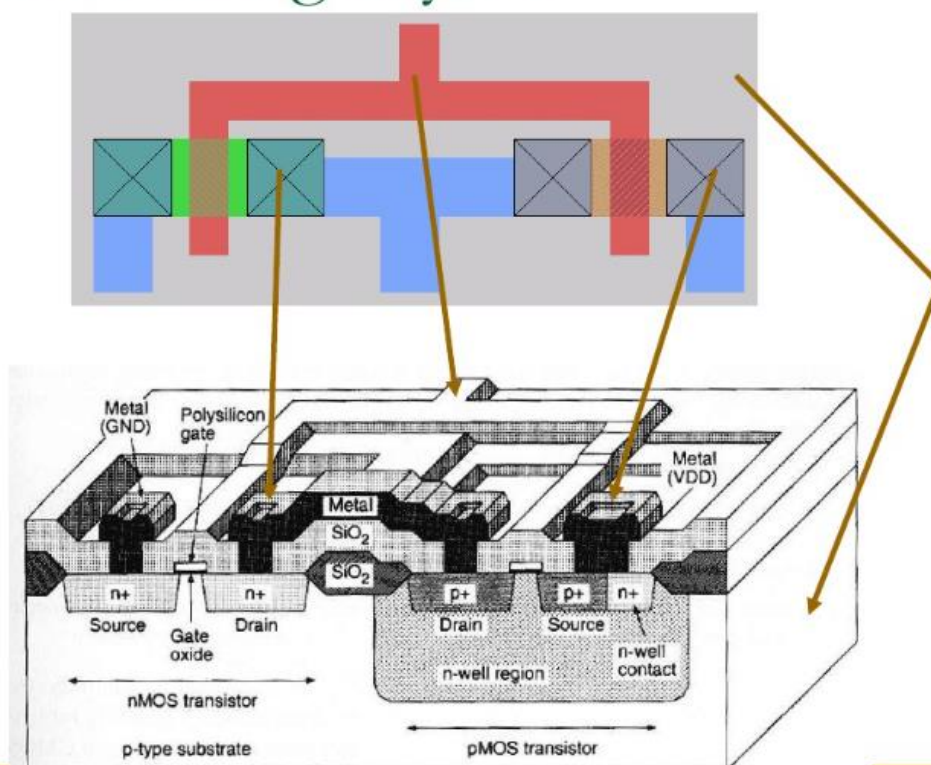
■ 集成电路加工的平面工艺

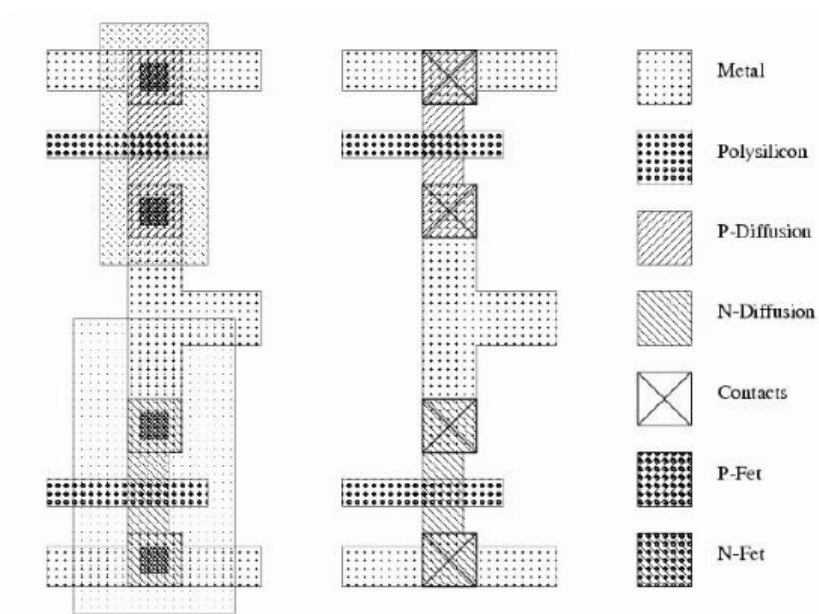
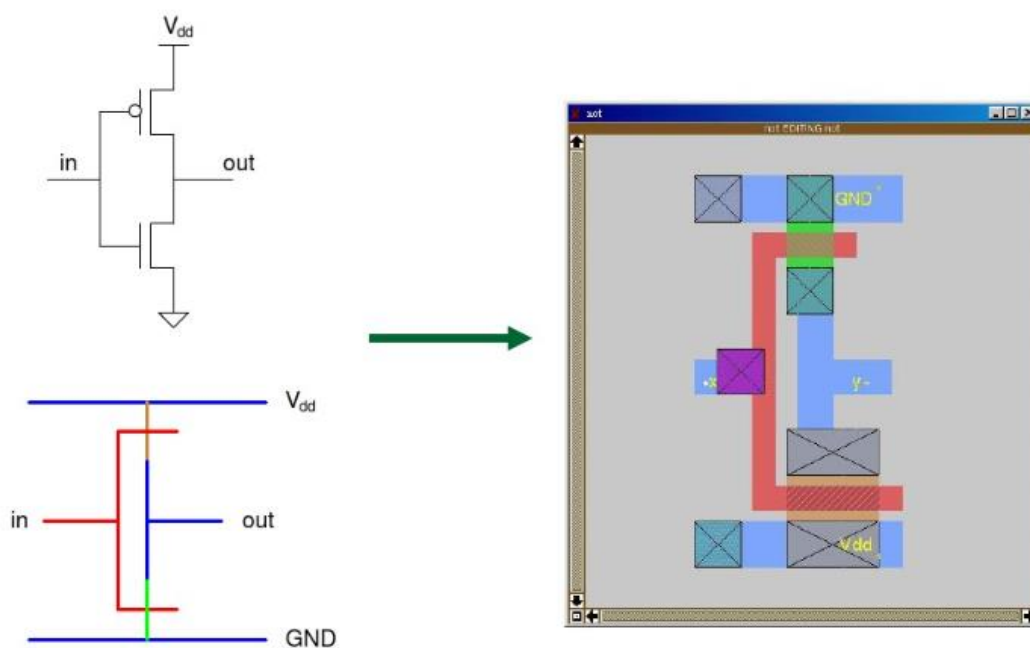


从平面工艺到立体结构，需多层掩膜版构，需多层掩膜版，故版图是分层次的，由多层图形叠加而成！



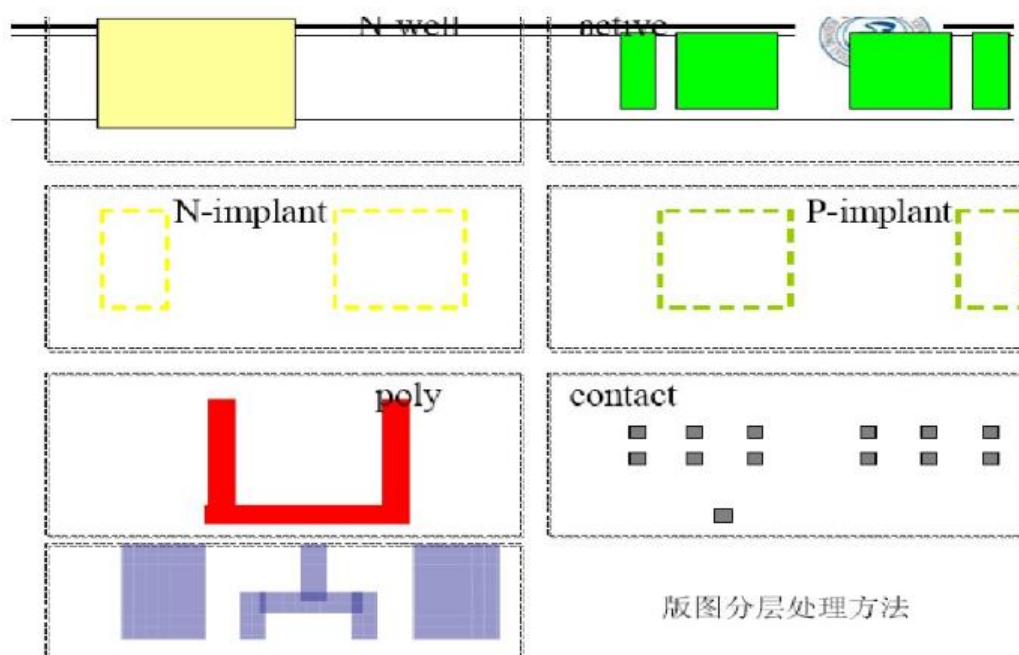
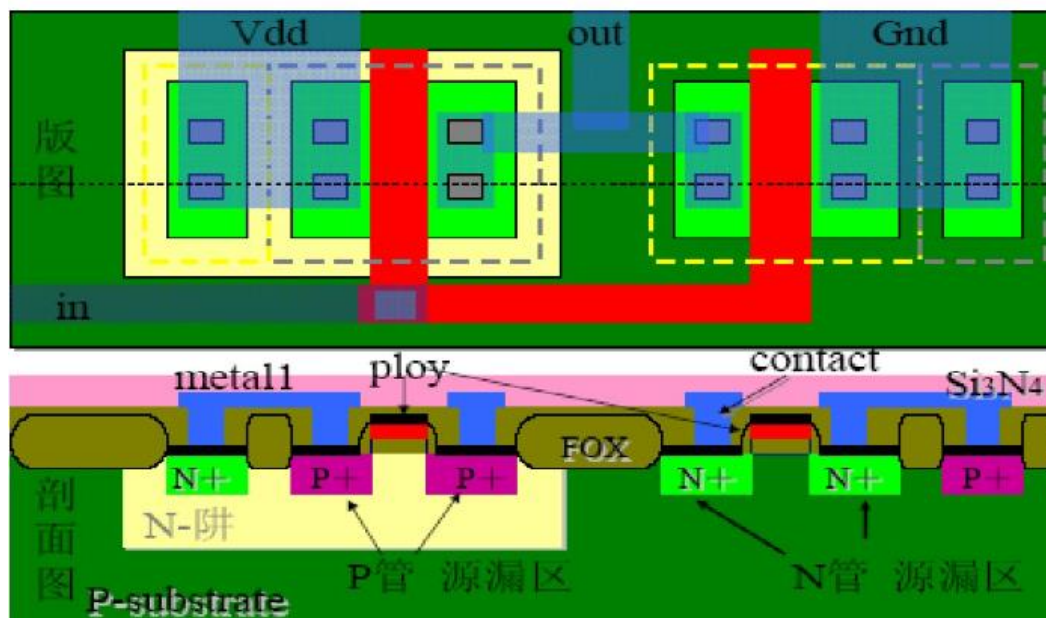
Understanding Layout





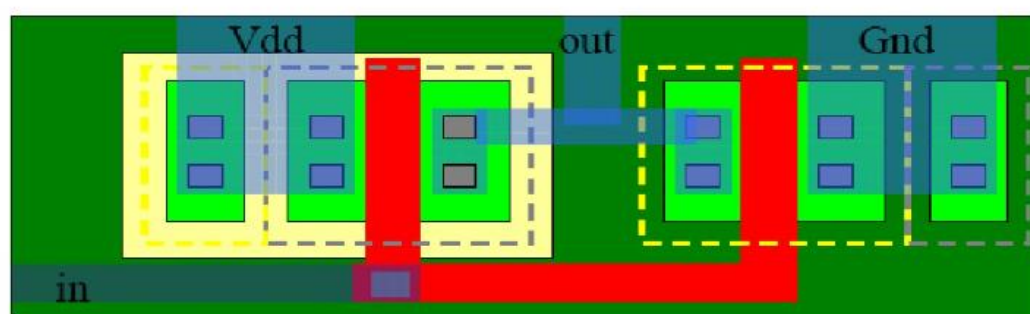
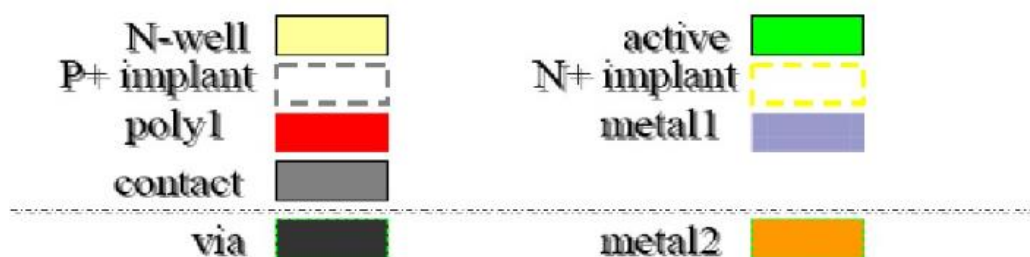


A simple Case

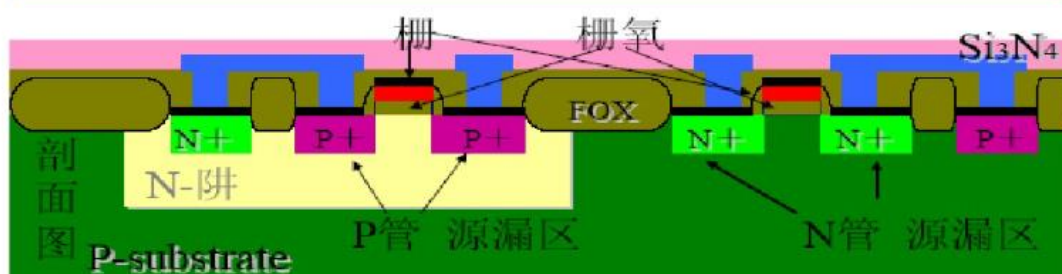
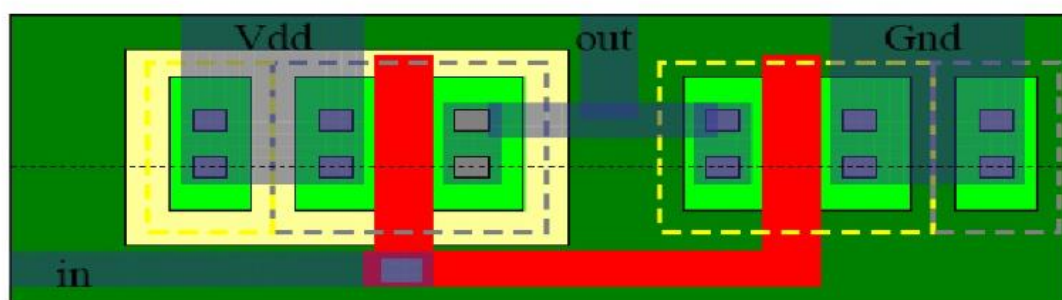




Layer



Layout Flow

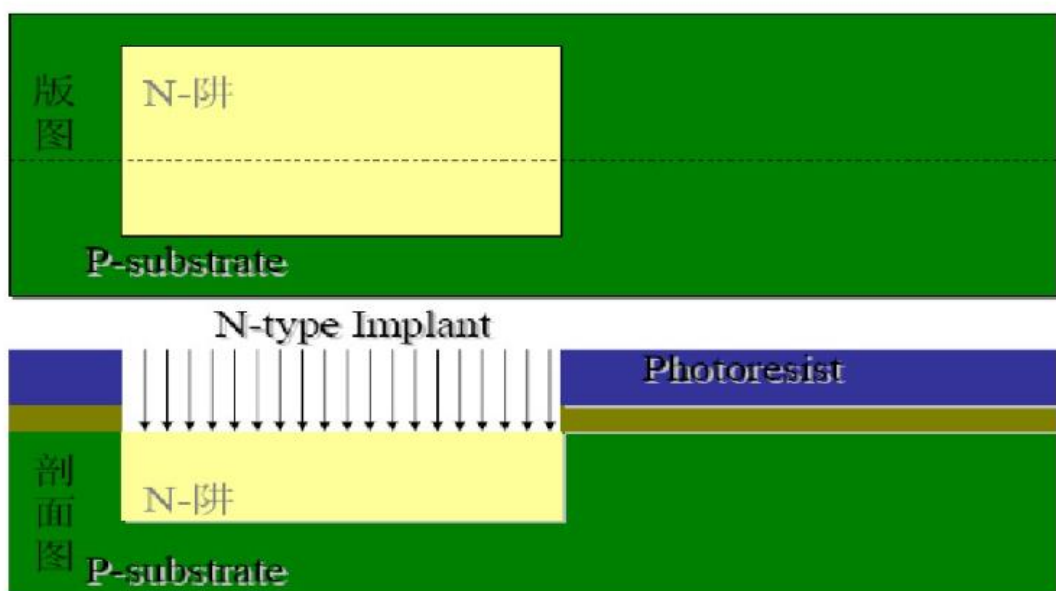




硅栅CMOS工艺版图和工艺的关系

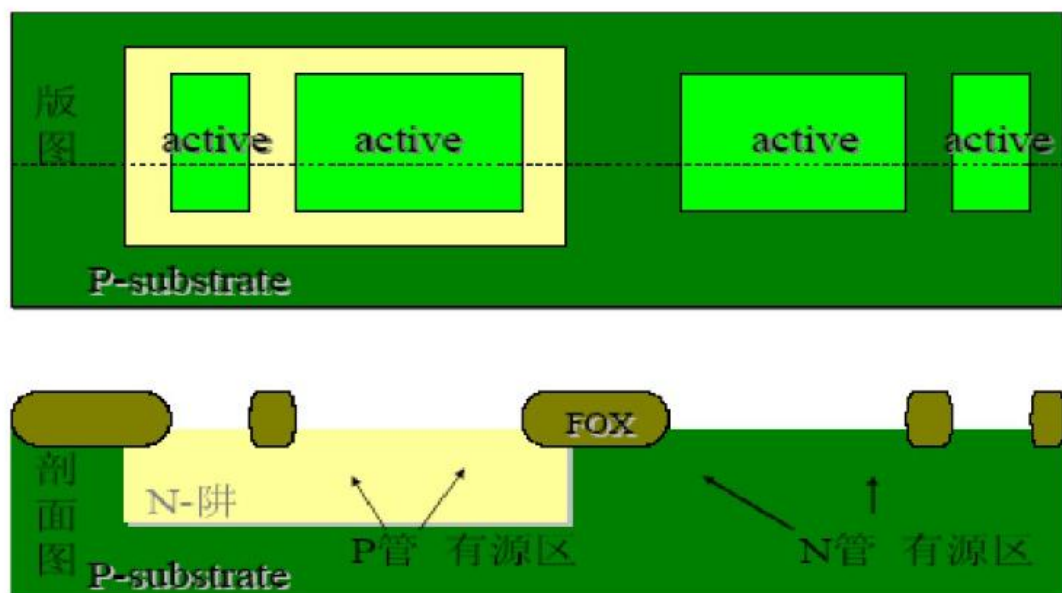
1. N阱——做N阱的封闭图形处，窗口注入形成P管的衬底
2. 有源区——做晶体管的区域（G, D, S, B区），封闭图形处是氮化硅掩蔽层，该处不会长场氧化层
3. 多晶硅——做硅栅和多晶硅连线。封闭图形处，保留多晶硅。
4. 有源区注入——P+, N+区。做源漏及阱或衬底连接区的注入
5. 接触孔——多晶硅，扩散区和金属线1接触端子。
6. 金属线1——做金属连线，封闭图形处保留铝
7. 通孔——两层金属连线之间连接的端子
8. 属线2——做金属连线，封闭图形处保留铝

版图流程——N well（1）

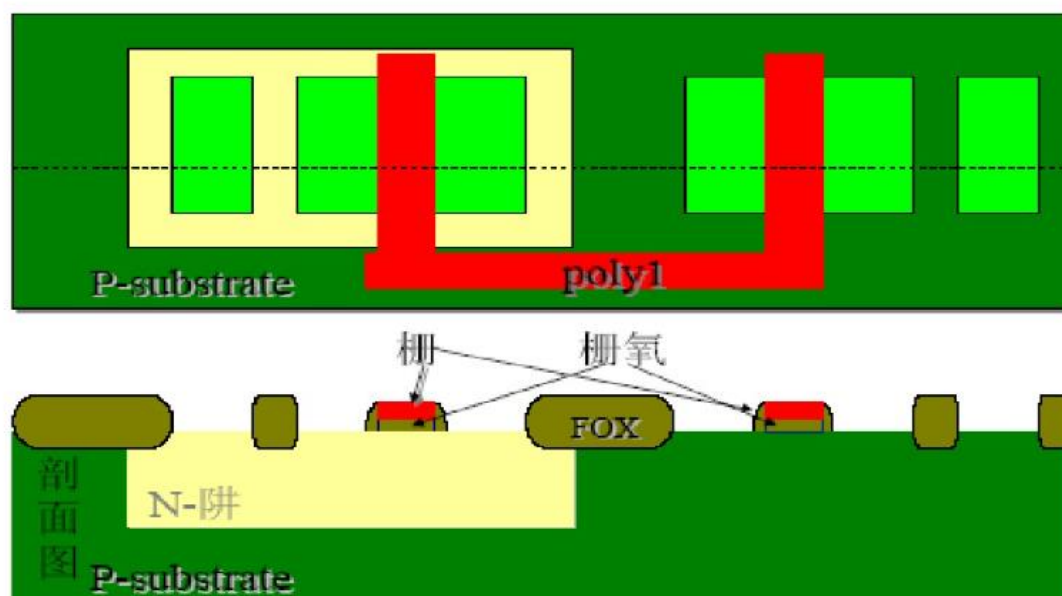




版图流程——Active Area (2)

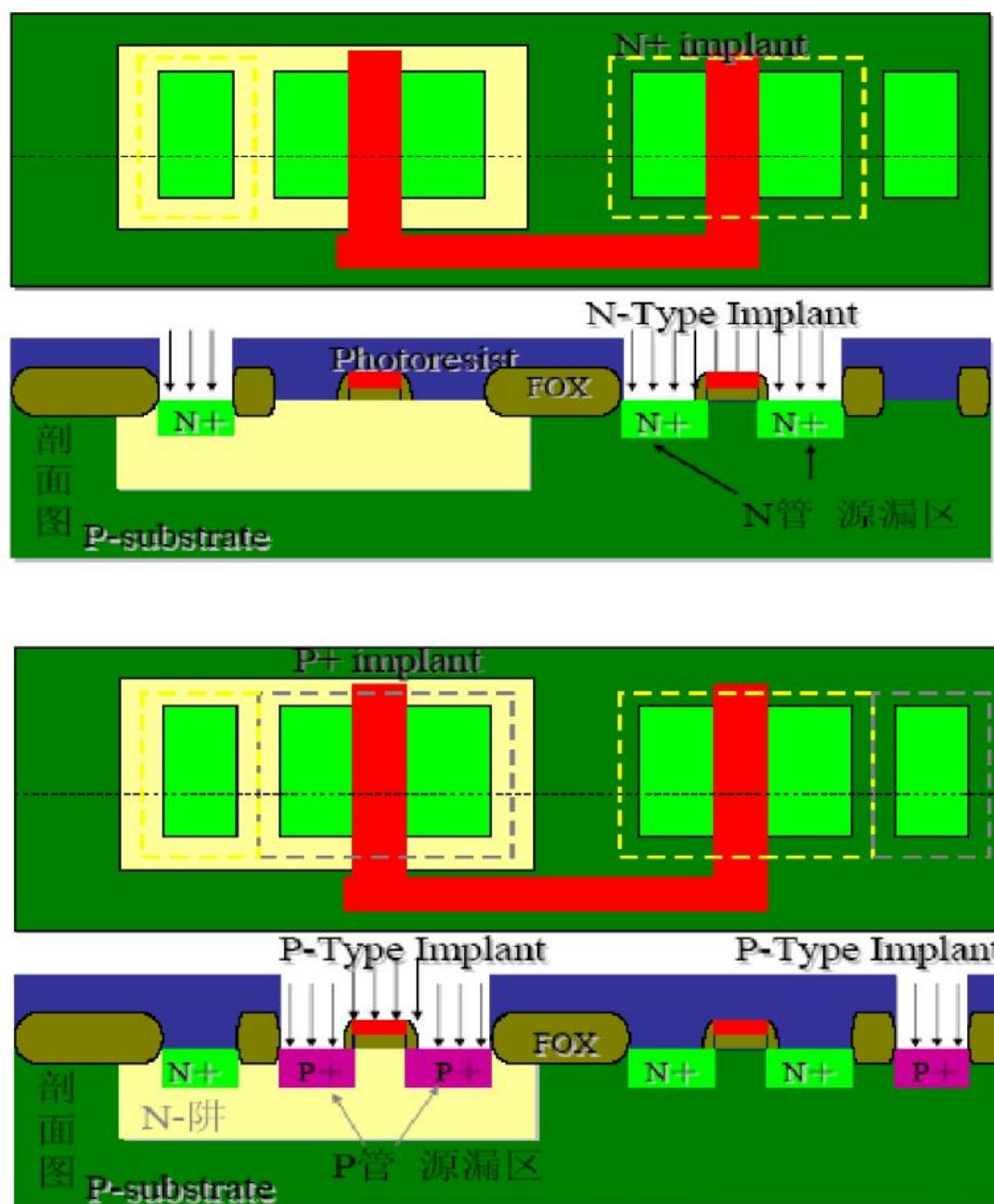


版图流程——Polysilicon (3)



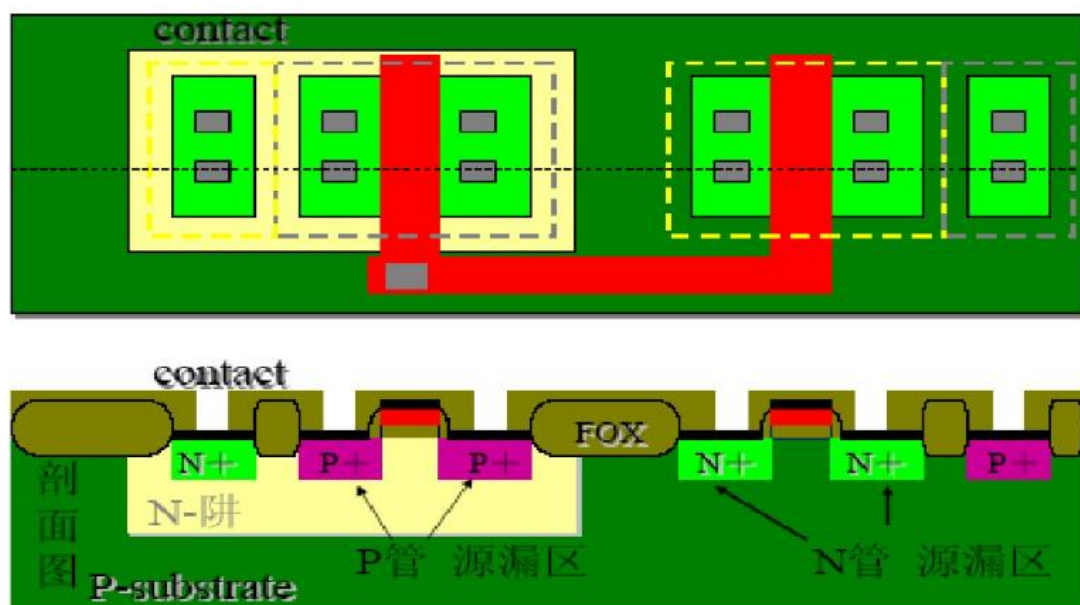


版图流程——Active Area Implant (4)

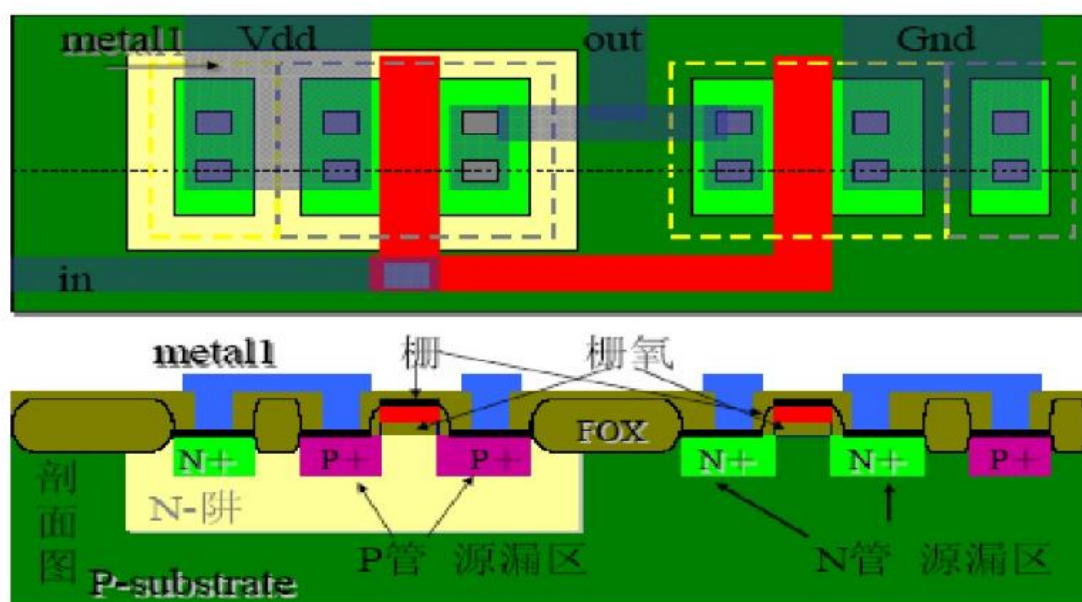




版图流程——Contact (5)

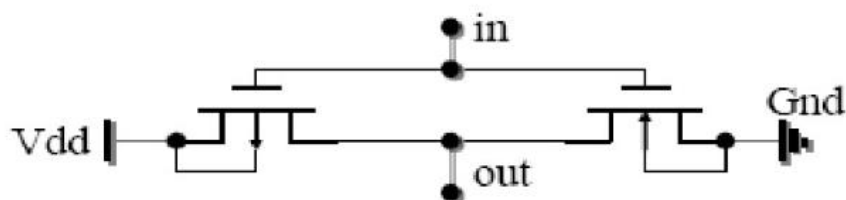
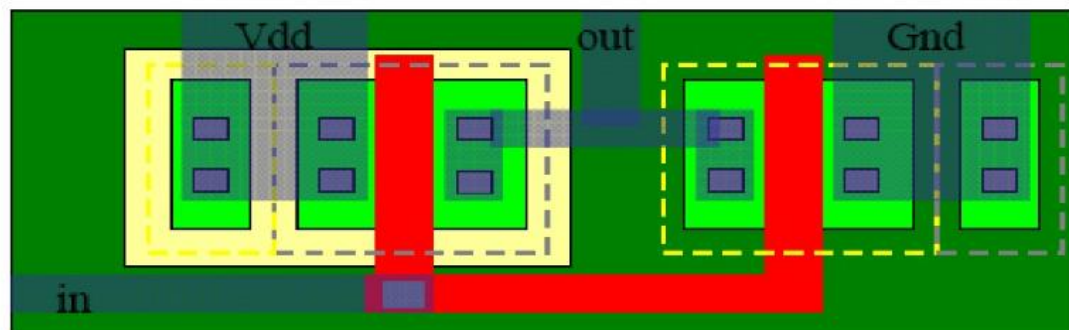


版图流程——Metal 1 (6)





反相器版图与电原理图



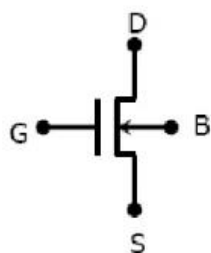
CMOS工艺中的元件

- MOS晶体管
 - 版图和结构
 - 电特性
 - 隔离
 - 串联和并联
- 连线
- 集成电阻
- 集成电容
- 寄生二极管和三极管

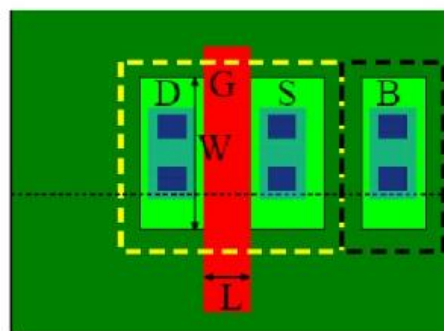


MOS晶体管

- NMOS晶体管的版图和结构



NMOS晶体管符号

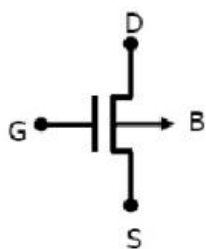


NMOS晶体管版图

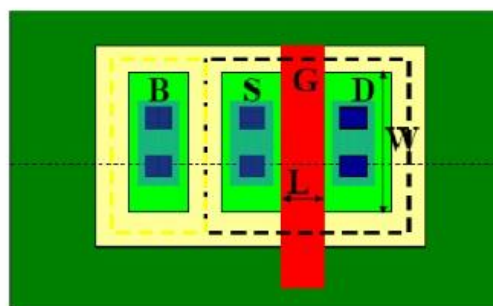


NMOS晶体管剖面图

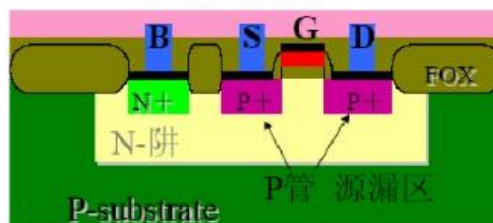
- PMOS晶体管的版图和结构



PMOS晶体管符号



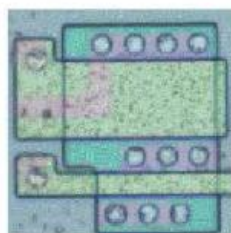
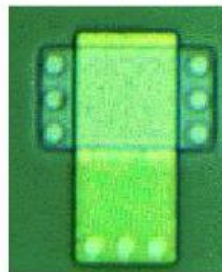
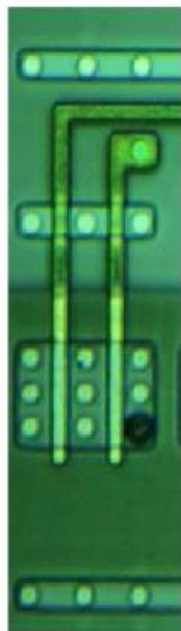
PMOS晶体管版图



PMOS晶体管剖面图



典型的MOS管图形



目前流行的IC结构及其版图特征

- 目前流行最广泛的是Si栅CMOS电路，主要是通信方面的电路。另一类是双极电路，用于高速、高压或强驱动方面。第三类是BiCMOS，用于一些高要求的地方，比如电压控制、光纤发送接收放大器、电平转换等。



- • Si栅CMOS结构
(一般采用P – Sub, N – Well结构)
工艺尺寸: $1\mu\sim 0.18\mu\sim 65\text{nm}\sim 45\text{nm}\sim 32\text{nm}$
- 金属: 单层 ~ 5 、 $6,8\sim 12$ 层
- Poly: 单层 ~ 2 层
- 这些CMOS结构中一般可以兼容纵向PNP晶体管, 用作带隙参考的二极管结构。

- 硅栅CMOS的器件:
NMOS——制作在P – Sub上, P – Sub接Vss
PMOS——制作在N – Well上, N – Well接Vdd
- PNP管——C: P – Sub, E: P型有源区, B: N – Well
- 电阻——Poly电阻一般指高Poly电阻 (几十欧到上百欧), P有源区电阻, N阱电阻
- 电容——Poly – Poly, Poly—n+, Sandwich

- • 标准Bipolar结构
基本构造: PN结隔离, 介质 (SiO_2) 隔离
PN结隔离: P衬底, N外延, P隔离槽
晶体管: NPN作于N岛上
PNP横向和纵向的
电阻: 主要是P区电阻



- • NMOS和PMOS判断
 1. 对于数字电路，CMOS中的P管W/L大，N管W/L小
 2. 源极接V_{dd}的一般为PMOS，接V_{ss}的一般为NMOS
 3. 模拟电路不完全服从以上规律。可结合电路结构来分析。如差分放大器尾电流接V_{ss}，则差分对及尾电流MOS器件为NMOS，负载管则可以基本判定为PMOS

MOS晶体管

- – 在物理版图中，只要一条多晶硅跨过一个有源区就形成了一个**MOS**晶体管，将其S, G, D, B四端用连线引出即可与电路中其它元件连接.
- MOS晶体管的电特性
 - MOS晶体管是用栅电压控制源漏电流的器件,重要的公式是萨方程(I-V方程):
- $I_{DS}=k' \cdot W/L \cdot [(V_G-V_T-V_S)^2-(V_G-V_T-V_D)^2]$



- MOS晶体管的电特性
- – V_G , V_S , V_D 分别是栅, 源, 漏端的电压, V_T 是开启电压. – k' 是本征导电因子, $k'=\mu \cdot C_{ox}/2$, μ 是表面迁移率, 属于硅材料参数, C_{ox} 是单位面积栅电容, 属于工艺参数
- – W , L 分别是MOSFET的沟道宽度和长度, 属于物理参数
- – 管子的最小沟道长度 L_{min} 标志着工艺的水平——特征尺寸, 如 $0.35\mu m$, $0.18\mu m$. W 表示管子的大小, W 越大则管子越大, 导电能力越强, 等效电阻越小.

MOS晶体管的电特性

1. 晶体管的三种工作状态

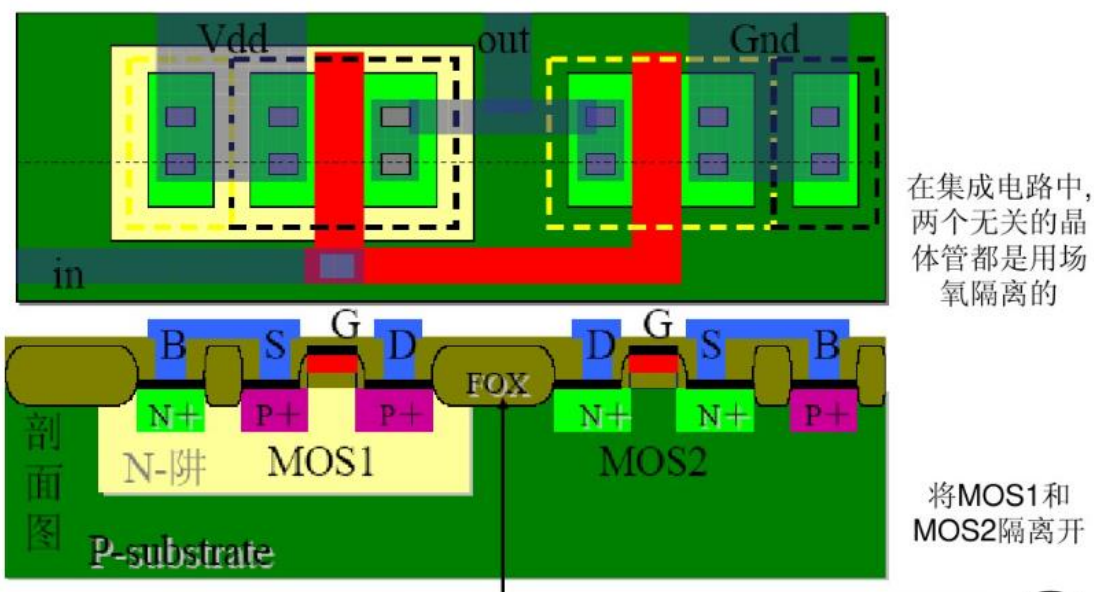
截止区: $I_{DS}=0$ 条件: $V_G - V_T - V_S \leq 0$

饱和区: $I_{DS}=k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$
条件: $V_G - V_T - V_S > 0, V_G - V_T - V_D \leq 0$

线性区: $I_{DS}=k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$
条件: $V_G - V_T - V_S > 0, V_G - V_T - V_D > 0$

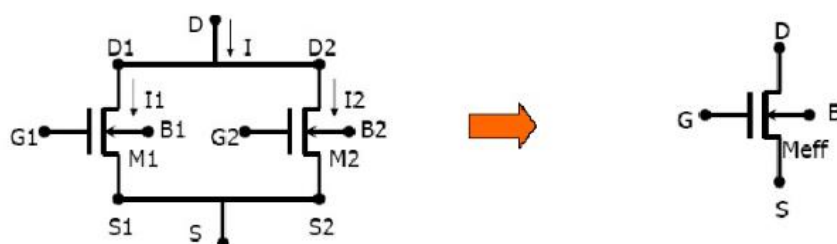
2. 晶体管的开启电压公式

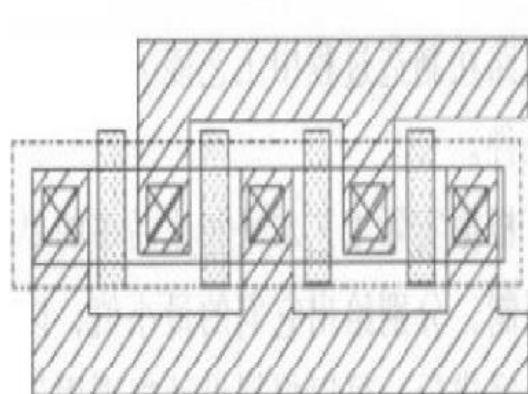
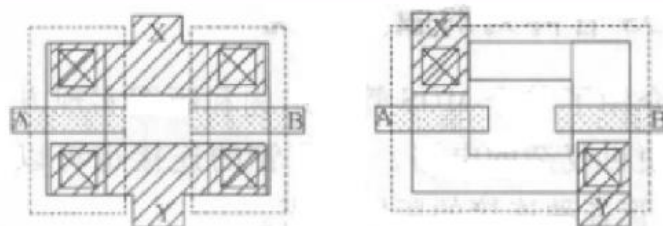
$$V_T = V_{T0} + \gamma [\sqrt{2\Phi_F + V_{BS}} - \sqrt{2\Phi_F}]$$



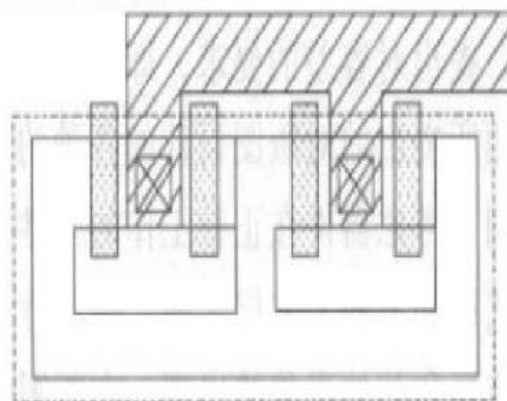
MOS晶体管的并联

- 晶体管的D端相连, S端相连.
- 如果两个晶体管中有一个晶体管导通, 从D到S就有电流流过, 若两个晶体管都导通, 则 $I=I_1+I_2$. 每只晶体管相当于一个电阻, 它的并联和电阻并联的规律一样, 等效电阻减小, 电流增大.
- ***M1 D G S B MN L=5u W=100u M=2***

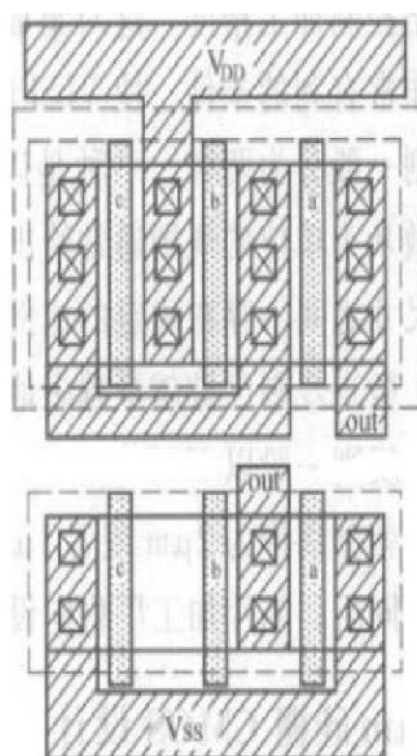
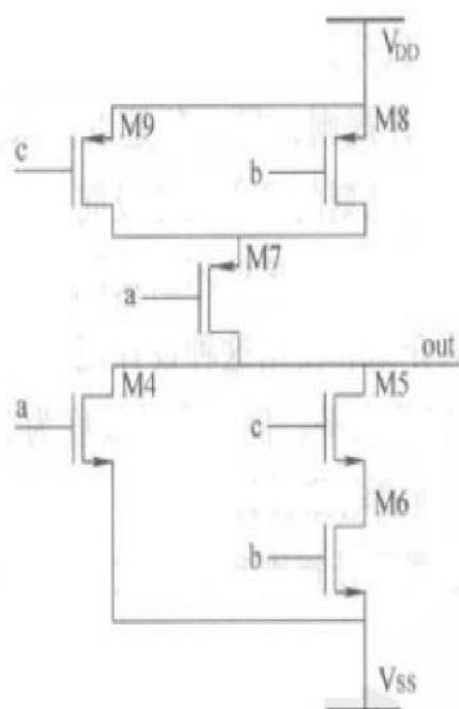




a)



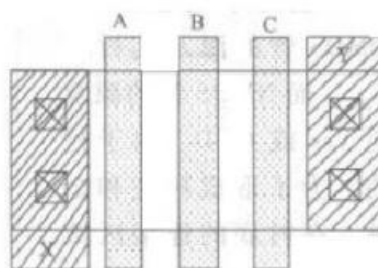
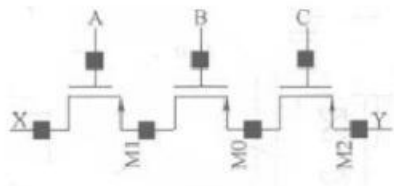
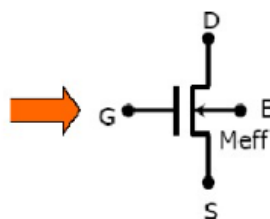
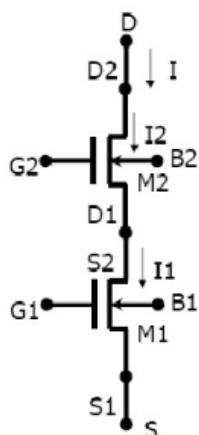
b)





MOS晶体管的串联

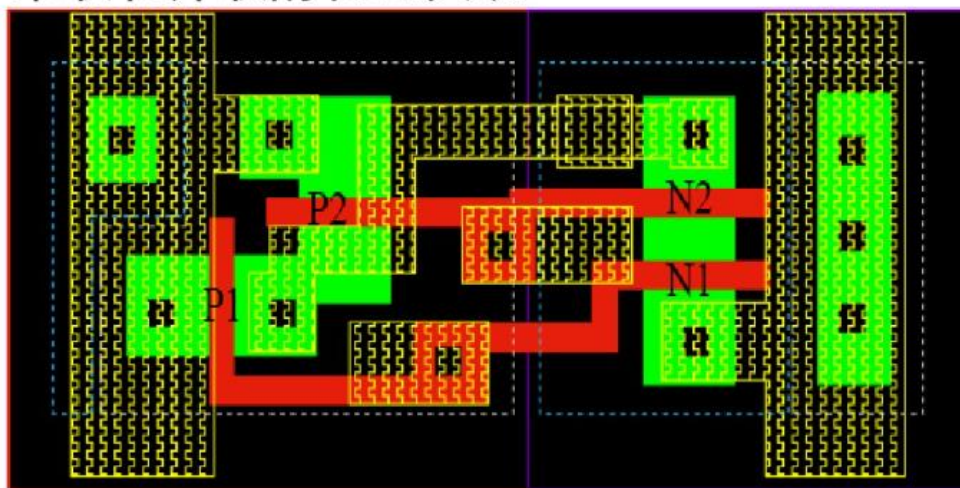
- 串联: 晶体管的S端和另外一个晶体管的D端相连.
- 晶体管的串联和电阻的串联规律相同, 等效电阻增大, 电流不变:
 $I=I_1=I_2$.





MOS晶体管

- MOS晶体管的串联和并联
- * 串联和并联的物理实现



P1和P2并联，N1和N2串联

连线

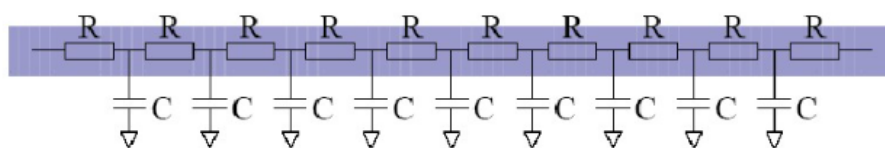
- 连线
 - * 电路由元件和元件间的连线构成
 - * 理想的连线在实现连接功能的同时，不带来额外的寄生效应
 - * 在版图设计中，可用来做连线的层有：
金属，扩散区，多晶硅



连线

■ 连线寄生模型

- * 串联寄生电阻
- * 并联寄生电容



简单的长导线寄生模型

■ 串联寄生电阻典型值

- * 金属(铝, 铜)—— $0.05 \Omega/\square$
- * 多晶硅—— $10 \sim 15 \Omega/\square$
- * 扩散区 (N+) —— $20 \sim 30 \Omega/\square$

- 串联寄生电阻和并联寄生电容的影响
- - 电源地上，电阻造成直流和瞬态压降
- - 长信号线上，分布电阻电容带来延迟
- - 在导线长距离并行或不同层导线交叉时，带来相互串扰问题



- MOS集成电路是以MOS晶体管(MOSFET)为主要元件构成的电路，以及将这些晶体管连接起来的连线，此外，集成电阻，电容，以及寄生三极管，二极管，等也是MOS集成电路中的重要元件.

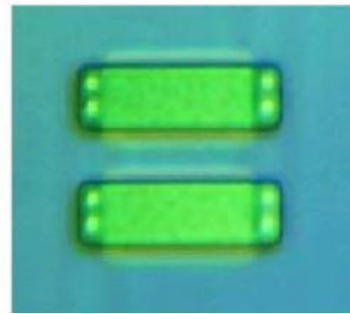
- 集成电阻

- • 电阻

- * 两端元件—— $V=RI$

- * 最基本的无源元件之一，是输入输出静电保护电路，模拟电路中必不可少的元件

- * 方块电阻，线性，寄生效应





集成电路

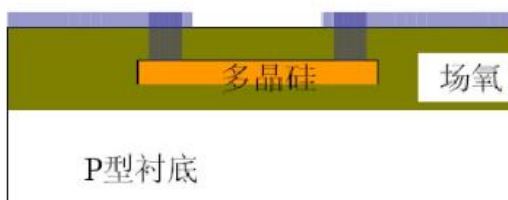
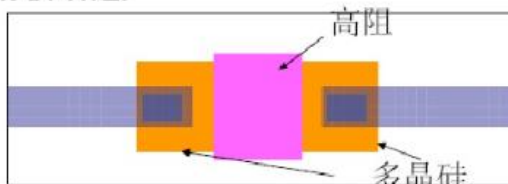
■ 多晶硅电阻

* 多晶硅电阻做在场区上.

* 其方块电阻较大, 因此可以作为电阻. 如在作电阻的多晶硅处注入杂质, 使其方块电阻变大, 可制作阻值很大的电阻.

$$R = R_{\square \text{poly-Si}} \cdot L/W$$

* 典型值: $R_{\square \text{poly-Si}} = 1k$

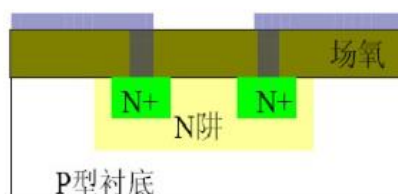
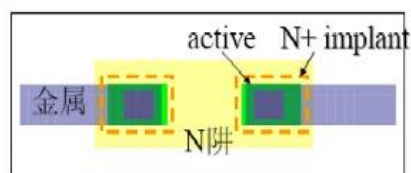


■ NWELL电阻

* 因为阱是低掺杂的, 方块电阻较大, 因此大阻值的电阻亦可以用阱来做

$$R = R_{\square \text{well}} \cdot L/W$$

* 典型值: $R_{\square \text{well}} = 0.85k$





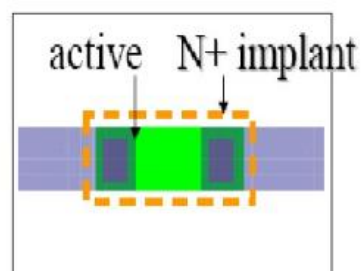
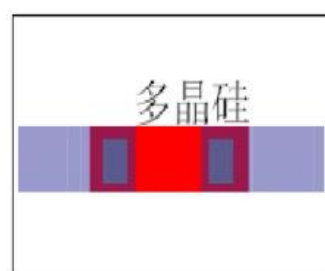
■ MOS管电阻

- * 工作在线性区的MOS管可用作电阻
- * 它是一个可变电阻, 其变化取决于各极电压的变化:

$$R = \frac{V_{DS}}{I_{DS}} = \frac{V_D - V_S}{k[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]}$$

• 导线电阻

- * 多晶硅导线——10~15 Ω/\square
- * 扩散区 (N+) ——20~30 Ω/\square



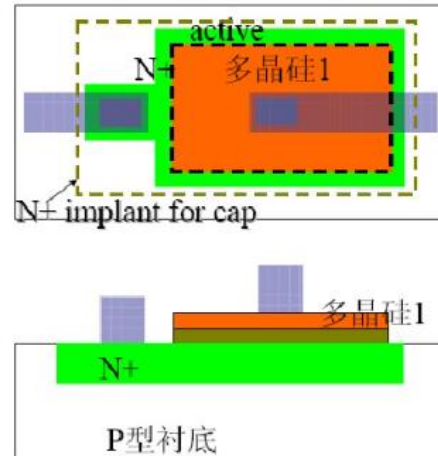


集成电容

- 电容
- * 两端元件，电荷的容器—— $Q=CV$
- * 最基本的无源元件之一，是电源滤波电路，信号滤波电路，开关电容电路中必不可少的元件
- * 单位面积电容，线性，寄生效应



- 多晶硅-扩散区电容
 - * 电容作在扩散区上，它的上极板是第一层多晶硅，下极板是扩散区，中间的介质是氧化层
 - * 需要额外加一层版





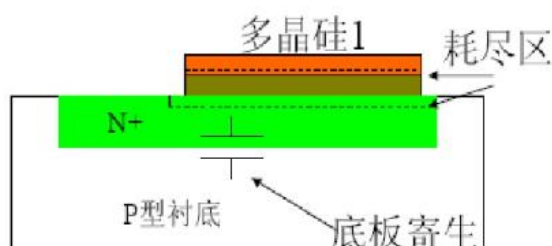
• 多晶硅-扩散区电容

* 线性特性

$$C \approx C_0(1 + \alpha_1 V + \alpha_2 V^2)$$

* 典型值 $\alpha_1: 5 \times 10^{-4} V^{-1}$

$$\alpha_2: 5 \times 10^{-5} V^{-2}$$



* 单位面积电容小于MOS栅电容

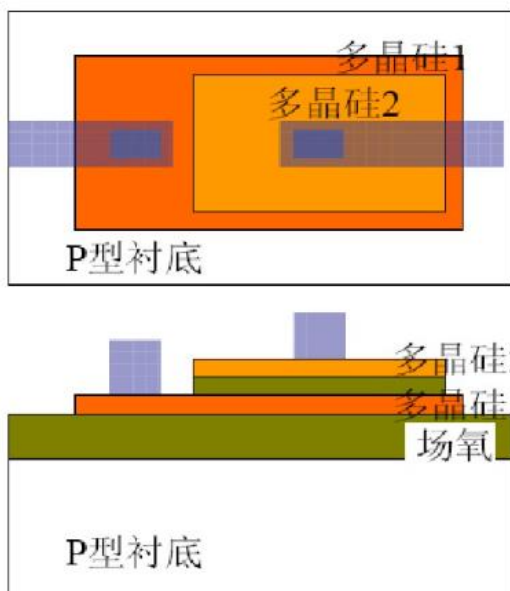
* 底板寄生电容——20%C

• 多晶硅-多晶硅电容:

* 电容作在场区上, 它的两个电极分别是两层多晶硅, 中间的介质是氧化层

* 线性特性和底板寄生与多晶硅-扩散区电容相近

* 典型值: $0.7 \text{ fF}/\mu\text{m}^2$



■ MOS电容:

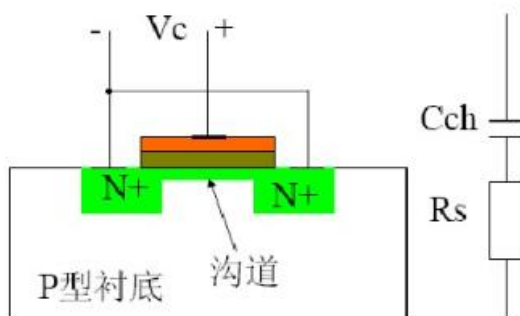
* 结构和MOS晶体管一样, 是一个感应沟道电容, 当栅上加电压形成沟道时电容存在. 一极是栅, 另一极是沟道, 沟道这一极由S(D)端引出.

* 电容的大小取决于面积, 氧化层的厚度及介电数.

$$C = \epsilon \cdot \frac{WL}{t_{ox}}$$

* 单位面积电容最大的电容

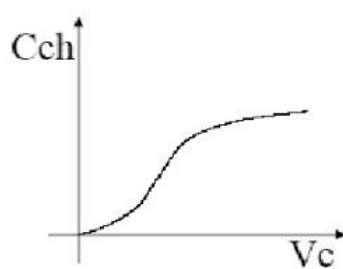
* 沟道电阻问题





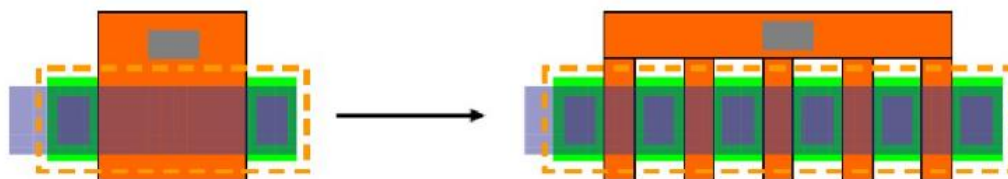
• MOS电容:

- * 非线性电容
适用于电源滤波



- * 沟道长度需权衡考虑

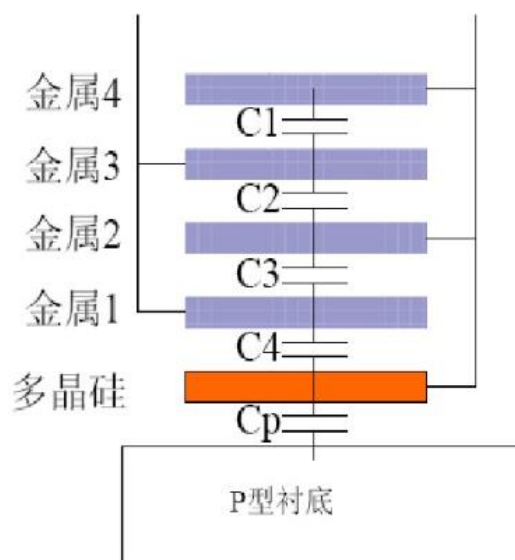
MOS电容C/V特性



减小沟道电阻的方法

• “夹心”电容

- * 线性电容
- * 电容值为:
$$C = C1 + C2 + C3 + C4$$
- * 底板寄生电容大约为
(50~60% C)

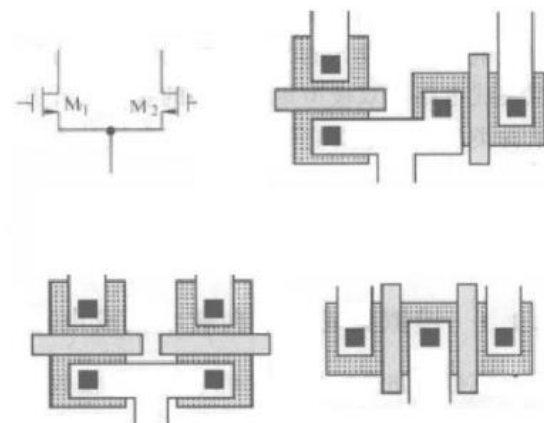




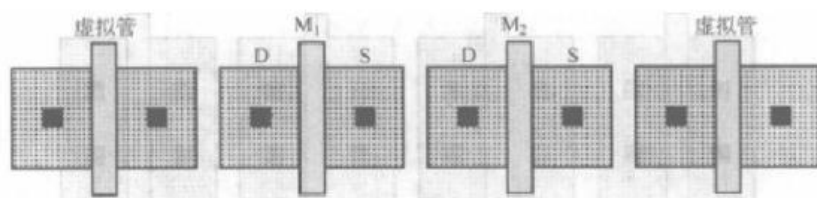
Analog circuit layout

一、MOS器件的对称性

1. 把匹配器件相互靠近放置
2. 保持器件相同方向

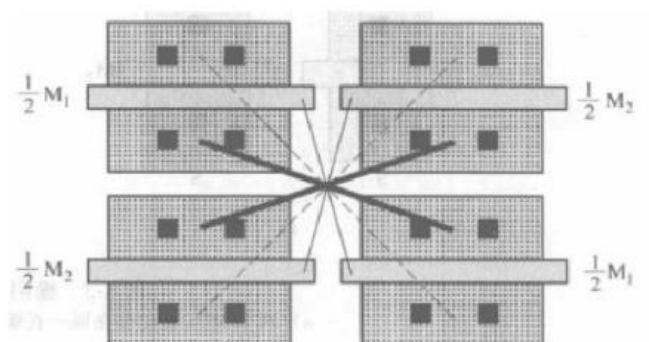


■ 3. 增加虚拟器件提高对称性

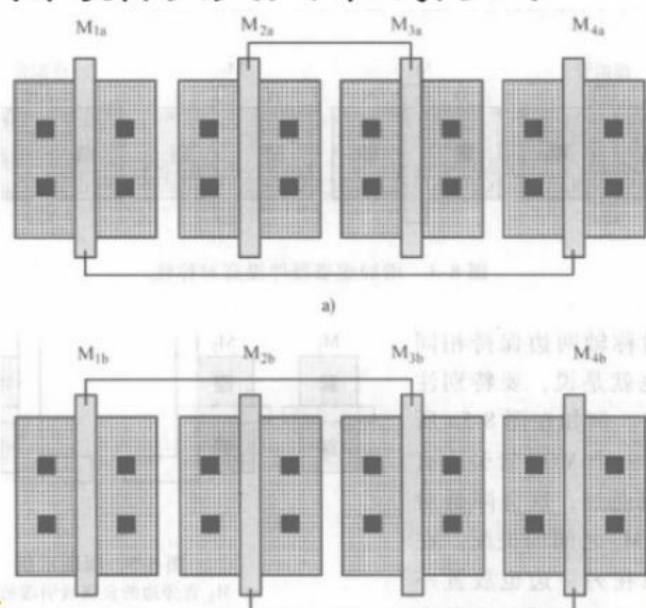




■ 4.共中心



■ 5.器件采用指状交叉布线方式



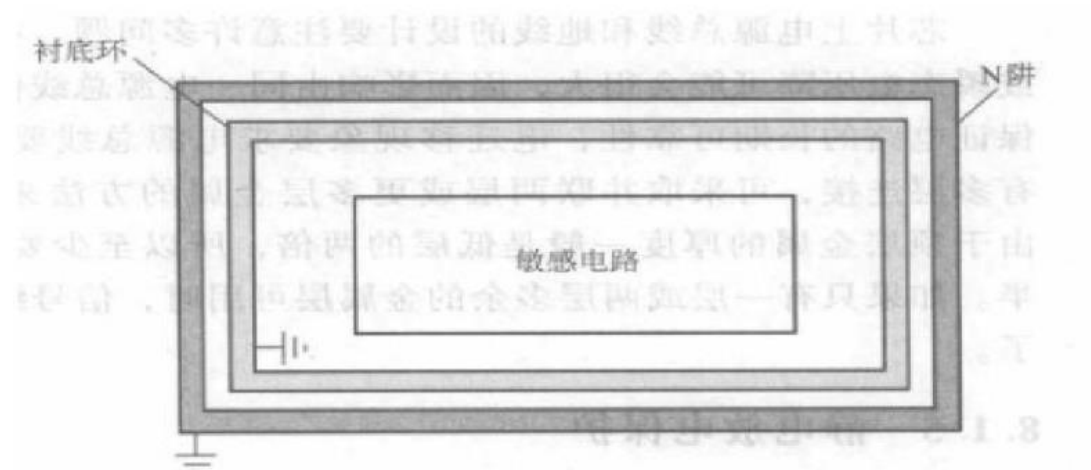
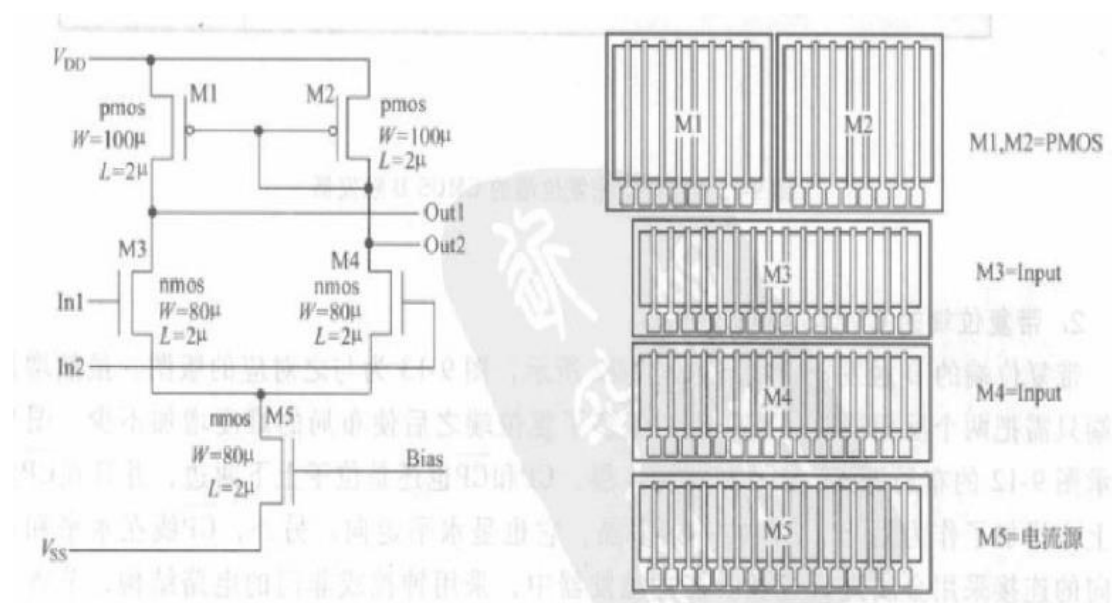


图 8-12 采用保护环来保护敏感电路



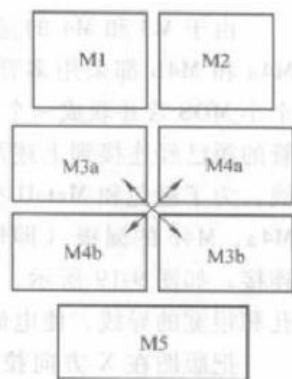
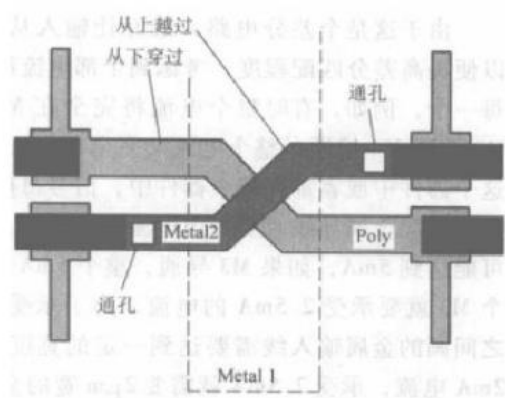
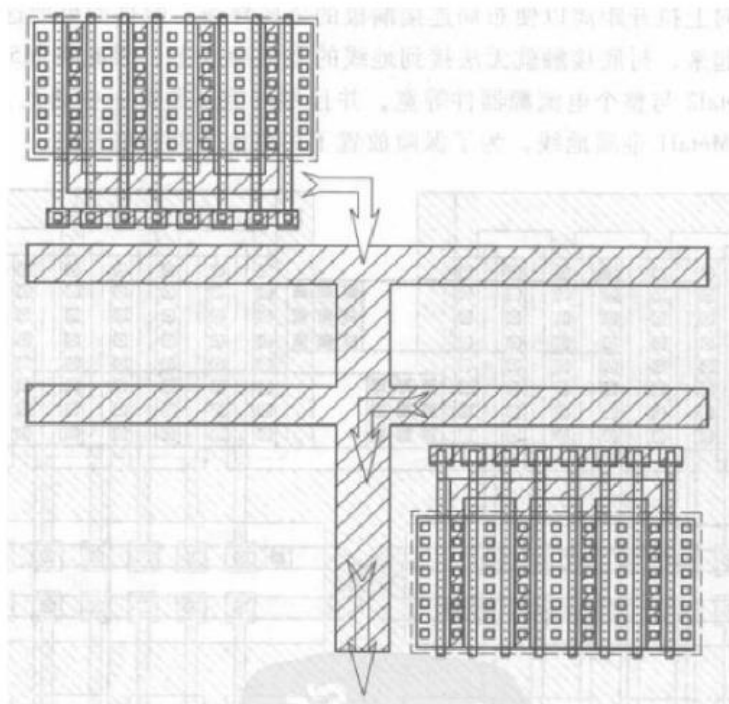
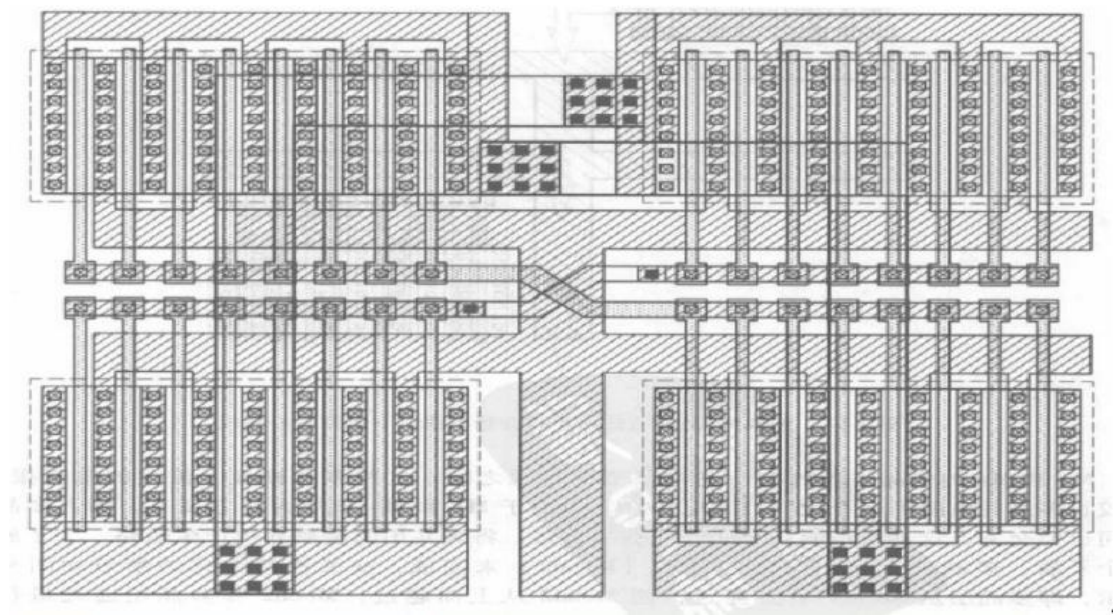
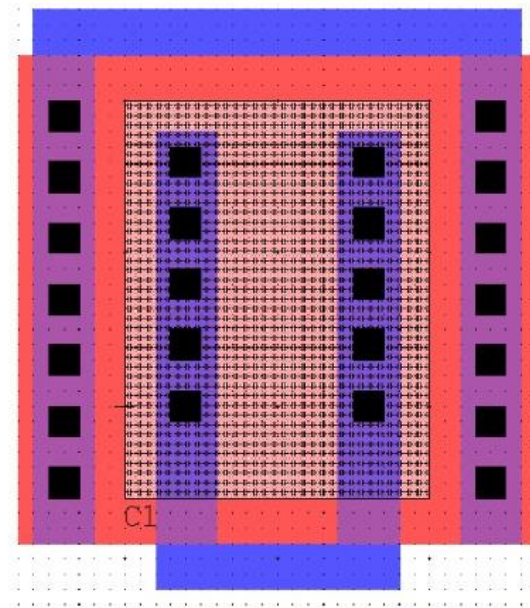


图 9-16 分割输入器件
以便四方交叉





电容0.797pF:





压焊点:

