



模拟CMOS集成电路设计

中科大

微电子学院

信息科学实验中心

黄 鲁



教材与参考文献

- 教材：

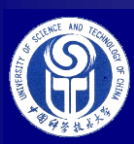
- 《模拟CMOS集成电路设计》

- [美] 毕查德.拉扎维 著，陈贵灿 等译

- 西安交通大学出版社 2003

- 参考文献（实验指导）：

1. 《CMOS模拟集成电路设计与仿真实例——基于Cadence ADE》陈鍼颖、杨丽琼、王统 电子工业出版社2013



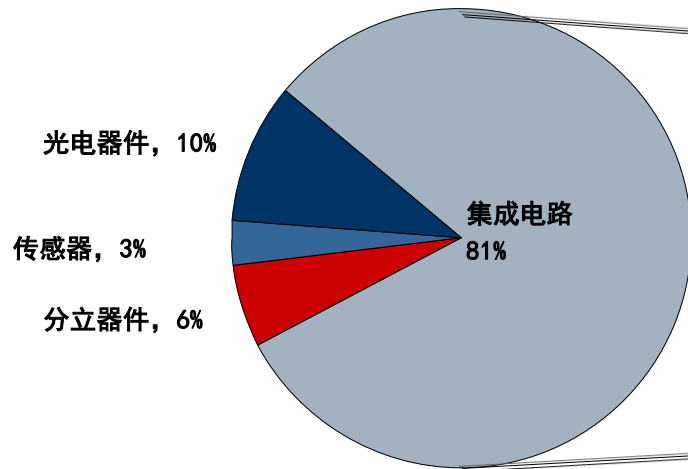
课程内容

- 第1章 模拟IC设计绪论
- 第2章 MOS器件物理基础
- 第3章 单级放大器
- 第4章 差分放大器
- 第5章 无源与有源电流镜
- 第6章 放大器频率特性
- 第7章 噪声
- 第8章 反馈
- 第9章 运算放大器
- 第10章 稳定性与频率补偿

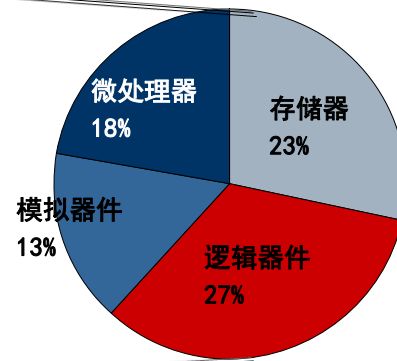


集成电路分类市场概况

半导体市场与集成电路市场



半导体市场



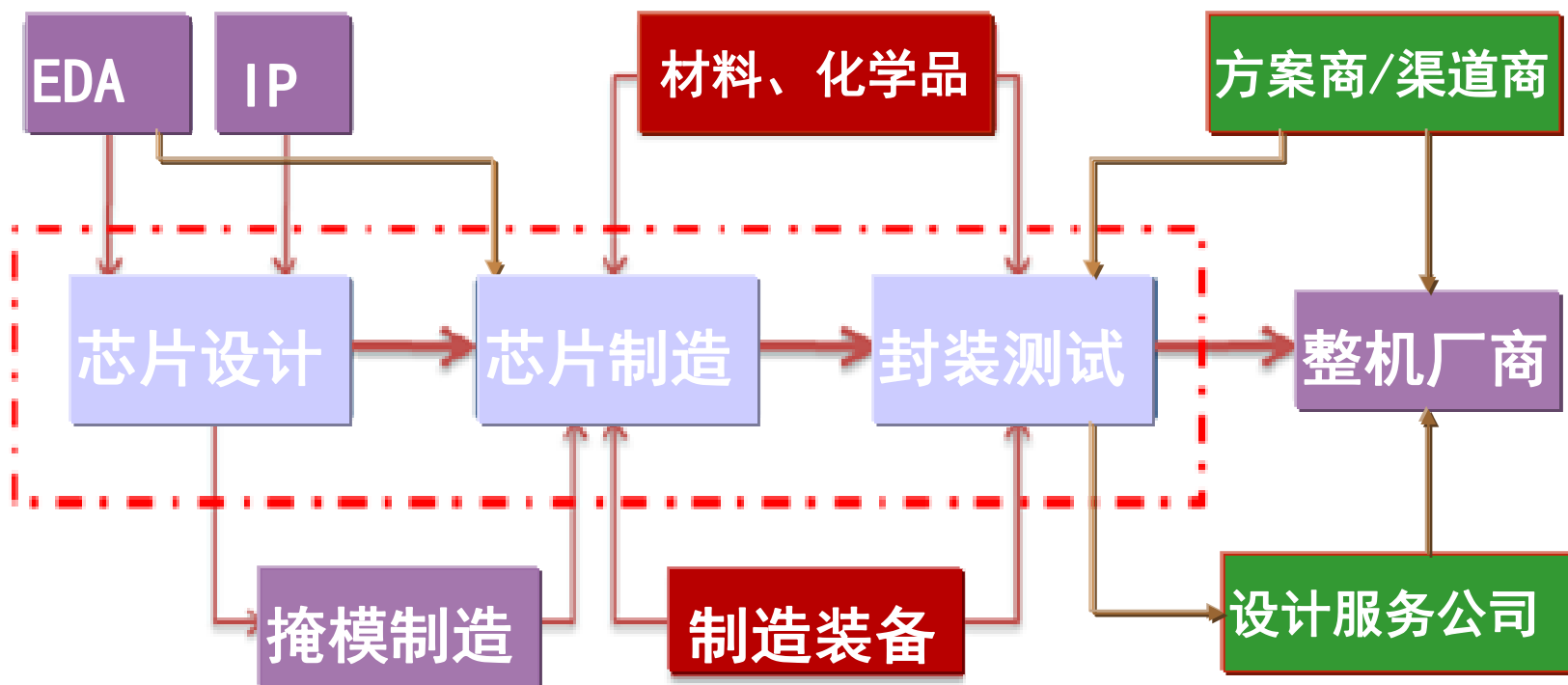
集成电路市场

2015年数据



产业链

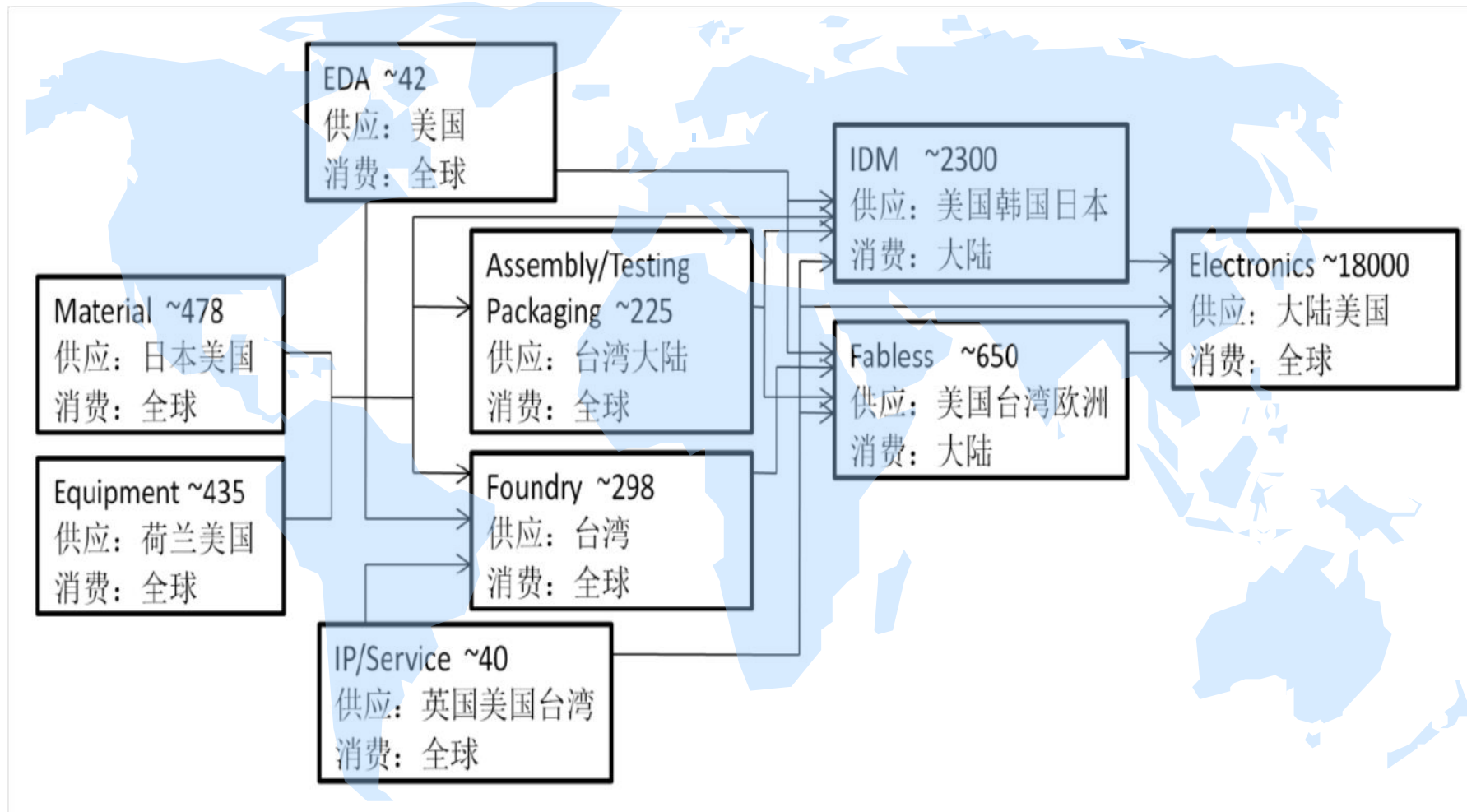
集成电路产业链示意图





集成电路产业/产值地域图

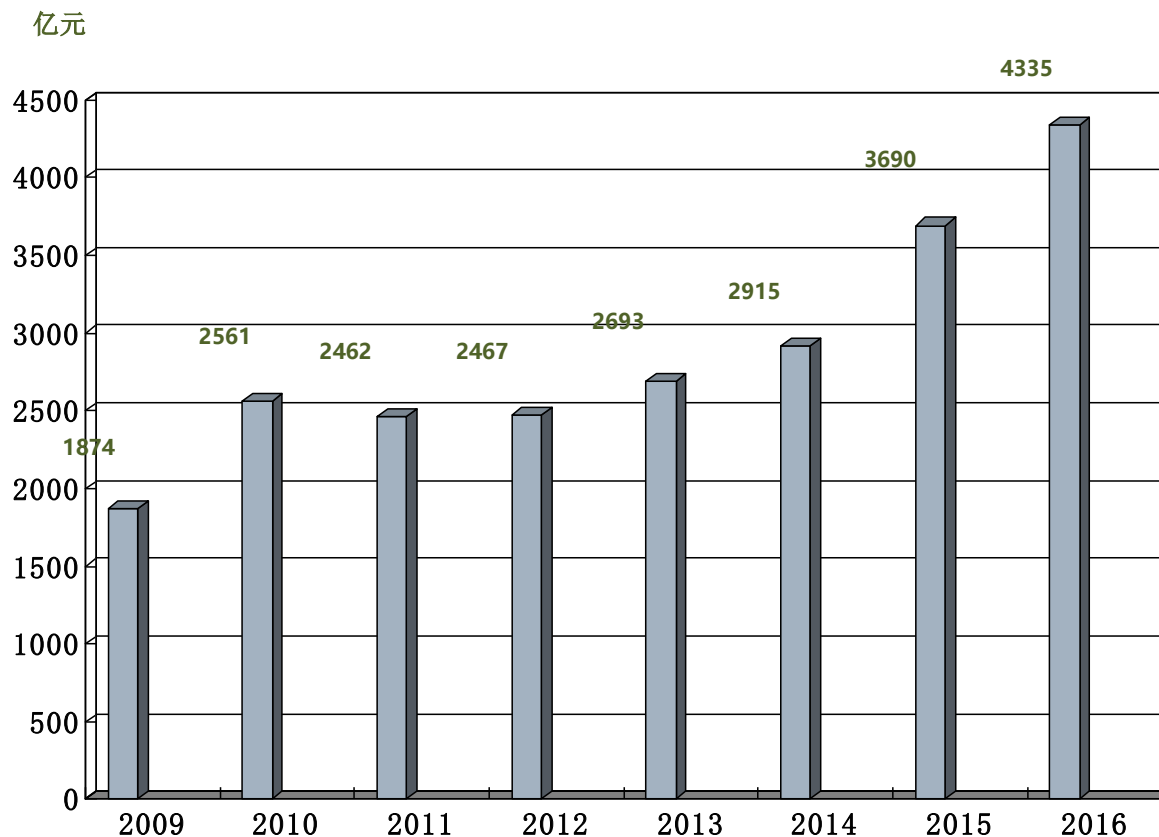
(单位：亿美元)



Source: CSIP根据GSA, IC Insight, Gartner, Semi, EDAC, iSppli等数据整理

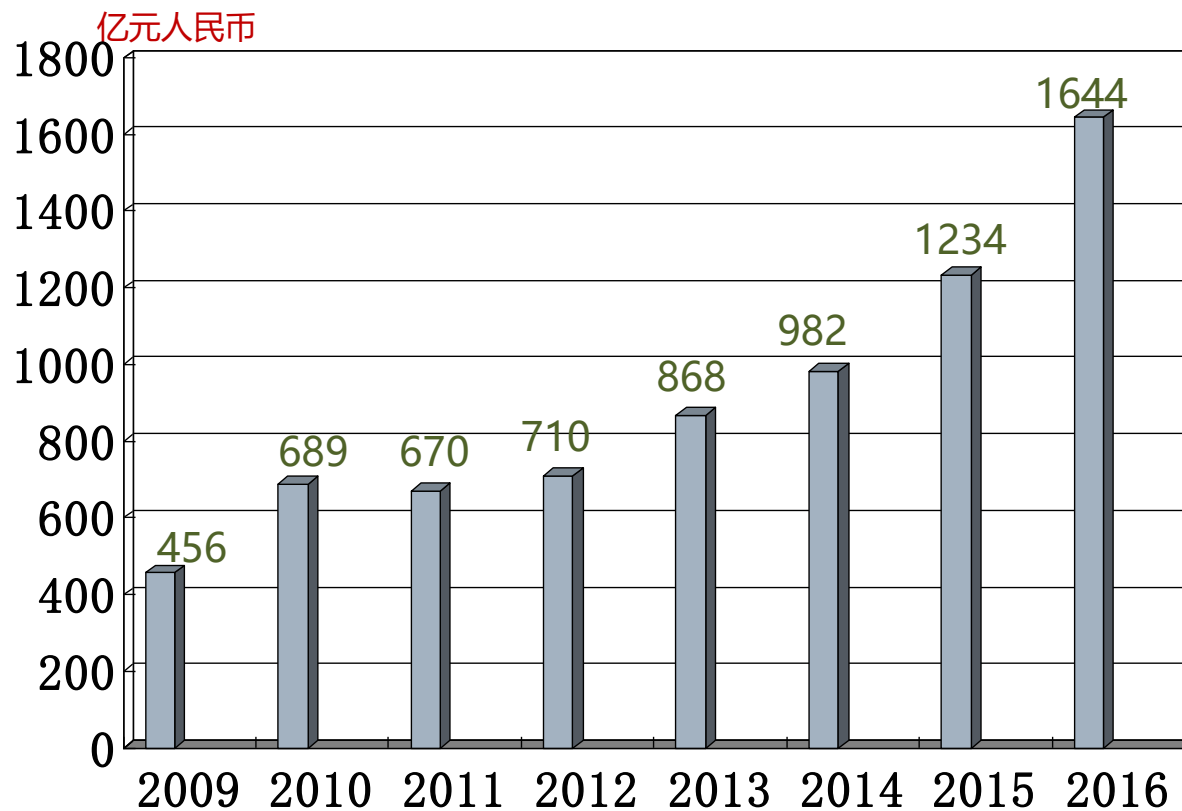


2009-2016年中国集成电路产业销售额



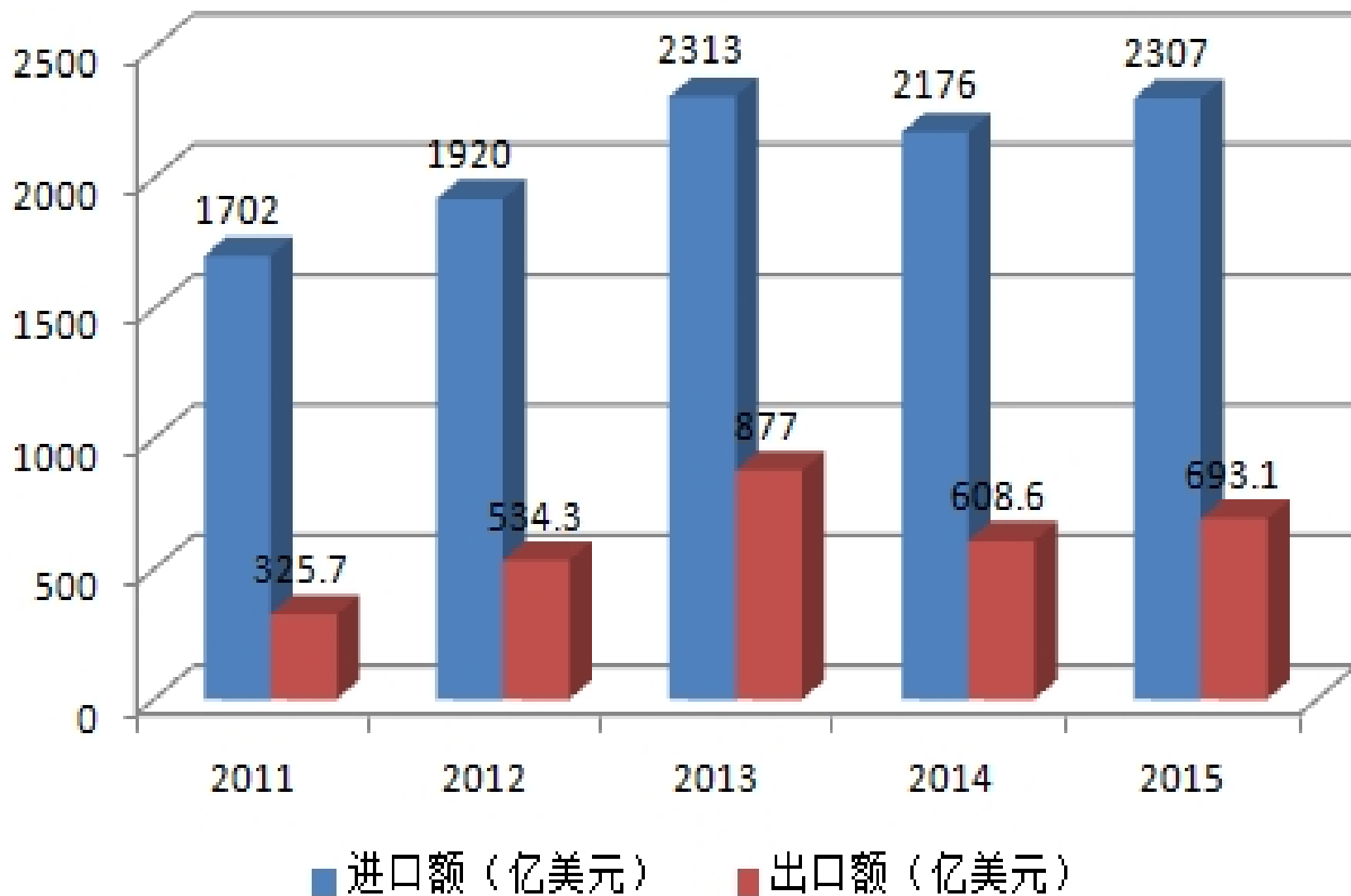


中国大陆集成电路设计业市场



中国设计业多年来一直保持快速发展，近五年平均增长率达到**20%以上**

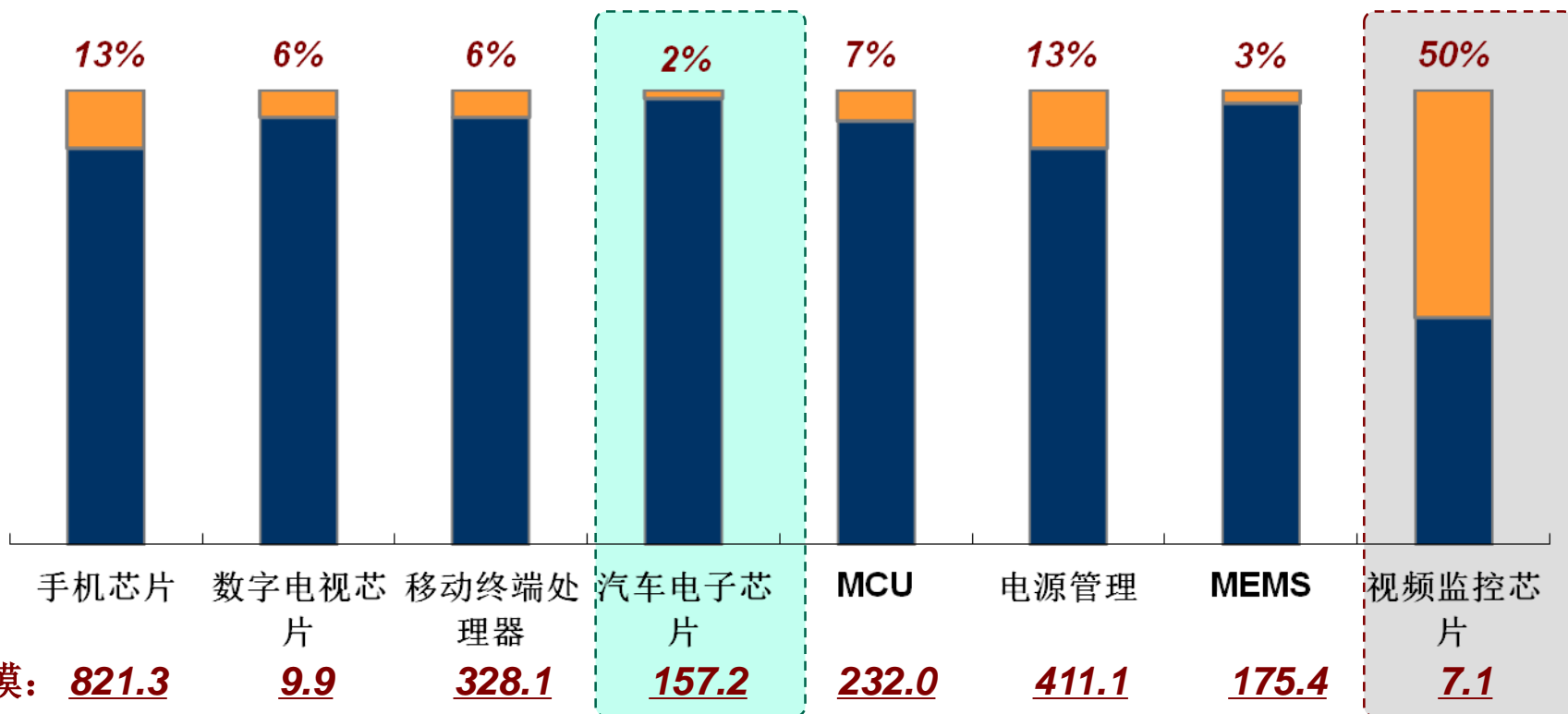
来源：中国半导体行业协会，2016





重点应用领域：国内外企业市场份额

- 在中国大陆集成电路市场中，本土企业所占市场份额**<20%**；
- 在核高基重点关注的领域中，视频监控芯片市场发展最好，本土企业市场份额超过**50%**；
- 汽车电子芯片市场进入门槛最高，本土企业市场份额仅为**2%**；

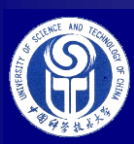


市场规模：**821.3**
亿 RMB

数据来源：赛迪顾问 2012.10

■ 国际企业市场份额

■ 本土企业市场份额



模拟CMOS集成电路设计的重要性

- 与VLSI芯片工艺发展相适应

CMOS成本低、功耗小， VLSI（数字IC）采用CMOS工艺。

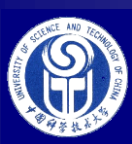
大多数IC内部包含PLL（片内高速时钟或本振）、电源管理模块、高速接口等模拟电路。

- 数模混合电路芯片，如CMOS图像传感器、存储器等。

- 很多电子系统性能极限由模拟集成电路（如射频、高速ADC、低频微弱信号放大器、高速接口）决定。

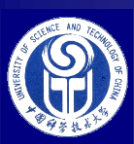
- 模拟电路与数字电路进行集成的优点：

提高系统可靠性，数模混合电路减小模拟信号与数字电路接口通路的寄生电容和寄生电感，大幅度降低高频和高速信号的接口功耗，改善信号互联电学性能，减小系统制造成本，缩小系统尺寸。



名词解释

- ◆ CMOS: Complementary Metal Oxide Semiconductors, 互补金属氧化物半导体 (PMOS+NMOS)
- ◆ SOC: System on Chip, 片上系统, 含有嵌入式CPU
- ◆ ASIC: Application Specific **Integrated Circuit**, 专用集成电路
- ◆ IP核: intellectual property core知识产权核, 经验证的可重用模块, 分为软核、硬核与固核
- ◆ EDA (电子设计自动化) 软件
- Foundry (代工厂), 依据设计者提供的 G D S I I (geometry data standard) 格式版图文件进行流片
- ◆ ICC: IC C(Common, Center), 为实验性流片提供 Foundry 工艺库、模型和IO PAD (不保证正确性)
- ◆ MPW: Multi-Projects wafer, 省钱, 40~50片样片, 完成数字单元库版图merge、DRC、工艺确认、某些封装。



比较：数字IC设计流程

数字IC设计（VLSI， Very Large Scale Integration ）

设计方法：top-down自顶向下层次化设计，从行为抽象到物理版图实现。

系统设计

系统功能与性能分析仿真，模块架构与接口划分

Simulink、SystemC

前端设计

RTL HDL行为和数据流建模与验证，FPGA验证

Verilog (A) HDL、
NC、Modelsim仿真、
SystemVerilog验证

集成始点

逻辑综合与优化，DFT

Design Compiler
VLSI需要PrimeTime

后端设计

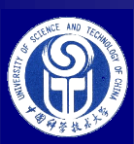
物理设计：版图设计与物理验证

IC Compiler
或Encounter、
Calibre

后仿（激励与响应与前端设计相同）

注：RTL HDL：寄存器传输级硬件描述语言（特点：并行性），不涉及具体部件实现；

DFT：可测性设计（不一定需要）



数字IC芯片设计特点

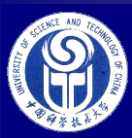
1. 基于工艺**单元库**（包括IO库）：逻辑综合和后端设计
2. 基于EDA软件工具

1. 逻辑综合

将硬件描述语言HDL（大多设计为Verilog）电路设计代码转换成**特定工艺元件库单元**组成的电路网表，符合设置时序、面积等约束条件，供后端布局布线用。

2. 后端设计GDSII文件（Graphic Database System），可外包，注意电源和后仿





标准单元库（组合逻辑门、时序单元）

单元库包括单元符号、单元电路结构、版图、电路性能参数、功能描述、设计规则和器件模型参数。

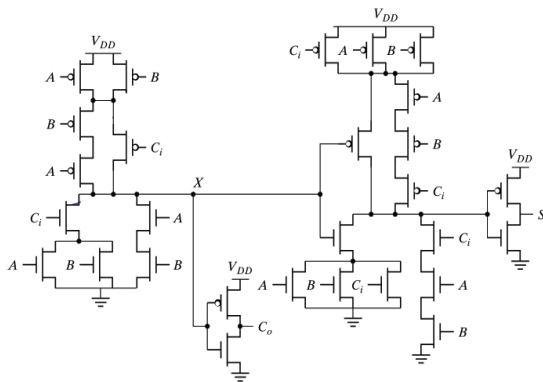
foundry代工厂一般仅提供初级标准单元库、IO库、可编辑SRAM给ICC做MPW（ICC做merge），无法满足高性能设计要求。缺点：

- （1）单元都为经典结构，性能不是最佳；
- （2）单元种类较少，灵活性有限，复杂逻辑必须由多个基础单元拼接导致逻辑级数(组合逻辑深度)增加，速度减慢，功耗增加，面积增大。
- （3）缺少高性能宏单元（如多位加法器、乘法器、除法器。。。)

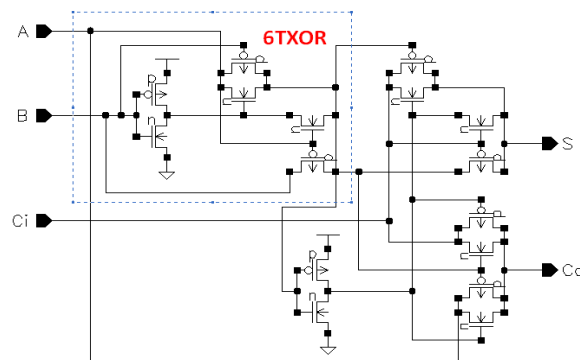
解决方法：

- （1）购买高性能单元库、低功耗库等，需验证性能，价格高昂
- （2）自行设计建库扩充。缺点是工程量大，人力费用高。

例：标准单元库中的28T全加器

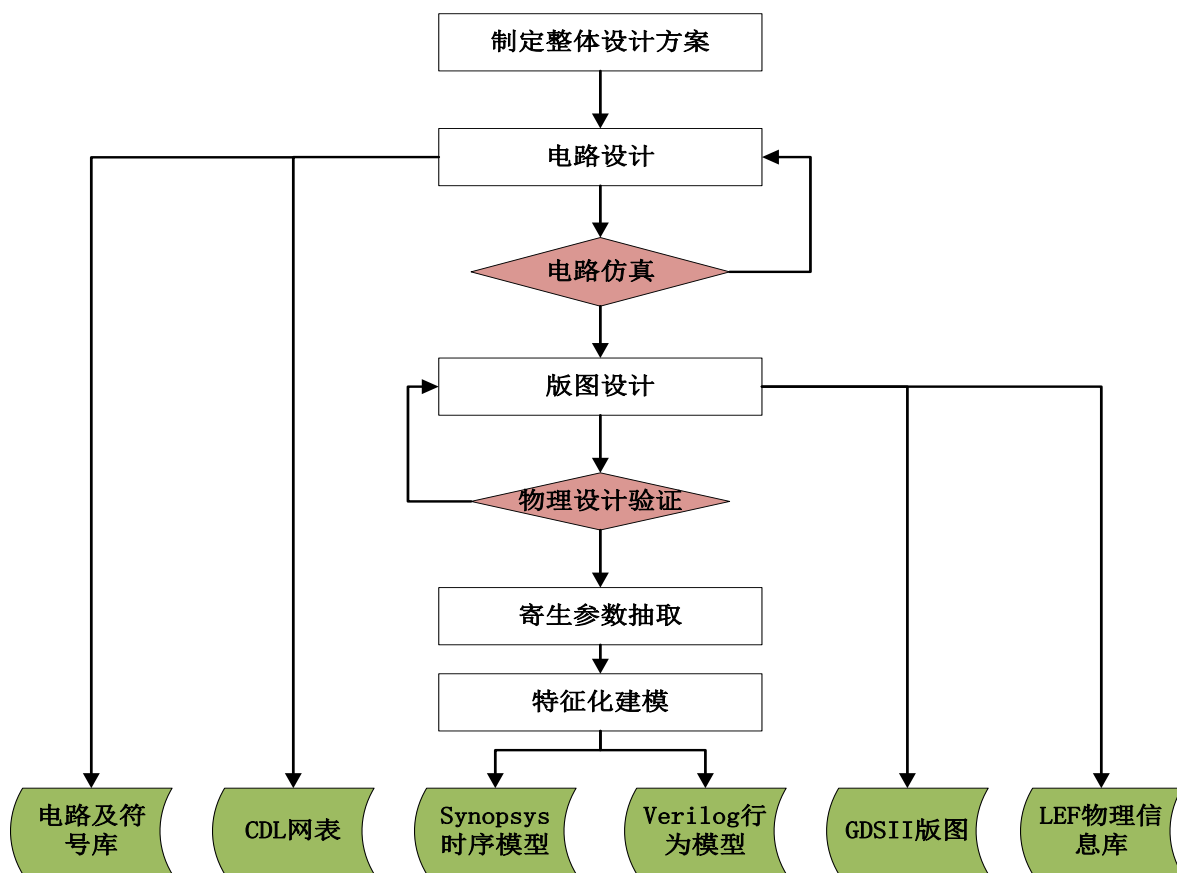


改进的16T全加器





定制数字电路单元库设计流程



Synopsys工艺库时序模型（Liberty格式）

单元库中包括：Verilog/VHDL行为模型。

描述端口、功能、**延时**（包括上升与下降沿时间）及时序等信息

单元特征化：指通过仿真提取单元**时序**、**功耗**等单元特性模型，要考虑不同的工作环境（PVT，工艺角TT/SS/FF、电压、温度），得到典型、最好、最差工作环境下特性参数。

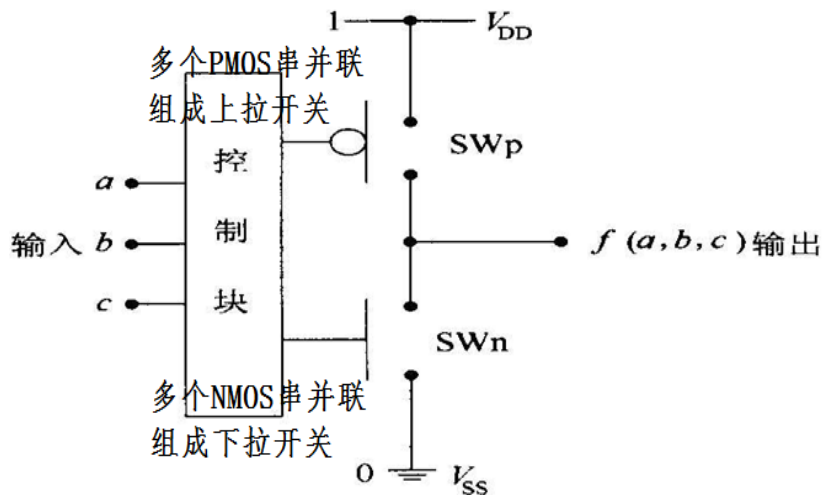
常见的逻辑类型使用Magma公司的工具SiliconSmart进行特征化，动态逻辑和复杂宏单元使用Synopsys的NanoTime进行特征化。

逻辑综合前使用Synopsys Library Compiler分析建库信息完整性。



高性能数字单元库设计

以优化单元**功耗延时积**作为设计目标，其次优化尺寸。



CMOS电路通用模型

功耗来源？延时原因？

设计：逻辑电路结构，MOS宽长
(电流、输出电阻、输入电容)

确定单元库工艺，分析单元需求，
自建单元库一般要实现：

1. 对标准单元库增加多种驱动单元
2. 常规功能动态单元
3. 高速传输门/传输管逻辑
4. 针对具体算法的宏单元

电路和版图设计Virtuoso
仿真Cadence spectre,
Synopsys HSPICE

单元设计规则：

1. 时钟树中单元（一般是反相器），使上升延时=下降延时，减少Jitter；
2. 普通逻辑单元从**平均延时**优化出发，确定PMOS与NMOS尺寸比。
3. 版图设计应与选用的标准单元库采用一致设计规范。

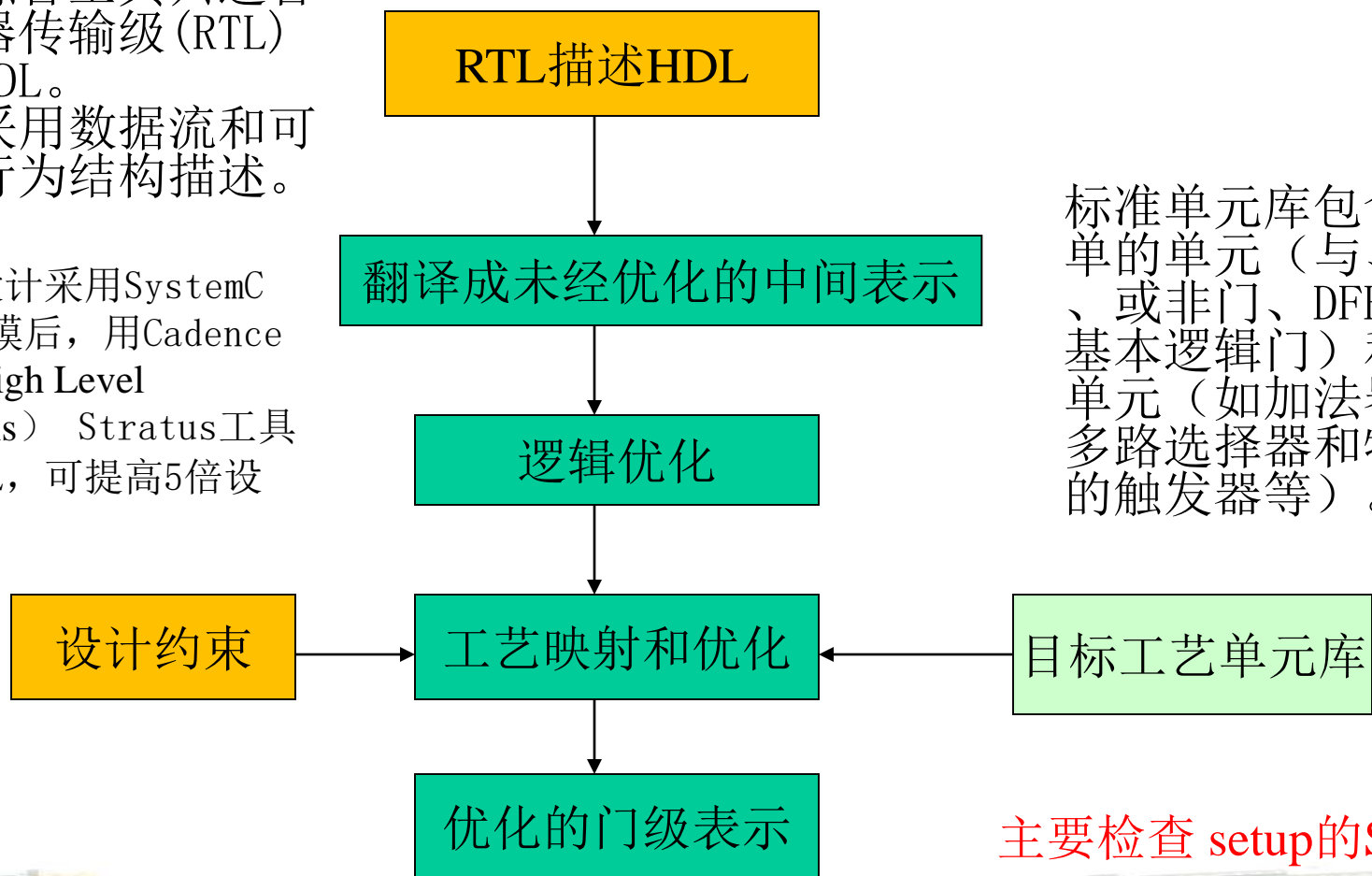


逻辑综合

基于标准单元库和特定设计约束，把HDL描述转换成优化的门级网表。**著名工具**：Synopsys **DC** (Design Compiler)

逻辑综合工具只适合寄存器传输级(RTL)层次HDL。
RTL:采用数据流和可综合行为结构描述。

*系统设计采用SystemC算法建模后，用Cadence HLS (High Level Synthesis) Stratus工具转成RTL，可提高5倍设计效率



标准单元库包含简单的单元（与、或、或非门、DFF等基本逻辑门）和宏单元（如加法器、多路选择器和特殊的触发器等）。

主要检查 setup的Slack



静态时序分析

- 静态时序分析， Static Timing Analysis (STA)
 - 不需要仿真中所使用的测试向量
 - 对所有路径都进行穷举式分析，保证100%的覆盖率
 - 不验证电路功能
 - 用于综合、扫描插入、时钟树生成、布局布线等流程之后
- STA工具
 - Synopsys PrimeTime
 - Cadence Encounter Timing System (ETS)



后端设计物理验证（任何芯片设计）

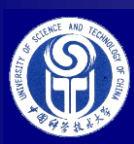
➤ 设计检查

- – 设计规则检查, Design Rules Check, DRC
- – 电气规则检查, Electrical Rules Check, ERC
- – 版图线路图对比, Layout Versus Schematic, LVS
- – 天线效应检查, Antenna Effect
- – 金属密度检查, Metal Density, 加dummy和开槽
- – 大功率芯片要进行热分析

工具:
Mentor Calibre

➤ 物理效应分析

- – 寄生参数提取, Parasitic Extraction, PEX
- – 信号完整性, Signal Integrity, SI
- – 串扰, Crosstalk
- – IR电压降, IR Drop
- – 电迁移, Electromigration, EM



数字IC设计主要 EDA 软件小结

对于数字IC设计，Synopsys为No1 EDA厂商（NC Verilog是Cadence的）。Synopsys产品主要有：

- Library Compiler 库编译器
- Design Compiler 逻辑综合
- PrimeTime 静态时序分析
- Formality 形式验证（综合前后等价性检查）
- IC compiler 后端设计，物理综合布局布线
（也可用Cadence Encounter）

版图物理验证：**Mentor Calibre**

存储器编辑器：**Memory Compiler。**

提示：系统时钟频率可能被FIFO速度限制。



工艺选择

由系统性能（功耗、速度、噪声）和成本（面积、建模和建库、掩模与制作工艺）确定。

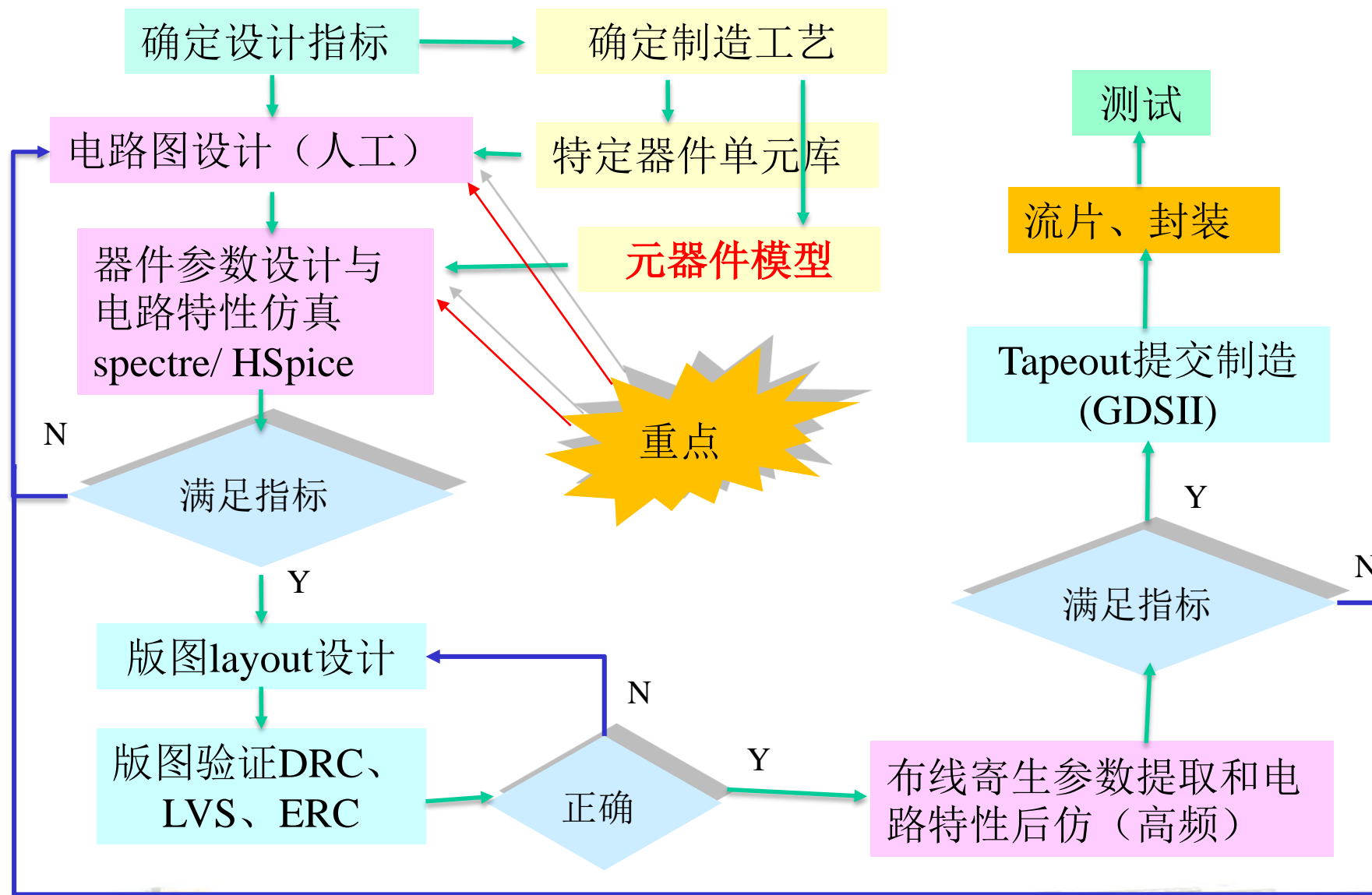
量产芯片工艺特征尺寸：1960年25微米，。。。1um，
0.8um 0.6/0.5um, 0.35um, 0.25um, 0.18um, 0.13/0.11um,
90nm, 65nm, 45/40nm, 32/28nm, 22nm, 14nm, 10nm,
7nm

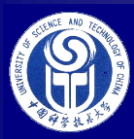
速度限制：

1. 射频或模拟信号频率 $< f_T/10$,
 2. 数字时钟频率 $< f_T/100$ ，系统时钟频率可能被FIFO速度限制。
- 式中 $f_T = g_m(\text{跨导}) / (2\pi \cdot C_{gs})$ 为工艺特征频率



模拟IC设计流程





设计基础：器件模型

- 器件模型参数的完备性和准确性
- 器件模型参数是测量的统计结果！
- 器件模型有频率、温度、电流密度等参数范围限制
- 器件模型和参数与具体工艺线相关
- 现代工艺（制程）器件有大量非理想效应，手工计算模拟电路性能误差很大。
- 学习模拟CMOS IC设计的主要目的：
 - 选择电路结构（分析工作原理），
 - 提高参数优化效率（有针对性），
 - 把握正确仿真方法和查验仿真结果正确性！
 - 后端（版图）设计基础知识。



模拟IC设计困难原因

- 电路结构和工作点参数基于人工设计或查验
- 速度、功耗、增益、精度、电源电压等相互制约
- 多种非理想效应的影响
- 建模的精确性、工艺局现性
- 衬底噪声和串扰影响难以分析
- 需要鲁棒性设计：电路结构、参数和版图设计应使工艺误差（随机工艺角、差分失配）、工作温度变化、电源电压对信号处理的影响弱化。

先进工艺更难进行模拟IC设计：①非理想效应严重；
②电源电压降低，阈值不是等比例降低，结构选择受限。

- 系统设计原则：尽量减少CMOS模拟IC模块。
- 高频（射频）电路流片难以保证与仿真性能一致
- CMOS不适合输出线性大功率信号。



模拟电路相比数字电路

优点

- ◆功耗低：无同步CLOCK（非电容开关电路时）
- ◆速度快：无需延时
- ◆不易失效

缺点

- ◆性能易受噪声影响
- ◆鲁棒性差



模拟IC设计要点总结

(1) 电路设计需要人工为主

①根据设计指标，人工设计或选择电路结构（因结构与性能指标相关，可能需进行多次）；

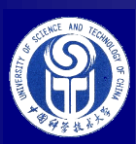
②人工方法大致确定工作点（尤其是电压）；

③借助EDA仿真工具和工艺器件模型，设计优化器件尺寸参数；

(2) 鲁棒性设计

电路结构、全工艺角和温度仿真验证、蒙特卡洛分析；

(3) 可测试、可调试/可控制电路设计。



模拟IC EDA工具与名词

- 前端设计:电路设计（工具Cadence Virtuoso）与仿真

- 仿真器:

- (1) Synopsys HSPICE(simulation program with integrated circuits emphasis, SPICE起源于1970年代美国加州伯克利)

- (2) Cadence Spectre, 具有图形化和RF（射频）特性仿真。

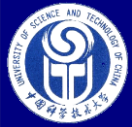
必须知道输入信号、并清楚所需要的结果，才能进行有意义仿真！

- 后端设计：版图设计（工具 Virtuoso）, 验证

- 后仿post simulation：版图寄生参数提取后仿真（工具 Mentor Calibre或Cadence QRC）。

- 物理验证（ Cadence Assura, Mentor Calibre ）

DRC：设计规则检查，LVS：版图与原理图比较检查。



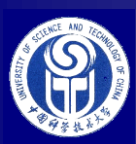
CMOS相关主要代工厂

● 国内：

- 上海中芯国际SMIC (CMOS 0.35~28nm) ,
- 上海宏力GSMC (CMOS 0.25~90nm) ,
- 武汉新芯 (40nm flash)、上海华宏NEC (非易失性存储器、0.13um BCD、锗硅BiCMOS),
- 无锡上华 (0.5~0.11um BCD) 。。。

● 境外和中国台湾：

台湾TSMC (台积电) ,
新加坡Global Foundry,
台湾UMC (联华) ,
STM (意法半导体) ,
欧洲AMS (奥地利微电子)



中科大2大公共实验中心支持

(1) 设计：信息科学实验中心：EDA、测试

中科大西区，电一楼2层， <http://ispc.ustc.edu.cn>



登录到EDA服务器后，查EDA软件：setdt

台积电tsmc, 中芯国际smic, global foundry(gf, 原新加坡特许半导体)

(2) 工艺：微纳制造研究中心：加工