**国内外研究现状：**

**1、接收机架构：**

混频器(Mixer)作为接收机的核心元件之一，其在接收机架构中的位置十分重要。根据Mixer在接收机系统中的相对位置，可以分为两类：LNA first与Mixer first。

**LNA first：**

LNA first是常见的接收机系统，其中低噪声放大器（LNA）位于混频器之前。在这种级联系统中，LNA首先提供高增益和低噪声，以抑制系统噪声性能。由于转换增益高和噪声系数低，有源混频器常用于此类系统，以优化整个接收机的性能。

LNA first架构的主要要求包括：

1. 实现所需的频率转换。
2. 提供适当的隔离，优化数据处理。
3. 提供高转换增益，减轻基带放大器的负担。

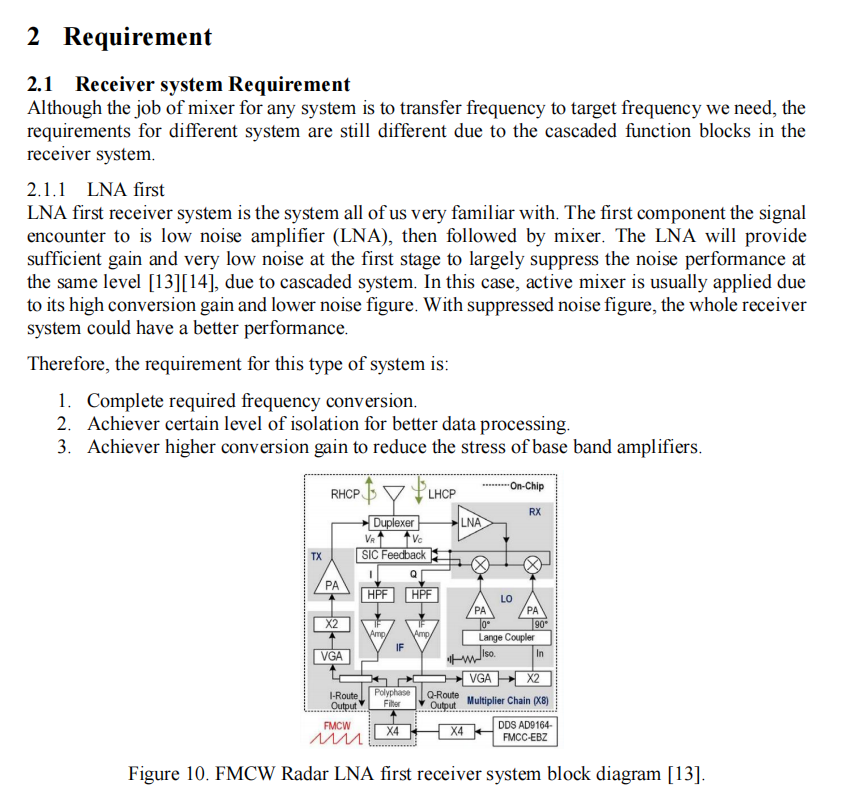


图1 FMCW Radar LNA first receiver system block diagram.

然而，这种类型的接收机系统会受到最高工作频率的限制。因此，设计人员和研究人员通常会选择略高于的一半的工作频率，以获得更好和稳定的增益。在太赫兹频段，由于栅极源电容较大，晶体管的性能下降较多，这意味着放大器不能再适当地放大信号，进而导致LNA不能提供足够的放大甚至提供负增益，甚至可能引入噪声，导致下一级的增加。因此，在高频应用中，LNA first方案可能不再适用。

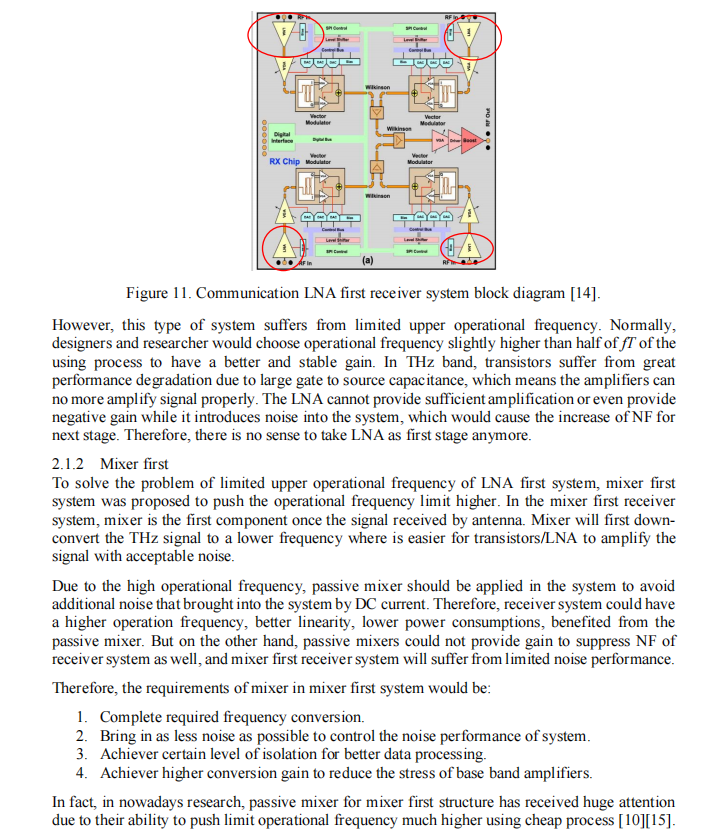


图2 Communication LNA first receiver system block diagram.[8]

**Mixer first：**

为了解决LNA first接收机系统工作频率上限的问题，提出了Mixer first接收机系统。在Mixer first架构中，混频器是信号到达的第一个组件，首先将太赫兹信号下变频到较低频率，便于后续晶体管或LNA在较低噪声下放大信号。

鉴于系统工作频率高，无源混频器成为首选，以避免直流电流引入额外噪声。无源混频器带来更高的工作频率、更好的线性度和更低的功耗，但无法提供增益以降低噪声系数，导致Mixer first系统的噪声性能受限。

Mixer first架构对混频器的要求包括：

1. 实现所需的频率转换。
2. 尽可能少地引入噪声，控制系统的噪声性能。
3. 提供一定隔离度，优化数据处理。
4. 尽可能提高转换增益，减轻基带放大器负担。

当前研究中，Mixer first架构中的无源混频器因其能将极限工作频率推至更高且成本较低而受到关注[6][9]。

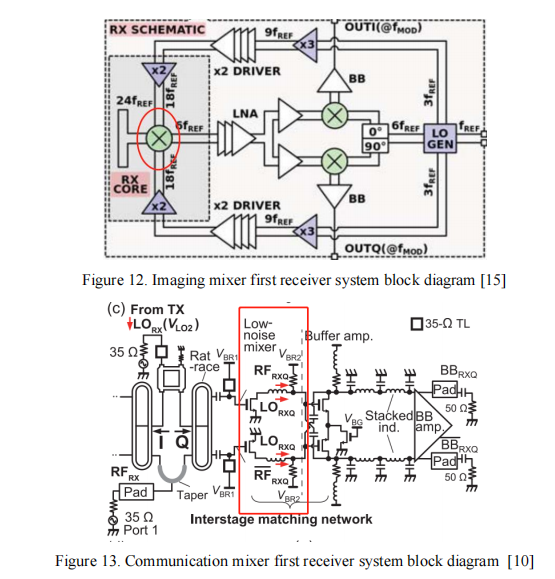


图3 Imaging mixer first receiver system block diagram.[9]

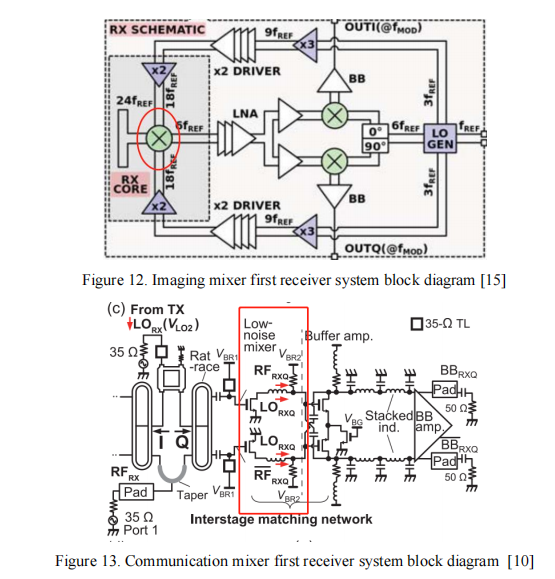


图4 Communication mixer first receiver system block diagram.[6]

**2、移相器：**

作为相控阵中的核心电路，移相器一直被广泛研究，其最早可追溯至上世纪50年代，铁氧体移相器和以PIN二极管作为开关的电控移相器在天线扫描方面得到了广泛的应用。进入上个世纪80年代，MMIC工艺使面积小、功耗低、集成度高的半导体移相器成为主流。随后硅基工艺的进步使半导体移相器朝着更低成本、更高集成度、更低功耗和更高性能的方向发展。

2006年，Dong-Woo Kang等人采用0.18um RF CMOS工艺，设计并实现了一款工作频段为9-15GHz的5bit数字无源移相器[1]。插入损耗为14.5±0.5dB@12GHz，RMS相位误差小于12°，芯片面积为3.1×1.4mm2。

2013年，台湾的黄天伟等人采用TMSC 90nm CMOS工艺，设计并实现了一款低相位误差的5bit开关型无源移相器[2]，其工作频段为58-65GHz，RMS相位误差为3.8°，插入损耗为5.4dB，核心面积为0.58mm2。如图5所示，文献2中采用RF移相路径，并将开关型无源移相器和可变增益放大器(VGA)集成。VGA 在保证恒定的相位的情况下调制信号增益，以补偿移相器改变相位状态时的增益变化，从而减小了相控阵系统对相位调节的复杂性。

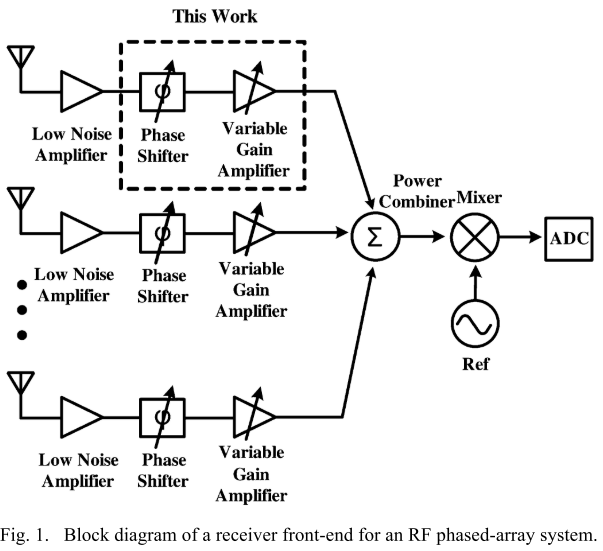
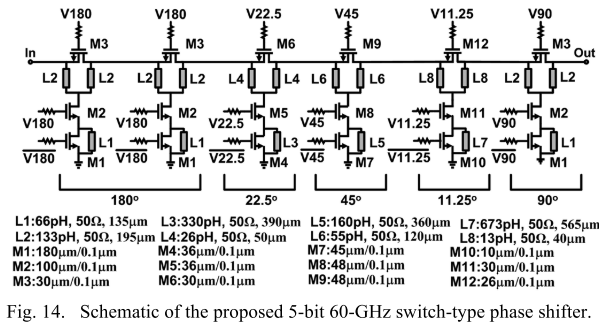
 

图5 文献[2]所采用RF移相结构与所提出5bit数字开关型无源移相器

有源移相器一般指的是矢量合成移相器(VSPS)，相比无源移相器，具有面积小、插入损耗低和高移相精度的优点。有源移相器虽然存在直流功耗高和线性度低的缺点，但面对日益发展的无线通信技术提出的高精度和高集成度等要求，仍具有广阔发展前景。矢量合成型移相器结构如图6所示，整体由输入巴伦、正交信号发生器、矢量调制器、输出巴伦等模块组成。

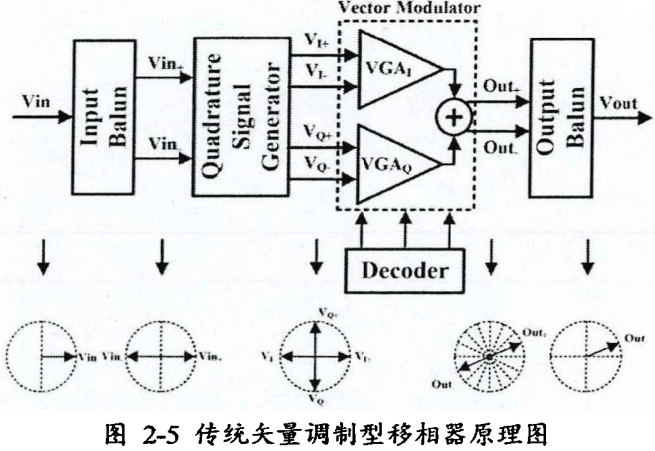


图6 矢量合成型移相器原理图

2012年，Asoodeh A等人，基于0.18um CMOS工艺，设计了一款工作在2.3-4.8GHz的4bit矢量调制型移相器，采用新型SCQAF正交信号发生器以降低正交信号的误差，最终整体移相器RMS增益误差和相位误差分别小于1.1dB和1.4°，整体功耗19mW，芯片面积为0.653mm2[3]。

2013年，Suman P.Sah等人采用0.18um SiGe BiCMOS工艺设计并实现了一款15-35GHz宽带有源移相器[4]，如图7所示。该移相器提出一种电感负载的新型多相滤波器(Polyphase Filters，PPF)用以产生高精度正交信号，且信号选择电路和矢量调制电路分时工作降低了功耗。测试结果表明：其移相精度为22.5°，RMS相位误差小于13°，直流功耗为14mW，芯片面积为0.52×0.37mm2。

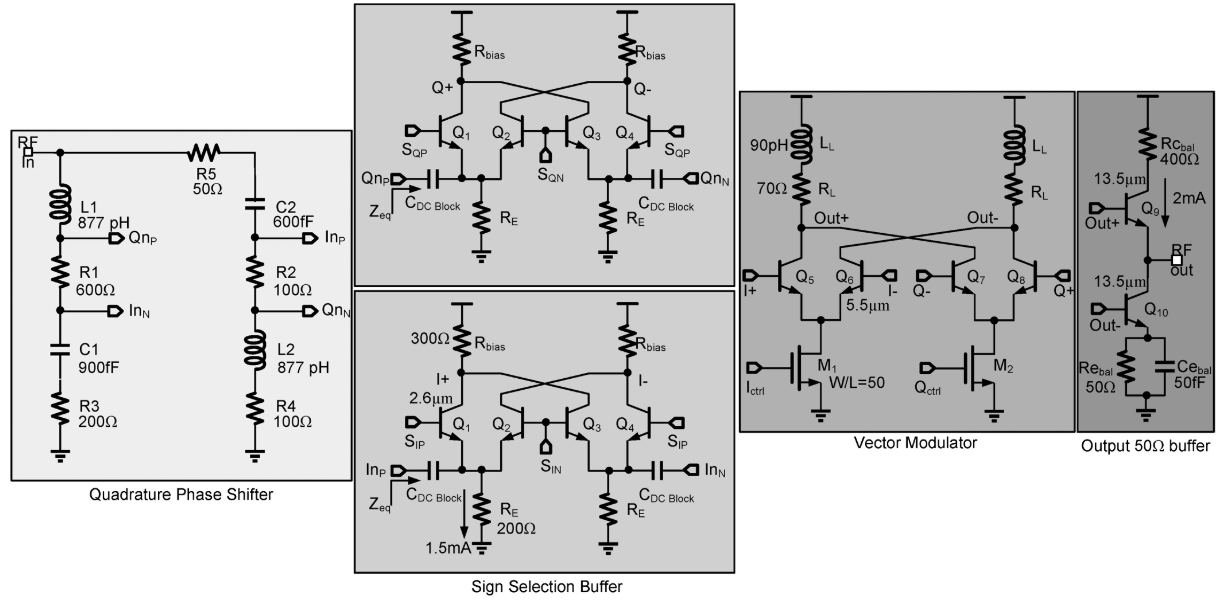


图7 文献[4]所提出的采用新型PPF正交信号发生器的宽带有源移相器

2021年，华南理工大学Feng Qiu等人基于65nm CMOS工艺，设计并实现了一款15-38GHz的360°全相移的6bit 矢量合成型有源移相器[5]，如图8所示。该移相器采用一种改进的宽带正交全通滤波器(QAF)，克服了传统QAF的容性负载效应，具有宽带I/Q性能。最终移相器的RMS增益误差和相位误差分别小于1dB和3.5°，功耗为19.2mW，芯片面积为0.16mm2。

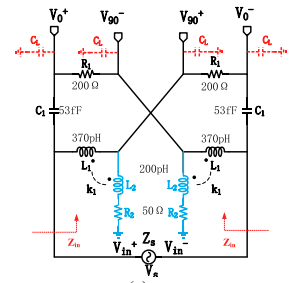
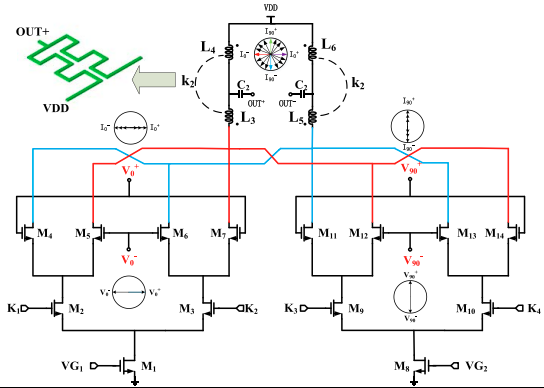
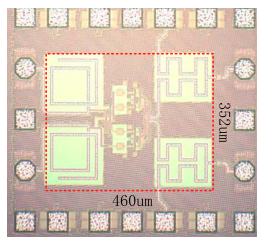
  

图8 文献[5]提出的QAF、矢量合成单元与整体移相器图片

**3、衰减器：**

2016 年，Juseok Bae 和 Cam Nguyen 使用 0.18μm BiCMOS 工艺设计了一款小附加相移的双频段 4 位步进衰减器。通过带通滤波器与衰减器联合设计实现了传统双工器的选通功能，减小了电路尺寸，同时，在并联衰减支路串联了一个相位补偿电容，在不对插入损耗产生太大影响的情况下，实现了低附加相移。测量结果表明，芯片尺寸为 0.936mm2，在 22–29GHz，插入损耗小于 7.9dB，均方根相位误差小于 4.7°，均方根振幅误差小于 0.51dB；在 57–64GHz，插入损耗小于 11.1dB，均方根相位误差小于 3.6°，均方根振幅误差小于 1.5dB。此外，该衰减器的信号幅度可以在每个通带中独立地控制，而不会对其他通带中的幅度产生任何显著影响，这使得能够在双频带相控阵系统中独立地或同时地调整双电子束，对于硅基并行双频段相控阵极具吸引力，尤其是对于要求紧凑尺寸、低插入损耗和最小跟踪/转向误差的阵列[10]。

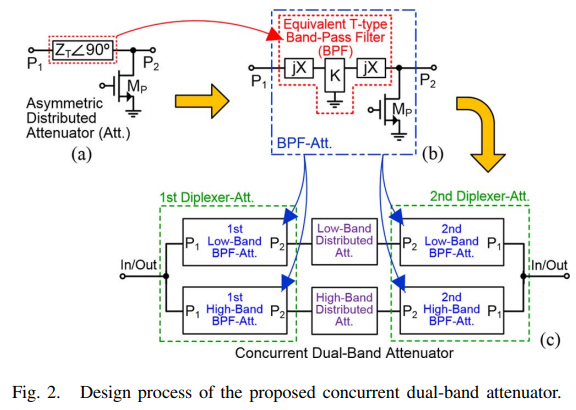
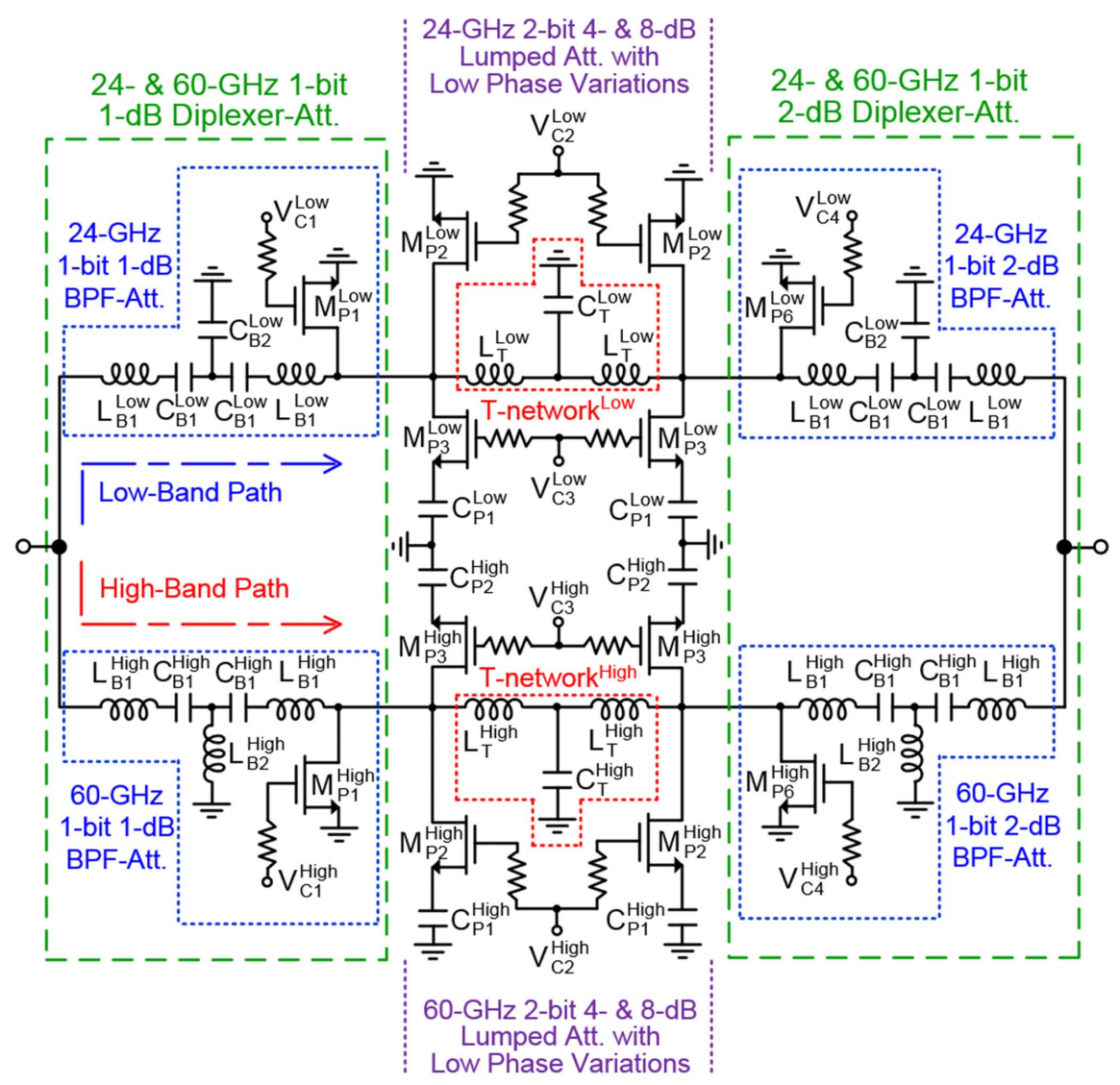
 

图9 (左)并行双频衰减器的设计过程 (右) 低相位变化的4位24/ 60GHz并发双带阶跃衰减器原理图

图9展示了文献10所提出的并发双频带衰减器的设计过程。设计从一个由传输线和一个分流晶体管组成的非对称分布式衰减器开始，如图13(a)所示。传输线被替换为T型等效网络，构成带通滤波器(BPF)以实现BPF-衰减器，如图13(b)所示。然后利用两个BPF-衰减器来覆盖所需要的低频段和高频频段，进而构成了集成双工衰减器，如图13(c)所示。

2020 年，Kwangwon Park 等人在传输线的同一个节点配置多个衰减单元从而削减所需的传输线数量以减小芯片尺寸，与传统的分布式衰减器相比，以紧凑的芯片尺寸实现了大的衰减范围，并且对同一节点的衰减单元联合设计，通过复用晶体管沟道电阻，减小各衰减单元晶体管的尺寸，从而减小了寄生电容对衰减器的影响，实现低附加相移。此外，采用堆叠 FET 结构来使得电压摆幅均匀分配，从而增加线性度。图10展示了采用Triple-well nFET和body-floating技术来提升插入损耗的分布式衰减器原理图。芯片采用 CMOS 65nm 工艺流片，测试显示，该衰减器面积为0.29mm2，在 15-43GHz，插入损耗为2.9-4.3dB，最大衰减量为 14dB，衰减步进为1dB，均方根相位误差小于6°，均方根振幅误差小于 1.7dB [11]。

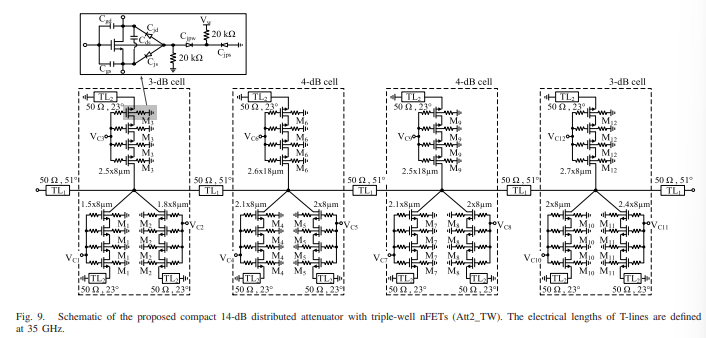


图10 所提出的采用三陷紧凑型14dB分布式衰减器原理图

2021 年，浙江大学的 Zijiang Zhang 等人通过对开关内嵌式衰减器的零极点分析，采用尾电容补偿技术在低频处引入新的零极点，使得零点与极点相互抵消，从而减小附加相移、拓展带宽。此外，通过级间匹配以最小化均方根振幅和相位误差，以及优化并联支路元件的布局以减小插入损耗。图11展示了所提出的7位宽带衰减器原理图，其中16.32dB单元中的是两个3bit可编程电容器阵列。芯片采用 CMOS 55nm 工艺流片，面积为 0.0054mm2，测试结果显示，在 0-32GHz，插入损耗为 3.5-8.4dB，最大衰减量为 32.4dB，衰减步进为 0.255dB，均方根相位误差小于 5.33°，均方根振幅误差小于 0. 32dB [12]。

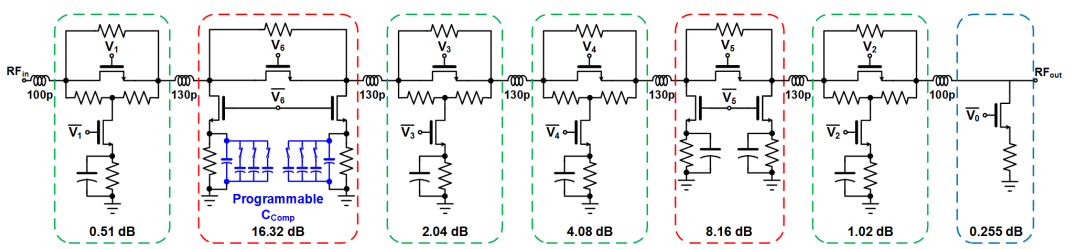


图11 所提出的7位宽带衰减器原理图

**文献：**

[1] Kang D W, Lee H D, Kim C H, et al. Ku-band MMIC phase shifter using a parallel resonator with 0.18-μm CMOS technology[J]. IEEE Transactions on Microwave Theory and Techniques, 2006, 54(1): 294-301.

[2] Li W, Chiang Y, Tsai J, et al. 60-GHz 5-bit phase shifter with integrated VGA phase-error compensation[J].

IEEE Transactions on Microwave Theory and Techniques, 2013, 61(3): 1224-1235.

[3] A. Asoodeh and M. Atarodi, "A Full 360° Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth," in IEEE Transactions on Microwave Theory and Techniques, 2012, 60(6): 1626-1634.

[4] Sah S P, Yu X, Heo D. Design and analysis of a wideband 15–35-GHz quadrature phase shifter with inductive

loading[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(8): 3024-3033.

[5] F. Qiu, H. Zhu, L. Wu, W. Che and Q. Xue, "A 15–38 GHz Vector-Summing Phase-Shifter With 360° Phase-Shifting Range Using Improved I/Q Generator," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 10, pp. 3199-3203, Oct. 2021.

[6] S. Lee et al. “An 80-Gb/s 300-GHz-Band Single-Chip CMOs Transceiver," IEEE J. Solid-State Circuits, vol.54, no.12, pp.3577-3588, Dec. 2019.

[7] Chen et al “A 140GHz Transceiver with Integrated Antenna, Inherent-Low-Loss [13] Duplexing and Adaptive Self-Interference Cancellation for FMCW Monostatic Radar,” in2022 IEEE International Solid- State Circuits Conference (ISSCC), Feb. 2022, pp.80-82.

[8] M. Elkhouly et al., “Fully Integrated 2D Scalable TX/RX Chipset for D-Band Phased-Array-on-Glass Modules,” in 2022 IEEE International Solid- State Circuits Conference (ISSCC), Feb. 2022, pp. 76-78.

[9] D. Simic, K. Guo, and P. Reynaert, “22.3 A 0.42THz Coherent TX-RX System Achieving10dBm EIRP and 27dB NF in 40nm CMOS for Phase-Contrast Imaging,” in 2021 IEEE International Solid- State Circuits Conference (ISSCC), Feb.2021, vol.64, no. 12, pp. 318320.

[10] J. Bae and C. Nguyen. A Novel Concurrent 22-29/57-64 GHz Dual-Band CMOS Step Attenuator with Low Phase Variations [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(6): 1867-1875.

[11] K. Park, S. Lee and S. Jeon. A New Compact CMOS Distributed Digital Attenuator [J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(11): 4631-4640.

[12] Z. Zhang. A DC-Ka-Band 7-Bit Passive Attenuator with Capacitive-Compensation-Based Bandwidth Extension Technique in 55-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2021, 69(8): 3861-3874.

**技术方案：**

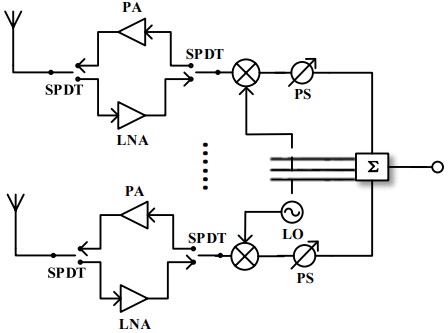
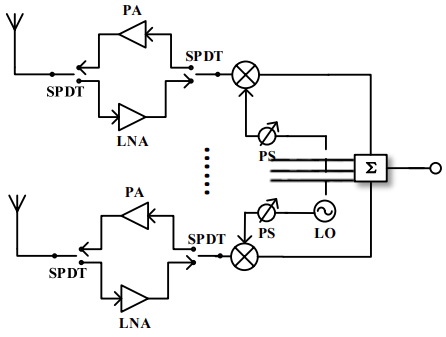
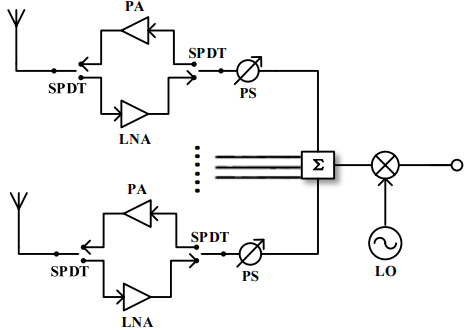
1. **接收机架构：**

根据上述分析，传统的LNA first接收机系统在高频段面临工作频率上限和噪声性能受限的问题。因此，我们提出采用Mixer first架构作为技术路线，以提高接收机系统的工作频率上限、优化噪声性能，并满足未来高频无线通信技术的需求。由于系统工作频率高，选择无源混频器作为关键组件，以尽量避免直流电流引入的额外噪声，并提供更高的工作频率、更好的线性度和更低的功耗。

1. **移相器：**

在相控阵系统中，移相器是核心组件之一，它负责精确控制和调整电磁波的相位。通过改变移相器的偏置条件，电路的工作状态随之变化，从而实现对输出信号相位的精确调控。移相器的结构多样，包括反射式、高低通式、开关式和矢量合成式。前三者属于无源移相结构，虽然功耗低、线性度高，但带宽有限、插入损耗较高且占用芯片面积较大。相比之下，矢量合成型有源移相器凭借其小尺寸、低插入损耗和高相移精度等特性，展现出巨大的发展潜力。

根据移相器在接收机和发射机的位置，相控阵收发机的移相路径分为中频移相、本振(Local-Oscillator, LO)移相和射频(Radio-Frequency, RF)相移。如图12所示，中频移相的收发机在每一个收发信道上都有混频器和移相器，因此信号从天线接收后被降到中频频段，再由移相器进行相位调节；LO移相的收发机在每一个收发信道上都有混频器，通过调整LO信号的相位实现收发信道上的相移，而移相器位于每一条LO信号通路上；RF移相的收发机在每一个收发信道上都有移相器，而混频器为所有收发信道共享，因此信号从多个天线接收后经过移相和合成后再由混频器混频。

1. (b) (c)

图12 相控阵收发机的移相路径 (a)中频移相 (b)LO移相 (c)RF移相

由于在太赫兹频段，各类型移相器均会带来非常大的插入损耗，进而影响这个收发机的性能。因此，我们计划在毫米波频段进行移相，即计划选择中频移相方案，并采用45nm CMOS工艺设计一款实现360°移相的6bit矢量合成型有源移相器，其核心电路包括正交信号发生器、矢量合成单元及输入与输出巴伦等，如图13所示。

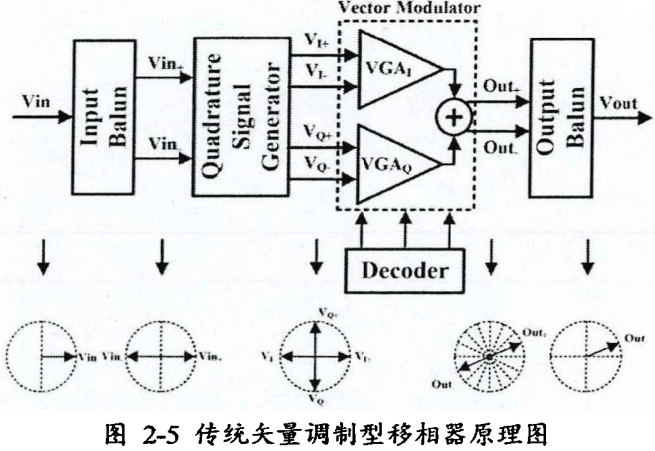
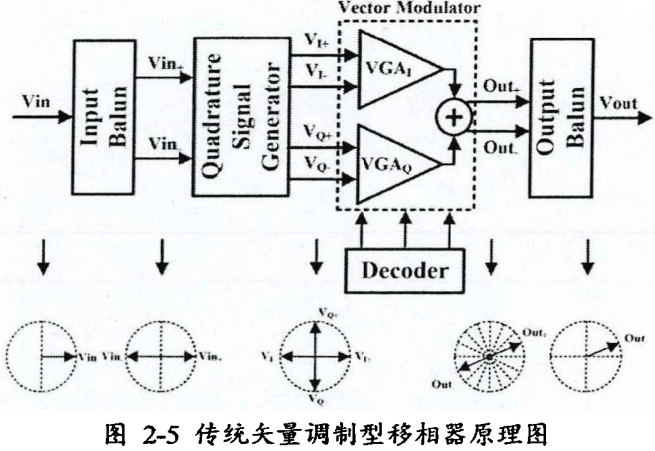
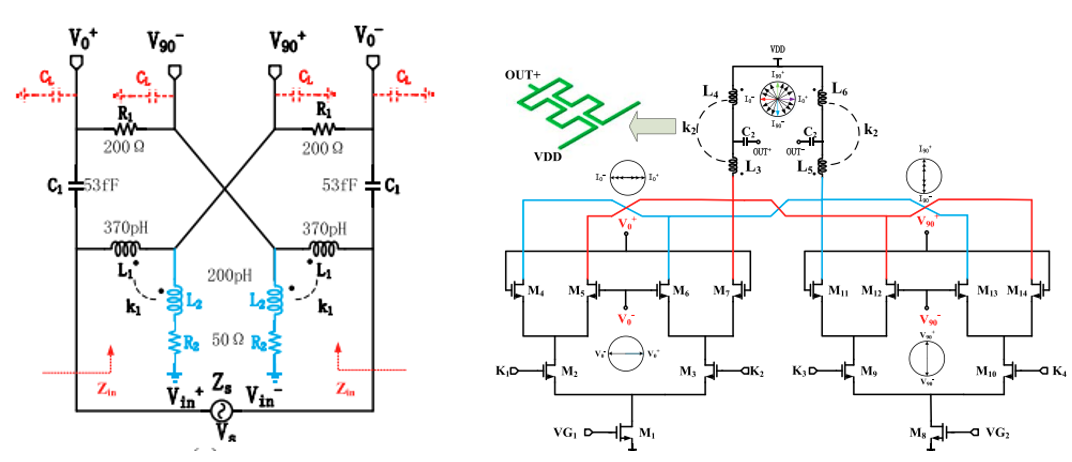


图13 矢量合成型移相器原理图

其中，输入/输出巴伦用于将输入射频信号转变为两路差分信号(或将两路差分信号转变为输出射频信号)。采用文献4中多项滤波器(PPF)结构或文献5中的宽带全通滤波器(QAF)结构作为正交信号发生单元，不仅能满足宽带要求，同时能尽可能较少地引入插入损耗与相位误差。矢量合成单元可以采用文献5中使用的传统吉尔伯特电路实现，也可使用图14a中展示的，采用两路独立的VGA来精准调节I/Q路信号的增益大小，进而在输出端实现高精度的移相。下图14展示了本技术方案大致将采取的移相器电路结构。

1. (b)

图14 可能采取的移相器电路结构

**衰减器：**

由于相控阵系统对于各个子阵列间隔离度的特殊要求，移相器主要采用吸收式结构，即利用一条并联到地的支路来衰减信号，并联支路主要由电阻、电容等无源器件组成，常见的主要有开关内嵌式和分布式两种结构。衰减器的主要性能指标有衰减量、衰减步进、幅度误差、附加相移、插入损耗等，经过国内外众多科研人员坚持不懈的努力，衰减器的性能取得了长足的进步，使用场景也愈发广阔。

传统的开关内嵌式衰减器包括T型、桥T型和型结构如图14所示，通过调节晶体管的栅极电压可以控制衰减模式和参考模式的切换。但开关内嵌式衰减器在信号链路上插入一个晶体管作为开关，其导通状态下的导电沟道具有一定的欧姆电阻，从而不可避免地会引入较大的插入损耗，这是开关内嵌式衰减结构的固有缺陷。同时，在毫米波频段，晶体管寄生效应已经不可忽视，如何减小或者利用这些电容的作用对于毫米波衰减器电路的设计变得至关重要。

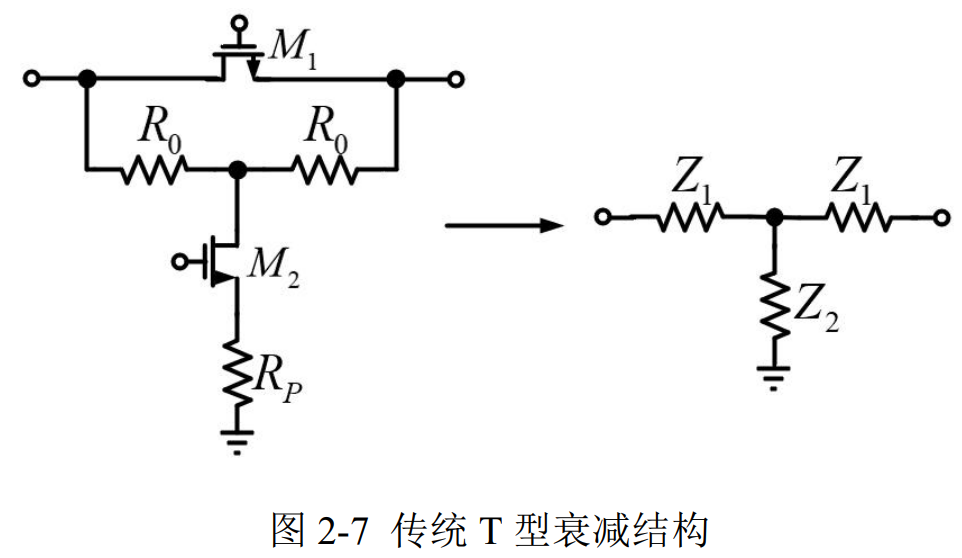
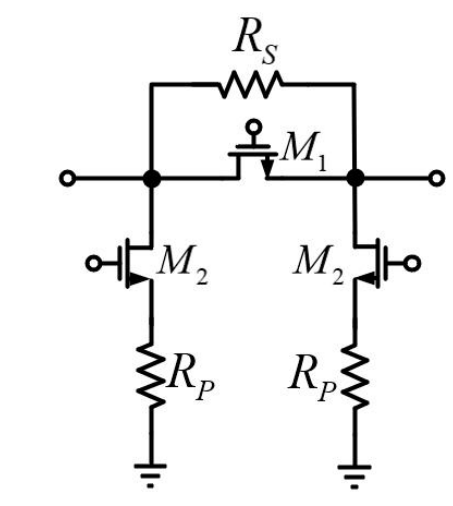
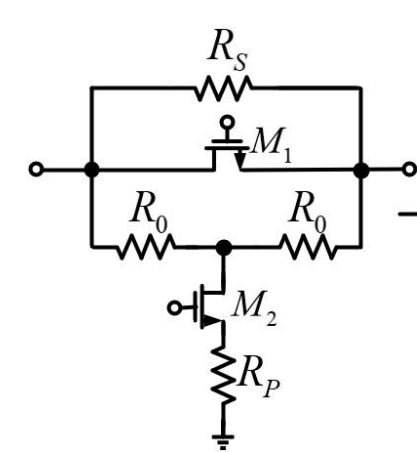
  

图14 传统(左)T型结构 (中) 型结构 (右)桥T结构

分布式结构因为在信号链路没有引入晶体管，所以克服了开关内嵌式结构会引入较大插入损耗的缺点，如图15所示。分布式结构衰减单元在信号链路上包含 n 条传输线和 n个并联到地的可变电阻器。分布式结构十分适合低插入损耗衰减器的设计，但该结构需要较多的传输线从而占据较大的片上面积。

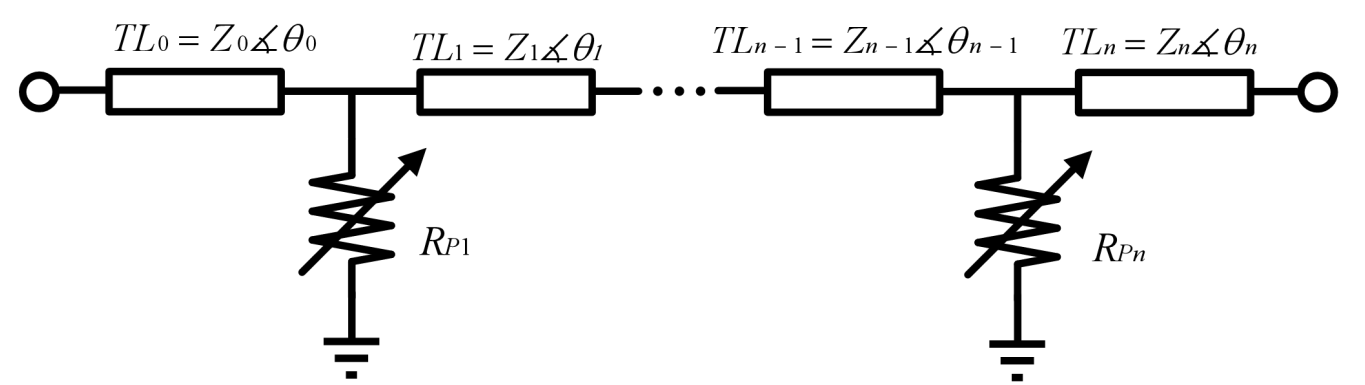


图15 分布式衰减结构

根据上述接收机架构分析，选用Mixer first结构作为接收机方案，因此移相单元与衰减单元在接收机/发射机架构中用于处理中频信号，大致位于10-30GHz频带，因此为了同时满足衰减器性能指标的要求与芯片面积的要求，结合文献12的工作与本项目衰减器的工作频段，技术方案选择采用开关内嵌式衰减器结构，利用新型的相位补偿技术来弥补传统结构衰减器在宽带应用产生的额外附加相移，同时拓展工作带宽。并且适当选择先进的电路结构以缓解开关内嵌式结构所带来的较大的插入损耗。